

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6502176号  
(P6502176)

(45) 発行日 平成31年4月17日(2019.4.17)

(24) 登録日 平成31年3月29日(2019.3.29)

(51) Int.Cl.

F I

HO 1 L 21/8238 (2006.01)  
 HO 1 L 27/092 (2006.01)  
 HO 1 L 21/28 (2006.01)  
 HO 1 L 21/822 (2006.01)  
 HO 1 L 27/04 (2006.01)

HO 1 L 27/092 F  
 HO 1 L 21/28 3 O 1 B  
 HO 1 L 27/04 A  
 HO 1 L 21/90 A  
 HO 1 L 21/88 Z

請求項の数 4 (全 69 頁) 最終頁に続く

(21) 出願番号 特願2015-108074 (P2015-108074)  
 (22) 出願日 平成27年5月28日(2015.5.28)  
 (65) 公開番号 特開2016-6871 (P2016-6871A)  
 (43) 公開日 平成28年1月14日(2016.1.14)  
 審査請求日 平成30年5月21日(2018.5.21)  
 (31) 優先権主張番号 特願2014-112744 (P2014-112744)  
 (32) 優先日 平成26年5月30日(2014.5.30)  
 (33) 優先権主張国 日本国(JP)

特許法第30条第2項適用 (集会名) 第61回応用物理学会春季学術講演会、(開催日) 平成26年3月19日、(公開者) 山崎舜平

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 笹川 慎也  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 宮入 秀和  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 倉田 求  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、コンタクトプラグを有する半導体装置であって、

前記第1のトランジスタはシリコン基板に活性領域を有し、

前記第2のトランジスタは酸化物半導体を活性層に有し、

前記第1のトランジスタと前記第2のトランジスタはそれぞれ重なる領域を有し、

前記第1のトランジスタと前記第2のトランジスタの間に第1の絶縁層を有し、

前記第2のトランジスタ上に第2の絶縁層を有し、

前記第1のトランジスタのソース電極またはドレイン電極の一方は、前記第2のトランジスタのソース電極またはドレイン電極の一方と前記コンタクトプラグを介して電氣的に接続されており、

前記酸化物半導体は、第1の酸化物半導体層と、前記第1の酸化物半導体層上の第2の酸化物半導体層と、前記第2の酸化物半導体層上の第3の酸化物半導体層と、を有し、

前記第3の酸化物半導体層は、前記第2のトランジスタのソース電極及びドレイン電極の側面に接する領域を有し、

前記コンタクトプラグは、前記第1の絶縁層、前記第2のトランジスタのソース電極またはドレイン電極の一方、および前記第2の絶縁層を貫通しており、前記コンタクトプラグは、前記第2の絶縁層から前記第1の絶縁層に向かう深さ方向において、前記第2の絶縁層と前記第2のトランジスタのソース電極またはドレイン電極の一方との界面を境に径

10

20

が小さくなる領域を有することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタおよび前記第 2 のトランジスタは、CMOS 回路を構成していることを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記酸化物半導体は、In と、Zn と、M (M は Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd または Hf) を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記コンタクトプラグは、前記第 2 のトランジスタが有する酸化物半導体層を貫通していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体を用いた半導体装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物 (コンポジション・オブ・マター) に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路 (IC) や画像表示装置 (単に表示装置とも表記する) のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献 1 には酸化物半導体を用いたトランジスタの低いリーク電流特性を応用した低消費電力の CPU などが開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2012 - 257187 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様では、占有面積の小さい半導体装置を提供することを目的の一つとする。または、集積度の高い半導体装置を提供することを目的の一つとする。または、動作速度の速い半導体装置を提供することを目的の一つとする。または、消費電力の小さい半導体

10

20

30

40

50

装置を提供することを目的の一つとする。または、生産性の高い半導体装置を提供することを目的の一つとする。または、歩留まりの高い半導体装置を提供することを目的の一つとする。または、新規な半導体装置を提供することを目的の一つとする。または、上記半導体装置の作製方法を提供することを目的の一つとする。

【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

10

【0009】

本発明の一態様は、酸化物半導体を用いて形成されたトランジスタおよびシリコンを用いて形成されたトランジスタを有する半導体装置に関する。

【0010】

本発明の一態様は、第1の絶縁層と、導電層と、第2の絶縁層と、コンタクトプラグを有し、導電層は第1の絶縁層と第2の絶縁層との間に設けられ、第1の絶縁層、導電層および第2の絶縁層は、互いに重なる領域を有し、コンタクトプラグは、第1の絶縁層と、導電層と、第2の絶縁層を貫通するように設けられ、コンタクトプラグは、第2の絶縁層から第1の絶縁層に向かう深さ方向において、第2の絶縁層と導電層との界面を境に径が小さくなる領域を有することを特徴とする半導体装置である。

20

【0011】

本発明の他の一態様は、第1のトランジスタと、第2のトランジスタと、コンタクトプラグを有する半導体装置であって、第1のトランジスタはシリコン基板に活性領域を有し、第2のトランジスタは酸化物半導体を活性層に有し、第1のトランジスタと第2のトランジスタはそれぞれ重なる領域を有し、第1のトランジスタと第2のトランジスタの間に第1の絶縁層を有し、第2のトランジスタ上に第2の絶縁層を有し、第1のトランジスタのソース電極またはドレイン電極の一方は、第2のトランジスタのソース電極またはドレイン電極の一方とコンタクトプラグを介して電氣的に接続されており、コンタクトプラグは、第1の絶縁層、第2のトランジスタのソース電極またはドレイン電極の一方、および第2の絶縁層を貫通しており、コンタクトプラグは、第2の絶縁層から第1の絶縁層に向かう深さ方向において、第2の絶縁層と第2のトランジスタのソース電極またはドレイン電極の一方との界面を境に径が小さくなる領域を有することを特徴とする半導体装置である。

30

【0012】

第1のトランジスタおよび第2のトランジスタは、CMOS回路を構成することができる。

【0013】

酸化物半導体は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)を有することが好ましい。

【0014】

40

また、コンタクトプラグは、第2のトランジスタが有する酸化物半導体層を貫通する構成とすることもできる。

【0015】

本発明の他の一態様は、第1の絶縁層を形成し、第1の絶縁層上に導電膜を形成し、第1のマスクを用いて導電膜を選択的にエッチングすることによって、導電層および当該導電層を膜厚方向に貫通する貫通口を形成し、導電層および貫通口を覆うように第2の絶縁層を形成し、第2のマスクを用いて第2の絶縁層を選択的にエッチングすることによって、貫通口の径よりも大きい径の開口部を形成して貫通口を露出させ、導電層をマスクとして第1の絶縁層を選択的にエッチングすることを特徴とする半導体装置の作製方法である。

【発明の効果】

50

## 【 0 0 1 6 】

本発明の一態様により、占有面積の小さい半導体装置を提供することができる。または、集積度の高い半導体装置を提供することができる。または、動作速度の速い半導体装置を提供することができる。または、消費電力の小さい半導体装置を提供することができる。または、生産性の高い半導体装置を提供することができる。または、歩留まりの高い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。または、上記半導体装置の作製方法を提供することができる。

## 【 0 0 1 7 】

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

## 【図面の簡単な説明】

## 【 0 0 1 8 】

【図 1】半導体装置を説明する断面図および回路図。

【図 2】コンタクトプラグの作製方法を説明する断面図。

【図 3】コンタクトプラグの作製方法を説明する断面図。

【図 4】半導体装置を説明する断面図。

【図 5】コンタクトプラグの作製方法を説明する断面図。

【図 6】半導体装置を説明する上面図。

【図 7】半導体装置を説明する断面図および回路図。

【図 8】半導体装置を説明する断面図。

【図 9】半導体装置を説明する上面図。

【図 10】トランジスタを説明する上面図および断面図。

【図 11】トランジスタを説明する上面図および断面図。

【図 12】トランジスタを説明する上面図および断面図。

【図 13】トランジスタを説明する上面図および断面図。

【図 14】トランジスタを説明する上面図および断面図。

【図 15】トランジスタを説明する上面図および断面図。

【図 16】トランジスタのチャネル幅方向の断面を説明する図。

【図 17】トランジスタのチャネル長方向の断面を説明する図。

【図 18】トランジスタのチャネル幅方向の断面を説明する図。

【図 19】半導体層を説明する上面図および断面図。

【図 20】半導体層を説明する上面図および断面図。

【図 21】トランジスタを説明する上面図および断面図。

【図 22】トランジスタを説明する上面図および断面図。

【図 23】トランジスタを説明する上面図および断面図。

【図 24】トランジスタを説明する上面図および断面図。

【図 25】トランジスタを説明する上面図および断面図。

【図 26】トランジスタを説明する上面図および断面図。

【図 27】トランジスタのチャネル幅方向の断面を説明する図。

【図 28】トランジスタのチャネル長方向の断面を説明する図。

【図 29】トランジスタのチャネル幅方向の断面を説明する図。

【図 30】トランジスタを説明する上面図。

【図 31】トランジスタの作製方法を説明する図。

【図 32】トランジスタの作製方法を説明する図。

【図 33】トランジスタの作製方法を説明する図。

【図 34】トランジスタの作製方法を説明する図。

【図 35】トランジスタの作製方法を説明する図。

【図 36】トランジスタの作製方法を説明する図。

10

20

30

40

50

【図 37】CPUの構成例を説明する図。

【図 38】記憶素子の回路図。

【図 39】電子機器を説明する図。

【図 40】半導体装置の拡大断面図。

【図 41】半導体装置の拡大断面図。

【図 42】エッチング装置を説明する図。

【図 43】CAAC-OSの断面におけるCs補正高分解能TEM像、およびCAAC-OSの断面模式図。

【図 44】CAAC-OSの平面におけるCs補正高分解能TEM像。

【図 45】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

10

【図 46】CAAC-OSの電子回折パターンを示す図。

【図 47】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図 48】CAAC-OSおよびnc-OSの成膜モデルを説明する模式図。

【図 49】InGaZnO<sub>4</sub>の結晶、およびペレットを説明する図。

【図 50】CAAC-OSの成膜モデルを説明する模式図。

【発明を実施するための形態】

【0019】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

20

【0020】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

30

【0021】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0022】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

40

【0023】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、Xと

50

Yとが直接的に接続されている場合を含むものとする。

【0024】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

10

【0025】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に表示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に表示されているものとする。

20

【0026】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

30

【0027】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

40

【0028】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子な

50

ど)との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース(又は第1の端子など)からトランジスタのドレイン(又は第2の端子など)への電氣的パスであり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第4の接続経路を有しておらず、前記第4の電氣的パスは、トランジスタのドレイン(又は第2の端子など)からトランジスタのソース(又は第1の端子など)への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

10

20

#### 【0029】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

#### 【0030】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

#### 【0031】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

#### 【0032】

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置について、図面を参照して説明する。

40

#### 【0033】

図1(A)は、本発明の一態様の半導体装置の構成を示す断面図である。図1(A)に示す半導体装置は、シリコン基板40に活性領域を有するトランジスタ51と、酸化物半導体層を活性層とするトランジスタ52を有する。トランジスタ51をp-ch型、トランジスタ52をn-ch型とすることでCMOS回路を形成することができる。図1(A)に示すトランジスタの51、52は、インバータ回路90を形成している(図1(B)参照)。

#### 【0034】

トランジスタ51はチャンネルが形成される活性領域、ソース領域、ドレイン領域、ゲート

50

絶縁膜およびゲート電極を基本構成とする。また、トランジスタ５２はチャネルが形成される活性層、ソース電極、ドレイン電極、ゲート絶縁膜およびゲート電極を基本構成とする。図１（Ａ）に示すように、トランジスタ５１およびトランジスタ５２のそれぞれが有する上記構成要素の一部が重なることで回路の占有面積を縮小することができる。

【００３５】

また、インバータ回路９０においては、シリコン基板４０に活性領域を有するｎ－ｃｈ型のトランジスタの工程が不要となるため、ｐウェルおよびｎ型不純物領域などの形成工程を省くことができ、工程を大幅に削減することができる。

【００３６】

トランジスタ５１上には絶縁層８１、絶縁層８２、絶縁層８３および絶縁層８４が設けられる。ここで、説明の便宜上、絶縁層８１乃至絶縁層８４をまとめて第１の絶縁層とする。

10

【００３７】

また、第１の絶縁層上にはトランジスタ５２が設けられ、トランジスタ５２上には絶縁層８５、絶縁層８６および絶縁層８７が設けられる。ここで、説明の便宜上、絶縁層８５乃至絶縁層８７をまとめて第２の絶縁層とする。

【００３８】

なお、第１の絶縁層および第２の絶縁層を構成する絶縁層は上記形態に限らず、上記絶縁層の一部が省かれる場合や、他の絶縁層が付加される場合もある。

【００３９】

トランジスタ５１のソース領域またはドレイン領域の一方は、第１の絶縁層および第２の絶縁層を貫通するコンタクトプラグ６１と電氣的に接続する。また、コンタクトプラグ６１は、第２の絶縁層上で配線７１と電氣的に接続する。

20

【００４０】

また、トランジスタ５１のゲート電極は、第１の絶縁層および第２の絶縁層を貫通するコンタクトプラグ６２と電氣的に接続する。また、コンタクトプラグ６２は、第２の絶縁層上で配線７３と電氣的に接続する。

【００４１】

また、トランジスタ５１のソース領域またはドレイン領域の他方は、第１の絶縁層、トランジスタ５２のソース電極またはドレイン電極の一方、および第２の絶縁層を貫通するコンタクトプラグ６３と電氣的に接続する。ここで、トランジスタ５１のソース領域またはドレイン領域の他方と、トランジスタ５２のソース電極またはドレイン電極の一方とは、コンタクトプラグ６３を介して電氣的に接続されることになる。

30

【００４２】

また、トランジスタ５２のゲート電極は、第２の絶縁層を貫通するコンタクトプラグ６４と電氣的に接続する。また、コンタクトプラグ６４は、第２の絶縁層上で配線７３と電氣的に接続する。すなわち、トランジスタ５１のゲート電極とトランジスタ５２のゲート電極とは、コンタクトプラグ６２、配線７３およびコンタクトプラグ６４を介して電氣的に接続されることになる。

【００４３】

なお、図１（Ａ）において、コンタクトプラグ６２、６４は、存在する奥行き方向の位置が他のコンタクトプラグと異なるため、ハッチングを変えて記してある。

40

【００４４】

また、トランジスタ５２のソース電極またはドレイン電極の他方は、第２の絶縁層を貫通するコンタクトプラグ６５と電氣的に接続する。また、コンタクトプラグ６５は、第２の絶縁層上で配線７２と電氣的に接続する。

【００４５】

本発明の一態様の半導体装置においては、互いに重なる領域を有する複数のトランジスタを形成した後にコンタクトプラグを形成し、複数のトランジスタの電氣的な接続および当該コンタクトプラグと配線等との接続を行う。このような構成とすることで、工程を簡略

50

化することができる。また、トランジスタを形成後に配線を自由に行えるようになるため、工程の一部を変更することで機能の異なる半導体装置を形成することができ、設計および製造のコストを削減することができる。

【0046】

ここで、コンタクトプラグは、まずコンタクトホールを形成し、当該コンタクトホールにCVD(Chemical Vapor Deposition)法等で導電体を埋め込むように形成する。この工程においては、占有面積を小さくするためにアスペクト比の大きいコンタクトホールを形成することが好ましいが、複数の層を貫通し、かつアスペクト比の大きいコンタクトホールの形成は難度が高い。

【0047】

図1(A)に示すコンタクトプラグ61、62を設けるためのコンタクトホールは、第1の絶縁層および第2の絶縁層をエッチングして形成するため、比較的難度が低い。例えば、酸化物絶縁層や窒化物絶縁層などでは、種類が異なっても同じエッチング条件で処理できる場合が多いためである。

【0048】

一方、コンタクトプラグ63を設けるためのコンタクトホールは、絶縁層のエッチングのほかにトランジスタ52のソース電極またはドレイン電極(代表的には金属層)のエッチングを行わなければならない。絶縁層と金属層ではエッチング条件が異なるため、エッチングガスやエッチャントの切り替えなどを行わなければならない、実質的に工程増加となる。また、エッチング工程中に堆積物、プラズマダメージ、オーバーエッチングなどによっ

【0049】

したがって、本発明の一態様では、コンタクトプラグ63を設けるためのコンタクトホールの形成を工程増加および不良の誘発をすることなく行うために、予めトランジスタ52のソース電極またはドレイン電極の一方に貫通口を形成する方法を用いる。

【0050】

図2(A)乃至図2(D)にコンタクトプラグ63を形成するための工程図を示す。なお、トランジスタ51、およびトランジスタ51上に設けられる絶縁層の一部は図示していない。また、図の左側には断面図を示し、右側には上面図を示す。

【0051】

まず、絶縁層84上に三層構造の酸化物半導体層の二層を形成し、当該酸化物半導体層と接するようにソース電極層32およびドレイン電極層33を形成する(図2(A)参照)。ここで、ソース電極層32に貫通口20を設けておく。貫通口20はソース電極層32およびドレイン電極層33のパターン形成と同一工程で形成することができる。

【0052】

なお、図3(A)に示すように貫通口20はドレイン電極層33にも設けてもよい。ドレイン電極層33に設けた貫通口20を使用しない場合は、後の工程で当該貫通口を含まない領域でコンタクトプラグ等とドレイン電極層33を接続すればよい。なお、ソースおよびドレインの名称はトランジスタの動作によって入れ替わるものであり、ソース電極層32およびドレイン電極層33の名称は入れ替えることができる。

【0053】

次に、酸化物半導体層の残りの一層、ゲート絶縁膜およびゲート電極層を形成し、トランジスタ52の基本構成を完成させる。そして、トランジスタ52上に第2の絶縁層を設ける。このとき、貫通口20には第2の絶縁層の一部が形成されている状態となっている。さらに第2の絶縁層上に複数のコンタクトホールを形成するためのレジストマスク35を形成する(図2(B)参照)。

【0054】

そして、エッチング工程を行うことにより、コンタクトホール21乃至コンタクトホール25を形成する(図2(C)参照)。このとき、ソース電極層32には貫通口20が設けられているため、絶縁層のエッチング条件から金属層のエッチング条件に変更することな

10

20

30

40

50

くエッチング工程を容易に行うことができる。

【 0 0 5 5 】

なお、エッチング工程においてコンタクトホール 2 3 と貫通口 2 0 とのずれを生じさせないためには、第 2 の絶縁層の領域におけるコンタクトホール 2 3 の径を貫通口 2 0 の径よりも大きくすることが好ましい。したがって、コンタクトホール 2 3 は、第 2 の絶縁層から第 1 の絶縁層に向かう深さ方向において、トランジスタ 5 2 のソース電極層 3 2 と第 2 の絶縁層との界面を境に径が小さくなる形状となる。

【 0 0 5 6 】

なお、図 2 ( B ) では全てのコンタクトホールを同時に形成するレジストマスクの例を示したが、深さの異なるコンタクトホールを順次形成する手段を用いてもよい。例えば、図 3 ( B ) に示すように、相対的に深いコンタクトホールを先に形成した後、当該コンタクトホールに一時的に有機樹脂を充填し、相対的に浅いコンタクトホールを形成する方法を用いてもよい。逆に、相対的に浅いコンタクトホールを先に形成した後、相対的に深いコンタクトホールを形成する方法を用いてもよい。

【 0 0 5 7 】

そして、上記コンタクトホールに導電層を充填することによりコンタクトプラグ 6 1 乃至コンタクトプラグ 6 5 を形成する ( 図 2 ( D ) 参照 ) 。コンタクトプラグ 6 3 においては、コンタクトホール 2 3 の形状に従って、トランジスタ 5 2 のソース電極層 3 2 と前記第 2 の絶縁層との界面を境に径が変化する形状となる。

【 0 0 5 8 】

図 4 0 ( A ) 乃至図 4 0 ( F ) に、図 1 ( A ) に示すトランジスタ 5 2 のソース電極層 3 2 と前記第 2 の絶縁層との界面近傍の拡大図を示す。図 4 0 ( A ) は図 2 ( D ) の拡大図であるが、本発明の一態様はこれに限らない。エッチング条件を調整することで、貫通口 2 0 およびその周辺の形状は様々に変化させることができる。

【 0 0 5 9 】

例えば、図 4 0 ( B ) のように貫通口 2 0 に形成されたコンタクトプラグ 6 3 の側壁の角度がコンタクトプラグ 6 3 の他の部位の側壁の角度と異なる形状であってもよい。また、図 4 0 ( C ) のようにソース電極層 3 2 の内部でコンタクトプラグ 6 3 の径が変化する形状であってもよい。また、図 4 0 ( D ) のようにソース電極層 3 2 の内部でコンタクトプラグ 6 3 の側壁の角度が変化する形状であってもよい。また、図 4 0 ( E ) のようにソース電極層 3 2 と第 1 の絶縁層との界面を境にコンタクトプラグ 6 3 の径が変化する形状であってもよい。また、図 4 0 ( F ) のように、第 1 の絶縁層の内部でコンタクトプラグ 6 3 の径が変化する形状であってもよい。

【 0 0 6 0 】

なお、コンタクトプラグの側壁は若干のテーパ角を有することから、コンタクトプラグは、深さ方向のいずれの部分においても径が変化しているといえる。一方で、本発明の一態様においては、これらの径の変化とは関係なく、コンタクトプラグが顕著な径の変化がある領域を有することを特徴とする。

【 0 0 6 1 】

なお、本発明の一態様の半導体装置に用いるトランジスタ 5 2 の形態は酸化物半導体層上にソース電極およびドレイン電極が形成され、当該ソース電極および当該ドレイン電極が絶縁層 8 4 と接しない構成としてもよい。このような構成においては、絶縁層 8 4 に含まれる酸素がソース電極およびドレイン電極を構成する金属層に奪われることがない。したがって、当該酸素を酸化物半導体層に効率よく供給することができ、トランジスタ 5 2 の電気特性および信頼性を向上させることができる。

【 0 0 6 2 】

上記構成の場合、本発明の一態様の半導体装置は、図 4 に示すようになる。当該構成においても、トランジスタ 5 2 のソース電極またはドレイン電極の一方には貫通口を設けることにより、コンタクトプラグ 6 3 を設けるためのコンタクトホールを形成しやすくなる。

【 0 0 6 3 】

この場合、コンタクトプラグ 6 3 を設けるためのコンタクトホール形成時においては、酸化物半導体層もエッチングすることになる。酸化物半導体層は絶縁層とエッチング条件が異なる場合があるため、酸化物半導体層にも貫通口を設けておいてもよい。

【0064】

酸化物半導体層にも貫通口を設ける構成におけるコンタクトプラグ 6 3 を形成するための工程図を図 5 (A) 乃至図 5 (D) に示す。酸化物半導体層にも貫通口を設ける構成以外は図 2 (A) 乃至図 2 (D) の工程と同じであり、説明は省略する。

【0065】

図 4 1 (A) 乃至図 4 1 (F) に、図 4 に示すトランジスタ 5 2 のソース電極層 3 2 と前記第 2 の絶縁層との界面近傍の拡大図を示す。図 4 1 (A) は図 5 (D) の拡大図であるが、本発明の一態様はこれに限らない。エッチング条件を調整することで、貫通口 2 0 およびその周辺の形状は様々に変化させることができる。

【0066】

例えば、図 4 1 (B) のようにソース電極層 3 2 と酸化物半導体層との界面を境にコンタクトプラグ 6 3 の径が変化する形状であってもよい。また、図 4 1 (C) のように酸化物半導体層の内部でコンタクトプラグ 6 3 の径が変化する形状であってもよい。また、図 4 1 (D) のように酸化物半導体層における貫通口 2 0 に形成されたコンタクトプラグ 6 3 の側壁の角度がコンタクトプラグ 6 3 の他の部位の側壁の角度と異なる形状であってもよい。また、図 4 1 (E) のように酸化物半導体層と第 1 の絶縁層との界面を境にコンタクトプラグ 6 3 の径が変化する形状であってもよい。また、図 4 1 (F) のように、第 1 の絶縁層の内部でコンタクトプラグ 6 3 の径が変化する形状であってもよい。また、図 4 0 に示すコンタクトプラグ 6 3 の形状が組み合わされた形状であってもよい。

【0067】

図 6 (A)、(B) は、本発明の一態様の半導体装置の上面図である。図 6 (A) は図 1 (A) に示す半導体装置の上面図であり、図 6 (B) は図 4 に示す半導体装置の上面図である。なお、図 1 (A) および図 4 は、図 6 (A)、(B) に示す P 1 - P 2 の断面に相当する。なお、図中 O 5 は酸化物半導体で形成された活性層を示し、S i はシリコンの活性領域を示す。

【0068】

また、本発明の他の一態様を図 7 (A) に示す。図 7 (A) に示す半導体装置は、シリコン基板 4 0 に活性領域を有するトランジスタ 5 3 と、酸化物半導体層を活性層とするトランジスタ 5 4 および容量素子 5 5 を有する。図 7 (A) に示すトランジスタ 5 3、5 4 および容量素子 5 5 の接続形態において、図 7 (B) の回路図に示す回路 9 1 を形成している。図 7 (A) に示す半導体装置は、容量素子 5 5 を有する点および各要素の接続形態を除き、図 1 (A) に示す半導体装置と同等の構成とすることができる。

【0069】

ここでは、トランジスタ 5 3 のゲート電極層と、トランジスタ 5 4 のソース電極層またはドレイン電極層の一方と、容量素子 5 5 の一方の電極層を電氣的に接続するためにコンタクトプラグ 6 6 を利用する。コンタクトプラグ 6 6 は、トランジスタ 5 4 のソース電極層またはドレイン電極層の一方（容量素子 5 5 の一方の電極層と共通）に設けられた貫通口を通して設けられる。したがって、図 1 (A) に示すコンタクトプラグ 6 3 と同様に第 2 の絶縁層から第 1 の絶縁層に向かう深さ方向において、トランジスタ 5 4 のソース電極層またはドレイン電極層の一方と第 2 の絶縁層との界面を境に径が小さくなる形状となる。

【0070】

なお、図 7 (A) において、コンタクトプラグ 6 6、6 7 は、存在する奥行き方向の位置が他のコンタクトプラグと異なるため、ハッチングを変えて記してある。

【0071】

なお、図 4 に示すトランジスタ 5 2 の構造をトランジスタ 5 4 に適用した場合は、図 8 に示す形態となる。また、図 9 (A) は、図 7 (A) に示す半導体装置の上面図の一例である。また、図 9 (B) は図 8 に示す半導体装置の上面図の一例である。なお、図 7 (A)

および図 8 は、図 9 ( A )、( B ) に示す Q 1 - Q 2 の断面に相当する。

【 0 0 7 2 】

図 7 ( B ) に示す回路 9 1 は電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置 ( 記憶回路 ) の一例である。

【 0 0 7 3 】

酸化物半導体を用いたトランジスタ 5 4 は、オフ電流が極めて低い電気特性を有するため、長時間の電荷保持を可能とする。例えば、ソースとドレインとの間の電圧を 0 . 1 V、5 V、または、1 0 V 程度とした場合、トランジスタのチャネル幅で規格化したオフ電流は、数  $y$  A /  $\mu$  m から数  $z$  A /  $\mu$  m にまで低減することができる。一方、酸化物半導体以外の材料、例えば結晶シリコンなどを用いたトランジスタは、高速動作が容易である。したがって、両者を組み合わせることにより、データの保持能力が高く、動作が高速な記憶装置を構成することができる。

10

【 0 0 7 4 】

図 7 ( B ) に示す半導体装置では、トランジスタ 5 3 のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 0 7 5 】

情報の書き込みおよび保持について説明する。まず、配線 7 7 の電位をトランジスタ 5 4 がオン状態となる電位にして、トランジスタ 5 4 をオン状態とする。

【 0 0 7 6 】

上記動作により、配線 7 6 の電位が、トランジスタ 5 3 のゲート電極、および容量素子 5 5 に与えられる。すなわち、ノード F N には、所定の電荷が与えられる ( 書き込み )。ここでは、異なる二つの電位レベルを与える電荷 ( 以下 L o w レベル電荷、H i g h レベル電荷という ) のいずれかが与えられるものとする。

20

【 0 0 7 7 】

その後、配線 7 7 の電位をトランジスタ 5 4 がオフ状態となる電位にして、トランジスタ 5 4 をオフ状態とすることにより、ノード F N に与えられた電荷が保持される ( 保持 )。トランジスタ 5 4 のオフ電流は極めて小さいため、ノード F N の電荷は長時間にわたって保持される。

【 0 0 7 8 】

次に情報の読み出しについて説明する。配線 7 5 に所定の電位 ( 定電位 ) を与えた状態で、配線 7 8 に適切な電位 ( 読み出し電位 ) を与えると、ノード F N に保持された電荷量に応じて、配線 7 9 は異なる電位をとる。

30

【 0 0 7 9 】

一般に、トランジスタ 5 3 を n チャネル型とすると、トランジスタ 5 3 のゲート電極 ( ノード F N ) に H i g h レベル電荷が与えられている場合の見かけのしきい値電圧  $V_{th\_H}$  は、トランジスタ 5 3 のゲート電極 ( ノード F N ) に L o w レベル電荷が与えられている場合の見かけのしきい値電圧  $V_{th\_L}$  より低くなる。

【 0 0 8 0 】

ここで、見かけのしきい値電圧とは、トランジスタ 5 3 を「オン状態」とするために必要な配線 7 8 の電位をいうものとする。したがって、配線 7 8 の電位を  $V_{th\_H}$  と  $V_{th\_L}$  の間の電位  $V_0$  とすることにより、トランジスタ 5 3 のゲート電極 ( ノード F N ) に与えられた電荷を判別できる。

40

【 0 0 8 1 】

例えば、書き込みにおいて、H i g h レベル電荷が与えられていた場合には、配線 7 8 の電位が  $V_0$  (  $> V_{th\_H}$  ) となれば、トランジスタ 5 3 は「オン状態」となる。L o w レベル電荷が与えられていた場合には、配線 7 8 の電位が  $V_0$  (  $< V_{th\_L}$  ) となっても、トランジスタ 5 3 は「オフ状態」のままである。このため、配線 7 9 の電位を判別することで、保持されている情報を読み出すことができる。

【 0 0 8 2 】

なお、メモリセルをアレイ状に配置して用いる場合は、所望のメモリセルの情報のみを読

50

み出せることが必要になる。このように情報を読み出さないメモリセルにおいては、ゲート電極に与えられている電位にかかわらず、トランジスタ53が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を配線78に与えればよい。または、ゲート電極に与えられている電位にかかわらず、トランジスタ53が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を配線78に与えればよい。

【0083】

図7(B)に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。なお、記憶内容の保持期間中に電力を供給する動作を行ってもよい。

10

【0084】

また、上述した駆動方法においては、ノードFNへの情報の書き込みに高い電圧を必要とせず、トランジスタ53の劣化の問題もない。例えば、従来の不揮発性メモリのような高電圧印加によるフローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う動作がないため、トランジスタ53のゲート絶縁膜の劣化などの問題が生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

20

【0085】

上述した本発明の一態様の半導体装置の構成要素について説明する。なお、以下においては、図1(A)に示す半導体装置を対象として説明するが、本実施の形態に示す他の半導体装置も同様である。

【0086】

シリコン基板40はバルクのシリコン基板に限らず、SOI基板であってもよい。また、シリコン基板40に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板を用いることもできる。

30

【0087】

なお、トランジスタ51は、プレーナ型のトランジスタだけでなく、様々なタイプのトランジスタとすることができる。例えば、FIN(フィン)型、TRI-GATE(トライゲート)型などのトランジスタなどとすることができる。

【0088】

絶縁層81は保護膜として機能させることができ、代表的には窒化シリコン膜や酸化アルミニウム膜を用いることができる。また絶縁層82および絶縁層87は平坦化膜として機能させることができ、代表的には酸化シリコン膜、酸化窒化シリコン膜などを用いることができる。

40

【0089】

絶縁層83は、水素ブロック膜として機能させることができる。トランジスタ51の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端し、トランジスタ51の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ52の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ52の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁層83を設けることが好ましい。絶縁層83により、下層に水素を閉じ込めることでトランジスタ51の信頼性が向上することに加え、下層から上層に水素

50

が拡散することが抑制されることでトランジスタ 5 2 の信頼性も同時に向上させることができる。

【0090】

絶縁層 8 3 としては、例えば、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア ( Y S Z ) 等を用いることができる。なお、絶縁層 8 5 もこれらの材料で形成することができる。

【0091】

絶縁層 8 4 はトランジスタ 5 2 の酸化物半導体層に対する酸素の供給源として機能する。したがって、絶縁層 8 4 は酸素を含む絶縁層であり、化学量論組成よりも酸素が多い組成であることが好ましい。また、絶縁層 8 4 は、トランジスタ 5 2 のバックゲート側のゲート絶縁膜としても機能させることができるため、酸化物半導体層との界面において、欠陥を生成しにくい膜であることが好ましい。

【0092】

絶縁層 8 4 としては、代表的には酸化シリコン膜、酸化窒化シリコン膜を用いることができる。また、窒化シリコン膜または窒化酸化シリコン膜と上記絶縁層との積層であってもよい。なお、絶縁層 8 6 もこれらの材料で形成することができる。

【0093】

コンタクトプラグ 6 1 乃至コンタクトプラグ 6 5 は代表的には金属材料で形成することができる。具体的には、タングステンを用いることができる。また、コンタクトプラグは、壁面に窒化チタンを設け、その内部にタングステンを設ける構成としてもよい。なお、絶縁層およびコンタクトプラグ上面の平坦化には C M P ( C h e m i c a l M e c h a n i c a l P o l i s h i n g ) 法を用いることができる。

【0094】

本実施の形態では、本発明の一態様をインバータ回路および記憶回路の構成を例として説明したが、他の回路に応用することも可能である。また、二つのトランジスタが重なる例に限らず、3 個以上のトランジスタ等の要素を電氣的に接続する場合においても応用することが可能である。

【0095】

また、本実施の形態では、シリコンを活性領域に有するトランジスタと酸化物半導体を活性層に有するトランジスタを積層する例を示したが、これに限らない。シリコンを有するトランジスタを複数積層する場合にも適用することができる。また、酸化物半導体を有するトランジスタを複数積層する場合にも適用することができる。

【0096】

また、本発明の一態様は、重なる配線の電氣的な接続にも適用することができる。

【0097】

図 4 2 に複数の膜種を有する多層膜をエッチングするためのエッチング装置の一例を示す。図 4 2 に示したエッチング装置は、エッチングチャンバー 8 1 0 A、8 1 0 B、8 1 0 C と、基板を各エッチングチャンバーへ移動する際に一時的に基板を待機させることを目的としたトランスファーチャンバー 8 2 0 と、各エッチングチャンバーへエッチングガス等を供給するガス供給システム 8 3 0 と、を有する。また、図示していないが、各電源供給システム、ポンプシステム、およびガス除害システム等を有する。

【0098】

複数の膜種を有する多層膜に微細な開口部を形成するには、平行平板型のエッチング装置を用いることが好ましい。特に、高密度プラズマ発生源などを有するエッチング装置を用いることが好ましい。または、各層のエッチングにおいて、適宜最適なエッチングガスを選択できるガス供給システムを有することが好ましい。特に、複数のガスを組み合わせる事ができるガス供給システムを有することが好ましい。

【0099】

例えば、複数の膜種を有する多層膜への微細な開口部の形成を、一つのエッチングチャン

10

20

30

40

50

パーで行ってもよい。この方法では、各層において最適なエッチングガスを用いればよい。図42のように、3つのエッチングチャンバーを有するエッチング装置であれば、複数の基板を同時並行的に処理することが可能である。そのため、生産効率を高めることができる。

#### 【0100】

一つのエッチングチャンバーで複数の膜種を有する多層膜をエッチングする場合、エッチングチャンバーでは、エッチングする膜種に応じて最適なガスに切り替える。そのため、様々なエッチング生成物がエッチングチャンバー壁に堆積することがある。これが、エッチングチャンバー壁から剥がれ、パーティクルとなることがある。パーティクルが基板上に付着するとエッチング不良を引き起こすことがある。

10

#### 【0101】

このようなパーティクルの発生を防止する方法としては、膜種毎にエッチングチャンバーを決めて、エッチングする方法がある。以下では、図42に示したエッチング装置を用いて、複数の膜種を有する多層膜をエッチングする場合の一例を示す。ここで用いるエッチングの対象物は、第1の絶縁膜と、第2の絶縁膜と、第3の絶縁膜と、酸化物半導体膜と、導電膜と、第4の絶縁膜と、有機樹脂膜と、フォトレジストと、が基板上にこの順に形成されている積層物とする。なお、フォトレジストは、露光および現像を経て、所定の形状を有する。

#### 【0102】

まず、基板をエッチングチャンバー810Aに配置し、有機樹脂膜および第4の絶縁膜のエッチングを行う。次に基板を、エッチングチャンバー810Aから、トランスファーチャンバー820を介して、エッチングチャンバー810Bに移動させ、導電膜をエッチングする。次に基板を、エッチングチャンバー810Bから、トランスファーチャンバー820を介して、エッチングチャンバー810Aに移動させ、酸化物半導体膜、第3の絶縁膜および第2の絶縁膜をエッチングする。次に基板を、エッチングチャンバー810Aから、トランスファーチャンバー820を介して、エッチングチャンバー810Cに移動させ、アッシングをすることでこれまでのエッチングで生じた生成物を除去する。次に基板を、エッチングチャンバー810Cから、トランスファーチャンバー820を介して、エッチングチャンバー810Aに移動させ、第1の絶縁膜をエッチングする。次に基板を、エッチングチャンバー810Aから、トランスファーチャンバー820を介して、エッチングチャンバー810Cへ移動させ、アッシングをすることでフォトレジストおよび有機樹脂膜を除去する。

20

30

#### 【0103】

上記一例より、さらに多層膜となっている構成であっても、上記手順を繰り返すことにより、微細な開口部を形成することができる。

#### 【0104】

上記の一例の場合は、複数の膜種を有する多層膜をエッチングするために複数のエッチングチャンバーを用いる。このとき、基板は、真空中で移動され、大気雰囲気にはさらされることがないので、再現性のよいエッチングができる。また、各エッチングチャンバーにおいては、膜種毎にエッチングガスを切り替えることがない。そのため、処理時間が短くなり、生産効率を高くすることができる。

40

#### 【0105】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

#### 【0106】

##### (実施の形態2)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体を有するトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

#### 【0107】

50

図10(A)、(B)は、本発明の一態様のトランジスタ101の上面図および断面図である。図10(A)は上面図であり、図10(A)に示す一点鎖線B1-B2方向の断面が図10(B)に相当する。また、図10(A)に示す一点鎖線B3-B4方向の断面が図16(A)に相当する。また、一点鎖線B1-B2方向をチャネル長方向、一点鎖線B3-B4方向をチャネル幅方向と呼称する場合がある。

#### 【0108】

トランジスタ101は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電氣的に接続する導電層140および導電層150と、酸化物半導体層130、導電層140および導電層150と接する絶縁層160と、絶縁層160と接する導電層170と、導電層140、導電層150、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に接する絶縁層190(平坦化膜)などを有していてもよい。

10

#### 【0109】

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

#### 【0110】

また、図10(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャネル形成領域として機能することができる。領域231および領域232は導電層140および導電層150とそれぞれ接しており、例えば導電層140および導電層150として酸素と結合しやすい導電材料を用いれば領域231および領域232を低抵抗化することができる。

20

#### 【0111】

具体的には、酸化物半導体層130と導電層140および導電層150とが接することで酸化物半導体層130内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層130内に残留または外部から拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。

#### 【0112】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることができる。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

30

#### 【0113】

また、導電層170は、導電層171および導電層172の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

#### 【0114】

また、導電層140および導電層150は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

40

#### 【0115】

また、本発明の一態様のトランジスタは、図11(A)、(B)に示す構成であってもよい。図11(A)はトランジスタ102の上面図であり、図11(A)に示す一点鎖線C1-C2方向の断面が図11(B)に相当する。また、図11(A)に示す一点鎖線C3-C4方向の断面は、図16(B)に相当する。また、一点鎖線C1-C2方向をチャネル長方向、一点鎖線C3-C4方向をチャネル幅方向と呼称する場合がある。

#### 【0116】

トランジスタ102は、ゲート絶縁膜として作用する絶縁層160がゲート電極層として作用する導電層170と端部を一致させない点を除き、トランジスタ101と同様の構成

50

を有する。トランジスタ102の構造は、導電層140および導電層150が絶縁層160で広く覆われているため、導電層140および導電層150と導電層170との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

【0117】

トランジスタ101およびトランジスタ102は、導電層170と導電層140および導電層150が重なる領域を有するトップゲート構造である。当該領域のチャネル長方向の幅は、寄生容量を小さくするために3nm以上300nm未満とすることが好ましい。一方で、酸化物半導体層130にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0118】

また、本発明の一態様のトランジスタは、図12(A)、(B)に示す構成であってもよい。図12(A)はトランジスタ103の上面図であり、図12(A)に示す一点鎖線D1-D2方向の断面が図12(B)に相当する。また、図12(A)に示す一点鎖線D3-D4方向の断面は、図16(A)に相当する。また、一点鎖線D1-D2方向をチャネル長方向、一点鎖線D3-D4方向をチャネル幅方向と呼称する場合がある。

【0119】

トランジスタ103は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電層170と、酸化物半導体層130、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて酸化物半導体層130と電氣的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層190(平坦化膜)などを有していてもよい。

【0120】

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

【0121】

また、図12(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャネル形成領域として機能することができる。領域231および領域232は絶縁層175と接しており、例えば絶縁層175として水素を含む絶縁材料を用いれば領域231および領域232を低抵抗化することができる。

【0122】

具体的には、絶縁層175を形成するまでの工程により領域231および領域232に生じる酸素欠損と、絶縁層175から領域231および領域232に拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコンや窒化アルミニウムなどを用いることができる。

【0123】

また、本発明の一態様のトランジスタは、図13(A)、(B)に示す構成であってもよい。図13(A)はトランジスタ104の上面図であり、図13(A)に示す一点鎖線E1-E2方向の断面が図13(B)に相当する。また、図13(A)に示す一点鎖線E3-E4方向の断面は、図16(A)に相当する。また、一点鎖線E1-E2方向をチャネル長方向、一点鎖線E3-E4方向をチャネル幅方向と呼称する場合がある。

【0124】

トランジスタ104は、導電層140および導電層150が酸化物半導体層130の端部を覆うように接している点を除き、トランジスタ103と同様の構成を有する。

【0125】

また、図13(B)に示す領域331および領域334はソース領域、領域332および領域335はドレイン領域、領域333はチャネル形成領域として機能することができる。領域331および領域332はトランジスタ101における領域231および領域232と同様に低抵抗化することができる。また、領域334および領域335はトランジス

10

20

30

40

50

タ１０３における領域２３１および領域２３２と同様に低抵抗化することができる。なお、チャンネル長方向における領域３３４および領域３３５の幅が１００nm以下、好ましくは５０nm以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しないため、上述したような低抵抗化を行わない構成とすることもできる。

【０１２６】

トランジスタ１０３およびトランジスタ１０４は、導電層１７０と導電層１４０および導電層１５０が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

【０１２７】

また、本発明の一態様のトランジスタは、図１４（Ａ）、（Ｂ）に示す構成であってもよい。図１４（Ａ）はトランジスタ１０５の上面図であり、図１４（Ａ）に示す一点鎖線Ｆ１－Ｆ２方向の断面が図１４（Ｂ）に相当する。また、図１４（Ａ）に示す一点鎖線Ｆ３－Ｆ４方向の断面は、図１６（Ａ）に相当する。また、一点鎖線Ｆ１－Ｆ２方向をチャンネル長方向、一点鎖線Ｆ３－Ｆ４方向をチャンネル幅方向と呼称する場合がある。

【０１２８】

トランジスタ１０５は、基板１１５と接する絶縁層１２０と、絶縁層１２０と接する酸化物半導体層１３０と、酸化物半導体層１３０と電氣的に接続する導電層１４１および導電層１５１と、酸化物半導体層１３０、導電層１４１、導電層１５１と接する絶縁層１６０と、絶縁層１６０と接する導電層１７０と、酸化物半導体層１３０、導電層１４１、導電層１５１、絶縁層１６０および導電層１７０と接する絶縁層１７５と、絶縁層１７５と接する絶縁層１８０と、絶縁層１７５および絶縁層１８０に設けられた開口部を通じて導電層１４１および導電層１５１とそれぞれ電氣的に接続する導電層１４２および導電層１５２を有する。また、必要に応じて絶縁層１８０、導電層１４２および導電層１５２に接する絶縁層１９０（平坦化膜）などを有していてもよい。

【０１２９】

ここで、導電層１４１および導電層１５１は、酸化物半導体層１３０の上面と接し、側面には接しない構成となっている。

【０１３０】

トランジスタ１０５は、導電層１４１および導電層１５１を有する点、および絶縁層１７５および絶縁層１８０に設けられた開口部を通じて導電層１４１および導電層１５１とそれぞれ電氣的に接続する導電層１４２および導電層１５２を有する点を除き、トランジスタ１０１と同様の構成を有する。導電層１４０（導電層１４１および導電層１４２）はソース電極層として作用させることができ、導電層１５０（導電層１５１および導電層１５２）はドレイン電極層として作用させることができる。

【０１３１】

また、本発明の一態様のトランジスタは、図１５（Ａ）、（Ｂ）に示す構成であってもよい。図１５（Ａ）はトランジスタ１０６の上面図であり、図１５（Ａ）に示す一点鎖線Ｇ１－Ｇ２方向の断面が図１５（Ｂ）に相当する。また、図１５（Ａ）に示す一点鎖線Ｇ３－Ｇ４方向の断面は、図１６（Ａ）に相当する。また、一点鎖線Ｇ１－Ｇ２方向をチャンネル長方向、一点鎖線Ｇ３－Ｇ４方向をチャンネル幅方向と呼称する場合がある。

【０１３２】

トランジスタ１０６は、基板１１５と接する絶縁層１２０と、絶縁層１２０と接する酸化物半導体層１３０と、酸化物半導体層１３０と電氣的に接続する導電層１４１および導電層１５１と、酸化物半導体層１３０と接する絶縁層１６０と、絶縁層１６０と接する導電層１７０と、絶縁層１２０、酸化物半導体層１３０、導電層１４１、導電層１５１、絶縁層１６０、導電層１７０と接する絶縁層１７５と、絶縁層１７５と接する絶縁層１８０と、絶縁層１７５および絶縁層１８０に設けられた開口部を通じて導電層１４１および導電層１５１とそれぞれ電氣的に接続する導電層１４２および導電層１５２を有する。また、必要に応じて絶縁層１８０、導電層１４２および導電層１５２に接する絶縁層１９０（平

10

20

30

40

50

坦化膜)などを有していてもよい。

【0133】

ここで、導電層141および導電層151は、酸化物半導体層130の上面と接し、側面には接しない構成となっている。

【0134】

トランジスタ106は、導電層141および導電層151を有する点を除き、トランジスタ103と同様の構成を有する。導電層140(導電層141および導電層142)はソース電極層として作用させることができ、導電層150(導電層151および導電層152)はドレイン電極層として作用させることができる。

【0135】

トランジスタ105およびトランジスタ106の構成では、導電層140および導電層150が絶縁層120と接しない構成であるため、絶縁層120中の酸素が導電層140および導電層150に奪われにくくなり、絶縁層120から酸化物半導体層130中への酸素の供給を容易とすることができる。

【0136】

なお、トランジスタ103における領域231および領域232、トランジスタ104およびトランジスタ106における領域334および領域335には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

【0137】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

【0138】

なお、不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。このため、酸化物導電体は透光性を有する。なお、ここでは、導電体化された酸化物半導体を酸化物導電体という。

【0139】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

【0140】

また、本発明の一態様のトランジスタは、図17(A)、(B)、(C)、(D)、(E)、(F)に示すチャネル長方向の断面図、ならびに図18(A)、(B)に示すチャネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層(バックゲート)として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図17(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層170の幅よりも短くしてもよい。

【0141】

オン電流を増加させるには、例えば、導電層170と導電層173を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導

10

20

30

40

50

電層 170 とは異なる定電位を導電層 173 に供給すればよい。導電層 170 と導電層 173 を同電位とするには、例えば、図 18 (B) に示すように、導電層 170 と導電層 173 とをコンタクトホールを介して電氣的に接続すればよい。

【0142】

また、図 10 乃至図 15 におけるトランジスタ 101 乃至トランジスタ 106 では、酸化物半導体層 130 が単層である例を図示したが、酸化物半導体層 130 は積層であってもよい。トランジスタ 101 乃至トランジスタ 106 の酸化物半導体層 130 は、図 19 または図 20 に示す酸化物半導体層 130 と入れ替えることができる。

【0143】

図 19 (A)、(B)、(C) は、二層構造である酸化物半導体層 130 の上面図および断面図である。図 19 (A) は上面図であり、図 19 (A) に示す一点鎖線 A1 - A2 方向の断面が図 19 (B) に相当する。また、図 19 (A) に示す一点鎖線 A3 - A4 方向の断面が図 19 (C) に相当する。

10

【0144】

また、図 20 (A)、(B)、(C) は、三層構造である酸化物半導体層 130 の上面図および断面図である。図 20 (A) は上面図であり、図 20 (A) に示す一点鎖線 A1 - A2 方向の断面が図 20 (B) に相当する。また、図 20 (A) に示す一点鎖線 A3 - A4 方向の断面が図 20 (C) に相当する。

【0145】

酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

20

【0146】

また、本発明の一態様のトランジスタは、図 21 (A)、(B) に示す構成であってもよい。図 21 (A) はトランジスタ 107 の上面図であり、図 21 (A) に示す一点鎖線 H1 - H2 方向の断面が図 21 (B) に相当する。また、図 21 (A) に示す一点鎖線 H3 - H4 方向の断面が図 27 (A) に相当する。また、一点鎖線 H1 - H2 方向をチャネル長方向、一点鎖線 H3 - H4 方向をチャネル幅方向と呼称する場合がある。

【0147】

トランジスタ 107 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130a および酸化物半導体層 130b からなる積層と、当該積層と電氣的に接続する導電層 140 および導電層 150 と、当該積層、導電層 140 および導電層 150 と接する酸化物半導体層 130c と、酸化物半導体層 130c と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、導電層 140、導電層 150、酸化物半導体層 130c、絶縁層 160 および導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、を有する。また、必要に応じて絶縁層 180 に接する絶縁層 190 (平坦化膜) などを有していてもよい。

30

【0148】

トランジスタ 107 は、領域 231 および領域 232 において酸化物半導体層 130 が二層 (酸化物半導体層 130a、酸化物半導体層 130b) である点、領域 233 において酸化物半導体層 130 が三層 (酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c) である点、および導電層 140 および導電層 150 と絶縁層 160 との間に酸化物半導体層の一部 (酸化物半導体層 130c) が介在している点を除き、トランジスタ 101 と同様の構成を有する。

40

【0149】

また、本発明の一態様のトランジスタは、図 22 (A)、(B) に示す構成であってもよい。図 22 (A) はトランジスタ 108 の上面図であり、図 22 (A) に示す一点鎖線 I1 - I2 方向の断面が図 22 (B) に相当する。また、図 22 (A) に示す一点鎖線 I3 - I4 方向の断面が図 27 (B) に相当する。また、一点鎖線 I1 - I2 方向をチャネル長方向、一点鎖線 I3 - I4 方向をチャネル幅方向と呼称する場合がある。

【0150】

50

トランジスタ１０８は、領域２３１および領域２３２において酸化物半導体層１３０が二層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ）である点、領域２３３において酸化物半導体層１３０が三層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、酸化物半導体層１３０ｃ）である点、および導電層１４０および導電層１５０と絶縁層１６０との間に酸化物半導体層の一部（酸化物半導体層１３０ｃ）が介在している点を除き、トランジスタ１０２と同様の構成を有する。

【０１５１】

また、本発明の一態様のトランジスタは、図２３（Ａ）、（Ｂ）に示す構成であってもよい。図２３（Ａ）はトランジスタ１０９の上面図であり、図２３（Ａ）に示す一点鎖線Ｊ１ - Ｊ２方向の断面が図２３（Ｂ）に相当する。また、図２３（Ａ）に示す一点鎖線Ｊ３ - Ｊ４方向の断面が図２７（Ａ）に相当する。また、一点鎖線Ｊ１ - Ｊ２方向をチャネル長方向、一点鎖線Ｊ３ - Ｊ４方向をチャネル幅方向と呼称する場合がある。

10

【０１５２】

トランジスタ１０９は、基板１１５と接する絶縁層１２０と、絶縁層１２０と接する酸化物半導体層１３０ａおよび酸化物半導体層１３０ｂからなる積層と、当該積層と接する酸化物半導体層１３０ｃと、酸化物半導体層１３０ｃと接する絶縁層１６０と、絶縁層１６０と接する導電層１７０と、当該積層、酸化物半導体層１３０ｃ、絶縁層１６０および導電層１７０を覆う絶縁層１７５と、絶縁層１７５と接する絶縁層１８０と、絶縁層１７５および絶縁層１８０に設けられた開口部を通じて当該積層と電気的に接続する導電層１４０および導電層１５０を有する。また、必要に応じて絶縁層１８０、導電層１４０および導電層１５０に接する絶縁層１９０（平坦化膜）などを有していてもよい。

20

【０１５３】

トランジスタ１０９は、領域２３１および領域２３２において酸化物半導体層１３０が二層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ）である点、領域２３３において酸化物半導体層１３０が三層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、酸化物半導体層１３０ｃ）である点を除き、トランジスタ１０３と同様の構成を有する。

【０１５４】

また、本発明の一態様のトランジスタは、図２４（Ａ）、（Ｂ）に示す構成であってもよい。図２４（Ａ）はトランジスタ１１０の上面図であり、図２４（Ａ）に示す一点鎖線Ｋ１ - Ｋ２方向の断面が図２４（Ｂ）に相当する。また、図２４（Ａ）に示す一点鎖線Ｋ３ - Ｋ４方向の断面が図２７（Ａ）に相当する。また、一点鎖線Ｋ１ - Ｋ２方向をチャネル長方向、一点鎖線Ｋ３ - Ｋ４方向をチャネル幅方向と呼称する場合がある。

30

【０１５５】

トランジスタ１１０は、領域２３１および領域２３２において酸化物半導体層１３０が二層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ）である点、領域２３３において酸化物半導体層１３０が三層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、酸化物半導体層１３０ｃ）である点を除き、トランジスタ１０４と同様の構成を有する。

【０１５６】

また、本発明の一態様のトランジスタは、図２５（Ａ）、（Ｂ）に示す構成であってもよい。図２５（Ａ）はトランジスタ１１１の上面図であり、図２５（Ａ）に示す一点鎖線Ｌ１ - Ｌ２方向の断面が図２５（Ｂ）に相当する。また、図２５（Ａ）に示す一点鎖線Ｌ３ - Ｌ４方向の断面が図２７（Ａ）に相当する。また、一点鎖線Ｌ１ - Ｌ２方向をチャネル長方向、一点鎖線Ｌ３ - Ｌ４方向をチャネル幅方向と呼称する場合がある。

40

【０１５７】

トランジスタ１１１は、基板１１５と接する絶縁層１２０と、絶縁層１２０と接する酸化物半導体層１３０ａおよび酸化物半導体層１３０ｂからなる積層と、当該積層と電気的に接続する導電層１４１および導電層１５１と、当該積層、導電層１４１および導電層１５１と接する酸化物半導体層１３０ｃと、酸化物半導体層１３０ｃと接する絶縁層１６０と、絶縁層１６０と接する導電層１７０と、当該積層、導電層１４１、導電層１５１、酸化物半導体層１３０ｃ、絶縁層１６０および導電層１７０と接する絶縁層１７５と、絶縁層

50

１７５と接する絶縁層１８０と、絶縁層１７５および絶縁層１８０に設けられた開口部を通じて導電層１４１および導電層１５１とそれぞれ電氣的に接続する導電層１４２および導電層１５２を有する。また、必要に応じて絶縁層１８０、導電層１４２および導電層１５２に接する絶縁層１９０（平坦化膜）などを有していてもよい。

【０１５８】

トランジスタ１１１は、領域２３１および領域２３２において酸化物半導体層１３０が二層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ）である点、領域２３３において酸化物半導体層１３０が三層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、酸化物半導体層１３０ｃ）である点、および導電層１４１および導電層１５１と絶縁層１６０との間に酸化物半導体層の一部（酸化物半導体層１３０ｃ）が介在している点を除き、トランジスタ１０５と同様の構成を有する。

10

【０１５９】

また、本発明の一態様のトランジスタは、図２６（Ａ）、（Ｂ）に示す構成であってもよい。図２６（Ａ）はトランジスタ１１２の上面図であり、図２６（Ａ）に示す一点鎖線Ｍ１－Ｍ２方向の断面が図２６（Ｂ）に相当する。また、図２６（Ａ）に示す一点鎖線Ｍ３－Ｍ４方向の断面が図２７（Ａ）に相当する。また、一点鎖線Ｍ１－Ｍ２方向をチャネル長方向、一点鎖線Ｍ３－Ｍ４方向をチャネル幅方向と呼称する場合がある。

【０１６０】

トランジスタ１１２は、領域３３１、領域３３２、領域３３４および領域３３５において酸化物半導体層１３０が二層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ）である点、領域３３３において酸化物半導体層１３０が三層（酸化物半導体層１３０ａ、酸化物半導体層１３０ｂ、酸化物半導体層１３０ｃ）である点を除き、トランジスタ１０６と同様の構成を有する。

20

【０１６１】

また、本発明の一態様のトランジスタは、図２８（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）、（Ｅ）、（Ｆ）に示すチャネル長方向の断面図、ならびに図２９（Ａ）、（Ｂ）に示すチャネル幅方向の断面図のように、酸化物半導体層１３０と基板１１５との間に導電層１７３を備えていてもよい。当該導電層を第２のゲート電極層（バックゲート）として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図２８（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）、（Ｅ）、（Ｆ）に示す断面図において、導電層１７３の幅を酸化物半導体層１３０よりも短くしてもよい。さらに、導電層１７３の幅を導電層１７０の幅よりも短くしてもよい。

30

【０１６２】

また、本発明の一態様のトランジスタにおける導電層１４０（ソース電極層）および導電層１５０（ドレイン電極層）は、図３０（Ａ）、（Ｂ）に示す上面図（酸化物半導体層１３０、導電層１４０および導電層１５０のみを図示）のように酸化物半導体層１３０の幅（ $W_{OS}$ ）よりも導電層１４０および導電層１５０の幅（ $W_{SD}$ ）が長く形成されていてもよいし、短く形成されていてもよい。 $W_{OS} > W_{SD}$ （ $W_{SD}$ は $W_{OS}$ 以下）とすることで、ゲート電界が酸化物半導体層１３０全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。

40

【０１６３】

本発明の一態様のトランジスタ（トランジスタ１０１乃至トランジスタ１１２）では、いずれの構成においても、ゲート電極層である導電層１７０は、ゲート絶縁膜である絶縁層１６０を介して酸化物半導体層１３０のチャネル幅方向を電氣的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、*surrounded channel*（*s-channel*）構造とよぶ。

【０１６４】

また、酸化物半導体層１３０ａおよび酸化物半導体層１３０ｂを有するトランジスタ、ならびに酸化物半導体層１３０ａ、酸化物半導体層１３０ｂおよび酸化物半導体層１３０ｃを有するトランジスタにおいては、酸化物半導体層１３０を構成する二層または三層の材

50

料を適切に選択することで酸化物半導体層 130b に電流を流すことができる。酸化物半導体層 130b に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、酸化物半導体層 130b を厚くすると、オン電流を向上させることができる。例えば、酸化物半導体層 130b の膜厚を 100nm 乃至 200nm としてもよい。

#### 【0165】

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

#### 【0166】

なお、本明細書において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

#### 【0167】

また、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

#### 【0168】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

#### 【0169】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

#### 【0170】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

## 【0171】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

## 【0172】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

## 【0173】

(実施の形態3)

本実施の形態では、実施の形態2に示したトランジスタの構成要素について詳細を説明する。

10

## 【0174】

基板115は、図1(A)におけるシリコン基板40、絶縁層81、絶縁層82および絶縁層83を含む構成に相当する。なお、シリコン基板にはp-ch型のトランジスタのみを形成するため、n<sup>-</sup>型の導電型を有するシリコン基板を用いることが好ましい。または、n<sup>-</sup>型またはi型のシリコン層を有するSOI基板であってもよい。また、当該シリコン基板におけるトランジスタを形成する面の面方位は、(110)面であることが好ましい。表面に(110)面を有するシリコン基板にp-ch型トランジスタを形成することで、移動度を高くすることができる。

## 【0175】

20

絶縁層120は図1(A)における絶縁層84に相当する。絶縁層120は、基板115からの不純物の拡散を防止する役割を有するほか、酸化物半導体層130に酸素を供給する役割を担うことができる。したがって、絶縁層120は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上である膜とする。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上500 以下の範囲が好ましい。また、上述のように基板115が他のデバイスが形成された基板である場合、絶縁層120は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにCMP(Chemical Mechanical Polishing)法等で平坦化処理を行うことが好ましい。

30

## 【0176】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

## 【0177】

40

なお、本実施の形態では、トランジスタが有する酸化物半導体層130が酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを絶縁層120側から順に積んだ三層構造である場合を主として詳細を説明する。

## 【0178】

なお、酸化物半導体層130が単層の場合は、上記酸化物半導体層130bに相当する層を用いればよい。

## 【0179】

また、酸化物半導体層130が二層の場合は、酸化物半導体層130aに相当する層および酸化物半導体層130bに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層130aと酸化物半導体層130bとを入れ替え

50

ることできる。

【0180】

また、酸化物半導体層130が四層以上である場合は、例えば、本実施の形態で説明する三層構造の酸化物半導体層130に対して他の酸化物半導体層を積む構成や当該三層構造におけるいずれかの界面に他の酸化物半導体層を挿入する構成とすることができる。

【0181】

一例としては、酸化物半導体層130bには、酸化物半導体層130aおよび酸化物半導体層130cよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

10

【0182】

酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層130bよりも、0.05eV、0.07eV、0.1eV、0.15eVのいずれか以上であって、2eV、1eV、0.5eV、0.4eVのいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

【0183】

このような構造において、導電層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層130bにチャネルが形成される。

20

【0184】

また、酸化物半導体層130aは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bと絶縁層120が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130aとの界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、酸化物半導体層130aを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

【0185】

30

また、酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bとゲート絶縁膜（絶縁層160）が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130cとの界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層130cを設けることにより、トランジスタの電界効果移動度を高くすることができる。

【0186】

酸化物半導体層130aおよび酸化物半導体層130cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを酸化物半導体層130bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bよりも酸素欠損が生じにくいということができる。

40

【0187】

また、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cとして用いることのできる酸化物半導体は、少なくともインジウム（In）もしくは亜鉛（Zn）を含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0188】

50

スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

#### 【0189】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

#### 【0190】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

#### 【0191】

また、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、 $M$ は、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。

#### 【0192】

なお、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cが、少なくともインジウム、亜鉛および $M$  (Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属) を含むIn-M-Zn酸化物であるとき、酸化物半導体層130aを $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$  [原子数比]、酸化物半導体層130bを $\text{In}:\text{M}:\text{Zn} = x_2:y_2:z_2$  [原子数比]、酸化物半導体層130cを $\text{In}:\text{M}:\text{Zn} = x_3:y_3:z_3$  [原子数比] とすると、 $y_1/x_1$  および  $y_3/x_3$  が  $y_2/x_2$  よりも大きくなることが好ましい。 $y_1/x_1$  および  $y_3/x_3$  は  $y_2/x_2$  よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層130bにおいて、 $y_2$  が  $x_2$  以上であるとトランジスタの電気特性を安定させることができる。ただし、 $y_2$  が  $x_2$  の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 $y_2$  は  $x_2$  の3倍未満であることが好ましい。

#### 【0193】

酸化物半導体層130aおよび酸化物半導体層130cにおけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体層130bのZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。

## 【0194】

また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い組成となる酸化物はInがMと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、酸化物半導体層130bにインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現することができる。

## 【0195】

酸化物半導体層130aの厚さは、3nm以上100nm以下、好ましくは5nm以上50nm以下、さらに好ましくは5nm以上25nm以下とする。また、酸化物半導体層130bの厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは15nm以上100nm以下とする。また、酸化物半導体層130cの厚さは、1nm以上50nm以下、好ましくは2nm以上30nm以下、さらに好ましくは3nm以上15nm以下とする。また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cより厚い方が好ましい。

## 【0196】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性(i型)または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

## 【0197】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

## 【0198】

酸化物半導体層を真性または実質的に真性とするためには、SIMS(Secondary Ion Mass Spectrometry)分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

## 【0199】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満とする部分を有していればよい。また、例えば、酸化物半導体層のある深さにおいて、または

、酸化物半導体層のある領域において、炭素濃度を  $1 \times 10^{19} \text{ atoms/cm}^3$  未満、好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  未満、さらに好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  未満とする部分を有していればよい。

【0200】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V、5 V、または、10 V 程度とした場合に、トランジスタのチャネル幅で規格化したオフ電流を数  $y \text{ A}/\mu\text{m}$  乃至数  $z \text{ A}/\mu\text{m}$  にまで低減することが可能となる。

【0201】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえることができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることがある。このような観点からも、酸化物半導体層のチャネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

10

【0202】

したがって、酸化物半導体層 130 を酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c の積層構造とすることで、酸化物半導体層 130 b にチャネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

20

【0203】

酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c のバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c は組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、図面において、当該積層体のそれぞれの界面は点線で表している。

【0204】

30

主成分を共通として積層された酸化物半導体層 130 は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0205】

例えば、酸化物半導体層 130 a および酸化物半導体層 130 c には  $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $1 : 3 : 3$ 、 $1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 4 : 5$ 、 $1 : 6 : 4$  または  $1 : 9 : 6$ （原子数比）、酸化物半導体層 130 b には  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $2 : 1 : 3$ 、 $5 : 5 : 6$ 、 $3 : 1 : 2$ 、または  $4 : 2 : 4.1$ （原子数比）などの  $\text{In} - \text{Ga} - \text{Zn}$  酸化物などを用いることができる。なお、酸化物半導体層 130 a、酸化物半導体層 130 b、および酸化物半導体層 130 c の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 40 % の変動を含む。

40

【0206】

酸化物半導体層 130 における酸化物半導体層 130 b はウェル（井戸）となり、酸化物半導体層 130 を用いたトランジスタにおいて、チャネルは酸化物半導体層 130 b に形成される。なお、酸化物半導体層 130 は伝導帯下端のエネルギーが連続的に変化しているため、U 字型井戸とも呼ぶことができる。また、このような構成で形成されたチャネル

50

を埋め込みチャネルということもできる。

【0207】

また、酸化物半導体層130aおよび酸化物半導体層130cと、酸化シリコン膜などの絶縁層との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体層130aおよび酸化物半導体層130cがあることにより、酸化物半導体層130bと当該トラップ準位とを遠ざけることができる。

【0208】

ただし、酸化物半導体層130aおよび酸化物半導体層130cの伝導帯下端のエネルギーと、酸化物半導体層130bの伝導帯下端のエネルギーとの差が小さい場合、酸化物半導体層130bの電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0209】

したがって、トランジスタのしきい値電圧の変動を低減するには、酸化物半導体層130aおよび酸化物半導体層130cの伝導帯下端のエネルギーと、酸化物半導体層130bの伝導帯下端のエネルギーとの間に一定以上の差を設けることが必要となる。それぞれの当該エネルギー差は、0.1eV以上が好ましく、0.15eV以上がより好ましい。

【0210】

酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

【0211】

ソース電極層として作用する導電層140およびドレイン電極層として作用する導電層150には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。なお、トランジスタ105、トランジスタ106、トランジスタ111、トランジスタ112においては、例えば、導電層141および導電層151にW、導電層142および導電層152にTiとAlとの積層膜などを用いることができる。

【0212】

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0213】

また、導電層140および導電層150にWを用いる場合には、窒素をドーピングしてもよい。窒素をドーピングすることで酸素を引き抜く性質を適度に弱めることができ、n型化した領域がチャネル領域まで拡大することを防ぐことができる。また、上記の導電層をn型の半導体層との積層とし、n型の半導体層と酸化物半導体層を接触させることによってもn型化した領域がチャネル領域まで拡大することを防ぐことができる。n型の半導体層としては、窒素が添加されたIn-Ga-Zn酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどを用いることができる。

【0214】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、

10

20

30

40

50

酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層 160 は上記材料の積層であってもよい。なお、絶縁層 160 に、ランタン (La)、窒素、ジルコニウム (Zr) などを、不純物として含んでもよい。

【0215】

また、絶縁層 160 の積層構造の一例について説明する。絶縁層 160 は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0216】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、等価酸化膜厚に対して物理的な膜厚を大きくできるため、等価酸化膜厚を 10 nm 以下または 5 nm 以下とした場合でも、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

【0217】

また、酸化物半導体層 130 と接する絶縁層 120 および絶縁層 160 は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁層と酸化物半導体が接した場合、酸化物半導体のエネルギーギャップ内における窒素酸化物の準位密度が高くなることがある。絶縁層 120 および絶縁層 160 には、例えば、窒素酸化物の放出量の少ない酸化窒化シリコン膜または酸化窒化アルミニウム膜等の酸化物絶縁層を用いることができる。

【0218】

なお、窒素酸化物の放出量の少ない酸化窒化シリコン膜は、TDSにおいて、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が  $1 \times 10^{18}$  個/cm<sup>3</sup> 以上  $5 \times 10^{19}$  個/cm<sup>3</sup> 以下である。なお、上記 TDS 分析時における膜の表面温度としては 50 以上 650 以下、または 50 以上 550 以下の範囲が好ましい。

【0219】

絶縁層 120 および絶縁層 160 として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0220】

ゲート電極層として作用する導電層 170 には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、Ta および W などの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗の Cu または Cu-Mn などの合金や上記材料と Cu または Cu-Mn などの合金との積層を用いてもよい。本実施の形態では、導電層 171 に窒化タンタル、導電層 172 にタングステンをを用いて導電層 170 を形成する。

【0221】

絶縁層 175 には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態 2 に示したトランジスタ 103、トランジスタ 104、トランジスタ 106、トランジスタ 109、トランジスタ 110、およびトランジスタ 112 では、絶縁層 175 として水素を含む絶縁膜を用いることで酸化物半導体層の一部を n 型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、ト

10

20

30

40

50

ランジスタの信頼性を向上させることができる。

【0222】

また、絶縁層175としては酸化アルミニウム膜を用いることもできる。特に、実施の形態2に示したトランジスタ101、トランジスタ102、トランジスタ105、トランジスタ107、トランジスタ108、およびトランジスタ111では絶縁層175に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、トランジスタの電気特性の変動要因となる水素、水分などの不純物の酸化物半導体層130への混入防止、酸化物半導体層130を構成する主成分材料である酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

10

【0223】

また、絶縁層175上には絶縁層180が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

20

【0224】

ここで、絶縁層180は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層180から放出される酸素は絶縁層160を経由して酸化物半導体層130のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0225】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、チャネル幅が縮小するとオン電流は低下する。

【0226】

本発明の一態様のトランジスタ107乃至トランジスタ112では、チャネルが形成される酸化物半導体層130bを覆うように酸化物半導体層130cが形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

30

【0227】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層130のチャネル幅方向を電気的に取り囲むようにゲート電極層(導電層170)が形成されているため、酸化物半導体層130に対しては垂直方向からのゲート電界に加えて、側面方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

40

【0228】

また、本発明の一態様における酸化物半導体層130が二層または三層のトランジスタでは、チャネルが形成される酸化物半導体層130bを酸化物半導体層130a上に形成することで界面準位を形成しにくくする効果を有する。また、本発明の一態様における酸化物半導体層130が三層のトランジスタでは、酸化物半導体層130bを三層構造の中間に位置する層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値(サブスレッショルド値)を低減させることができる。したがって、 $I_{cut}$ (ゲート電圧 $V_G$ が0V時の電流)を下げることができ、消費電力を低減させることがで

50

きる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。

#### 【0229】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

#### 【0230】

(実施の形態4)

本実施の形態では、実施の形態2で説明したトランジスタ101、トランジスタ107、およびトランジスタ111の作製方法を説明する。

10

#### 【0231】

まず、基板115に含まれるシリコントランジスタの作製方法の一例を説明する。シリコン基板としては、 $n^+$ 型の単結晶シリコン基板を用い、表面に絶縁層(フィールド酸化膜とも言う)で分離した素子形成領域を形成する。素子形成領域の形成は、LOCOS法(Local Oxidation of Silicon)法)やSTI法(Shallow Trench Isolation)等を用いることができる。

#### 【0232】

ここで基板は単結晶シリコン基板に限らず、SOI(Silicon on Insulator)基板等を用いることもできる。

20

#### 【0233】

次に、素子形成領域を覆うようにゲート絶縁膜を形成する。例えば、熱処理を行い素子形成領域の表面を酸化させることにより酸化シリコン膜を形成する。また、酸化シリコン膜を形成した後に窒化処理を行うことによって酸化シリコン膜の表面を窒化させてもよい。

#### 【0234】

次に、ゲート絶縁膜を覆うように導電膜を形成する。導電膜としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

30

#### 【0235】

次に、導電膜を選択的にエッチングすることによって、ゲート絶縁膜上にゲート電極層を形成する。

#### 【0236】

次に、ゲート電極層を覆うように酸化シリコン膜または窒化シリコン膜等の絶縁膜を形成し、エッチバックを行ってゲート電極層の側面にサイドウォールを形成する。

#### 【0237】

次に、素子形成領域以外を覆うようにレジストマスクを選択的に形成し、当該レジストマスクおよびゲート電極層をマスクとして不純物元素を導入することによって $p^+$ 型の不純物領域を形成する。ここでは、 $p$ -ch型のトランジスタを形成するため、不純物元素としては、 $p$ 型を付与する不純物元素であるホウ素(B)やガリウム(Ga)等を用いることができる。

40

#### 【0238】

以上でシリコン基板に活性領域を有する $p$ -ch型のトランジスタが完成する。なお、当該トランジスタ上には窒化シリコン膜や酸化アルミニウム膜などのパッシベーション膜を形成することが好ましい。

#### 【0239】

次に、トランジスタを形成したシリコン基板上に層間絶縁膜を形成し、各種コンタクトプラグおよび各種配線を形成する。また、実施の形態1で説明したように水素の拡散を防止

50

する酸化アルミニウム等の絶縁層を形成する。基板 115 には、上述したトランジスタが形成されたシリコン基板、当該シリコン基板上に形成された層間絶縁膜等が含まれる。

【0240】

続いて、図 31 および図 32 を用いてトランジスタ 101 の作製方法を説明する。なお、図面の左側にはトランジスタのチャンネル長方向の断面を示し、右側にはチャンネル幅方向の断面を示す。また、チャンネル幅方向の図面は拡大図のため、各要素の見かけ上の膜厚は左右の図面で異なる。

【0241】

酸化物半導体層 130 は、酸化物半導体層 130a、酸化物半導体層 130b および酸化物半導体層 130c の三層構造である場合を例示する。酸化物半導体層 130 が二層構造の場合は、酸化物半導体層 130a および酸化物半導体層 130b の二層とし、酸化物半導体層 130 が単層構造の場合は、酸化物半導体層 130b の一層とすればよい。

10

【0242】

まず、基板 115 上に絶縁層 120 を形成する。基板 115 の種類および絶縁層 120 の材質は実施の形態 3 の説明を参照することができる。なお、絶縁層 120 は、スパッタ法、CVD 法、MBE (Molecular Beam Epitaxy) 法などを用いて形成することができる。

【0243】

また、絶縁層 120 にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層 120 から酸化物半導体層 130 への酸素の供給をさらに容易にすることができる。

20

【0244】

なお、基板 115 の表面が絶縁体であり、後に設ける酸化物半導体層 130 への不純物拡散の影響が無い場合は、絶縁層 120 を設けない構成とすることができる。

【0245】

次に、絶縁層 120 上に酸化物半導体層 130a となる酸化物半導体膜 130A、酸化物半導体層 130b となる酸化物半導体膜 130B、および酸化物半導体層 130c となる酸化物半導体膜 130C をスパッタ法、CVD 法、MBE 法などを用いて成膜する (図 31 (A) 参照)。

30

【0246】

酸化物半導体層 130 が積層構造である場合、酸化物半導体膜はロードロック室を備えたマルチチャンバー方式の成膜装置 (例えばスパッタ装置) を用いて各層を大気に触れさせることなく連続して積層することが好ましい。スパッタ装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべく、クライオポンプのような吸着式の真空排気ポンプを用いて高真空排気 ( $5 \times 10^{-7}$  Pa 乃至  $1 \times 10^{-4}$  Pa 程度まで) できることが好ましく、かつ、成膜される基板を 100 以上、好ましくは 500 以上に加熱できることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に炭素成分や水分等を含む気体が逆流しないようにしておくことが好ましい。また、ターボ分子ポンプとクライオポンプを組み合わせた排気系を用いて

40

【0247】

高純度真性酸化物半導体を得るためには、チャンバー内を高真空排気するのみならずスパッタガスの高純度化も必要である。スパッタガスとして用いる酸素ガスやアルゴンガスは、露点が -40 以下、好ましくは -80 以下、より好ましくは -100 以下にまで高純度化したガスを用いることで酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

【0248】

酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C には、実施の形態 3 で説明した材料を用いることができる。例えば、酸化物半導体膜 130A

50

に  $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 6$ 、 $1 : 3 : 4$ 、 $1 : 3 : 3$  または  $1 : 3 : 2$  [原子数比] の  $\text{In} - \text{Ga} - \text{Zn}$  酸化物、酸化物半導体膜 130B に  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $3 : 1 : 2$ 、 $5 : 5 : 6$  または  $4 : 2 : 4$ 、 $1$  [原子数比] の  $\text{In} - \text{Ga} - \text{Zn}$  酸化物、酸化物半導体膜 130C に  $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 6$ 、 $1 : 3 : 4$ 、 $1 : 3 : 3$  または  $1 : 3 : 2$  [原子数比] の  $\text{In} - \text{Ga} - \text{Zn}$  酸化物を用いることができる。また、酸化物半導体膜 130A、および酸化物半導体膜 130C には、酸化ガリウムのような酸化物半導体を用いてもよい。また、成膜法にスパッタ法を用いる場合は、上記材料をターゲットとして成膜することができる。なお、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 40% の変動を含む。例えば、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4$ 、 $1$  の材料をターゲットに用いてスパッタ法で成膜した膜の原子数比は、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$  になることがある。

10

#### 【0249】

ただし、実施の形態 3 に詳細を記したように、酸化物半導体膜 130B には酸化物半導体膜 130A および酸化物半導体膜 130C よりも電子親和力が大きい材料を用いる。

#### 【0250】

なお、酸化物半導体膜の成膜には、スパッタ法を用いることが好ましい。スパッタ法としては、RF スパッタ法、DC スパッタ法、AC スパッタ法等を用いることができる。

#### 【0251】

酸化物半導体膜 130C の形成後に、第 1 の加熱処理を行ってもよい。第 1 の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。第 1 の加熱処理によって、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C の結晶性を高め、さらに絶縁層 120、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C から水素や水などの不純物を除去することができる。なお、第 1 の加熱処理は、後述する酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c を形成するエッチングの後に行ってもよい。

20

#### 【0252】

次に、酸化物半導体膜 130C 上に導電層を形成する。導電層は、例えば、次の方法を用いて形成することができる。

30

#### 【0253】

まず、酸化物半導体膜 130C 上に第 1 の導電膜を形成する。第 1 の導電膜としては、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。

#### 【0254】

次に、第 1 の導電膜上にネガ型のレジスト膜を形成し、当該レジスト膜に対して電子ビーム露光、液浸露光、EUV 露光などの方法を用いて露光し、現像処理を行うことで第 1 のレジストマスクを形成する。なお、第 1 の導電膜とレジスト膜の間には密着剤として有機塗布膜を形成することが好ましい。また、ナノインプリントリソグラフィ法を用いて第 1 のレジストマスクを形成してもよい。

40

#### 【0255】

次に、第 1 のレジストマスクを用いて、第 1 の導電膜を選択的にエッチングし、第 1 のレジストマスクをアッシングすることにより導電層を形成する。

#### 【0256】

次に、上記導電層をハードマスクとして用い、酸化物半導体膜 130A、酸化物半導体膜 130B、および酸化物半導体膜 130C を選択的にエッチングして上記導電層を取り除き、酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c の積層からなる酸化物半導体層 130 を形成する（図 31 (B) 参照）。なお、上記導電

50

層を形成せずに、第1のレジストマスクを用いて酸化物半導体層130を形成してもよい。ここで、酸化物半導体層130に対して酸素イオンを注入してもよい。

【0257】

次に、酸化物半導体層130を覆うように第2の導電膜を形成する。第2の導電膜としては、実施の形態3で説明した導電層140および導電層150に用いることのできる材料で形成すればよい。第2の導電膜の形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0258】

次に、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成する。そして、第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する(図31(C)参照)。

10

【0259】

次に、酸化物半導体層130、導電層140および導電層150上に絶縁膜160Aを形成する。絶縁膜160Aは、実施の形態3で説明した絶縁層160に用いることのできる材料で形成すればよい。絶縁膜160Aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0260】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、絶縁層120から酸素を酸化物半導体層130の全体に拡散させることができる。なお、第2の加熱処理を行わずに、第3の加熱処理で上記効果を得てもよい。

20

【0261】

次に、絶縁膜160A上に導電層170となる第3の導電膜171Aおよび第4の導電膜172Aを形成する。第3の導電膜171Aおよび第4の導電膜172Aは、実施の形態3で説明した導電層171および導電層172に用いることのできる材料で形成すればよい。第3の導電膜171Aおよび第4の導電膜172Aの形成には、スパッタ法、CVD法、MBE法などを用いることができる。

【0262】

次に、第4の導電膜172A上に第3のレジストマスク156を形成する(図32(A)参照)。そして、当該レジストマスクを用いて、第3の導電膜171A、第4の導電膜172Aおよび絶縁膜160Aを選択的にエッチングし、導電層171および導電層172からなる導電層170、および絶縁層160を形成する(図32(B)参照)。なお、絶縁膜160Aをエッチングしない構造とすれば、トランジスタ102を作製することができる。

30

【0263】

次に、酸化物半導体層130、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175を形成する。絶縁層175の材質は、実施の形態3の説明を参照することができる。トランジスタ101の場合は、酸化アルミニウム膜を用いることが好ましい。絶縁層175は、スパッタ法、CVD法、MBE法などで形成することができる。

40

【0264】

次に、絶縁層175上に絶縁層180を形成する(図32(C)参照)。絶縁層180の材質は、実施の形態3の説明を参照することができる。また、絶縁層180は、スパッタ法、CVD法、MBE法などで形成することができる。

【0265】

また、絶縁層175および/または絶縁層180にイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理法などを用いて酸素を添加してもよい。酸素を添加することによって、絶縁層175および/または絶縁層180から酸化物半導体層130への酸素の供給をさらに容易にすることができる。

【0266】

50

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第3の加熱処理により、絶縁層120、絶縁層175、絶縁層180から過剰酸素が放出されやすくなり、酸化物半導体層130の酸素欠損を低減することができる。

【0267】

次に、トランジスタ107の作製方法について説明する。なお、上述したトランジスタ101の作製方法と重複する工程の詳細な説明は省略する。

【0268】

基板115上に絶縁層120を形成し、当該絶縁層120上に酸化物半導体層130aとなる酸化物半導体膜130A、および酸化物半導体層130bとなる酸化物半導体膜130Bをスパッタ法、CVD法、MBE法などを用いて成膜する(図33(A)参照)。

10

【0269】

次に、第1の導電膜を酸化物半導体膜130B上に形成し、前述した方法と同様に第1のレジストマスクを用いて導電層を形成する。そして、当該導電層をハードマスクとして酸化物半導体膜130Aおよび酸化物半導体膜130Bを選択的にエッチングし、上記導電層を取り除いて酸化物半導体層130aおよび酸化物半導体層130bからなる積層を形成する(図33(B)参照)。なお、ハードマスクを形成せずに、第1のレジストマスクを用いて当該積層を形成してもよい。ここで、酸化物半導体層130aおよび酸化物半導体層130bに対して酸素イオンを注入してもよい。

【0270】

20

次に、上記積層を覆うように第2の導電膜を形成する。そして、ソース領域およびドレイン領域となる部分の上に第2のレジストマスクを形成し、当該第2のレジストマスクを用いて第2の導電膜の一部をエッチングし、導電層140および導電層150を形成する(図33(C)参照)。

【0271】

次に、酸化物半導体層130aおよび酸化物半導体層130bの積層上、ならびに導電層140および導電層150上に酸化物半導体層130cとなる酸化物半導体膜130Cを形成する。さらに、酸化物半導体膜130C上に絶縁膜160A、第3の導電膜171Aおよび第4の導電膜172Aを形成する。

【0272】

30

次に、第4の導電膜172A上に第3のレジストマスク156を形成する(図34(A)参照)。そして、当該レジストマスクを用いて、第3の導電膜171A、第4の導電膜172A、絶縁膜160A、および酸化物半導体膜130Cを選択的にエッチングし、導電層171および導電層172からなる導電層170、絶縁層160、および酸化物半導体層130cを形成する(図34(B)参照)。なお、絶縁膜160Aおよび酸化物半導体膜130Cを第4のレジストマスクを用いてエッチングすることで、トランジスタ108を作製することができる。

【0273】

次に、絶縁層120、酸化物半導体層130(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)、導電層140、導電層150、絶縁層160および導電層170上に絶縁層175および絶縁層180を形成する(図34(C)参照)。

40

【0274】

以上の工程において、トランジスタ107を作製することができる。

【0275】

次に、トランジスタ111の作製方法について説明する。なお、上述したトランジスタ101の作製方法と重複する工程の詳細な説明は省略する。

【0276】

基板115上に絶縁層120を形成し、当該絶縁層120上に酸化物半導体層130aとなる酸化物半導体膜130A、および酸化物半導体層130bとなる酸化物半導体膜130Bをスパッタ法、CVD法、MBE法などを用いて成膜する。そして、第1の導電膜を

50

酸化物半導体膜 130B 上に形成し、第 1 のレジストマスクを用いて導電層 141a を形成する（図 35（A）参照）。

【0277】

そして、導電層 141a をハードマスクとして酸化物半導体膜 130A および酸化物半導体膜 130B を選択的にエッチングし、酸化物半導体層 130a、酸化物半導体層 130b および導電層 141a からなる積層を形成する（図 35（B）参照）。ここで、酸化物半導体層 130a および酸化物半導体層 130b に対して酸素イオンを注入してもよい。

【0278】

次に、ソース領域およびドレイン領域となる部分の上に第 2 のレジストマスクを形成し、当該第 2 のレジストマスクを用いて導電層 141a の一部をエッチングし、導電層 141 および導電層 151 を形成する（図 35（C）参照）。

10

【0279】

次に、酸化物半導体層 130a および酸化物半導体層 130b の積層上、ならびに導電層 141 および導電層 151 上に酸化物半導体層 130c となる酸化物半導体膜 130C を形成する。さらに、酸化物半導体膜 130C 上に絶縁膜 160A、第 3 の導電膜 171A および第 4 の導電膜 172A を形成する。

【0280】

次に、第 4 の導電膜 172A 上に第 3 のレジストマスク 156 を形成する（図 36（A）参照）。そして、当該レジストマスクを用いて、第 3 の導電膜 171A、第 4 の導電膜 172A、絶縁膜 160A、および酸化物半導体膜 130C を選択的にエッチングし、導電層 171 および導電層 172 からなる導電層 170、絶縁層 160、および酸化物半導体層 130c を形成する（図 36（B）参照）。

20

【0281】

次に、絶縁層 120、酸化物半導体層 130（酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c）、導電層 141、導電層 151、絶縁層 160 および導電層 170 上に絶縁層 175 および絶縁層 180 を形成する。

【0282】

次に、絶縁層 175 および絶縁層 180 に導電層 141 および導電層 151 に達する開口部を設け、当該開口部を覆うように第 5 の導電膜を形成する。そして、第 5 の導電膜上に第 4 のレジストマスクを設け、当該レジストマスクを用いて、第 5 の導電膜を選択的にエッチングし、導電層 142 および導電層 152 を形成する（図 36（C）参照）。

30

【0283】

以上の工程において、トランジスタ 111 を作製することができる。

【0284】

なお、本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマ CVD 法により形成することができるが、他の方法、例えば、熱 CVD 法により形成してもよい。熱 CVD 法の例としては、MOCVD（Metal Organic Chemical Vapor Deposition）法や ALD（Atomic Layer Deposition）法などがある。

【0285】

40

熱 CVD 法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0286】

また、熱 CVD 法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0287】

ALD 法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて 2 種類以上の原料

50

ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

10

#### 【0288】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、およびジメチル亜鉛を用いることができる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）を用いることもできる。

20

#### 【0289】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシド溶液、代表的にはテトラキスジメチルアミドハフニウム（TDMAH））を気化させた原料ガスと、酸化剤としてオゾン（ $\text{O}_3$ ）の2種類のガスを用いる。なお、テトラキスジメチルアミドハフニウムの化学式は $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ である。また、他の材料液としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

#### 【0290】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（TMA）など）を気化させた原料ガスと、酸化剤として $\text{H}_2\text{O}$ の2種類のガスを用いる。なお、トリメチルアルミニウムの化学式は $\text{Al}(\text{CH}_3)_3$ である。また、他の材料液としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオナート）などがある。

30

#### 【0291】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、吸着物に含まれる塩素を除去し、酸化性ガス（ $\text{O}_2$ 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

#### 【0292】

40

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 $\text{WF}_6$ ガスと $\text{B}_2\text{H}_6$ ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 $\text{WF}_6$ ガスと $\text{H}_2$ ガスを同時に導入してタングステン膜を形成する。なお、 $\text{B}_2\text{H}_6$ ガスに代えて $\text{SiH}_4$ ガスを用いてもよい。

#### 【0293】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと $\text{O}_3$ ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと $\text{O}_3$ ガスを同時に導入してGa-O層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と $\text{O}_3$ ガスを同時に導入してZn-O層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga

50

- O 層や In - Zn - O 層、Ga - Zn - O 層などの混合化合物層を形成しても良い。なお、O<sub>3</sub> ガスに変えて Ar 等の不活性ガスでパブリングして得られたた H<sub>2</sub>O ガスを用いても良いが、H を含まない O<sub>3</sub> ガスを用いる方が好ましい。また、In (CH<sub>3</sub>)<sub>3</sub> ガスにかえて、In (C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> ガスを用いても良い。また、Ga (CH<sub>3</sub>)<sub>3</sub> ガスにかえて、Ga (C<sub>2</sub>H<sub>5</sub>)<sub>3</sub> ガスを用いても良い。また、Zn (CH<sub>3</sub>)<sub>2</sub> ガスを用いても良い。

#### 【0294】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

#### 【0295】

(実施の形態5)

<酸化物半導体の構造について>

以下では、酸化物半導体の構造について説明する。

#### 【0296】

本明細書において、「平行」とは、二つの直線が - 10° 以上 10° 以下の角度で配置されている状態をいう。したがって、- 5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が - 30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

#### 【0297】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

#### 【0298】

酸化物半導体は、例えば、非単結晶酸化物半導体と単結晶酸化物半導体とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

#### 【0299】

なお、非単結晶酸化物半導体としては、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC - OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

#### 【0300】

まずは、CAAC - OS について説明する。

#### 【0301】

CAAC - OS は、c 軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

#### 【0302】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC - OS の明視野像および回折パターンの複合解析像 (高分解能 TEM 像ともいう。) を観察することで複数のペレットを確認することができる。一方、高分解能 TEM 像によっても明確なペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC - OS は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

#### 【0303】

例えば、図 43 (A) に示すように、試料面と略平行な方向から、CAAC - OS の断面の高分解能 TEM 像を観察する。ここでは、球面収差補正 (Spherical Aberration Corrector) 機能を用いて TEM 像を観察する。なお、球面収差補正機能を用いた高分解能 TEM 像を、以下では、特に Cs 補正高分解能 TEM 像と呼

10

20

30

40

50

ぶ。なお、Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

#### 【0304】

図43(A)の領域(1)を拡大したCs補正高分解能TEM像を図43(B)に示す。図43(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-Osの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-Osの被形成面または上面と平行に配列する。

#### 【0305】

図43(B)において、CAAC-Osは特徴的な原子配列を有する。図43(C)は、特徴的な原子配列を、補助線で示したものである。図43(B)および図43(C)より、ペレット一つの大きさは1nm以上3nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。

#### 【0306】

ここで、Cs補正高分解能TEM像から、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図43(D)参照。)。図43(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図43(D)に示す領域5161に相当する。

#### 【0307】

また、例えば、図44(A)に示すように、試料面と略垂直な方向から、CAAC-Osの平面のCs補正高分解能TEM像を観察する。図44(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図44(B)、図44(C)および図44(D)に示す。図44(B)、図44(C)および図44(D)より、ペレットは、金属原子が三角形、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

#### 【0308】

例えば、InGaZnO<sub>4</sub>の結晶を有するCAAC-Osに対し、X線回折(XRD:X-Ray Diffraction)装置を用いてout-of-plane法による構造解析を行うと、図45(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

#### 【0309】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-Osは、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

#### 【0310】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO<sub>4</sub>の結晶の(110)面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図45(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO<sub>4</sub>の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図45(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

#### 【0311】

次に、C A A C - O SであるI n - G a - Z n酸化物に対し、試料面に平行な方向からプローブ径が300 nmの電子線を入射させたときの回折パターン（制限視野透過電子回折パターンともいう。）を図46（A）に示す。図46（A）より、例えば、I n G a Z n O<sub>4</sub>の結晶の（009）面に起因するスポットが確認される。したがって、電子回折によっても、C A A C - O Sに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直な方向からプローブ径が300 nmの電子線を入射させたときの回折パターンを図46（B）に示す。図46（B）より、リング状の回折パターンが確認される。したがって、電子回折によっても、C A A C - O Sに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図46（B）における第1リングは、I n G a Z n O<sub>4</sub>の結晶の（010）面および（100）面などに起因すると考えられる。また、図46（B）における第2リングは（110）面などに起因すると考えられる。

10

#### 【0312】

このように、それぞれのペレット（ナノ結晶）のc軸が、被形成面または上面に略垂直な方向を向いていることから、C A A C - O SをC A N C（C - A x i s A l i g n e d n a n o c r y s t a l s）を有する酸化物半導体と呼ぶこともできる。

#### 【0313】

C A A C - O Sは、不純物濃度の低い酸化物半導体である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体の主成分以外の元素である。特に、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体内部に含まれると、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

#### 【0314】

また、C A A C - O Sは、欠陥準位密度の低い酸化物半導体である。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

#### 【0315】

また、C A A C - O Sを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

30

#### 【0316】

次に、微結晶酸化物半導体について説明する。

#### 【0317】

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶を有する酸化物半導体を、n c - O S（n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r）と呼ぶ。また、n c - O Sは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O Sにおけるペレットと同じ起源を有する可能性がある。そのため、以下ではn c - O Sの結晶部をペレットと呼ぶ場合がある。

40

#### 【0318】

n c - O Sは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、n c - O Sは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O Sは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O Sに対し、ペレットよりも大きい径のX線を用いるXRD装置

50

を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OSに対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

#### 【0319】

10

このように、それぞれのペレット（ナノ結晶）の結晶方位が規則性を有さないことから、nc-OSをNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

#### 【0320】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

#### 【0321】

次に、非晶質酸化物半導体について説明する。

20

#### 【0322】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

#### 【0323】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

#### 【0324】

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

30

#### 【0325】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造（completely amorphous structure）と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-OSおよびnc-OSを、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

40

#### 【0326】

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）と呼ぶ。

#### 【0327】

a-like OSは、高分解能TEM像において鬆（ボイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

50

## 【0328】

以下では、酸化物半導体の構造による電子照射の影響の違いについて説明する。

## 【0329】

a-like OS、nc-OSおよびCAAC-OSを準備する。いずれの試料もIn-Ga-Zn酸化物である。

## 【0330】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

## 【0331】

さらに、各試料の結晶部の大きさを計測する。図47は、各試料の結晶部(22箇所から45箇所)の平均の大きさの変化を調査した例である。図47より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図47中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ になるまでの範囲で、電子の累積照射量によらず結晶部の大きさに変化が見られないことがわかる。具体的には、図47中の(2)で示すように、TEMによる観察の経過によらず、結晶部の大きさは1.4nm程度であることがわかる。また、図47中の(3)で示すように、TEMによる観察の経過によらず、結晶部の大きさは2.1nm程度であることがわかる。

10

20

## 【0332】

このように、a-like OSは、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS、およびCAAC-OSであれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られないことがわかる。

## 【0333】

なお、a-like OSおよびnc-OSの結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO<sub>4</sub>の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO<sub>4</sub>の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO<sub>4</sub>の結晶のa-b面に対応する。

30

## 【0334】

また、酸化物半導体は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体の構造を推定することができる。例えば、単結晶の密度に対し、a-like OSの密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OSの密度およびCAAC-OSの密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体は、成膜すること自体が困難である。

40

## 【0335】

上記について、具体例を用いて説明する。例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO<sub>4</sub>の密度は6.357g/cm<sup>3</sup>となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、a-like OSの密度は5.0g/cm<sup>3</sup>以上5.9g/cm<sup>3</sup>未満となる。また、例えば、In:Ga:Zn=1:1:1[原

50

子数比]を満たす酸化物半導体において、 $nc-OS$ の密度および $CAC-OS$ の密度は $5.9\text{ g/cm}^3$ 以上 $6.3\text{ g/cm}^3$ 未満となる。

【0336】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせることで算出することが好ましい。

【0337】

なお、酸化物半導体は、例えば、非晶質酸化物半導体、 $a\text{-like OS}$ 、微結晶酸化物半導体、 $CAC-OS$ のうち、二種以上を有する積層膜であってもよい。

10

【0338】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損が少ない)酸化物半導体は、キャリア密度を低くすることができる。したがって、そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。 $CAC-OS$ および $nc-OS$ は、 $a\text{-like OS}$ および非晶質酸化物半導体よりも不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、 $CAC-OS$ または $nc-OS$ を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。そのため、 $CAC-OS$ または $nc-OS$ を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0339】

<成膜モデル>

以下では、 $CAC-OS$ および $nc-OS$ の成膜モデルの一例について説明する。

【0340】

図48(A)は、スパッタリング法により $CAC-OS$ が成膜される様子を示した成膜室内の模式図である。

30

【0341】

ターゲット5130は、バックグプレートに接着されている。バックグプレートを介してターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0342】

ターゲット5130は、多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。

【0343】

一例として、 $In-Ga-Zn$ 酸化物を有するターゲット5130の劈開面について説明する。図49(A)に、ターゲット5130に含まれる $InGaZnO_4$ の結晶の構造を示す。なお、図49(A)は、 $c$ 軸を上向きとし、 $b$ 軸に平行な方向から $InGaZnO_4$ の結晶を観察した場合の構造である。

40

【0344】

図49(A)より、近接する二つの $Ga-Zn-O$ 層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つの $Ga-Zn-O$ 層は互いに反発する。その結果、 $InGaZnO_4$ の結晶は、近接する二つの $Ga-Zn-O$ 層の間に劈開面を有する。

【0345】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離 $d$ (タ

50

ターゲット - 基板間距離 ( T - S 間距離 ) ともいう。 ) は 0 . 0 1 m 以上 1 m 以下、好ましくは 0 . 0 2 m 以上 0 . 5 m 以下とする。成膜室内は、ほとんどが成膜ガス ( 例えば、酸素、アルゴン、または酸素を 5 体積 % 以上の割合で含む混合ガス ) で満たされ、 0 . 0 1 Pa 以上 1 0 0 Pa 以下、好ましくは 0 . 1 Pa 以上 1 0 Pa 以下に制御される。ここで、ターゲット 5 1 3 0 に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット 5 1 3 0 の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン 5 1 0 1 が生じる。イオン 5 1 0 1 は、例えば、酸素の陽イオン (  $O^+$  ) やアルゴンの陽イオン (  $Ar^+$  ) などである。

#### 【 0 3 4 6 】

イオン 5 1 0 1 は、電界によってターゲット 5 1 3 0 側に加速され、やがてターゲット 5 1 3 0 と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット 5 1 0 0 a およびペレット 5 1 0 0 b が剥離し、叩き出される。なお、ペレット 5 1 0 0 a およびペレット 5 1 0 0 b は、イオン 5 1 0 1 の衝突の衝撃によって、構造に歪みが生じる場合がある。

#### 【 0 3 4 7 】

ペレット 5 1 0 0 a は、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット 5 1 0 0 b は、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット 5 1 0 0 a およびペレット 5 1 0 0 b などの平板状またはペレット状のスパッタ粒子を総称してペレット 5 1 0 0 と呼ぶ。ペレット 5 1 0 0 の平面の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形 ( 例えば、正三角形 ) が 2 個合わさった四角形 ( 例えば、ひし形 ) となる場合もある。

#### 【 0 3 4 8 】

ペレット 5 1 0 0 は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット 5 1 0 0 の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット 5 1 0 0 は、厚さを 0 . 4 nm 以上 1 nm 以下、好ましくは 0 . 6 nm 以上 0 . 8 nm 以下とする。また、例えば、ペレット 5 1 0 0 は、幅を 1 nm 以上 3 nm 以下、好ましくは 1 . 2 nm 以上 2 . 5 nm 以下とする。ペレット 5 1 0 0 は、上述の図 4 7 中の ( 1 ) で説明した初期核に相当する。例えば、In - Ga - Zn 酸化物を有するターゲット 5 1 3 0 にイオン 5 1 0 1 を衝突させる場合、図 4 9 ( B ) に示すように、Ga - Zn - O 層、In - O 層および Ga - Zn - O 層の 3 層を有するペレット 5 1 0 0 が飛び出してくる。なお、図 4 9 ( C ) は、ペレット 5 1 0 0 を c 軸に平行な方向から観察した場合の構造である。したがって、ペレット 5 1 0 0 は、二つの Ga - Zn - O 層 ( パン ) と、In - O 層 ( 具 ) と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

#### 【 0 3 4 9 】

ペレット 5 1 0 0 は、プラズマを通過する際に電荷を受け取ることで、側面が負または正に帯電する場合がある。ペレット 5 1 0 0 は、側面に酸素原子を有し、当該酸素原子が負に帯電する可能性がある。このように、側面が同じ極性の電荷を帯びることにより、電荷同士の反発が起こり、平板状の形状を維持することが可能となる。なお、CAAC - OS が、In - Ga - Zn 酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット 5 1 0 0 は、プラズマを通過する際にインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図 4 7 中の ( 2 ) と ( 1 ) の大きさの違いが、プラズマ中での成長分に相当する。ここで、基板 5 1 2 0 が室温程度である場合、ペレット 5 1 0 0 がこれ以上成長しないため nc - OS となる ( 図 4 8 ( B ) 参照。 ) 。成膜可能な温度が室温程度であることから、基板 5 1 2 0 が大面積である場合でも nc - OS の成膜は可能である。なお、ペレット 5 1 0 0 をプラズマ中で成長させるためには、スパッタリング法における

10

20

30

40

50

成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができる。

【0350】

図48(A)および図48(B)に示すように、例えば、ペレット5100は、プラズマ中を凧のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づくと、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場(水平磁場ともいう。)が生じている。また、基板5120およびターゲット5130間には、電位差が与えられているため、基板5120からターゲット5130に向けて電流が流れている。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力(ローレンツ力)を受ける。このことは、フレミングの左手の法則によって理解できる。

10

【0351】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に与える力を大きくするためには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

20

【0352】

このとき、マグネットと基板5120とが相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向への力を受け、様々な方向へ移動することができる。

【0353】

また、図48(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CAAC-OS中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCAAC-OSとなる。なお、基板5120の上面の温度は、例えば、100以上500未満、150以上450未満、または170以上400未満とすればよい。即ち、基板5120が大面積である場合でもCAAC-OSの成膜は可能である。

30

【0354】

また、ペレット5100が基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほぼ単結晶となる。ペレット5100がほぼ単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

40

【0355】

また、CAAC-OSは、単結晶酸化物半導体が一枚板のようになっているのではなく、ペレット5100(ナノ結晶)の集合体がレンガまたはブロックが積み重なったような配列をしている。また、その間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CAAC-OSに縮みなどの変形が生じた場合でも、局部応力

50

を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に適した構造である。なお、nc-OSは、ペレット5100（ナノ結晶）が無秩序に積み重なったような配列となる。

#### 【0356】

ターゲットをイオンでスパッタした際に、ペレットだけでなく、酸化亜鉛などが飛び出す場合がある。酸化亜鉛はペレットよりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図50に断面模式図を示す。

#### 【0357】

図50（A）に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット5105bと、が堆積する。ここで、ペレット5105aとペレット5105bとは、互いに側面が接するように配置している。また、ペレット5105cは、ペレット5105b上に堆積した後、ペレット5105b上を滑るように移動する。また、ペレット5105aの別の側面において、酸化亜鉛とともにターゲットから飛び出した複数の粒子5103が基板5120の加熱により結晶化し、領域5105a1を形成する。なお、複数の粒子5103は、酸素、亜鉛、インジウムおよびガリウムなどを含む可能性がある。

10

#### 【0358】

そして、図50（B）に示すように、領域5105a1は、ペレット5105aと同化し、ペレット5105a2となる。また、ペレット5105cは、その側面がペレット5105bの別の側面と接するように配置する。

20

#### 【0359】

次に、図50（C）に示すように、さらにペレット5105dがペレット5105a2上およびペレット5105b上に堆積した後、ペレット5105a2上およびペレット5105b上を滑るように移動する。また、ペレット5105cの別の側面に向けて、さらにペレット5105eが酸化亜鉛層5102上を滑るように移動する。

#### 【0360】

そして、図50（D）に示すように、ペレット5105dは、その側面がペレット5105a2の側面と接するように配置する。また、ペレット5105eは、その側面がペレット5105cの別の側面と接するように配置する。また、ペレット5105dの別の側面において、酸化亜鉛とともにターゲットから飛び出した複数の粒子5103が基板5120の加熱により結晶化し、領域5105d1を形成する。

30

#### 【0361】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起こることで、基板5120上にCAAC-OSが形成される。したがって、CAAC-OSは、nc-OSよりも一つ一つのペレットが大きくなる。上述の図47中の（3）と（2）の大きさの違いが、堆積後の成長分に相当する。

#### 【0362】

また、ペレット5100の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。大きなペレットは、単結晶構造を有する。例えば、大きなペレットの大きさが、上面から見て10nm以上200nm以下、15nm以上100nm以下、または20nm以上50nm以下となる場合がある。したがって、トランジスタのチャンネル形成領域が、大きなペレットよりも小さい場合、チャンネル形成領域として単結晶構造を有する領域を用いることができる。また、ペレットが大きくなることで、トランジスタのチャンネル形成領域、ソース領域およびドレイン領域として単結晶構造を有する領域を用いることができる場合がある。

40

#### 【0363】

このように、トランジスタのチャンネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

#### 【0364】

以上のようなモデルにより、ペレット5100が基板5120上に堆積していくと考えら

50

れる。したがって、エピタキシャル成長とは異なり、被形成面が結晶構造を有さない場合においても、C A A C - O S の成膜が可能であることがわかる。例えば、基板 5 1 2 0 の上面（被形成面）の構造が非晶質構造（例えば非晶質酸化シリコン）であっても、C A A C - O S を成膜することは可能である。

【 0 3 6 5 】

また、C A A C - O S は、被形成面である基板 5 1 2 0 の上面に凹凸がある場合でも、その形状に沿ってペレット 5 1 0 0 が配列することがわかる。例えば、基板 5 1 2 0 の上面が原子レベルで平坦な場合、ペレット 5 1 0 0 は a b 面と平行な平面である平板面を下に向けて並置する。ペレット 5 1 0 0 の厚さが均一である場合、厚さが均一で平坦、かつ高い結晶性を有する層が形成される。そして、当該層が n 段（n は自然数。）積み重なることで、C A A C - O S を得ることができる。

10

【 0 3 6 6 】

一方、基板 5 1 2 0 の上面が凹凸を有する場合でも、C A A C - O S は、ペレット 5 1 0 0 が凹凸に沿って並置した層が n 段（n は自然数。）積み重なった構造となる。基板 5 1 2 0 が凹凸を有するため、C A A C - O S は、ペレット 5 1 0 0 間に隙間が生じやすい場合がある。ただし、ペレット 5 1 0 0 間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有する C A A C - O S とすることができる。

【 0 3 6 7 】

したがって、C A A C - O S は、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。

20

【 0 3 6 8 】

このようなモデルによって C A A C - O S が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板 5 1 2 0 上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【 0 3 6 9 】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有する C A A C - O S を得ることができる。

【 0 3 7 0 】

30

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 3 7 1 】

（実施の形態 6）

本実施の形態では、先の実施の形態で説明した記憶装置を含む C P U について説明する。

【 0 3 7 2 】

図 3 7 は、先の実施の形態で説明したトランジスタを少なくとも一部に用いた C P U の一例の構成を示すブロック図である。

【 0 3 7 3 】

図 3 7 に示す C P U は、基板 1 1 9 0 上に、A L U 1 1 9 1（A L U : A r i t h m e t i c l o g i c u n i t、演算回路）、A L U コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、タイミングコントローラ 1 1 9 5、レジスタ 1 1 9 6、レジスタコントローラ 1 1 9 7、バスインターフェース 1 1 9 8（B u s I / F）、書き換え可能な R O M 1 1 9 9、および R O M インターフェース 1 1 8 9（R O M I / F）を有している。基板 1 1 9 0 は、半導体基板、S O I 基板、ガラス基板などを用いる。R O M 1 1 9 9 および R O M インターフェース 1 1 8 9 は、別チップに設けてもよい。もちろん、図 3 7 に示す C P U は、その構成を簡略化して示した一例にすぎず、実際の C P U はその用途によって多種多様な構成を有している。例えば、図 3 7 に示す C P U または演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、C P U が内部演算

40

50

回路やデータバスで扱えるビット数は、例えば 8 ビット、16 ビット、32 ビット、64 ビットなどとすることができる。

【0374】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0375】

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行う。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行う。

10

【0376】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、内部クロック信号 CLK2 を上記各種回路に供給する。

20

【0377】

図 37 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0378】

図 37 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

30

【0379】

図 38 は、レジスタ 1196 として用いることのできる記憶素子の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

40

【0380】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 の第 1 ゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 の第 1 ゲートが抵抗等の負荷を介して接地される構成とする。

【0381】

50

スイッチ 1203 は、一導電型（例えば、n チャンネル型）のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型（例えば、p チャンネル型）のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1213 のオン状態またはオフ状態）が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 のオン状態またはオフ状態）が選択される。

10

#### 【0382】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうちの一方、およびトランジスタ 1210 のゲートと電気的に接続される。ここで、接続部分をノード M 2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば G N D 線）に電気的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電気的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と電気的に接続される。スイッチ 1204 の第 2 の端子（トランジスタ 1214 のソースとドレインの他方）は電源電位 V D D を供給することのできる配線と電気的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）と、スイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノード M 1 とする。容量素子 1207 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1207 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電気的に接続される。容量素子 1208 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1208 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電気的に接続される。

20

30

#### 【0383】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

#### 【0384】

トランジスタ 1209 の第 1 ゲート（第 1 のゲート電極）には、制御信号 W E が入力される。スイッチ 1203 およびスイッチ 1204 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

40

#### 【0385】

なお、図 38 におけるトランジスタ 1209 では第 2 ゲート（第 2 のゲート電極：バックゲート）を有する構成を図示している。第 1 ゲートには制御信号 W E を入力し、第 2 ゲートには制御信号 W E 2 を入力することができる。制御信号 W E 2 は、一定の電位の信号とすればよい。当該一定の電位には、例えば、接地電位 G N D やトランジスタ 1209 のソース電位よりも小さい電位などが選ばれる。このとき、制御信号 W E 2 は、トランジスタ 1209 のしきい値電圧を制御するための電位信号であり、トランジスタ 1209 の I c

50

utをより低減することができる。また、制御信号WE2は、制御信号WEと同じ電位信号であってもよい。なお、トランジスタ1209としては、第2ゲートを有さないトランジスタを用いることもできる。

【0386】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図38では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

10

【0387】

なお、図38では、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

【0388】

また、図38において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

20

【0389】

図38における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

30

【0390】

本発明の一態様のける半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0391】

また、酸化物半導体層にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

40

【0392】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0393】

50

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号を、トランジスタ 1210 の状態（オン状態、またはオフ状態）に変換して、回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

#### 【0394】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

10

#### 【0395】

本実施の形態では、記憶素子 1200 を CPU に用いる例として説明したが、記憶素子 1200 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF-ID (Radio Frequency Identification) にも応用可能である。

#### 【0396】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

20

#### 【0397】

（実施の形態 7）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 39 に示す。

30

#### 【0398】

図 39 (A) は携帯型ゲーム機であり、筐体 901、筐体 902、表示部 903、表示部 904、マイクロフォン 905、スピーカー 906、操作キー 907、スタイラス 908 等を有する。なお、図 39 (A) に示した携帯型ゲーム機は、2つの表示部 903 と表示部 904 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

#### 【0399】

図 39 (B) は携帯データ端末であり、第 1 筐体 911、表示部 912、カメラ 919 等を有する。表示部 912 が有するタッチパネル機能により情報の入力を行うことができる。

40

#### 【0400】

図 39 (C) はノート型パーソナルコンピュータであり、筐体 921、表示部 922、キーボード 923、ポインティングデバイス 924 等を有する。

#### 【0401】

図 39 (D) は腕時計型の情報端末であり、筐体 931、表示部 932、リストバンド 933 等を有する。表示部 932 はタッチパネルとなってもよい。

#### 【0402】

50

図３９（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度に従って切り替える構成としても良い。

【０４０３】

図３９（Ｆ）は普通自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

10

【０４０４】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【符号の説明】

【０４０５】

２０ 貫通口  
 ２１ コンタクトホール  
 ２２ コンタクトホール  
 ２３ コンタクトホール  
 ２４ コンタクトホール  
 ２５ コンタクトホール  
 ３２ ソース電極層  
 ３３ ドレイン電極層  
 ３５ レジストマスク  
 ４０ シリコン基板  
 ５１ トランジスタ  
 ５２ トランジスタ  
 ５３ トランジスタ  
 ５４ トランジスタ  
 ５５ 容量素子  
 ６１ コンタクトプラグ  
 ６２ コンタクトプラグ  
 ６３ コンタクトプラグ  
 ６４ コンタクトプラグ  
 ６５ コンタクトプラグ  
 ６６ コンタクトプラグ  
 ７１ 配線  
 ７２ 配線  
 ７３ 配線  
 ７５ 配線  
 ７６ 配線  
 ７７ 配線  
 ７８ 配線  
 ７９ 配線  
 ８１ 絶縁層  
 ８２ 絶縁層  
 ８３ 絶縁層  
 ８４ 絶縁層  
 ８５ 絶縁層  
 ８６ 絶縁層

20

30

40

50

|         |         |    |
|---------|---------|----|
| 8 7     | 絶縁層     |    |
| 9 0     | インバータ回路 |    |
| 9 1     | 回路      |    |
| 1 0 1   | トランジスタ  |    |
| 1 0 2   | トランジスタ  |    |
| 1 0 3   | トランジスタ  |    |
| 1 0 4   | トランジスタ  |    |
| 1 0 5   | トランジスタ  |    |
| 1 0 6   | トランジスタ  |    |
| 1 0 7   | トランジスタ  | 10 |
| 1 0 8   | トランジスタ  |    |
| 1 0 9   | トランジスタ  |    |
| 1 1 0   | トランジスタ  |    |
| 1 1 1   | トランジスタ  |    |
| 1 1 2   | トランジスタ  |    |
| 1 1 5   | 基板      |    |
| 1 2 0   | 絶縁層     |    |
| 1 3 0   | 酸化物半導体層 |    |
| 1 3 0 a | 酸化物半導体層 |    |
| 1 3 0 A | 酸化物半導体膜 | 20 |
| 1 3 0 b | 酸化物半導体層 |    |
| 1 3 0 B | 酸化物半導体膜 |    |
| 1 3 0 c | 酸化物半導体層 |    |
| 1 3 0 C | 酸化物半導体膜 |    |
| 1 4 0   | 導電層     |    |
| 1 4 1   | 導電層     |    |
| 1 4 1 a | 導電層     |    |
| 1 4 2   | 導電層     |    |
| 1 5 0   | 導電層     |    |
| 1 5 1   | 導電層     | 30 |
| 1 5 2   | 導電層     |    |
| 1 5 6   | レジストマスク |    |
| 1 6 0   | 絶縁層     |    |
| 1 6 0 A | 絶縁膜     |    |
| 1 7 0   | 導電層     |    |
| 1 7 1   | 導電層     |    |
| 1 7 1 A | 導電膜     |    |
| 1 7 2   | 導電層     |    |
| 1 7 2 A | 導電膜     |    |
| 1 7 3   | 導電層     | 40 |
| 1 7 5   | 絶縁層     |    |
| 1 8 0   | 絶縁層     |    |
| 1 9 0   | 絶縁層     |    |
| 2 3 1   | 領域      |    |
| 2 3 2   | 領域      |    |
| 2 3 3   | 領域      |    |
| 3 3 1   | 領域      |    |
| 3 3 2   | 領域      |    |
| 3 3 3   | 領域      |    |
| 3 3 4   | 領域      | 50 |

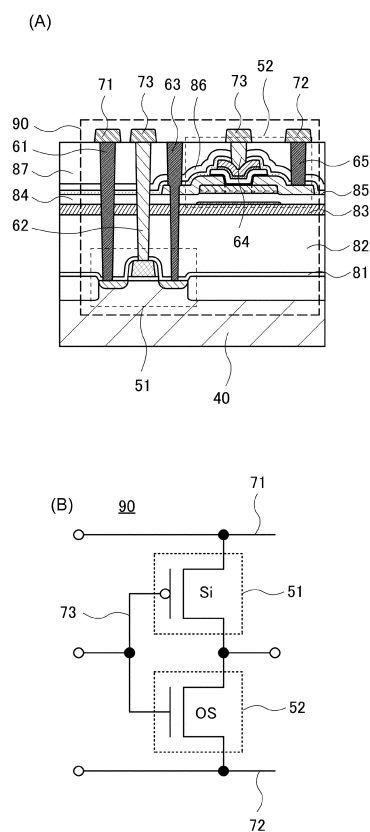
|         |               |    |
|---------|---------------|----|
| 3 3 5   | 領域            |    |
| 9 0 1   | 筐体            |    |
| 9 0 2   | 筐体            |    |
| 9 0 3   | 表示部           |    |
| 9 0 4   | 表示部           |    |
| 9 0 5   | マイクロフォン       |    |
| 9 0 6   | スピーカ          |    |
| 9 0 7   | 操作キー          |    |
| 9 0 8   | スタイラス         |    |
| 9 1 1   | 筐体            | 10 |
| 9 1 2   | 表示部           |    |
| 9 1 9   | カメラ           |    |
| 9 2 1   | 筐体            |    |
| 9 2 2   | 表示部           |    |
| 9 2 3   | キーボード         |    |
| 9 2 4   | ポインティングデバイス   |    |
| 9 3 1   | 筐体            |    |
| 9 3 2   | 表示部           |    |
| 9 3 3   | リストバンド        |    |
| 9 4 1   | 筐体            | 20 |
| 9 4 2   | 筐体            |    |
| 9 4 3   | 表示部           |    |
| 9 4 4   | 操作キー          |    |
| 9 4 5   | レンズ           |    |
| 9 4 6   | 接続部           |    |
| 9 5 1   | 車体            |    |
| 9 5 2   | 車輪            |    |
| 9 5 3   | ダッシュボード       |    |
| 9 5 4   | ライト           |    |
| 1 1 8 9 | ROMインターフェース   | 30 |
| 1 1 9 0 | 基板            |    |
| 1 1 9 1 | ALU           |    |
| 1 1 9 2 | ALUコントローラ     |    |
| 1 1 9 3 | インストラクションデコーダ |    |
| 1 1 9 4 | インタラプトコントローラ  |    |
| 1 1 9 5 | タイミングコントローラ   |    |
| 1 1 9 6 | レジスタ          |    |
| 1 1 9 7 | レジスタコントローラ    |    |
| 1 1 9 8 | バスインターフェース    |    |
| 1 1 9 9 | ROM           | 40 |
| 1 2 0 0 | 記憶素子          |    |
| 1 2 0 1 | 回路            |    |
| 1 2 0 2 | 回路            |    |
| 1 2 0 3 | スイッチ          |    |
| 1 2 0 4 | スイッチ          |    |
| 1 2 0 6 | 論理素子          |    |
| 1 2 0 7 | 容量素子          |    |
| 1 2 0 8 | 容量素子          |    |
| 1 2 0 9 | トランジスタ        |    |
| 1 2 1 0 | トランジスタ        | 50 |

|             |        |
|-------------|--------|
| 1 2 1 3     | トランジスタ |
| 1 2 1 4     | トランジスタ |
| 1 2 2 0     | 回路     |
| 5 1 0 0     | ペレット   |
| 5 1 0 0 a   | ペレット   |
| 5 1 0 0 b   | ペレット   |
| 5 1 0 1     | イオン    |
| 5 1 0 2     | 酸化亜鉛層  |
| 5 1 0 3     | 粒子     |
| 5 1 0 5 a   | ペレット   |
| 5 1 0 5 a 1 | 領域     |
| 5 1 0 5 a 2 | ペレット   |
| 5 1 0 5 b   | ペレット   |
| 5 1 0 5 c   | ペレット   |
| 5 1 0 5 d   | ペレット   |
| 5 1 0 5 d 1 | 領域     |
| 5 1 0 5 e   | ペレット   |
| 5 1 2 0     | 基板     |
| 5 1 3 0     | ターゲット  |
| 5 1 6 1     | 領域     |

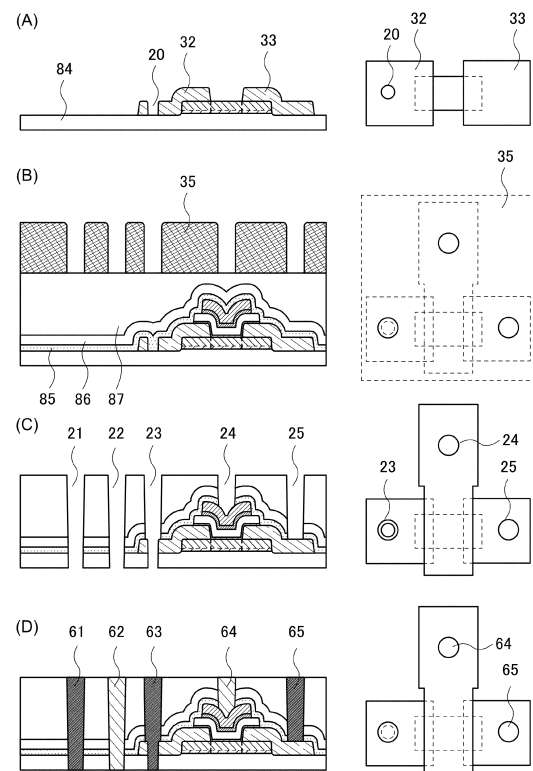
10

20

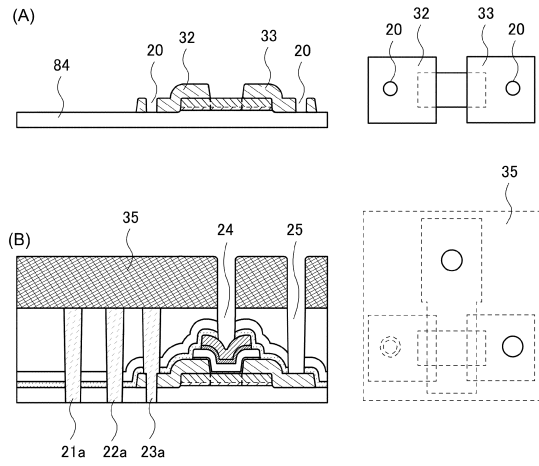
## 【 図 1 】



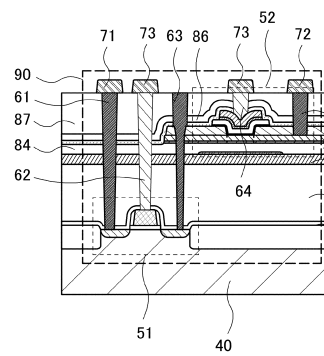
【圖 2】



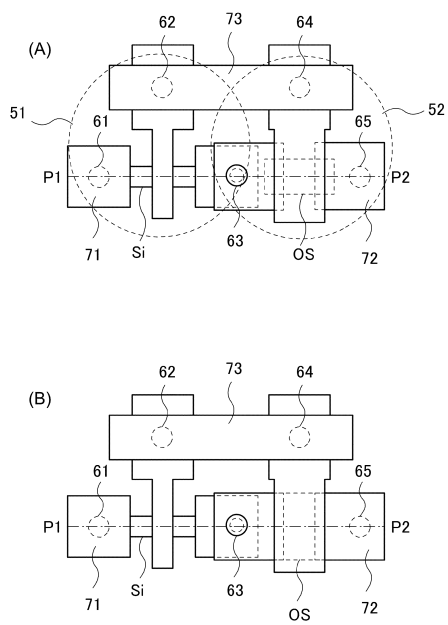
【図 3】



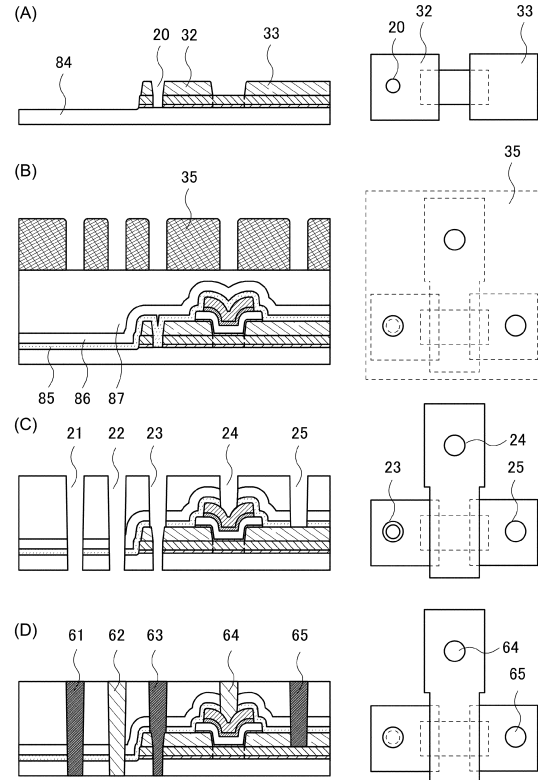
【図 4】



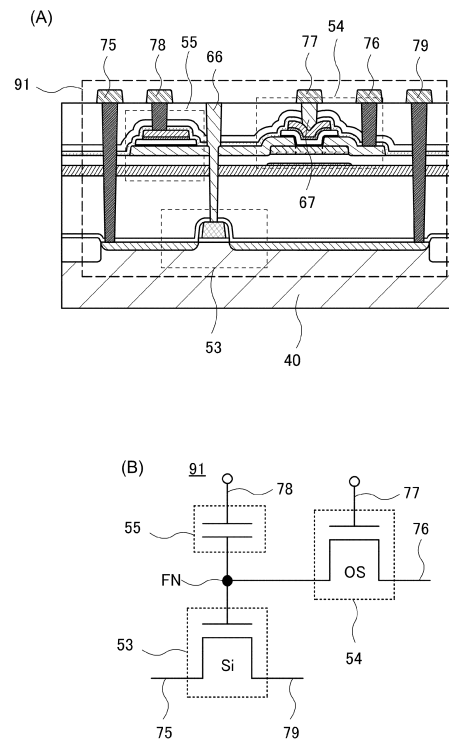
【図 6】



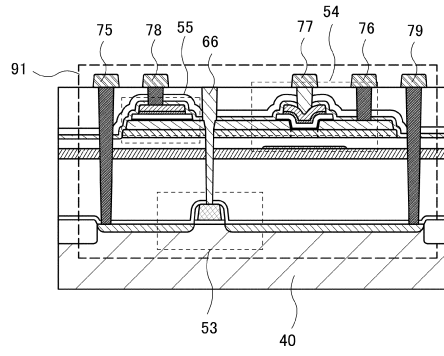
【図 5】



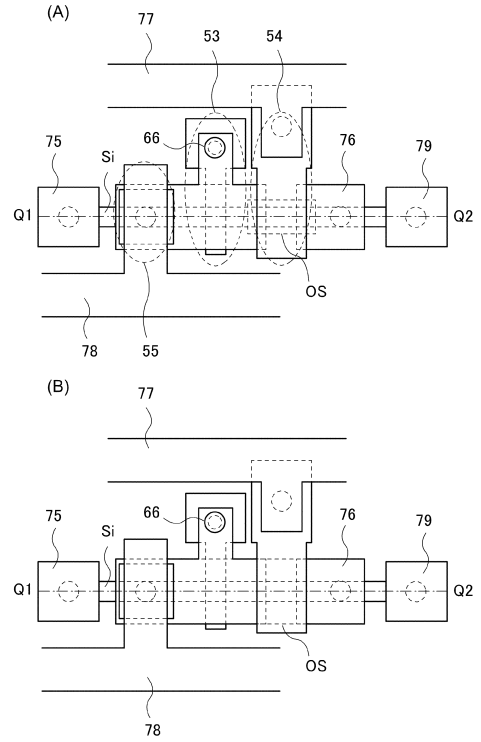
【図 7】



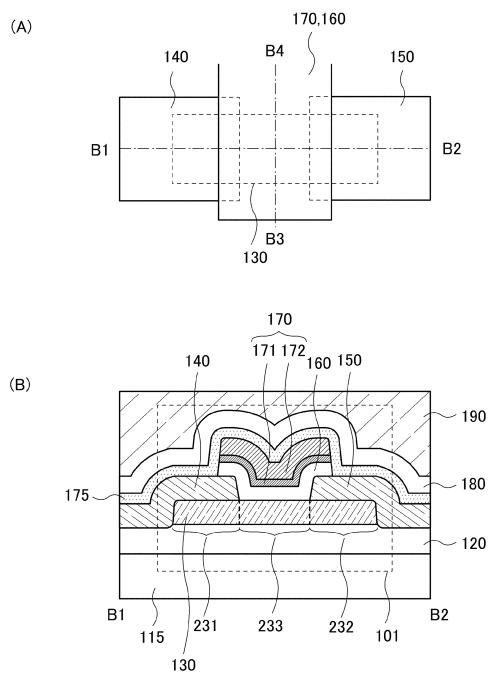
【図 8】



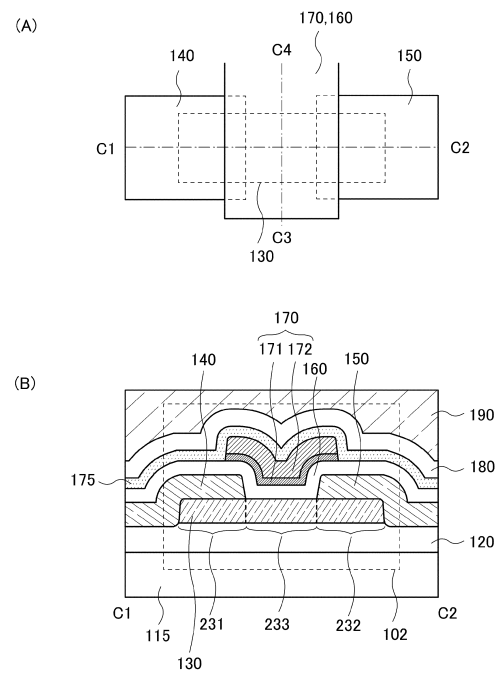
【図 9】



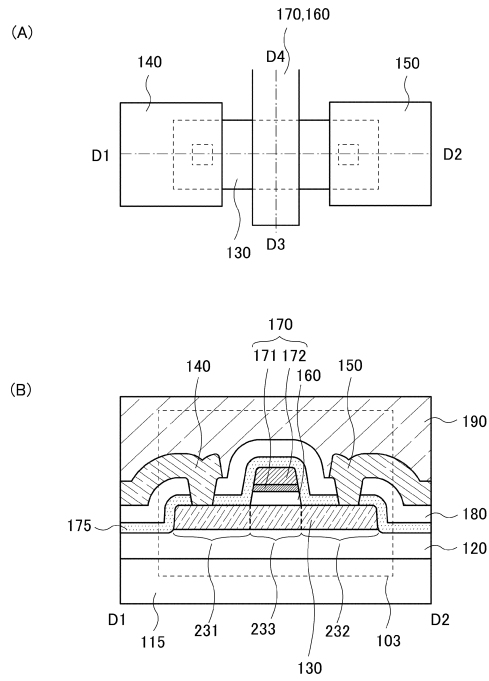
【図 10】



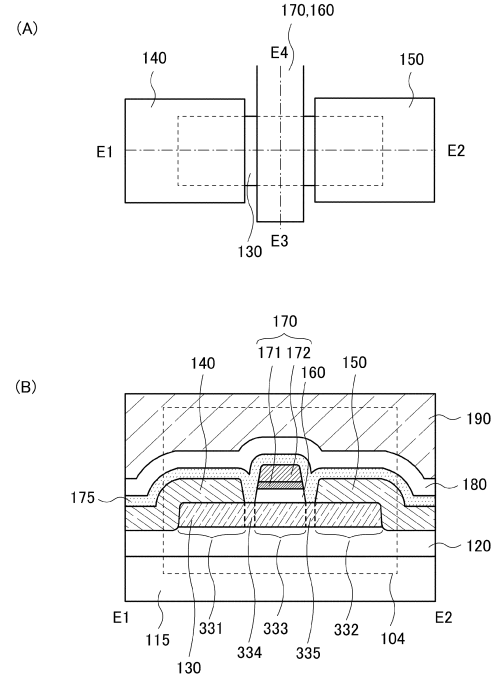
【図 11】



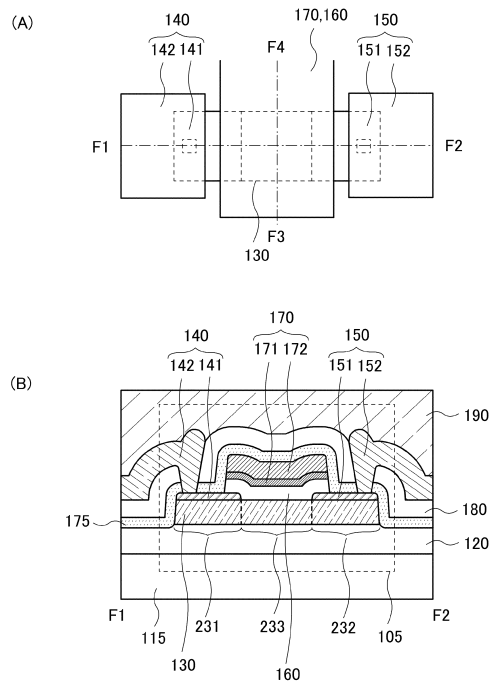
【図 12】



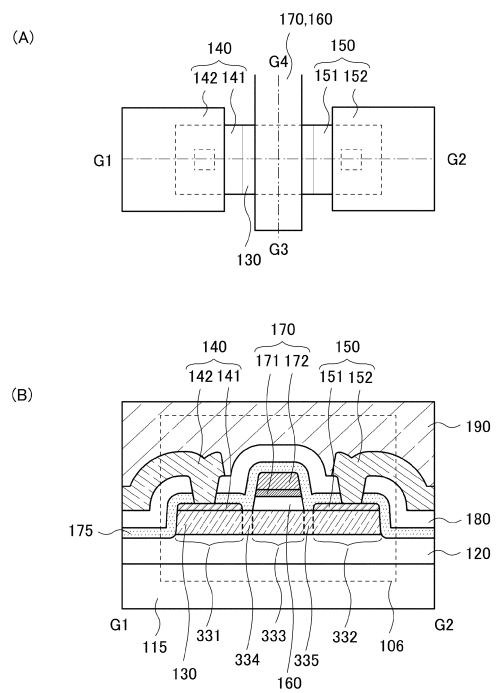
【図 13】



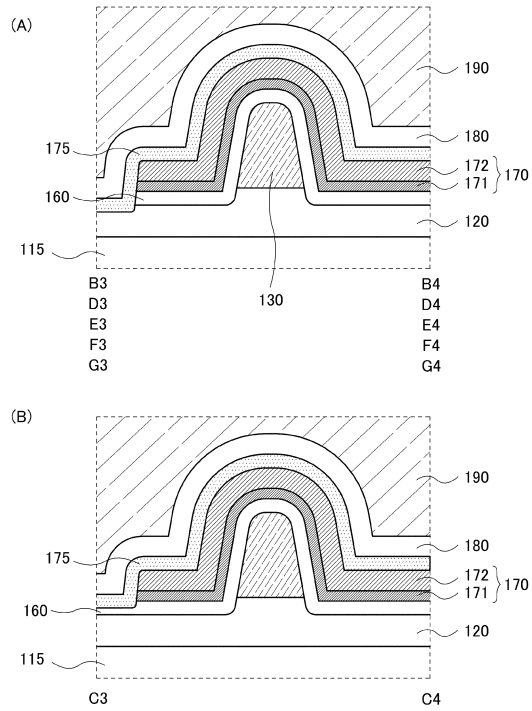
【図 14】



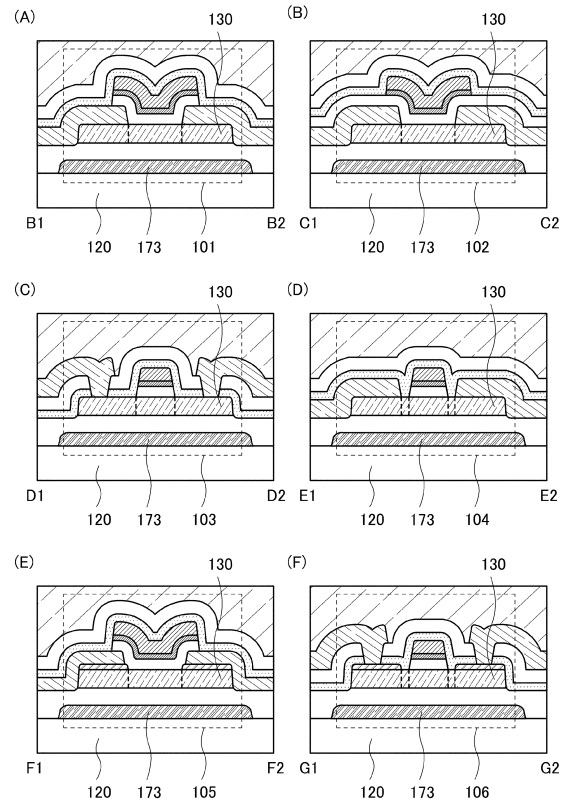
【図 15】



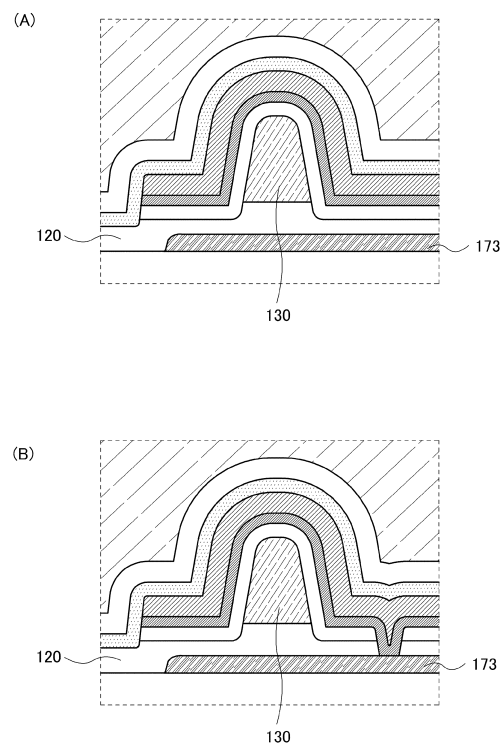
【図 16】



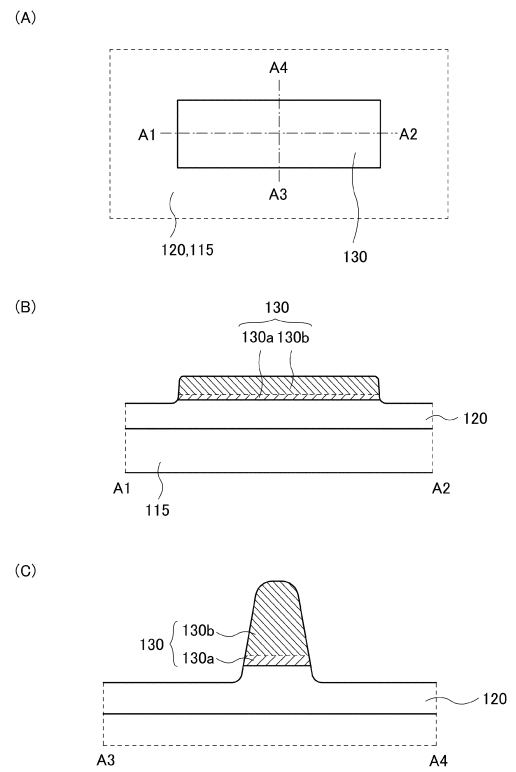
【図 17】



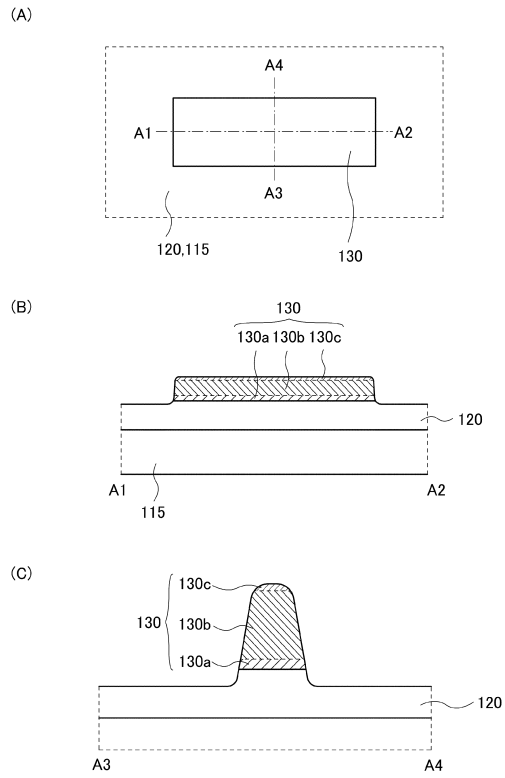
【図 18】



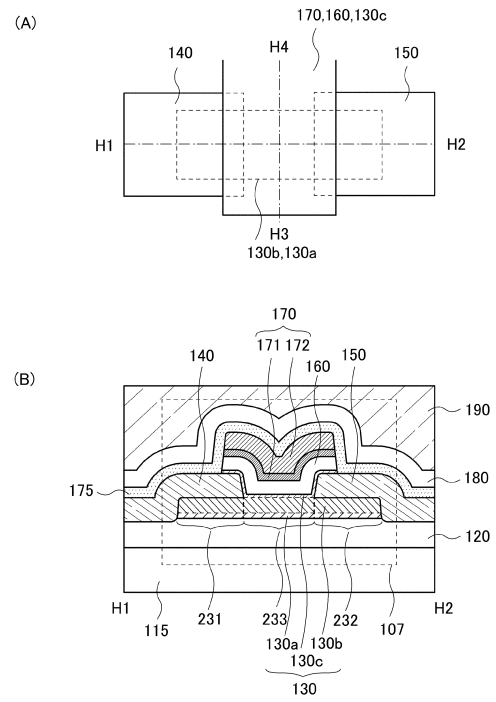
【図 19】



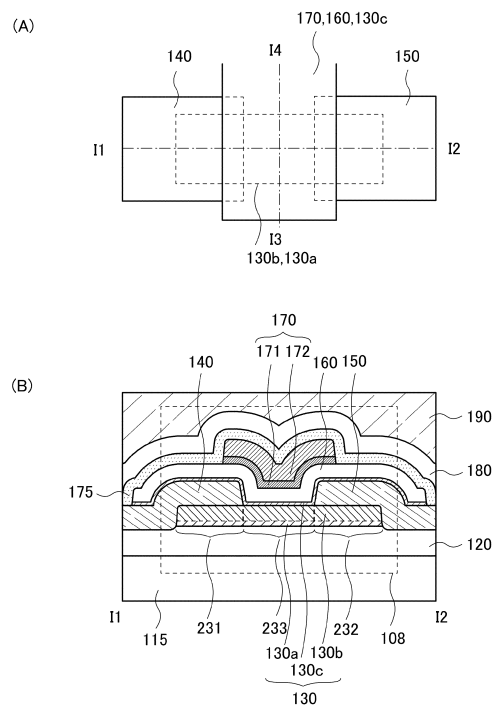
【図 20】



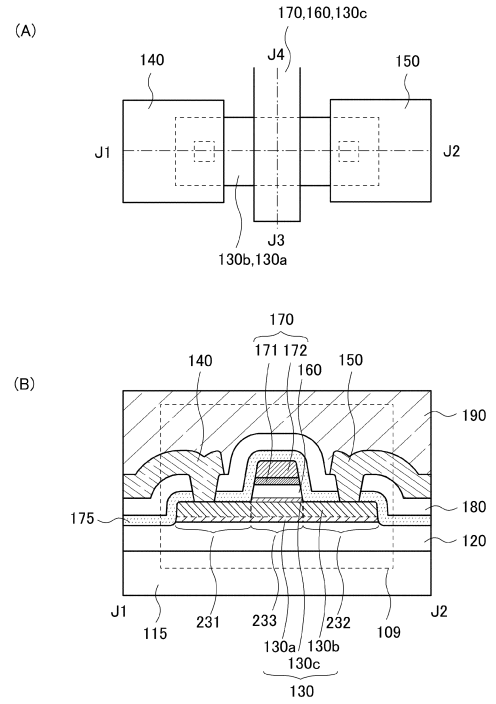
【図 21】



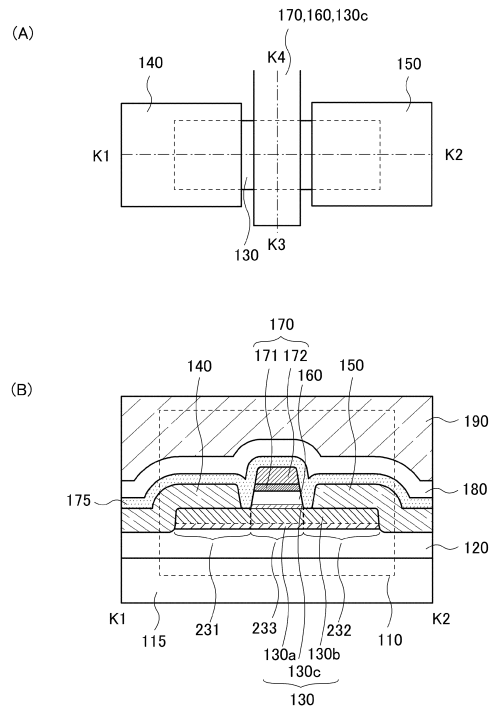
【図 22】



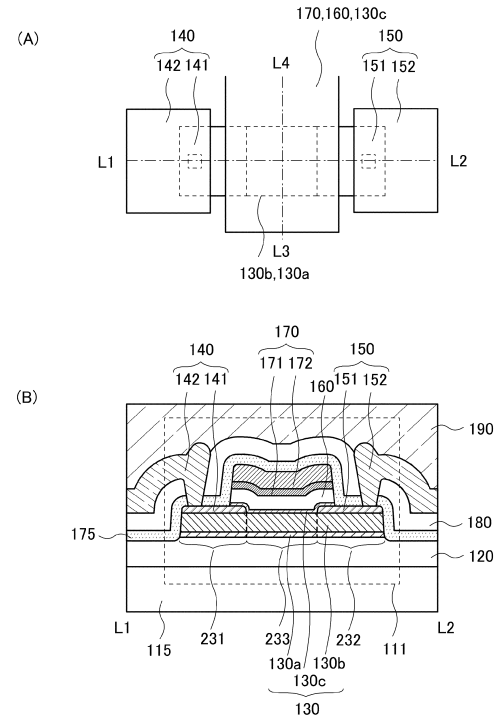
【図 23】



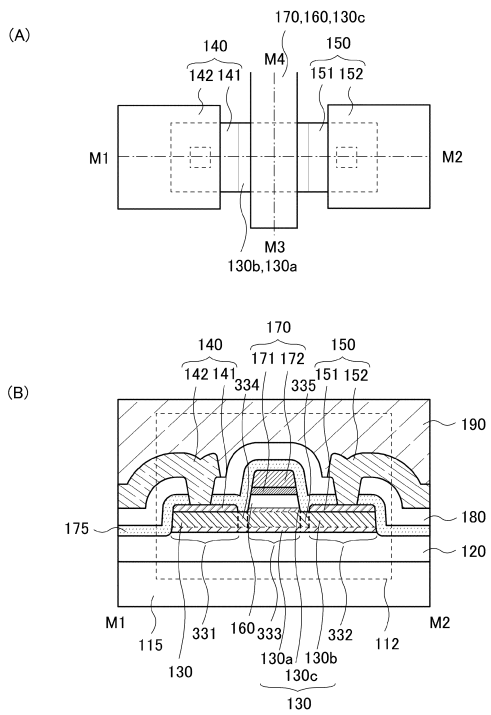
【図 24】



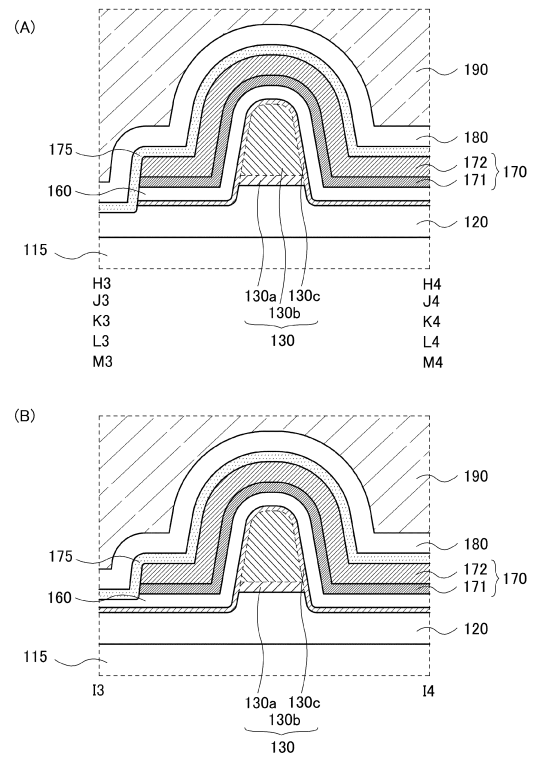
【図 25】



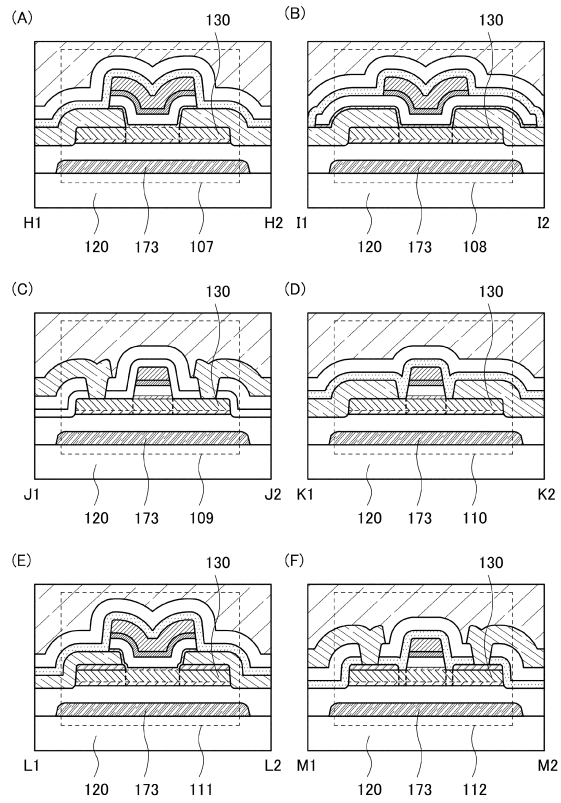
【図 26】



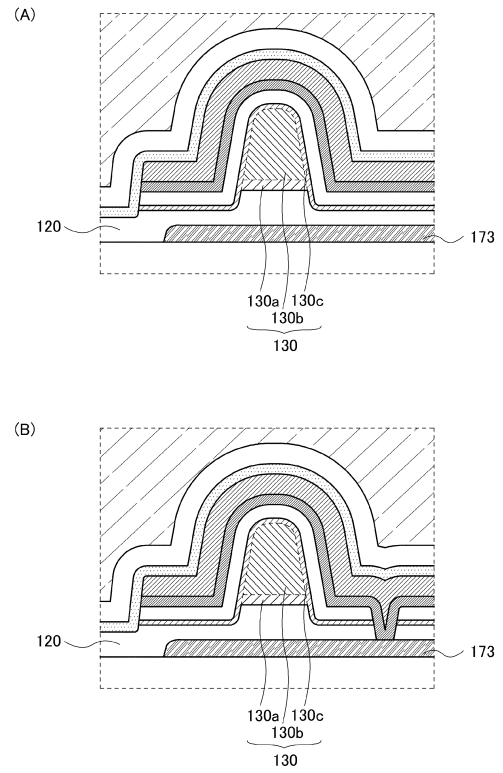
【図 27】



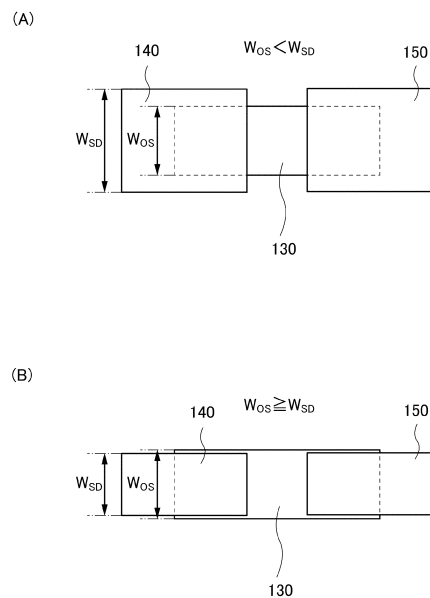
【図 28】



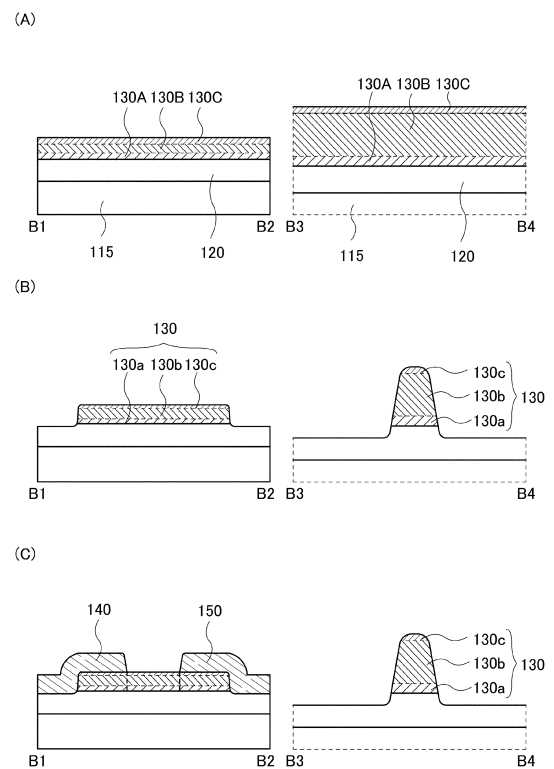
【図 29】



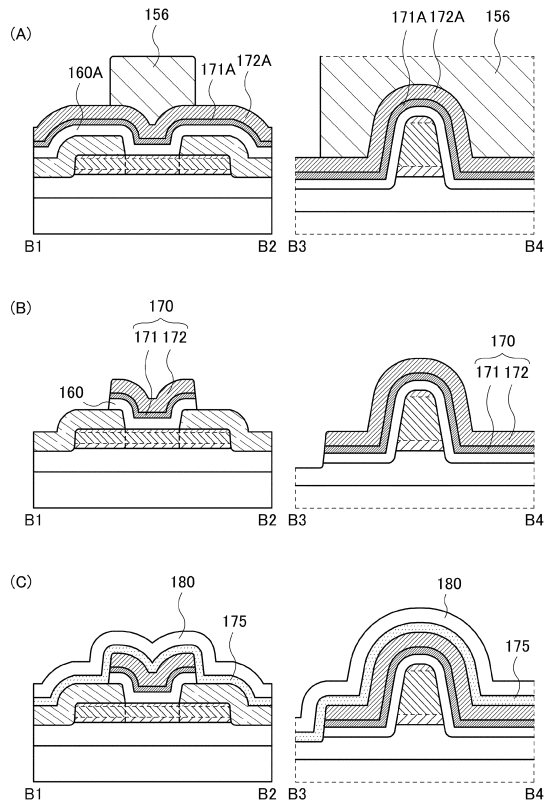
【図 30】



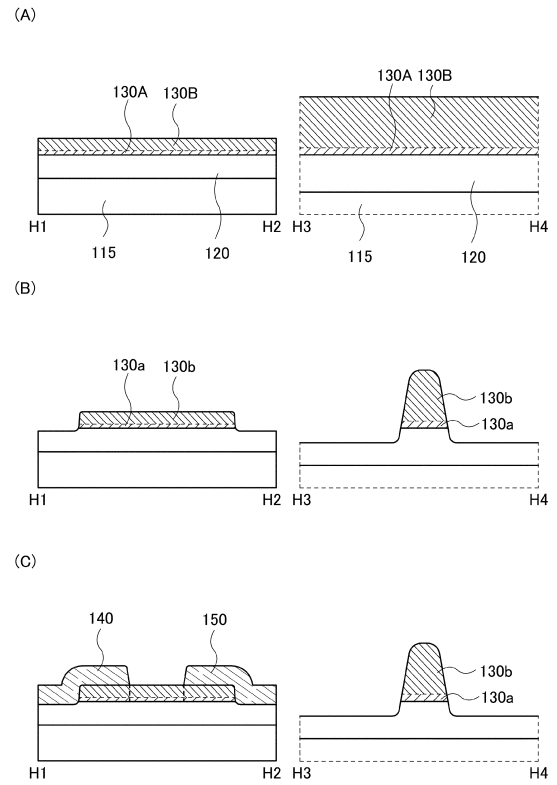
【図 31】



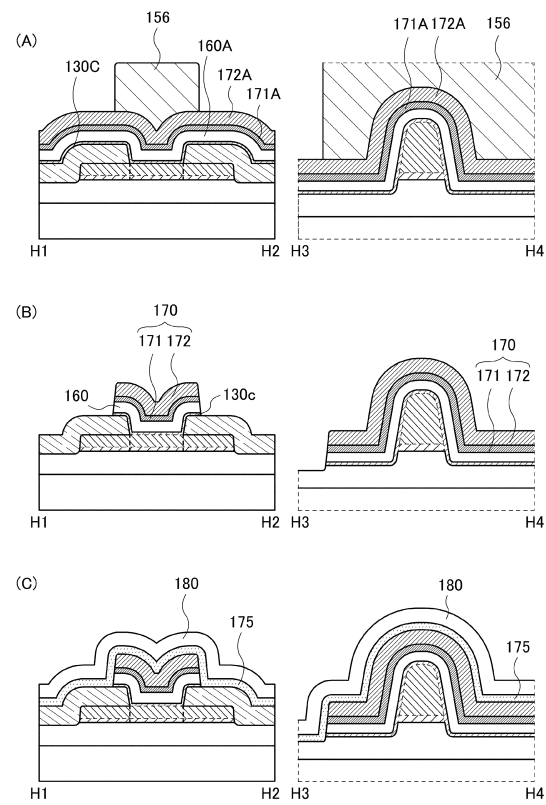
【図 3 2】



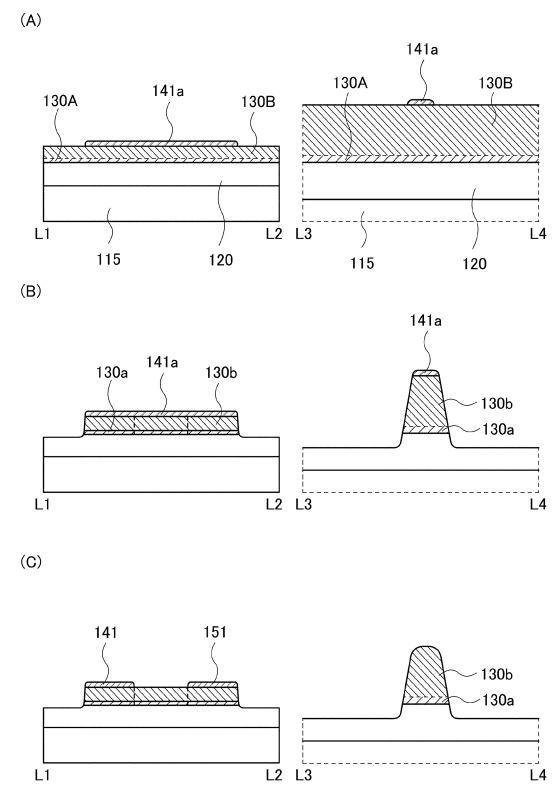
【図 3 3】



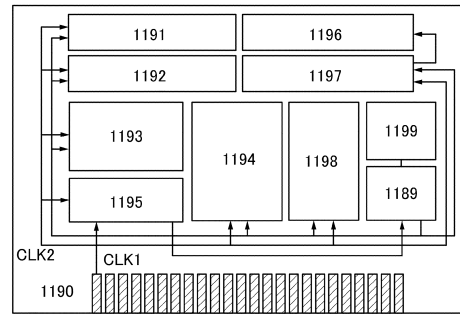
【図 3 4】



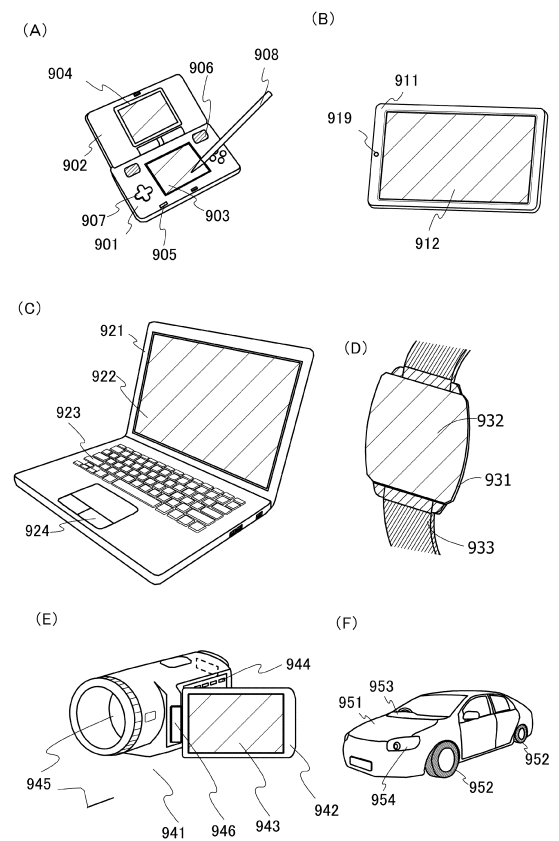
【図 3 5】



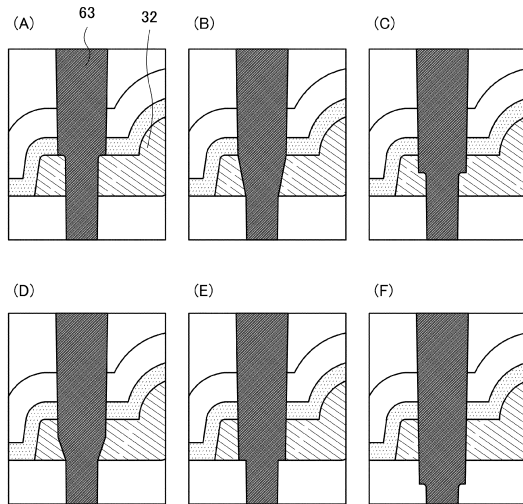
【 図 3 7 】



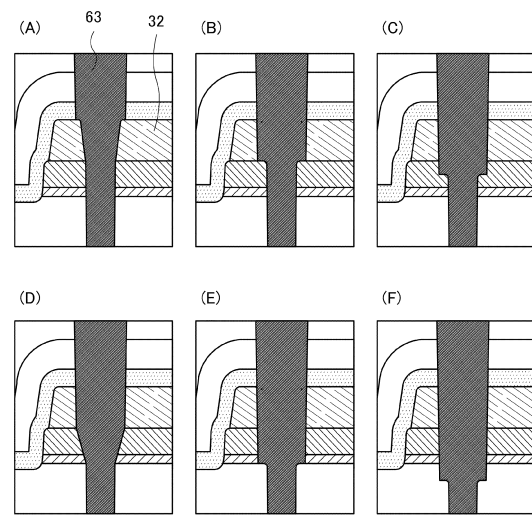
【 図 3 9 】



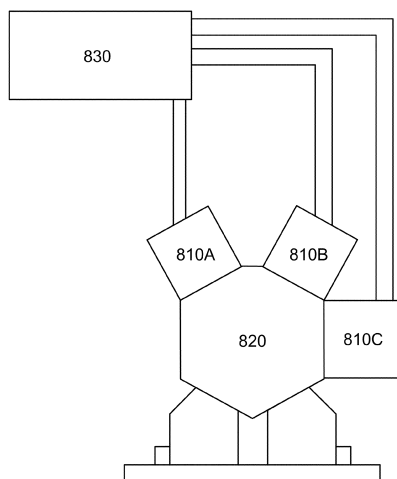
【図 40】



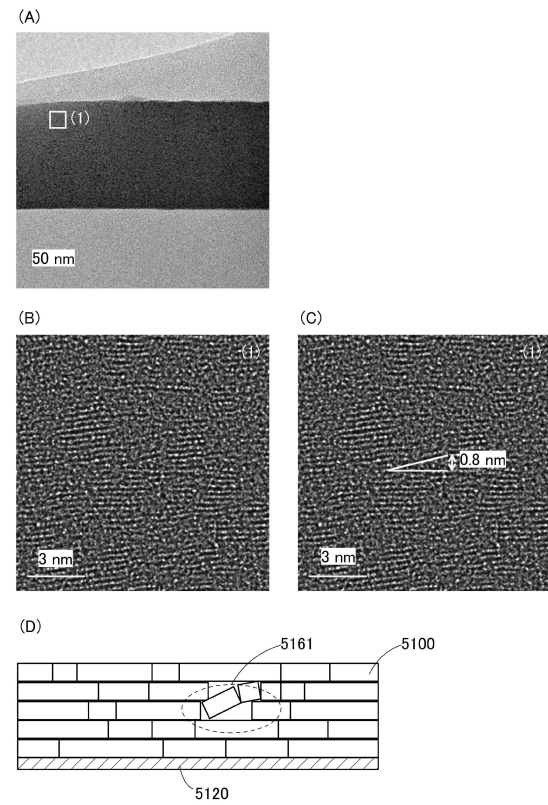
【図 41】



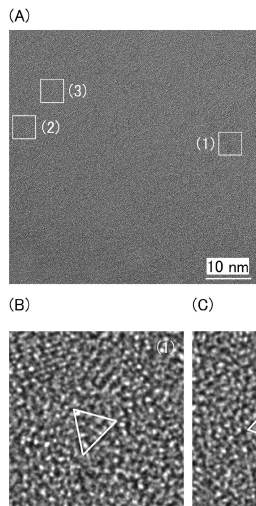
【図 42】



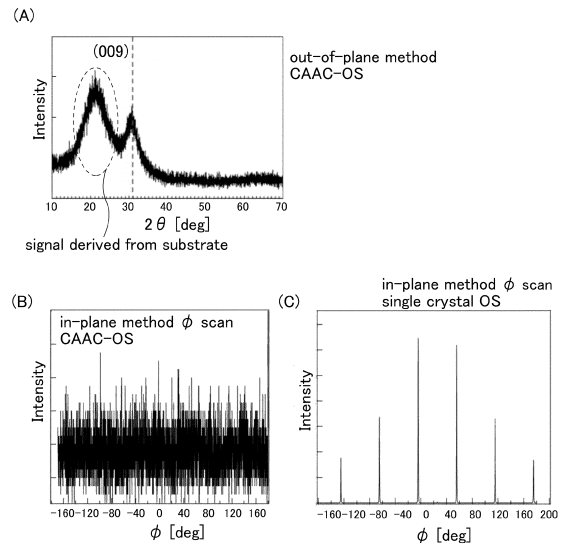
【図 43】



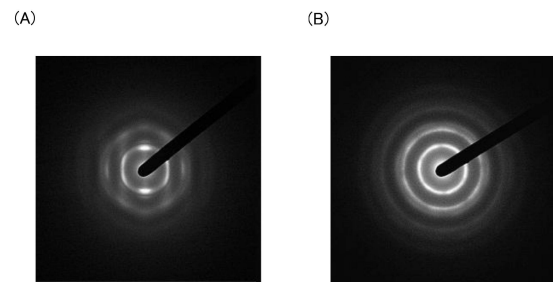
【図 4 4】



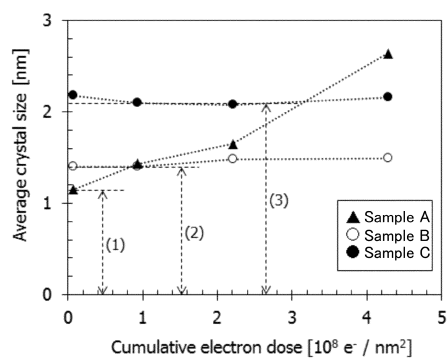
【図 4 5】



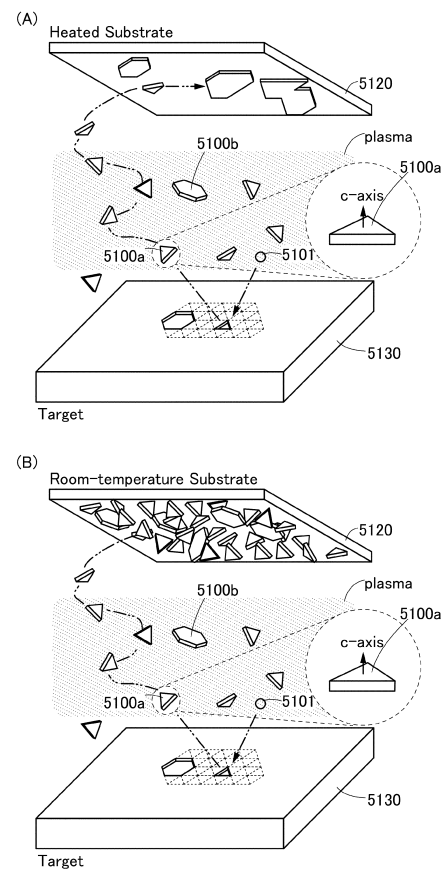
【図 4 6】



【図 4 7】

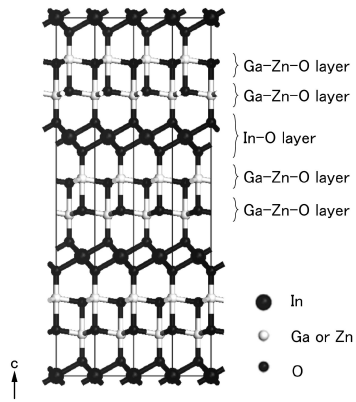


【図 4 8】

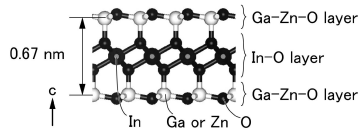


【図 49】

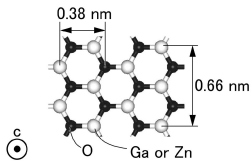
(A)



(B)

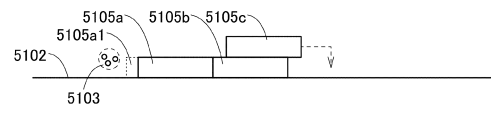


(C)

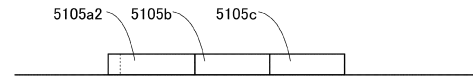


【図 50】

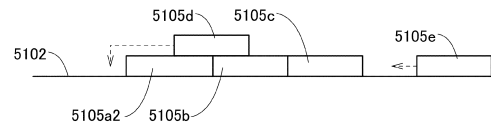
(A)



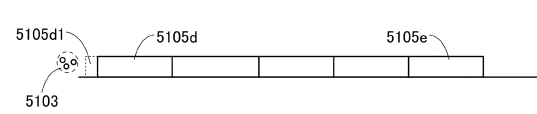
(B)



(C)



(D)



## フロントページの続き

| (51)Int.Cl. |         |           | F I     |        |         |
|-------------|---------|-----------|---------|--------|---------|
| H 0 1 L     | 21/768  | (2006.01) | H 0 1 L | 27/092 | G       |
| H 0 1 L     | 21/3205 | (2006.01) | H 0 1 L | 27/092 | K       |
| H 0 1 L     | 23/522  | (2006.01) | H 0 1 L | 27/088 | 3 3 1 E |
| H 0 1 L     | 27/088  | (2006.01) | H 0 1 L | 27/06  | 1 0 2 A |
| H 0 1 L     | 21/8234 | (2006.01) | H 0 1 L | 29/78  | 6 1 3 Z |
| H 0 1 L     | 27/06   | (2006.01) | H 0 1 L | 29/78  | 6 1 8 B |
| H 0 1 L     | 29/786  | (2006.01) | H 0 1 L | 29/78  | 6 1 3 A |
| H 0 1 L     | 21/8242 | (2006.01) | H 0 1 L | 27/108 | 3 2 1   |
| H 0 1 L     | 27/108  | (2006.01) | H 0 1 L | 27/10  | 4 6 1   |
| H 0 1 L     | 27/10   | (2006.01) | H 0 1 L | 21/302 | 1 0 5 A |
| H 0 1 L     | 21/3065 | (2006.01) | C 2 3 C | 14/08  | C       |
| C 2 3 C     | 14/08   | (2006.01) | C 2 3 C | 14/08  | D       |
|             |         |           | C 2 3 C | 14/08  | K       |
|             |         |           | H 0 1 L | 21/88  | J       |

審査官 宇多川 勉

- (56)参考文献 特開2000-091423(JP,A)  
 特開平07-135211(JP,A)  
 特開2012-039101(JP,A)  
 特開2011-109079(JP,A)  
 特開2013-243352(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 3 8  
 C 2 3 C 1 4 / 0 8  
 H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 3 0 6 5  
 H 0 1 L 2 1 / 3 2 0 5  
 H 0 1 L 2 1 / 7 6 8  
 H 0 1 L 2 1 / 8 2 2  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 1 / 8 2 4 2  
 H 0 1 L 2 3 / 5 2 2  
 H 0 1 L 2 7 / 0 4  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 7 / 0 9 2  
 H 0 1 L 2 7 / 1 0  
 H 0 1 L 2 7 / 1 0 8  
 H 0 1 L 2 9 / 7 8 6