

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 8 月 8 日 (08.08.2024)



(10) 国际公布号
WO 2024/159997 A1

(51) 国际专利分类号:
G09G 3/3208 (2016.01)

成都市高新区(西区)合作路 1188 号,
Sichuan 611731 (CN)。

(21) 国际申请号: PCT/CN2024/070025

(22) 国际申请日: 2024 年 1 月 2 日 (02.01.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310103731.8 2023 年 1 月 30 日 (30.01.2023) CN

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省

(72) 发明人: 贺雪英(HE, Xueying); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王明强(WANG, Mingqiang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。包征(BAO, Zheng); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张家祥(ZHANG, Jiaxiang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。傅晓亮(FU, Xiaoliang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。罗赞(LUO, Zan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张斌(ZHANG,

(54) Title: GATE DRIVE CIRCUIT, DISPLAY PANEL, DISPLAY DEVICE, AND DISPLAY DRIVE METHOD

(54) 发明名称: 栅极驱动电路、显示面板、显示装置以及显示驱动方法

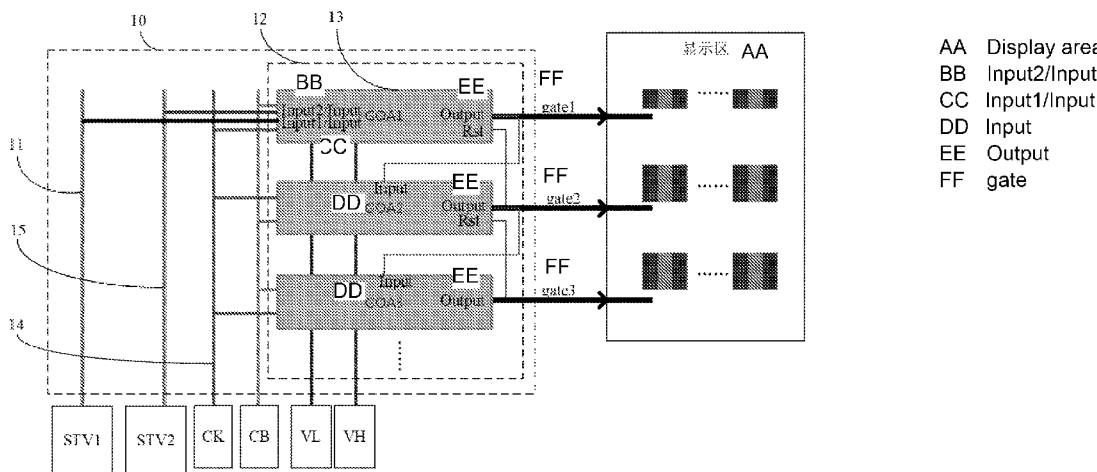


图 1

(57) Abstract: Disclosed are a gate drive circuit, a display panel, a display device, and a display drive method. The gate drive circuit comprises: a first frame start signal line (11) and a cascade circuit (12). The first frame start signal line (11) is connected to a first input end (Input1) of the cascade circuit (12), and is configured to transmit a first frame start signal (GSTV1) to the cascade circuit (12) in a first display phase. The cascade circuit (12) comprises a plurality of shift registers (13) cascaded to each other. Each shift register (13) is connected to a clock signal line (14). An output end (Output) of each shift register (13) is connected to a write module (81) in a pixel drive circuit (51). The cascade circuit (12) is configured to output a first scanning signal (G1) step by step according to the first frame start signal (GSTV1) and a clock signal (GCK) inputted by the clock signal line (14). The effective level of the first frame start

Bin); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京润泽恒知识产权代理有限公司 (**BEIJING RUN ZEHENG INTELLECTUAL PROPERTY LAW FIRM**); 中国北京市海淀区中关村南大街甲18号北京国际C座6层606, Beijing 100081 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

signal (GSTV1) in a period overlaps a plurality of pulse signals of the clock signal (GCK). The first scanning signal (G1) comprises a plurality of scanning pulse signals in a period.

(57) 摘要: 公开了一种栅极驱动电路、显示面板、显示装置以及显示驱动方法。栅极驱动电路包括: 第一帧起始信号线(11)和级联电路(12); 第一帧起始信号线(11), 与级联电路(12)的第一输入端(Input1)连接, 被配置为: 在第一显示阶段, 向级联电路(12)传输第一帧起始信号(GSTV1); 级联电路(12), 包括相互级联的多个移位寄存器(13), 各移位寄存器(13)与时钟信号线(14)连接, 移位寄存器(13)的输出端(Output)与像素驱动电路(51)中的写入模块(81)连接, 级联电路(12)被配置为: 根据第一帧起始信号(GSTV1)以及时钟信号线(14)输入的时钟信号(GCK), 逐级输出第一扫描信号(G1); 第一帧起始信号(GSTV1)在一个周期内的有效电平与时钟信号(GCK)的多个脉冲信号交叠, 第一扫描信号(G1)在一个周期内包括多个扫描脉冲信号。

栅极驱动电路、显示面板、显示装置以及显示驱动方法

相关申请的交叉引用

本公开要求在 2023 年 1 月 30 日提交中国专利局、申请号为
5 202310103731.8、名称为“栅极驱动电路、显示面板、显示装置以及显示驱动方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及显示技术领域，特别是涉及一种栅极驱动电路、显示面板、
10 显示装置以及显示驱动方法。

背景技术

目前搭载有机发光二极管(Organic Light-Emitting Diode, OLED)屏幕的显示装置中，由于驱动电路和器件结构的影响，显示装置在切换显示画面时，
15 普遍存在第一帧的亮度较低的问题，严重影响了用户体验。

概述

本公开提供了一种栅极驱动电路，包括：第一帧起始信号线和级联电路；
所述第一帧起始信号线，与所述级联电路的第一输入端连接，被配置为：
20 在第一显示阶段，向所述级联电路传输第一帧起始信号；

所述级联电路，包括相互级联的多个移位寄存器，各所述移位寄存器与时钟信号线连接，所述移位寄存器的输出端与像素驱动电路中的写入模块连接，所述级联电路被配置为：根据所述第一帧起始信号以及所述时钟信号线输入的时钟信号，逐级输出第一扫描信号；

25 其中，所述第一帧起始信号在一个周期内的有效电平与所述时钟信号的多个脉冲信号交叠，所述第一扫描信号在一个周期内包括多个扫描脉冲信号，所述写入模块用于在所述第一扫描信号的控制下，将数据信号写入所述像素驱动电路。

在一些实施方式中，所述栅极驱动电路还包括：

第二帧起始信号线，与所述级联电路的第二输入端连接，被配置为：在第二显示阶段，向所述级联电路传输第二帧起始信号；

所述级联电路还被配置为：根据所述第二帧起始信号以及所述时钟信号，逐级输出第二扫描信号；

5 其中，所述第二帧起始信号在一个周期内的有效电平与所述时钟信号交叠的脉冲信号数量，小于所述第一帧起始信号在一个周期内的有效电平与所述时钟信号交叠的脉冲信号数量，所述第二扫描信号在一个周期内包括的扫描脉冲信号数量大于或等于 1，且小于所述第一扫描信号在一个周期内包括的扫描脉冲信号数量。

10 在一些实施方式中，所述第一帧起始信号线与所述第二帧起始信号线各自独立设置，或者共用同一条信号线。

在一些实施方式中，所述第一帧起始信号在一个周期内的有效电平与所述时钟信号交叠的脉冲信号数量大于或等于 2，且小于或等于 5。

15 在一些实施方式中，所述第二帧起始信号在一个周期内的有效电平与所述时钟信号的一个脉冲信号交叠。

在一些实施方式中，所述第一帧起始信号的有效电平为低电平。

在一些实施方式中，所述第二帧起始信号与所述第一帧起始信号的有效电平的电压相同。

20 在一些实施方式中，所述级联电路中，第一级移位寄存器的信号输入端连接所述第一输入端以及所述第二输入端，第 E 级移位寄存器的输出端与第 E+F 级移位寄存器的信号输入端连接，第 M 级移位寄存器的输出端与第 M-N 级移位寄存器的复位信号输入端连接，其中， $1 \leq E < H$ ， $F \geq 1$ ， $E+F \leq H$ ， $1 < M \leq H$ ， $1 \leq N < M$ ，且 E、F、H、M 和 N 均为正整数，所述 H 为所述级联电路中的移位寄存器总数量。

25 本公开提供了一种显示面板，包括：

阵列排布的多个像素驱动电路；

多个发光器件，所述发光器件与位于同一像素的像素驱动电路连接；

多条扫描信号线，所述扫描信号线与位于同一行的像素驱动电路的扫描信号端连接；

30 多条数据信号线，所述数据信号线与位于同一列的像素驱动电路的数据

信号端连接；以及

如任一实施方式所述的栅极驱动电路，所述级联电路中的多个移位寄存器的输出端分别连接不同的扫描信号线；

其中，所述像素驱动电路被配置为：根据所述扫描信号端的信号，将所述数据信号端的数据信号写入所述像素驱动电路中，以驱动所述发光器件发光。

在一些实施方式中，所述多条数据信号线包括第一数据信号线和第二数据信号线，所述显示面板还包括：信号端子、第一数据选择电路和第二数据选择电路，所述第一数据信号线与所述信号端子通过所述第一数据选择电路连接，所述第二数据信号线与所述信号端子通过所述第二数据选择电路连接。

在一些实施方式中，所述像素驱动电路包括：

写入模块，与所述数据信号端、第一节点以及所述扫描信号端连接，被配置为：在补偿阶段，响应于所述扫描信号端的信号，将所述数据信号写入所述第一节点；

驱动模块，与所述第一节点、第二节点以及第三节点连接，被配置为：在所述第三节点的电位控制下，将所述第一节点的信号写入所述第二节点；

补偿模块，与所述第二节点、所述第三节点以及所述扫描信号端连接，被配置为：在补偿阶段，根据所述扫描信号端的信号，将所述第二节点的信号写入所述第三节点；

发光控制模块，与第一电压端、使能信号端、所述第一节点、所述第二节点以及所述发光器件连接，被配置为：在发光阶段，根据所述使能信号端的使能信号，与所述驱动模块配合，驱动所述发光器件发光；

存储模块，与所述第一电压端以及所述第三节点连接，被配置为存储所述第三节点的信号；

第一复位模块，与所述第三节点、第一复位信号端以及复位控制信号端连接，被配置为：根据所述复位控制信号端的信号，将所述第一复位信号端的信号写入所述第三节点；以及

第二复位模块，与所述发光器件的阳极、第二复位信号端和所述扫描信号端连接，被配置为：根据所述扫描信号端的信号，将所述第二复位信号端的信号写入所述发光器件的阳极。

在一些实施方式中，在所述显示装置显示同一画面的连续多帧画面中，第一帧画面与预设帧画面的亮度之比为首帧亮度占比，所述首帧亮度占比大于或等于 85%，所述预设帧画面为稳定显示所述同一画面后的任一帧画面。

本公开提供了一种显示装置，包括：

5 如任一实施方式所述的显示面板；以及

显示驱动芯片，与所述显示面板连接，用于向所述显示面板提供驱动信号，所述驱动信号包括：所述第一帧起始信号、所述时钟信号以及所述数据信号。

10 本公开提供了一种显示驱动方法，应用于如任一实施方式所述的显示面板，所述显示驱动方法包括：

向所述时钟信号线提供时钟信号，以使所述时钟信号线向所述移位寄存器传输所述时钟信号；

15 在第一显示阶段，向所述第一帧起始信号线提供第一帧起始信号，以使所述所述第一帧起始信号线向所述级联电路传输所述第一帧起始信号，所述级联电路根据所述第一帧起始信号以及所述时钟信号，逐级输出第一扫描信号。

在一些实施方式中，当所述栅极驱动电路还包括第二帧起始信号线，所述所述第二帧起始信号线与所述级联电路的第二输入端连接时，在所述向所述时钟信号线提供时钟信号的步骤之后，还包括：

20 在第二显示阶段，向所述第二帧起始信号线提供第二帧起始信号，以使所述所述第二帧起始信号线向所述级联电路传输所述第二帧起始信号，所述级联电路根据所述第二帧起始信号以及所述时钟信号，逐级输出第二扫描信号。

在一些实施方式中，在所述向所述第一帧起始信号线提供第一帧起始信号，以及所述向所述第二帧起始信号线提供第二帧起始信号的步骤之前，还包括：

25 获取显示数据，所述显示数据包括前一帧显示数据和后一帧显示数据，所述前一帧显示数据与所述后一帧显示数据为相邻两帧画面的显示数据；

将所述前一帧显示数据与所述后一帧显示数据进行比较，根据比较结果，执行在所述第一显示阶段的步骤或者在所述第二显示阶段的步骤。

30 在一些实施方式中，所述根据比较结果，执行在所述第一显示阶段的步骤或者在所述第二显示阶段的步骤，包括：

若所述前一帧显示数据与所述后一帧显示数据不同，则执行在所述第一显示阶段的步骤；

若所述前一帧显示数据与所述后一帧显示数据相同，则执行在所述第二显示阶段的步骤。

- 5 在一些实施方式中，所述第一扫描信号包括多个扫描脉冲信号，所述多条扫描信号线包括第一扫描信号线，所述多条数据信号线包括第一数据信号线，与所述第一扫描信号线以及所述第一数据信号线连接的像素驱动电路为第一像素驱动电路，在所述向所述第一帧起始信号线提供第一帧起始信号，以使所述第一帧起始信号线向所述级联电路传输所述第一帧起始信号，所述
- 10 级联电路根据所述第一帧起始信号以及所述时钟信号，逐级输出第一扫描信号的步骤之后，还包括：

相互分隔开的多个补偿阶段，各所述补偿阶段包括：向所述第一像素驱动电路的扫描信号端输入所述扫描脉冲信号，向所述第一像素驱动电路的数据信号端提供数据信号，以使所述数据信号写入所述第一像素驱动电路。

- 15 在一些实施方式中，所述多条数据信号线还包括第二数据信号线，所述显示面板还包括信号端子、第一数据选择电路和第二数据选择电路，且所述第一数据信号线与所述信号端子通过所述第一数据选择电路连接，所述第二数据信号线与所述信号端子通过所述第二数据选择电路连接，在各所述补偿阶段之前，还包括：

- 20 向所述信号端子提供所述数据信号，控制所述第一数据选择电路打开，控制所述第二数据选择电路关闭，以使所述数据信号写入第一数据存储电容中，所述第一数据存储电容的一个极板与所述第一数据信号线连接。

- 在一些实施方式中，当所述第一像素驱动电路包括写入模块、驱动模块、补偿模块、发光控制模块以及第一复位模块，且所述写入模块与所述数据信号端、第一节点以及所述扫描信号端连接，所述驱动模块与所述第一节点、第二节点以及第三节点连接，所述补偿模块与所述第二节点、所述第三节点以及所述扫描信号端连接，所述发光控制模块与第一电压端、使能信号端、所述第一节点、所述第二节点以及所述发光器件连接，所述第一复位模块与所述第三节点、第一复位信号端和复位控制信号端连接时，所述补偿阶段用于将所述数据信号依次写入所述第一节点、所述第二节点和所述第三节点，
- 25
- 30

在各所述补偿阶段之前，还包括：

复位阶段，向所述第一复位信号端提供第一复位信号，向复位控制信号端提供复位控制信号，以使所述第一复位信号写入所述第三节点；

在所述多个补偿阶段之后，还包括：

- 5 发光阶段，向所述使能信号端提供使能信号，以使所述发光控制模块与所述驱动模块配合，驱动所述发光器件发光。

上述说明仅是本公开技术方案的概述，为了能够更清楚了解本公开的技术手段，而可依照说明书的内容予以实施，并且为了让本公开的上述和其它目的、特征和优点能够更明显易懂，以下特举本公开的具体实施方式。

10

附图简述

为了更清楚地说明本公开实施例或相关技术中的技术方案，下面将对实施例或相关技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。需要说明的是，附图中的比例仅作为示意并不代表实际比例。

图 1 示出了本公开提供的一种栅极驱动电路的结构示意图；

图 2a 示出了一种栅极驱动电路的驱动信号时序图；

图 2b 示出了一种移位寄存器的电路结构示意图；

20 图 3 示出了第一种显示面板的亮度-时间曲线；

图 4 示出了第二种显示面板的亮度-时间曲线；

图 5 示出了本公开提供的一种显示面板的结构示意图；

图 6 示出了一种显示面板的“虚边”不良；

图 7 示出了一种显示面板的驱动信号时序图；

25 图 8 示出了本公开提供的一种像素驱动电路的结构示意图；

图 9 示出了本公开提供的一种显示装置的结构示意图；

图 10 示出了一种像素驱动电路的第一种驱动信号时序图；

图 11 示出了一种像素驱动电路的第二种驱动信号时序图。

30 详细描述

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

在实际使用过程中，OLED 显示屏常常处于循环播放视频的状态，由于驱动电路和器件结构的影响，显示屏在切换显示画面时，第一帧的亮度通常只有所需亮度的 60%。对于较为敏感的人眼来说，看到的现象即为切换画面后的第一帧会出现拖影。通常采用首帧响应或首帧亮度占比 (First Frame Ratio, FFR) 来表征这一现象，FFR 值越高拖影越不明显。

本公开提供了一种栅极驱动电路，如图 1 和图 2a 所示，该栅极驱动电路包括：第一帧起始信号线 11 和级联电路 12。第一帧起始信号线 11 与级联电路 12 的第一输入端 Input1 连接，第一帧起始信号线 11 被配置为：在第一显示阶段，向级联电路 12 传输第一帧起始信号 GSTV1。级联电路 12 包括相互级联的多个移位寄存器 13，各移位寄存器 13 与时钟信号线 14 连接，级联电路 12 被配置为：根据第一帧起始信号 GSTV1 以及时钟信号线 14 输入的时钟信号 GCK，逐级输出第一扫描信号 G1。

如图 2a 所示，第一帧起始信号 GSTV1 在一个周期内的有效电平与时钟信号 GCK 的多个脉冲信号交叠，第一扫描信号 G1 在一个周期内包括多个扫描脉冲信号。

本公开中，“一个周期”指的是一个帧周期（如图 2a 所示的 1 Frame），也就是显示面板进行多帧显示时，每一帧的显示周期，为该显示面板刷新频率的倒数。

参照图 5 和图 8，移位寄存器 13 的输出端 Output 与像素驱动电路 51 中的写入模块 81 可以通过扫描信号线 gate 连接，扫描信号线 gate 连接写入模块 81 的扫描信号端 Vgate，写入模块 81 用于在第一扫描信号 G1 的控制下，将数据信号写入像素驱动电路 51。

示例性地，在图 2a 中，第一帧起始信号 GSTV1 在一个周期内的有效电平与时钟信号 GCK 的三个脉冲信号交叠。

在一些实施方式中，第一帧起始信号 GSTV1 在一个周期内的有效电平与

时钟信号 GCK 交叠的脉冲信号数量大于或等于 2, 且小于或等于 5。如图 2a 所示, 第一帧起始信号 GSTV1 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量为 3。

5 在一些实施方式中, 如图 2a 所示, 第一帧起始信号 GSTV1 的有效电平为低电平。

示例性地, 在级联电路 12 中, 第一级移位寄存器 GOA1 的输入端 Input 连接级联电路 12 的第一输入端 Input1, 或者复用为级联电路 12 的第一输入端 Input1 (如图 1 所示出的)。

10 在一些实施方式中, 级联电路 12 中, 第 E 级移位寄存器 13 的输出端 Output 与第 E+F 级移位寄存器 13 的输入端 Input 连接, 第 M 级移位寄存器 13 的输出端 Output 与第 M-N 级移位寄存器 13 的复位端 Rst 连接, 其中, $1 \leq E < H$, $F \geq 1$, $E+F \leq H$, $1 < M \leq H$, $1 \leq N < M$, 且 E、F、H、M 和 N 均为正整数, H 为级联电路 12 中的移位寄存器 13 总数量。

15 示例性地, 如图 1 所示, $F=N=1$ 。在图 1 中, 对于每一级移位寄存器 13, 其输出的第一扫描信号 G1 可以输出至扫描信号线 gate, 还可以作为下一级移位寄存器 13 的起始信号以及上一级移位寄存器 13 的复位信号。在第一显示阶段, 第一级移位寄存器 GOA1 的起始信号为第一帧起始信号 GSTV1, 第一级移位寄存器 GOA1 可以不输出复位信号, 最后一级移位寄存器 13 可以连接一行冗余移位寄存器 13 实现最后一级移位寄存器 13 的复位。

20 示例性地, 如图 2b 所示, 移位寄存器 13 可以包括充电模块 21、输出模块 22、存储电容 C 和复位模块 23。其中, 充电模块 21 分别与移位寄存器 13 的输入端 Input 以及上拉节点 PU 连接, 用于根据输入端 Input 的信号, 将输入端 Input 的信号写入上拉节点 PU; 输出模块 22 分别与时钟信号输入端 GCK、上拉节点 PU 以及输出端 Output 连接, 用于根据上拉节点 PU 的电位, 将时钟信号输入端 GCK 的时钟信号写入输出端 Output; 存储电容 C 连接上拉节点 PU 与输出端 Output 之间, 用于存储上拉节点 PU 的电压; 复位模块 23 分别与复位端 Rst、复位信号端 VSS、上拉节点 PU 以及输出端 Output 连接, 用于根据复位端 Rst 的信号, 将复位信号端 VSS 的信号写入上拉节点 PU 和输出端 Output。

30 如图 2b 所示, 充电模块 21 包括晶体管 M1, 晶体管 M1 的控制极和第一

极连接移位寄存器 13 的输入端 Input, 晶体管 M1 的第二极连接上拉节点 PU。输出模块 22 包括晶体管 M3, 晶体管 M3 的控制极连接上拉节点 PU, 晶体管 M3 的第一极连接时钟信号输入端 GCK, 晶体管 M3 的第二极连接移位寄存器 13 的输出端 Output。复位模块 23 包括晶体管 M2 和晶体管 M4, 晶体管 M2 的控制极连接下拉节点 PD, 晶体管 M2 的第一极连接复位信号端 VSS, 晶体管 M2 的第二极连接上拉节点 PU, 晶体管 M4 的控制极连接下拉节点 PD, 晶体管 M4 的第一极连接复位信号端 VSS, 晶体管 M4 的第二极连接输出端 Output。在图 2b 中, 晶体管 M1 至 M4 均为 P 型晶体管。

如图 2a 所示, 在第一显示阶段, 第一帧起始信号线 11 向第一级移位寄存器 GOA1 的输入端提供第一帧起始信号 GSTV1。如图 2b 所示, 当第一级移位寄存器 GOA1 的输入端 Input 接入低电平的第一帧起始信号 GSTV1 时, 晶体管 M1 开启, 上拉节点 PU 点电位为低电平, 晶体管 M3 也处于开启状态, 从而将时钟信号输入端 GCK 的信号写入输出端 Output, 进而输出第一扫描信号。如图 2a 所示, 由于第一帧起始信号 GSTV1 在一个周期内的有效电平阶段(如图 2a 所示的低电平阶段)与时钟信号 GCK 的三个脉冲信号交叠, 因此, 输出端 Output 输出的第一扫描信号在一个周期内包括三个扫描脉冲信号。

这样, 级联电路 12 在第一帧起始信号 GSTV1 和时钟信号 GCK 的作用下, 逐级产生多脉冲的第一扫描信号 G1。在级联电路 12 中, 第一级移位寄存器 GOA1 之后各级移位寄存器 13 的工作过程与第一级移位寄存器 GOA1 类似, 这里不再赘述。可以理解, 第一帧起始信号 GSTV1 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量, 与第一扫描信号 G1 在一个周期内包括的扫描脉冲信号数量相同。

当本公开提供的栅极驱动电路 10 应用于显示面板时, 参照图 5, 该显示面板可以包括: 像素驱动电路 51、发光器件 52 (如图 8 所示)、扫描信号线 gate 以及数据信号线 data, 一个移位寄存器 13 的输出端 Output 与一条扫描信号线 gate 连接, 输出端 Output 输出的信号通过扫描信号线 gate 传输至像素驱动电路 51, 进而像素驱动电路 51 根据扫描信号线 gate 的信号, 将数据信号线 data 输入的数据信号写入像素驱动电路 51 中(如图 8 所示出的驱动晶体管 T3 的栅极, 即第三节点 N3), 以驱动发光器件 52 发光。

由于第一扫描信号 G1 在一个周期内具有多个扫描脉冲信号，当本公开提供的栅极驱动电路 10 应用于显示面板时，像素驱动电路 51 在第一扫描信号 G1 的控制下，能够在发光器件 52 发光之前对驱动晶体管 T3 的栅极进行多次电压偏置，从而对驱动晶体管 T3 的阈值电压进行多次补偿，使得驱动晶体管 T3 的阈值电压向负向偏移，这样就减小了补偿阶段和发光阶段阈值电压的差值，因此可以提升显示画面亮度。

发明人测试了两种显示面板连续多帧显示同一画面的亮度随时间的变化，第一种显示面板采用本公开提供的栅极驱动电路，测试结果如图 3 所示，第二种显示面板采用相关技术中的栅极驱动电路（输出的扫描信号在一个周期内包括一个扫描脉冲信号），测试结果如图 4 所示。在显示面板显示同一画面的连续多帧画面中，第一帧画面与预设帧画面的亮度之比为 FFR 值，预设帧画面可以为稳定显示上述同一画面后的任一帧画面，这里将第四帧画面作为预设帧画面。对比图 3 和图 4 可以发现，第一种显示面板的第一帧起始亮度和结束亮度都有很大的提高，两种显示面板的第四帧亮度基本没有差别。因此，采用本公开提供的栅极驱动电路 10，可以显著提升显示面板的 FFR 值，改善切换画面后第一帧显示的拖影问题。

需要说明的是，第一显示阶段可以包括切换画面后的第一帧显示阶段，还可以包括切换画面稳定显示后的任一帧显示阶段，如图 3 所示，第一显示阶段包括切换画面后的第一帧至第五帧显示阶段。

在一些实施方式中，第一显示阶段可以为显示面板的整个显示阶段，也就是，整个显示阶段的每一帧显示都是采用第一帧起始信号 GSTV1 作为级联电路 12 的起始信号。

发明人发现，在整个显示过程中都采用第一帧起始信号 GSTV1 作为级联电路 12 的起始信号时，会在显示画面的边缘产生“虚边”不良，如图 6 所示。发明人对该不良进行了分析，在图 5 所示的显示面板中，多个像素驱动电路 51 沿行列排布，假设第 $(n+5)$ 行是最后一行像素驱动电路 51，整个显示过程中栅极驱动电路 10 都采用图 2a 所示的第一帧起始信号 GSTV1 驱动，参照图 7 示出了图 5 所示显示面板进行显示的驱动信号时序图，第 $(n+1)$ 行及其前面行的像素驱动电路 51 在进行数据信号写入时，数据信号线 data 会同时对 3 行像素驱动电路 51 进行信号写入；而第 $(n+2)$ 行至 $(n+5)$ 行的像素驱动

电路 51 在进行数据信号写入时，数据信号线 data 会同时对 2 行或 1 行像素驱动电路 51 进行信号写入，这就导致靠近边缘的第 (n+2) 行至第 (n+5) 行像素驱动电路 51 中第三节点 N3（即驱动晶体管 T3 的栅极）的电压较大，在亮画面时会出现发暗现象，进而出现图 6 中边框附近发暗的“虚边”现象。

5 为了避免这种显示的异常现象，在一些实施方式中，如图 1 所示，栅极驱动电路还包括：第二帧起始信号线 15，第二帧起始信号线 15 与级联电路 12 的第二输入端 Input2 连接，第二帧起始信号线 15 被配置为：在第二显示阶段，向级联电路 12 传输第二帧起始信号 GSTV2。相应地，级联电路 12 还被配置为：根据第二帧起始信号 GSTV2 以及时钟信号 GCK，逐级输出第二扫描信号 G2。其中，第二帧起始信号 GSTV2 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量，小于第一帧起始信号 GSTV1 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量，第二扫描信号 G2 在一个周期内包括的扫描脉冲信号数量大于或等于 1，且小于第一扫描信号 G1 在一个周期内包括的扫描脉冲信号数量。

15 示例性地，在图 2a 中，第二帧起始信号 GSTV2 在一个周期内的有效电平与时钟信号 GCK 的一个脉冲信号交叠。也就是，第二帧起始信号 GSTV2 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量为 1。

示例性地，在级联电路 12 中，第一级移位寄存器 GOA1 的输入端 Input 连接级联电路 12 的第二输入端 Input2，或者复用为级联电路 12 的第二输入端 Input2（如图 1 所示出的）。

在第二显示阶段，第一级移位寄存器 GOA1 的起始信号为第二帧起始信号 GSTV2。这样，在第二显示阶段，级联电路 12 在第二帧起始信号 GSTV2 和时钟信号 GCK 的作用下，逐级产生第二扫描信号 G2。可以理解，第二帧起始信号 GSTV2 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量，与第二扫描信号 G2 在一个周期内包括的扫描脉冲信号数量相同。当第二帧起始信号 GSTV2 在一个周期内的有效电平与时钟信号 GCK 交叠的脉冲信号数量为 1 时，在第二帧起始信号 GSTV2 的触发下，级联电路 12 输出在一个周期内具有一个扫描脉冲信号的第二扫描信号 G2。

在一些实施方式中，第二帧起始信号 GSTV2 与第一帧起始信号 GSTV1 的有效电平的电压相同。

在一些实施方式中，第一显示阶段可以为切换画面后的第一帧显示阶段，第二显示阶段可以为切换画面稳定显示后的任一帧显示阶段，如第二帧显示阶段、第三帧显示阶段等。

参照图 9 示出了一种显示装置的结构示意图，如图 9 所示，该显示装置
5 包括显示驱动芯片(Display Driver Integrated Circuit, DDIC)和显示面板(Panel), DDIC 与应用处理器(Application Processor, AP)通过移动产业处理器接口

(Mobile Industry Processor Interface, MIPI)连接。当其中的显示面板采用图 5 所示的显示面板时，DDIC 可以根据 AP 端送来的显示数据启动判断机制，例如可以对相邻两帧画面的显示数据，如前一帧显示数据与后一帧显示数据
10 进行比较，如果前一帧显示数据与后一帧显示数据不同（如图 2a 所示，前一帧显示数据为 data a, 后一帧显示数据为 data b），即后一帧显示数据有更新，对应切换画面的第一帧显示，这种情况下执行在第一显示阶段的步骤，第一帧起始信号 GSTV1 作为第一级移位寄存器 GOA1 的起始信号，同时第二帧起始信号线 15 中的第二帧起始信号 GSTV2 会自动 Hiz 掉（即处于高阻状态）。

15 如果前一帧显示数据与后一帧显示数据相同，即后一帧显示数据未更新，与前一帧显示数据显示相同的画面，这种情况下可以执行在第二显示阶段的步骤，第二帧起始信号 GSTV2 作为第一级移位寄存器 GOA1 的起始信号，同时第一帧起始信号线 11 中的第一帧起始信号 GSTV1 会自动 Hiz 掉（即处于高阻状态）。

20 这样，通过分阶段对级联电路 12 进行不同的驱动，可以解决“虚边”不良，同时也可以提升切换画面第一帧的显示亮度，提升 FFR 值，解决拖影不良。

在一些实施方式中，第一帧起始信号线 11 与第二帧起始信号线 15 各自独立设置，如图 1 所示出的。当然，第一帧起始信号线 11 与第二帧起始信号
25 线 15 还可以共用同一条信号线，本公开对此不作限定。

本公开提供了一种显示面板，如图 5 和图 8 所示，该显示面板包括：阵列排布的多个像素驱动电路 51；多个发光器件 52，发光器件 52 与位于同一像素的像素驱动电路 51 连接；多条扫描信号线 gate，扫描信号线 gate 与位于
30 同一行的像素驱动电路 51 的扫描信号端 Vgate 连接；多条数据信号线 data，

数据信号线 data 与位于同一列的像素驱动电路 51 的数据信号端 Vdata 连接；以及如任一实施方式提供的栅极驱动电路 10，级联电路 12 中的多个移位寄存器 13 的输出端 Output 分别连接不同的扫描信号线 gate。

其中，像素驱动电路 51 被配置为：根据扫描信号端 Vgate 的信号，将数据信号端 Vdata 的数据信号写入像素驱动电路 51 中，以驱动发光器件 52 发光。

可以理解，本公开提供的显示面板具有上述栅极驱动电路 10 的优点，这里不再赘述。

在一些实施方式中，如图 5 所示，多条数据信号线 data 包括第一数据信号线 data1 和第二数据信号线 data2，显示面板还包括：信号端子 Source、第一数据选择电路 Mux1 和第二数据选择电路 Mux2，第一数据信号线 data1 与信号端子 Source 通过第一数据选择电路 Mux1 连接，第二数据信号线 data2 与信号端子 Source 通过第二数据选择电路 Mux2 连接。

示例性地，如图 5 所示，第一数据选择电路 Mux1 为一个开关晶体管，该开关晶体管在控制信号 Mux1 的作用下打开或关闭，第二数据选择电路 Mux2 为一个开关晶体管，该开关晶体管在控制信号 Mux2 的作用下打开或关闭。示例性地，在图 5 中，第一数据选择电路 Mux1 中的开关晶体管以及第二数据选择电路 Mux2 中的开关晶体管均为 P 型晶体管。

在具体实施时，如图 7 所示，可以在第一扫描信号 G1 和第二扫描信号 G2 中的各扫描脉冲信号之前，首先控制第一数据选择电路 Mux1 打开（如图 7 中 Mux1 的低电平），控制第二数据选择电路 Mux2 关闭（如图 7 中 Mux2 的高电平），以使信号端子 Source 输入的数据信号通过第一数据选择电路 Mux1 以及第一数据信号线 data1 写入第一数据存储电容 Cdata1 中，第一数据存储电容 Cdata1 的一个极板与第一数据信号线 data1 连接，然后控制第二数据选择电路 Mux2 打开（如图 7 中 Mux2 的低电平），控制第一数据选择电路 Mux1 关闭（如图 7 中 Mux1 的高电平），以使信号端子 Source 输入的数据信号通过第二数据选择电路 Mux2 以及第二数据信号线 data2 写入第二数据存储电容 Cdata2 中，第二数据存储电容 Cdata2 的一个极板与第二数据信号线 data2 连接。

需要说明的是，在图 5 中示出的是两条数据信号线 data 共用同一个信号端子 Source，在具体实施时，还可以三条或更多条数据信号线 data 共用同一

个信号端子 Source，本公开对此不作限定。

在一些实施方式中，如图 8 所示，像素驱动电路 51 包括：写入模块 81，写入模块 81 与数据信号端 Vdata、第一节点 N1 以及扫描信号端 Vgate 连接，写入模块 81 被配置为：在补偿阶段，根据扫描信号端 Vgate 的信号，将数据信号写入第一节点 N1。

示例性地，如图 8 所示，写入模块 81 可以包括第四晶体管 T4，控制极与扫描信号端 Vgate 连接，第一极与数据信号端 Vdata 连接，第二极与第一节点 N1 连接。

在一些实施方式中，像素驱动电路 51 包括：驱动模块 82，驱动模块 82 与第一节点 N1、第二节点 N2 以及第三节点 N3 连接，驱动模块 82 被配置为：在第三节点 N3 的电位控制下，将第一节点 N1 的信号写入第二节点 N2。

示例性地，如图 8 所示，驱动模块 82 可以包括驱动晶体管 T3，控制极与第三节点 N3 连接，第一极与第一节点 N1 连接，第二极与第二节点 N2 连接。

在一些实施方式中，像素驱动电路 51 包括：补偿模块 83，补偿模块 83 与第二节点 N2、第三节点 N3 以及扫描信号端 Vgate 连接，补偿模块 83 被配置为：在补偿阶段，根据扫描信号端 Vgate 的信号，将第二节点 N2 的信号写入第三节点 N3。

示例性地，如图 8 所示，补偿模块 83 可以包括第二晶体管 T2，控制极与扫描信号端 Vgate 连接，第一极与第二节点 N2 连接，第二极与第三节点 N3 连接。

在一些实施方式中，像素驱动电路 51 包括：发光控制模块 84，发光控制模块 84 与第一电压端 ELVDD、使能信号端 EM、第一节点 N1、第二节点 N2 以及发光器件 52 连接，发光控制模块 84 被配置为：在发光阶段，根据使能信号端 EM 的使能信号，与驱动模块 82 配合，驱动发光器件 52 发光。

示例性地，如图 8 所示，发光控制模块 84 可以包括第五晶体管 T5 和第六晶体管 T6，第五晶体管 T5 的控制极与使能信号端 EM 连接，第五晶体管 T5 的第一极与第一电压端 ELVDD 连接，第五晶体管 T5 的第二极与第一节点 N1 连接，第六晶体管 T6 的控制极与使能信号端 EM 连接，第六晶体管 T6 的第一极与第二节点 N2 连接，第六晶体管 T6 的第二极与发光器件 52 的阳极连接。

在一些实施方式中，像素驱动电路 51 包括：存储模块 85，存储模块 85 与第一电压端 ELVDD 以及第三节点 N3 连接，存储模块 85 被配置为：存储第三节点 N3 的信号。

5 示例性地，如图 8 所示，存储模块 85 包括第一电容 Cst，第一极与第一电压端 ELVDD 连接，第二极以及第三节点 N3 连接。

在一些实施方式中，像素驱动电路 51 包括：第一复位模块 86，第一复位模块 86 与第三节点 N3、第一复位信号端 Vint1 以及复位控制信号端 Reset 连接，第一复位模块 86 被配置为：根据复位控制信号端 Reset 的信号，将第一复位信号端 Vint1 的信号写入第三节点 N3。

10 示例性地，如图 8 所示，第一复位模块 86 包括第一晶体管 T1，控制极与复位控制信号端 Reset 连接，第一极与第一复位信号端 Vint1 连接，第二极与第三节点 N3 连接。

在一些实施方式中，像素驱动电路 51 包括：第二复位模块 87，第二复位模块 87 与发光器件 52 的阳极、第二复位信号端 Vint2 和扫描信号端 Vgate 连接，第二复位模块 87 被配置为：根据扫描信号端 Vgate 的信号，将第二复位信号端 Vint2 的信号写入发光器件 52 的阳极。

示例性地，如图 8 所示，第二复位模块 87 包括第七晶体管 T7，控制极与扫描信号端 Vgate 连接，第一极与第二复位信号端 Vint2 连接，第二极与发光器件 52 的阳极连接。

20 示例性地，在图 8 中，第一晶体管 T1 至第七晶体管 T7 均为 P 型晶体管。当然，第一晶体管 T1 至第七晶体管 T7 还可以为 N 型晶体管，本公开对此不作限定。

为了确保人眼无法察觉到切换画面第一帧的拖影现象，在一些实施方式中，在显示面板显示同一画面的连续多帧画面中，第一帧画面与预设帧画面的亮度之比为首帧亮度占比 FFR，首帧亮度占比大于或等于 85%，预设帧画面为稳定显示同一画面后的任一帧画面。

本公开提供了一种显示装置，如图 9 所示，包括：如任一实施方式提供的显示面板 Panel；以及显示驱动芯片 DDIC。其中，显示驱动芯片 DDIC 与显示面板 Panel 连接，用于向显示面板 Panel 提供驱动信号，驱动信号包括：

第一帧起始信号、时钟信号以及数据信号。

可以理解，本公开提供的显示装置具有上述栅极驱动电路 10 的优点，这里不再赘述。

本公开提供的显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框或导航仪等任何具有显示功能的产品或部件。

如图 9 所示，DDIC 与应用处理器 AP 通过移动产业处理器接口 MIPI 连接。

在一些实施方式中，驱动信号还可以包括第二帧起始信号等。

10 本公开提供了一种显示驱动方法，应用于如任一实施方式提供的显示面板（如图 5 所示），显示驱动方法包括：

步骤 S01：向时钟信号线 14 提供时钟信号 GCK，以使时钟信号线 14 向移位寄存器 13 传输时钟信号 GCK。

步骤 S02：在第一显示阶段，向第一帧起始信号线 11 提供第一帧起始信号 GSTV1，以使第一帧起始信号线 11 向级联电路 12 传输第一帧起始信号 GSTV1，级联电路 12 根据第一帧起始信号 GSTV1 以及时钟信号 GCK，逐级输出第一扫描信号 G1。

本公开提供的显示驱动方法，可以由显示装置中的显示驱动芯片 DDIC 执行。

20 在一些实施方式中，如图 5 所示，当栅极驱动电路还包括第二帧起始信号线 15，第二帧起始信号线 15 与级联电路 12 的第二输入端 Input2 连接时，在步骤 S01 之后，还包括：

步骤 S11：在第二显示阶段，向第二帧起始信号线 15 提供第二帧起始信号 GSTV2，以使第二帧起始信号线 15 向级联电路 12 传输第二帧起始信号 GSTV2，级联电路 12 根据第二帧起始信号 GSTV2 以及时钟信号 GCK，逐级输出第二扫描信号 G2。

在一些实施方式中，在步骤 S02 和步骤 S11 之前，还包括：

步骤 S21：获取显示数据，显示数据包括前一帧显示数据和后一帧显示数据，前一帧显示数据与后一帧显示数据为相邻两帧画面的显示数据。

30 步骤 S22：将前一帧显示数据与后一帧显示数据进行比较，根据比较结果，

执行在第一显示阶段的步骤或者在第二显示阶段的步骤。

在一些实施方式中，在步骤 S22 中，根据比较结果，执行在第一显示阶段的步骤或者在第二显示阶段的步骤，包括：

5 步骤 S31：若前一帧显示数据与后一帧显示数据不同，则执行在第一显示阶段的步骤。

步骤 S32：若前一帧显示数据与后一帧显示数据相同，则执行在第二显示阶段的步骤。

在一些实施方式中，如图 10 所示，第一扫描信号 G1 包括多个扫描脉冲信号，多条扫描信号线 gate 包括第一扫描信号 G1 线，多条数据信号线 data 10 包括第一数据信号线 data1，与第一扫描信号 G1 线以及第一数据信号线 data1 连接的像素驱动电路 51 为第一像素驱动电路 51，在步骤 S02 之后，还包括：

步骤 S41：相互分隔开的多个补偿阶段，各补偿阶段包括：向第一像素驱动电路 51 的扫描信号端 Vgate 输入扫描脉冲信号，向第一像素驱动电路 51 的数据信号端 Vdata 提供数据信号，以使数据信号写入第一像素驱动电路 51。

15 在每个补偿阶段，都能够对驱动晶体管 T3 的栅极进行一次电压偏置，多个补偿阶段可以对驱动晶体管 T3 的阈值电压进行多次补偿，使得驱动晶体管 T3 的阈值电压向负向偏移。

在一些实施方式中，如图 11 所示，第二扫描信号 G2 包括一个扫描脉冲信号，多条扫描信号线 gate 包括第一扫描信号 G1 线，多条数据信号线 data 20 包括第一数据信号线 data1，与第一扫描信号 G1 线以及第一数据信号线 data1 连接的像素驱动电路 51 为第一像素驱动电路 51，在步骤 S11 之后，还包括：一个补偿阶段，向第一像素驱动电路 51 的扫描信号端 Vgate 输入扫描脉冲信号，向第一像素驱动电路 51 的数据信号端 Vdata 提供数据信号，以使数据信号写入第一像素驱动电路 51。

25 在一些实施方式中，如图 5 所示，多条数据信号线 data 还包括第二数据信号线 data2，显示面板还包括信号端子 Source、第一数据选择电路 Mux1 和第二数据选择电路 Mux2，且第一数据信号线 data1 与信号端子 Source 通过第一数据选择电路 Mux1 连接，第二数据信号线 data2 与信号端子 Source 通过第二数据选择电路 Mux2 连接，如图 7 所示，在步骤 S41 中，在各补偿阶段之前，还包括：

30

步骤 S51: 向信号端子 Source 提供数据信号, 控制第一数据选择电路 Mux1 打开, 控制第二数据选择电路 Mux2 关闭, 以使数据信号写入第一数据存储电容 Cdata1 中, 第一数据存储电容 Cdata1 的一个极板与第一数据信号线 data1 连接。

5 在具体实施时, 如图 10 图 7 所示, 在步骤 S41 中, 在各补偿阶段之前, 还可以包括: 向信号端子 Source 提供数据信号, 控制第二数据选择电路 Mux2 打开, 控制第一数据选择电路 Mux1 关闭, 以使数据信号写入第二数据存储电容 Cdata2 中, 第二数据存储电容 Cdata2 的一个极板与第二数据信号线 data2 连接。

10 在一些实施方式中, 如图 8 所示, 当第一像素驱动电路 51 包括写入模块 81、驱动模块 82、补偿模块 83、发光控制模块 84 以及第一复位模块 86, 且写入模块 81 与数据信号端 Vdata、第一节点 N1 以及扫描信号端 Vgate 连接, 驱动模块 82 与第一节点 N1、第二节点 N2 以及第三节点 N3 连接, 补偿模块 83 与第二节点 N2、第三节点 N3 以及扫描信号端 Vgate 连接, 发光控制模块 84 与第一电压端 ELVDD、使能信号端 EM、第一节点 N1、第二节点 N2 以及
15 发光器件 52 连接, 第一复位模块 86 与第三节点 N3、第一复位信号端 Vint1 和复位控制信号端 Reset 连接时, 补偿阶段 t2 用于将数据信号依次写入第一节点 N1、第二节点 N2 和第三节点 N3, 如图 10 和图 11 所示, 在步骤 S41 中, 在各补偿阶段 t2 之前, 还包括:

20 步骤 S61: 复位阶段 t1, 向第一复位信号端 Vint1 提供第一复位信号, 向复位控制信号端 Reset 提供复位控制信号 (如图 10 和图 11 中的 Reset), 以使第一复位信号写入第三节点 N3。

如图 10 所示, 在步骤 S41 中的多个补偿阶段 t2 之后, 或者如图 11 所示, 在单个补偿阶段 t2 之后, 还可以包括:

25 步骤 S71: 发光阶段 t3, 向使能信号端 EM 提供使能信号 (如图 10 和图 11 中的 EM), 以使发光控制模块 84 与驱动模块 82 配合, 驱动发光器件 52 发光。

需要说明的是, 该显示驱动方法还可以包括更多的步骤, 这可以根据实际需求而定, 本公开对此不作限制。关于显示驱动方法的详细说明和技术效果可以参考上文中关于栅极驱动电路以及显示面板的描述, 此处不再赘述。

30

本公开中，“多个”的含义是两个或两个以上，“至少一个”的含义是一个或一个以上，除非另有明确具体的限定。

本公开中，术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、商品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、产品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、商品或者设备中还存在另外的相同要素。

本文中所称的“一个实施例”、“一些实施例”、“示例性实施例”、“一个或者多个实施例”、“示例”、“一个示例”、“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。

在描述一些实施例时，可能使用了“耦接”和“连接”的表达。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。又如，描述一些实施例时可能使用了术语“耦接”以表明两个或两个以上部件有直接物理接触或电接触。然而，术语“耦接”或“通信耦合 (communicatively coupled)”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C

的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

如本文中所使用，根据上下文，术语“如果”任选地被解释为意思是“当……时”或“在……时”或“响应于确定”或“响应于检测到”。类似地，根据上下文，
5 短语“如果确定……”或“如果检测到[所陈述的条件或事件]”任选地被解释为是指“在确定……时”或“响应于确定……”或“在检测到[所陈述的条件或事件]时”或“响应于检测到[所陈述的条件或事件]”。

本文中“用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

10 本文中“基于”或“根据”的使用意味着开放和包容性。基于一个或多个所述条件或值的过程、步骤、计算或其他动作，在实践中可以基于其它条件或超出所述的值。根据一个或多个所述条件或值的过程、步骤、计算或其他动作，在实践中可以根据其它条件或超出所述的值。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特
15 定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“平行”、“垂直”、“相等”、“齐平”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏
20 差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中
25 近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5%。“齐平”包括绝对齐平和近似齐平，其中近似齐平的可接受偏差范围内例如可以是齐平的两者之间的距离小于或等于其中任一者尺寸的 5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或
30 元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间

存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

最后应说明的是：以上实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的精神和范围。

权 利 要 求

1、一种栅极驱动电路，包括：第一帧起始信号线和级联电路；

所述第一帧起始信号线，与所述级联电路的第一输入端连接，被配置为：

5 在第一显示阶段，向所述级联电路传输第一帧起始信号；

所述级联电路，包括相互级联的多个移位寄存器，各所述移位寄存器与时钟信号线连接，所述移位寄存器的输出端与像素驱动电路中的写入模块连接，所述级联电路被配置为：根据所述第一帧起始信号以及所述时钟信号线输入的时钟信号，逐级输出第一扫描信号；

10 其中，所述第一帧起始信号在一个周期内的有效电平与所述时钟信号的多个脉冲信号交叠，所述第一扫描信号在一个周期内包括多个扫描脉冲信号，所述写入模块用于在所述第一扫描信号的控制下，将数据信号写入所述像素驱动电路。

2、根据权利要求1所述的栅极驱动电路，其中，所述栅极驱动电路还包括：

第二帧起始信号线，与所述级联电路的第二输入端连接，被配置为：在第二显示阶段，向所述级联电路传输第二帧起始信号；

所述级联电路还被配置为：根据所述第二帧起始信号以及所述时钟信号，逐级输出第二扫描信号；

20 其中，所述第二帧起始信号在一个周期内的有效电平与所述时钟信号交叠的脉冲信号数量，小于所述第一帧起始信号在一个周期内的有效电平与所述时钟信号交叠的脉冲信号数量，所述第二扫描信号在一个周期内包括的扫描脉冲信号数量大于或等于1，且小于所述第一扫描信号在一个周期内包括的扫描脉冲信号数量。

25 3、根据权利要求2所述的栅极驱动电路，其中，所述第一帧起始信号线与所述第二帧起始信号线各自独立设置，或者共用同一条信号线。

4、根据权利要求1至3任一项所述的栅极驱动电路，其中，所述第一帧起始信号在一个周期内的有效电平与所述时钟信号交叠的脉冲信号数量大于或等于2，且小于或等于5。

30 5、根据权利要求2至4任一项所述的栅极驱动电路，其中，所述第二帧

起始信号在一个周期内的有效电平与所述时钟信号的一个脉冲信号交叠。

6、根据权利要求 1 至 5 任一项所述的栅极驱动电路，其中，所述第一帧起始信号的有效电平为低电平。

7、根据权利要求 2 至 6 任一项所述的栅极驱动电路，其中，所述第二帧起始信号与所述第一帧起始信号的有效电平的电压相同。

8、根据权利要求 1 至 7 任一项所述的栅极驱动电路，其中，所述级联电路中，第一级移位寄存器的信号输入端连接所述第一输入端以及所述第二输入端，第 E 级移位寄存器的输出端与第 E+F 级移位寄存器的信号输入端连接，第 M 级移位寄存器的输出端与第 M-N 级移位寄存器的复位信号输入端连接，其中， $1 \leq E < H$ ， $F \geq 1$ ， $E+F \leq H$ ， $1 < M \leq H$ ， $1 \leq N < M$ ，且 E、F、H、M 和 N 均为正整数，所述 H 为所述级联电路中的移位寄存器总数量。

9、一种显示面板，包括：

阵列排布的多个像素驱动电路；

多个发光器件，所述发光器件与位于同一像素的像素驱动电路连接；

15 多条扫描信号线，所述扫描信号线与位于同一行的像素驱动电路的扫描信号端连接；

多条数据信号线，所述数据信号线与位于同一列的像素驱动电路的数据信号端连接；以及

20 如权利要求 1 至 8 任一项所述的栅极驱动电路，所述级联电路中的多个移位寄存器的输出端分别连接不同的扫描信号线；

其中，所述像素驱动电路被配置为：根据所述扫描信号端的信号，将所述数据信号端的数据信号写入所述像素驱动电路中，以驱动所述发光器件发光。

10、根据权利要求 9 所述的显示面板，其中，所述多条数据信号线包括 25 第一数据信号线和第二数据信号线，所述显示面板还包括：信号端子、第一数据选择电路和第二数据选择电路，所述第一数据信号线与所述信号端子通过所述第一数据选择电路连接，所述第二数据信号线与所述信号端子通过所述第二数据选择电路连接。

11、根据权利要求 9 或 10 所述的显示面板，其中，所述像素驱动电路包 30 括：

写入模块，与所述数据信号端、第一节点以及所述扫描信号端连接，被配置为：在补偿阶段，响应于所述扫描信号端的信号，将所述数据信号写入所述第一节点；

驱动模块，与所述第一节点、第二节点以及第三节点连接，被配置为：
5 在所述第三节点的电位控制下，将所述第一节点的信号写入所述第二节点；

补偿模块，与所述第二节点、所述第三节点以及所述扫描信号端连接，被配置为：在补偿阶段，根据所述扫描信号端的信号，将所述第二节点的信号写入所述第三节点；

发光控制模块，与第一电压端、使能信号端、所述第一节点、所述第二
10 节点以及所述发光器件连接，被配置为：在发光阶段，根据所述使能信号端的使能信号，与所述驱动模块配合，驱动所述发光器件发光；

存储模块，与所述第一电压端以及所述第三节点连接，被配置为存储所述第三节点的信号；

第一复位模块，与所述第三节点、第一复位信号端以及复位控制信号端
15 连接，被配置为：根据所述复位控制信号端的信号，将所述第一复位信号端的信号写入所述第三节点；以及

第二复位模块，与所述发光器件的阳极、第二复位信号端和所述扫描信号端连接，被配置为：根据所述扫描信号端的信号，将所述第二复位信号端的信号写入所述发光器件的阳极。

20 12、根据权利要求 9 至 11 任一项所述的显示面板，其中，在所述显示装置显示同一画面的连续多帧画面中，第一帧画面与预设帧画面的亮度之比为首帧亮度占比，所述首帧亮度占比大于或等于 85%，所述预设帧画面为稳定显示所述同一画面后的任一帧画面。

13、一种显示装置，包括：

25 如权利要求 9 至 12 任一项所述的显示面板；以及

显示驱动芯片，与所述显示面板连接，用于向所述显示面板提供驱动信号，所述驱动信号包括：所述第一帧起始信号、所述时钟信号以及所述数据信号。

30 14、一种显示驱动方法，应用于如权利要求 9 至 12 任一项所述的显示面板，所述显示驱动方法包括：

向所述时钟信号线提供时钟信号，以使所述时钟信号线向所述移位寄存器传输所述时钟信号；

在第一显示阶段，向所述第一帧起始信号线提供第一帧起始信号，以使所述第一帧起始信号线向所述级联电路传输所述第一帧起始信号，所述级联电路根据所述第一帧起始信号以及所述时钟信号，逐级输出第一扫描信号。

15、根据权利要求 14 所述的显示驱动方法，其中，当所述栅极驱动电路还包括第二帧起始信号线，所述第二帧起始信号线与所述级联电路的第二输入端连接时，在所述向所述时钟信号线提供时钟信号的步骤之后，还包括：

在第二显示阶段，向所述第二帧起始信号线提供第二帧起始信号，以使所述第二帧起始信号线向所述级联电路传输所述第二帧起始信号，所述级联电路根据所述第二帧起始信号以及所述时钟信号，逐级输出第二扫描信号。

16、根据权利要求 15 所述的显示驱动方法，其中，在所述向所述第一帧起始信号线提供第一帧起始信号，以及所述向所述第二帧起始信号线提供第二帧起始信号的步骤之前，还包括：

15 获取显示数据，所述显示数据包括前一帧显示数据和后一帧显示数据，所述前一帧显示数据与所述后一帧显示数据为相邻两帧画面的显示数据；

将所述前一帧显示数据与所述后一帧显示数据进行比较，根据比较结果，执行在所述第一显示阶段的步骤或者在所述第二显示阶段的步骤。

17、根据权利要求 16 所述的显示驱动方法，其中，所述根据比较结果，执行在所述第一显示阶段的步骤或者在所述第二显示阶段的步骤，包括：

若所述前一帧显示数据与所述后一帧显示数据不同，则执行在所述第一显示阶段的步骤；

若所述前一帧显示数据与所述后一帧显示数据相同，则执行在所述第二显示阶段的步骤。

25 18、根据权利要求 14 至 17 任一项所述的显示驱动方法，其中，所述第一扫描信号包括多个扫描脉冲信号，所述多条扫描信号线包括第一扫描信号线，所述多条数据信号线包括第一数据信号线，与所述第一扫描信号线以及所述第一数据信号线连接的像素驱动电路为第一像素驱动电路，在所述向所述第一帧起始信号线提供第一帧起始信号，以使所述第一帧起始信号线向所述级联电路传输所述第一帧起始信号，所述级联电路根据所述第一帧起始信

号以及所述时钟信号，逐级输出第一扫描信号的步骤之后，还包括：

相互分隔开的多个补偿阶段，各所述补偿阶段包括：向所述第一像素驱动电路的扫描信号端输入所述扫描脉冲信号，向所述第一像素驱动电路的数据信号端提供数据信号，以使所述数据信号写入所述第一像素驱动电路。

5 19、根据权利要求 18 所述的显示驱动方法，其中，所述多条数据信号线还包括第二数据信号线，所述显示面板还包括信号端子、第一数据选择电路和第二数据选择电路，且所述第一数据信号线与所述信号端子通过所述第一数据选择电路连接，所述第二数据信号线与所述信号端子通过所述第二数据选择电路连接，在各所述补偿阶段之前，还包括：

10 向所述信号端子提供所述数据信号，控制所述第一数据选择电路打开，控制所述第二数据选择电路关闭，以使所述数据信号写入第一数据存储电容中，所述第一数据存储电容的一个极板与所述第一数据信号线连接。

20、根据权利要求 18 或 19 所述的显示驱动方法，其中，当所述第一像素驱动电路包括写入模块、驱动模块、补偿模块、发光控制模块以及第一复位模块，且所述写入模块与所述数据信号端、第一节点以及所述扫描信号端
15 连接，所述驱动模块与所述第一节点、第二节点以及第三节点连接，所述补偿模块与所述第二节点、所述第三节点以及所述扫描信号端连接，所述发光控制模块与第一电压端、使能信号端、所述第一节点、所述第二节点以及所述发光器件连接，所述第一复位模块与所述第三节点、第一复位信号端和复位控制信号端连接时，所述补偿阶段用于将所述数据信号依次写入所述第一
20 节点、所述第二节点和所述第三节点，在各所述补偿阶段之前，还包括：

复位阶段，向所述第一复位信号端提供第一复位信号，向复位控制信号端提供复位控制信号，以使所述第一复位信号写入所述第三节点；

在所述多个补偿阶段之后，还包括：

25 发光阶段，向所述使能信号端提供使能信号，以使所述发光控制模块与所述驱动模块配合，驱动所述发光器件发光。

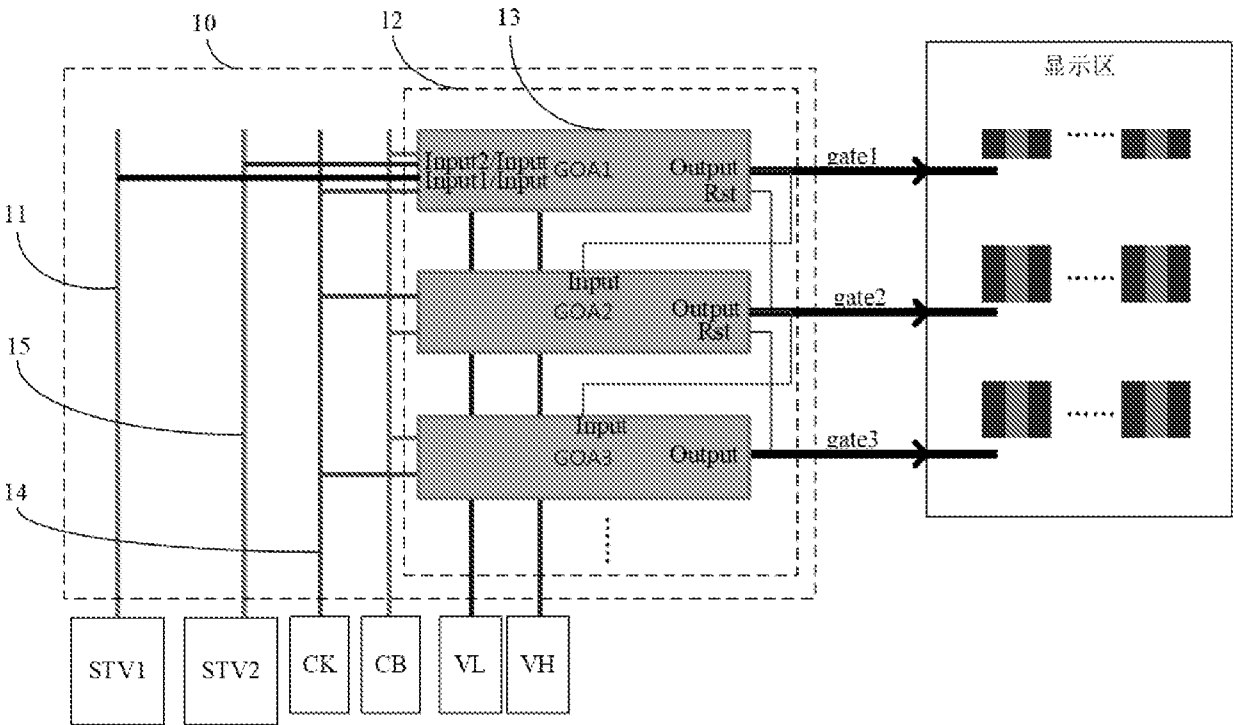


图 1

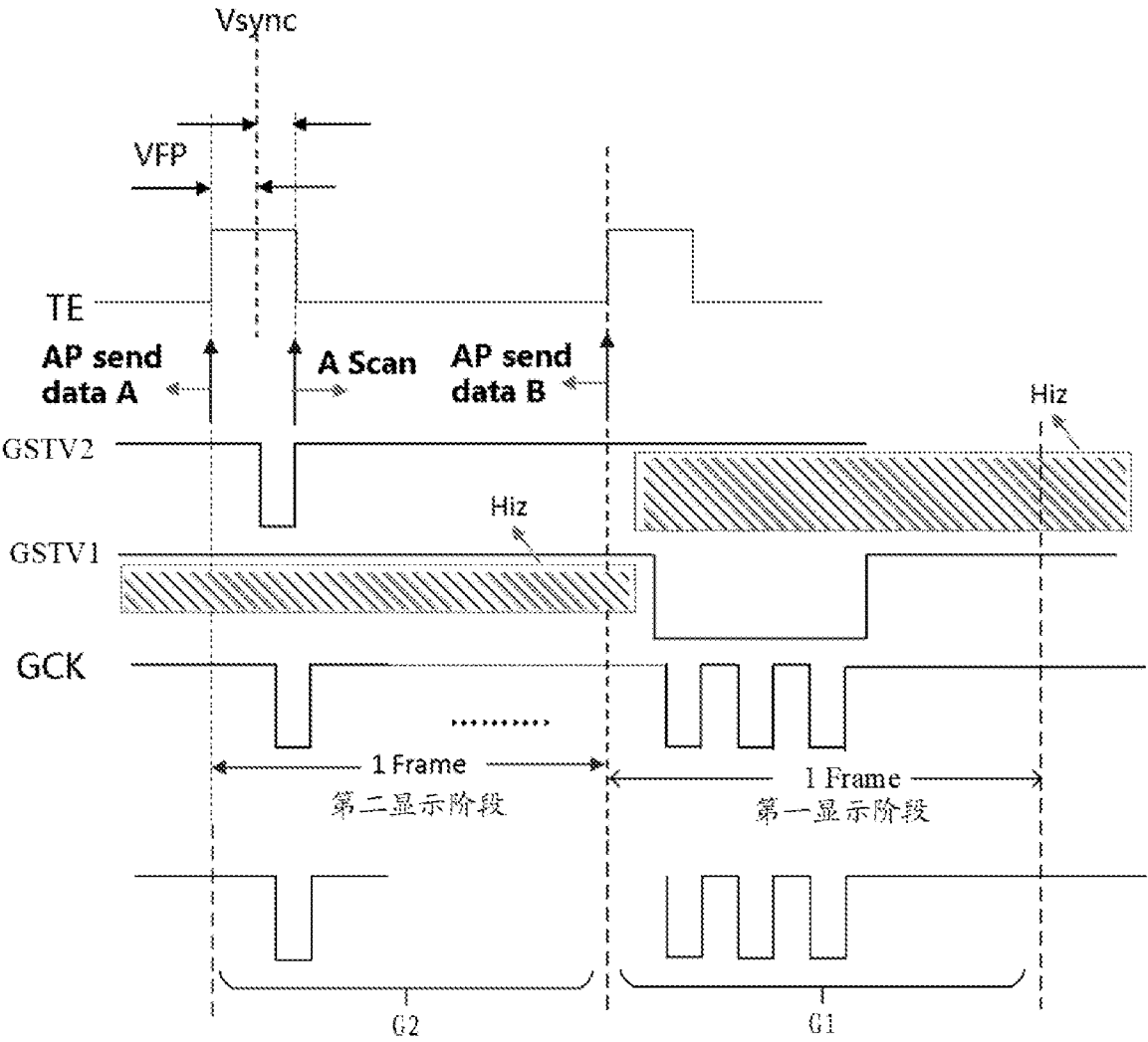


图 2a

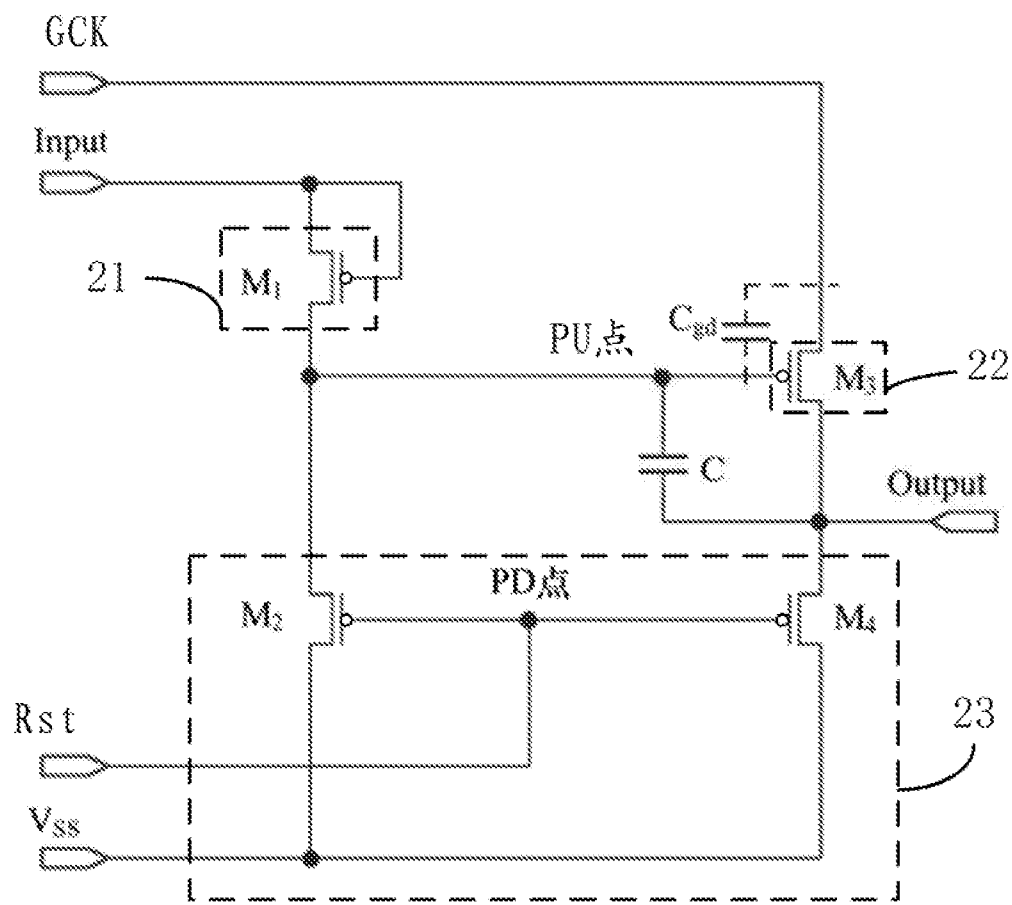


图 2b

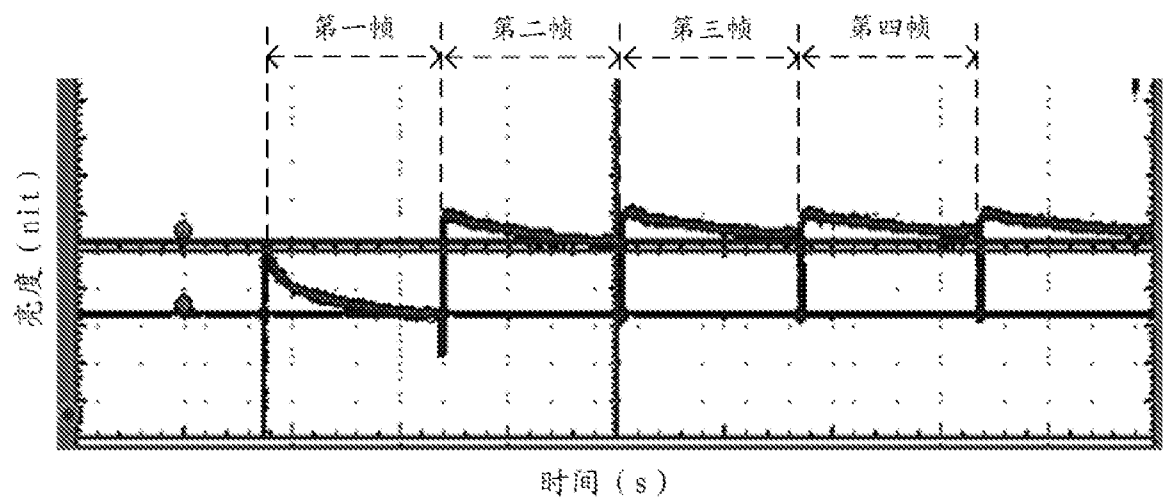


图 3

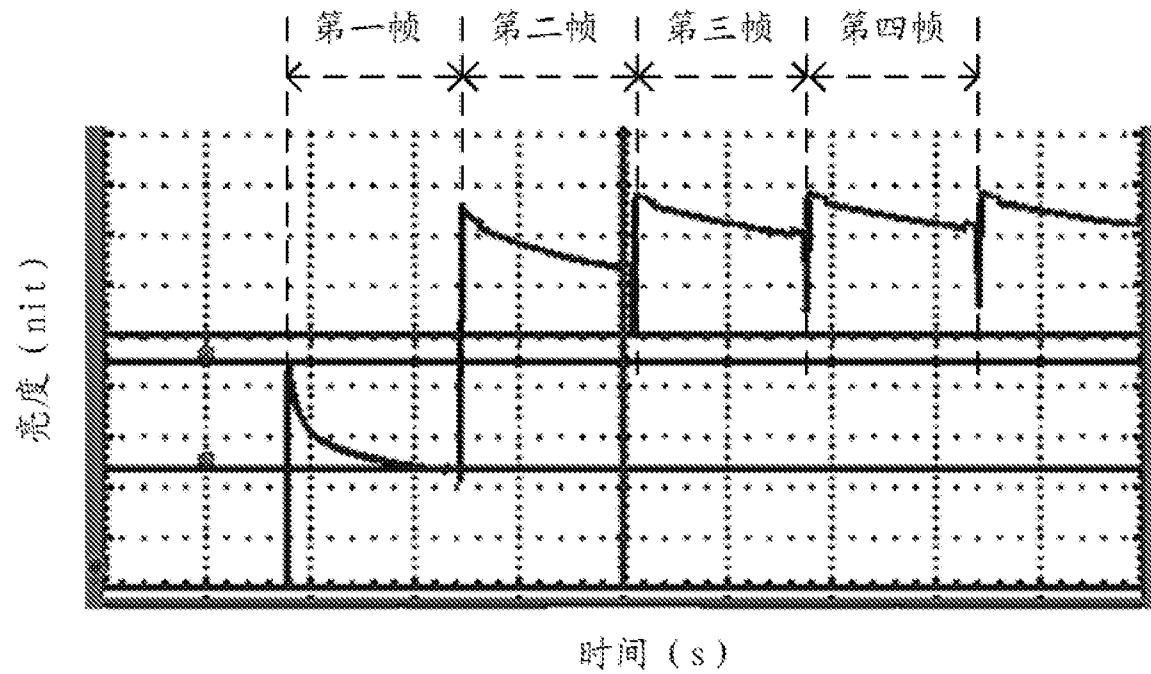


图 4

5/8

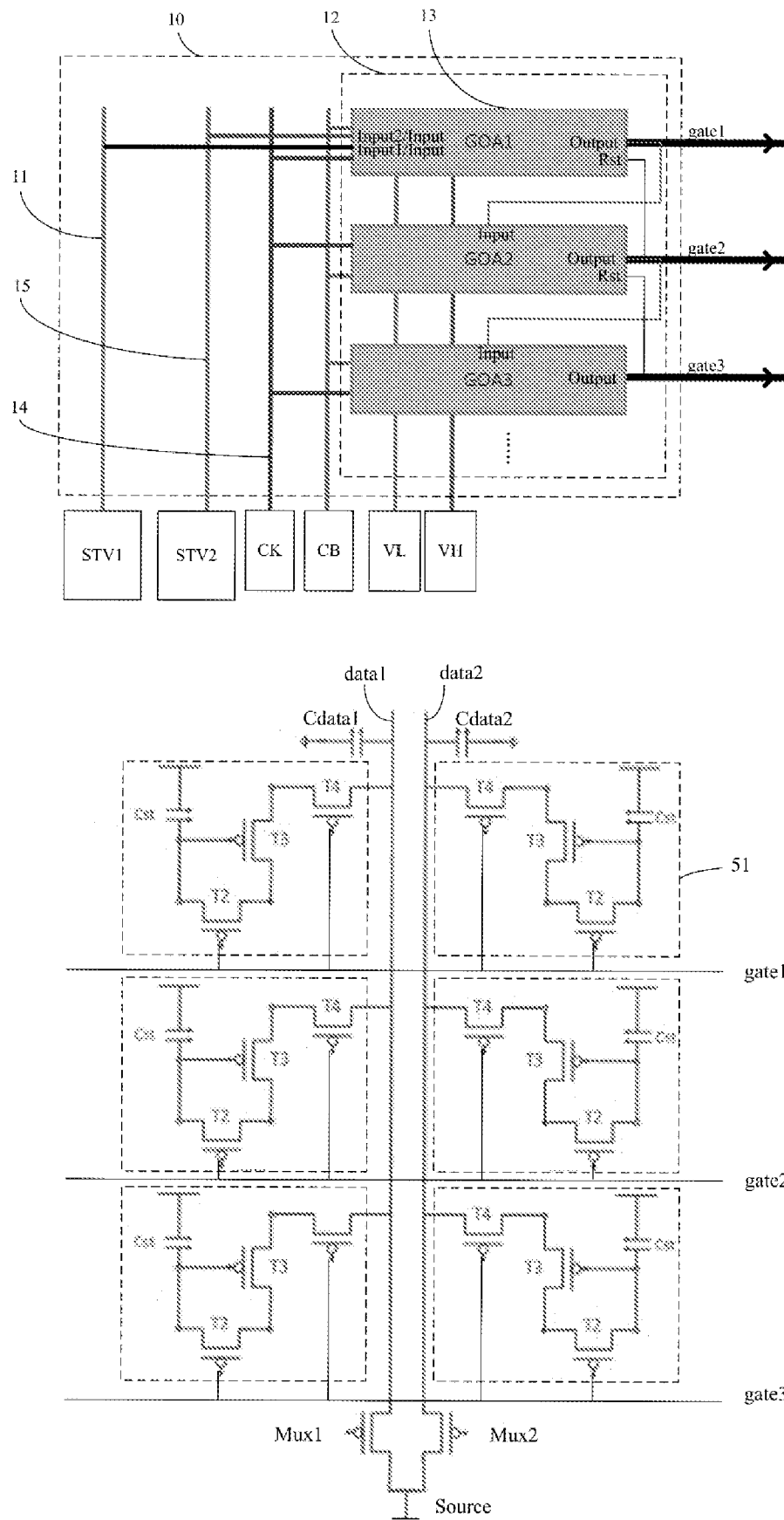


图 5

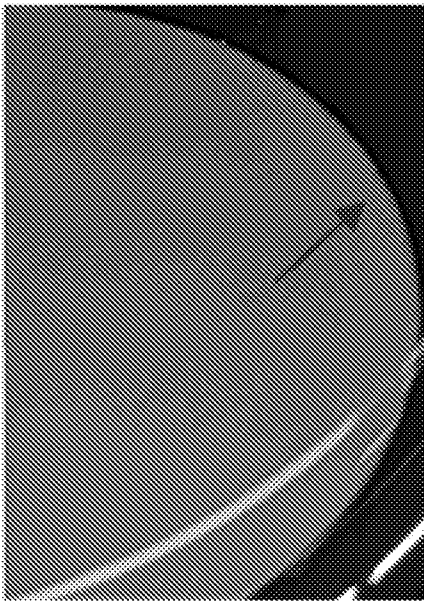


图 6

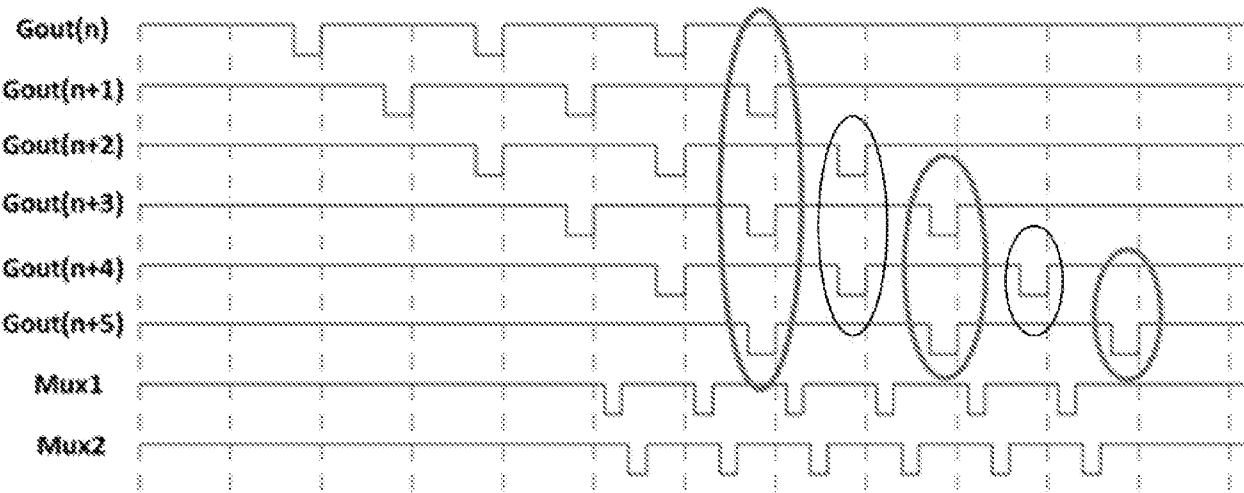


图 7

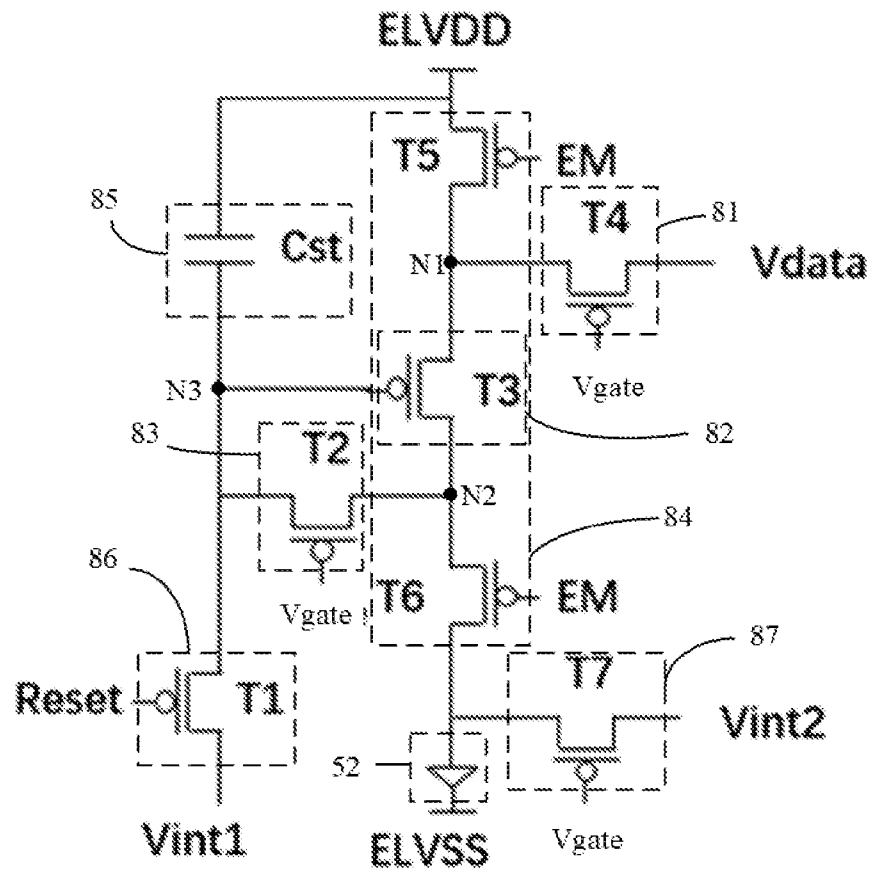


图 8

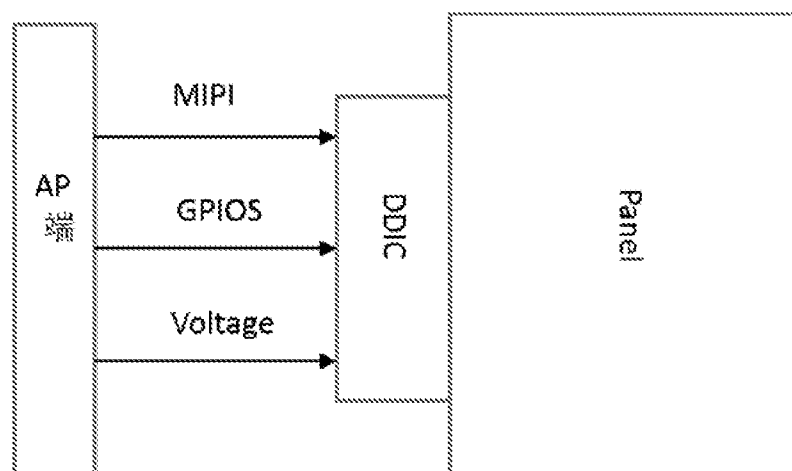


图 9

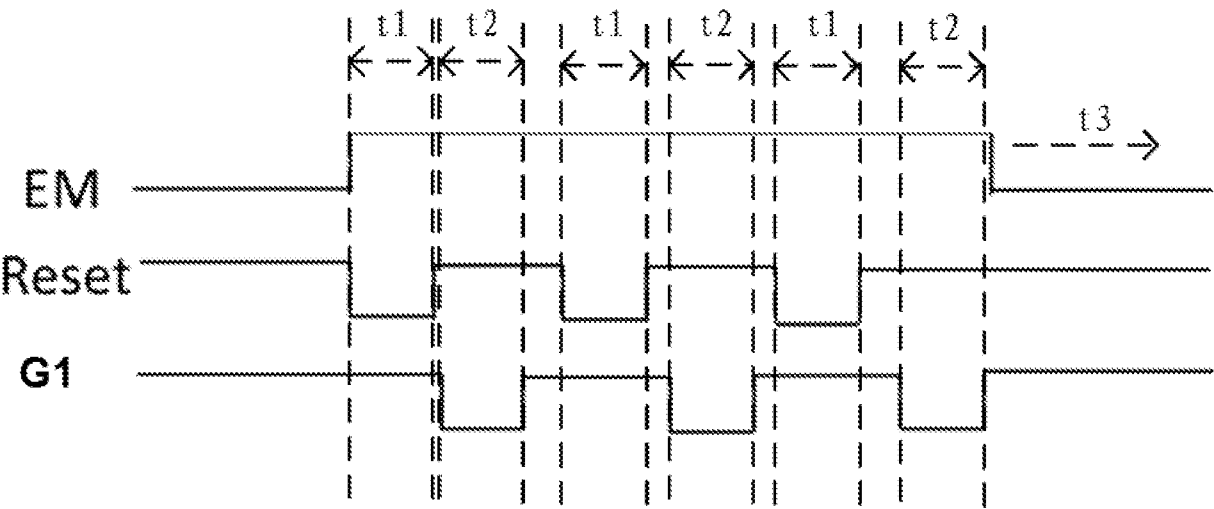


图 10

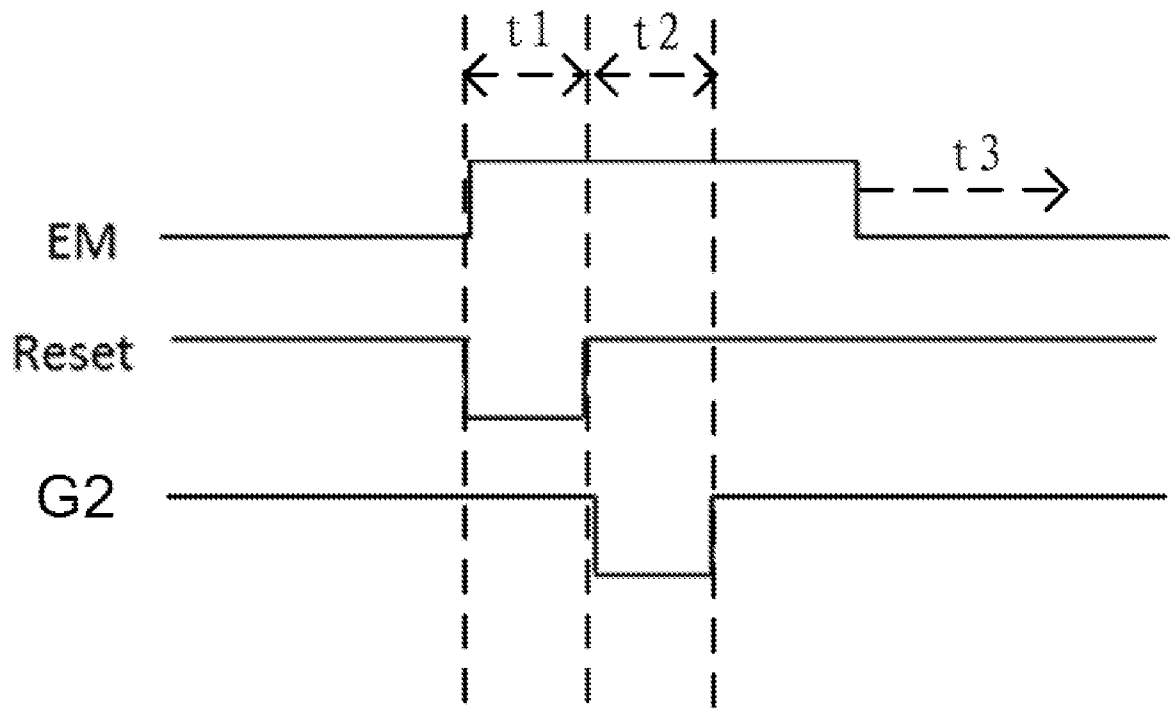


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/070025

A. CLASSIFICATION OF SUBJECT MATTER G09G3/3208(2016.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC,CPC:G09G3/-,G09G5/- Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXT, ENTXTC, VEN: 起始信号, 帧起始, 第一帧, 级联, 寄存器, 扫描, 信号线, 周期, 时钟, 脉冲, 重叠, 交叠, starting signal, first fram, stage, shift register, SR, scan, signal line, period, clock, pulse, overlap, cascade		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 116013198 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 25 April 2023 (2023-04-25) claims 1-20	1-20
Y	CN 107358914 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 17 November 2017 (2017-11-17) description, paragraphs [0053]-[0064] and [0096], and figures 1-7	1-20
Y	CN 114566127 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 31 May 2022 (2022-05-31) description, paragraphs [0042]-[0043]	1-20
A	CN 112513963 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 16 March 2021 (2021-03-16) entire document	1-20
A	US 2021407352 A1 (SAMSUNG DISPLAY CO., LTD.) 30 December 2021 (2021-12-30) entire document	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 28 March 2024		Date of mailing of the international search report 07 April 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/070025

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022237095 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 November 2022 (2022-11-17) entire document	1-20
A	CN 114927097 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 19 August 2022 (2022-08-19) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/070025

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116013198	A	25 April 2023	None			
CN	107358914	A	17 November 2017	None			
CN	114566127	A	31 May 2022	None			
CN	112513963	A	16 March 2021	None			
US	2021407352	A1	30 December 2021	US	11450251	B2	20 September 2022
				US	2023368712	A1	16 November 2023
				US	2023020940	A1	19 January 2023
				US	11749152	B2	05 September 2023
				EP	3933821	A1	05 January 2022
				EP	3933821	B1	10 May 2023
				KR	20220001555	A	06 January 2022
WO	2022237095	A1	17 November 2022	None			
CN	114927097	A	19 August 2022	None			

A. 主题的分类

G09G3/3208(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC,CPC:G09G3/-,G09G5/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,ENTXT,ENTXTC,VEN: 起始信号, 帧起始, 第一帧, 级联, 寄存器, 扫描, 信号线, 周期, 时钟, 脉冲, 重叠, 交叠, starting signal, first fram, stage, shift register, SR, scan, signal line, period, clock, pulse, overlap, cascade

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 116013198 A (京东方科技集团股份有限公司等) 2023年4月25日 (2023 - 04 - 25) 权利要求1-20	1-20
Y	CN 107358914 A (上海天马有机发光显示技术有限公司) 2017年11月17日 (2017 - 11 - 17) 说明书第[0053]-[0064], [0096]段和附图1-7	1-20
Y	CN 114566127 A (武汉天马微电子有限公司) 2022年5月31日 (2022 - 05 - 31) 说明书第[0042]-[0043]段	1-20
A	CN 112513963 A (京东方科技集团股份有限公司等) 2021年3月16日 (2021 - 03 - 16) 全文	1-20
A	US 2021407352 A1 (SAMSUNG DISPLAY CO LTD) 2021年12月30日 (2021 - 12 - 30) 全文	1-20
A	WO 2022237095 A1 (BOE TECHNOLOGY GROUP CO LTD等) 2022年11月17日 (2022 - 11 - 17) 全文	1-20
A	CN 114927097 A (昆山国显光电有限公司) 2022年8月19日 (2022 - 08 - 19) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年3月28日

国际检索报告邮寄日期

2024年4月7日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

常青

电话号码 (+86) 010-62085778

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/070025

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	116013198	A	2023年4月25日	无	
CN	107358914	A	2017年11月17日	无	
CN	114566127	A	2022年5月31日	无	
CN	112513963	A	2021年3月16日	无	
US	2021407352	A1	2021年12月30日	US	11450251 B2 2022年9月20日
				US	2023368712 A1 2023年11月16日
				US	2023020940 A1 2023年1月19日
				US	11749152 B2 2023年9月5日
				EP	3933821 A1 2022年1月5日
				EP	3933821 B1 2023年5月10日
				KR	20220001555 A 2022年1月6日
WO	2022237095	A1	2022年11月17日	无	
CN	114927097	A	2022年8月19日	无	