

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6361171号  
(P6361171)

(45) 発行日 平成30年7月25日(2018.7.25)

(24) 登録日 平成30年7月6日(2018.7.6)

(51) Int.Cl.

F I

G 0 6 F 17/50 (2006.01)

G 0 6 F 17/50 6 6 2 G

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2014-42726 (P2014-42726)	(73) 特許権者	000003067
(22) 出願日	平成26年3月5日(2014.3.5)		T D K株式会社
(65) 公開番号	特開2015-170004 (P2015-170004A)		東京都港区芝浦三丁目9番1号
(43) 公開日	平成27年9月28日(2015.9.28)	(74) 代理人	100088155
審査請求日	平成28年11月21日(2016.11.21)		弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100124062
			弁理士 三上 敬史
		(74) 代理人	100145012
			弁理士 石坂 泰紀
		(72) 発明者	江畑 克史
			東京都港区芝浦三丁目9番1号 T D K - E P C株式会社内

最終頁に続く

(54) 【発明の名称】 等価回路

(57) 【特許請求の範囲】

【請求項 1】

積層型コンデンサのシミュレーション用の等価回路が設定されているプログラムを、コンピュータが実行してシミュレーションを行う方法であって、

前記プログラムに設定されている前記等価回路は、

前記積層型コンデンサの内部電極を示す第1回路部と、

前記積層型コンデンサの静電容量を示す第2回路部と、を有し、

前記第1回路部は、3つ以上設けられており、その少なくとも2つ以上においてインダクタンス成分を有しており、

前記第2回路部は、一の前記第1回路部と他の前記第1回路部との間に接続されており

10

前記第1回路部の前記インダクタンス成分の間に相互インダクタンスが設定されるように、前記等価回路が作成されており、

前記等価回路を用いてシミュレーションを行うことを特徴とするシミュレーション方法

【請求項 2】

前記第1回路部は抵抗成分を有し、

前記抵抗成分は、

直列に接続された複数のインダクタンス素子と、

各前記インダクタンス素子それぞれの両端部に対して一端が接続され、互いに並列に

20

接続された複数の抵抗素子と、を有することを特徴とする請求項 1 記載のシミュレーション方法。

【請求項 3】

前記第 2 回路部は、

第 1 容量素子と、

第 2 容量素子と抵抗素子とが直列に接続された直列回路と、を有し、

前記直列回路は、1 以上設けられており、

前記第 1 容量素子と前記直列回路とが並列に接続されていることを特徴とする請求項 1 又は 2 記載のシミュレーション方法。

【請求項 4】

前記等価回路は、第 1 ～ 第 4 の端子を有し、

前記第 1 端子及び前記 3 端子は、前記第 1 回路部により電氣的に接続されており、

前記第 2 端子及び前記 4 端子は、前記第 1 端子及び前記第 3 端子に接続された前記第 1 回路部とは異なる前記第 1 回路部により電氣的に接続されていることを特徴とする請求項 1 ～ 3 のいずれか一項記載のシミュレーション方法。

【請求項 5】

コンピュータに、積層型コンデンサのシミュレーション用の等価回路を用いてシミュレーションを実行させるプログラムであって、

前記等価回路は、

前記積層型コンデンサの内部電極を示す第 1 回路部と、

前記積層型コンデンサの静電容量を示す第 2 回路部と、を有し、

前記第 1 回路部は、3 つ以上設けられており、その少なくとも 2 つ以上においてインダクタンス成分を有するように設定されており、

前記第 2 回路部は、一の前記第 1 回路部と他の前記第 1 回路部との間に接続されるように設定されており、

前記第 1 回路部の前記インダクタンス成分の間に相互インダクタンスが設定されるように、前記等価回路が作成されていることを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層型コンデンサのシミュレーション用の等価回路に関する。

【背景技術】

【0002】

この種の分野の従来技術として、例えば特許文献 1 に記載されたものが知られている。特許文献 1 に記載の積層チップコンデンサの等価回路モデルでは、基本等価回路の等価直列キャパシタンスと等価直列レジスタンスの一部を、スタティックキャパシタンスと、積層チップコンデンサ内における内部電極の角や端の近くに発生する電磁場分布の異常特性に関する回路素子として、キャパシタンス及びレジスタンスを設けている。このような構成により、この等価回路モデルでは、実際の回路性能との誤差の発生の抑制を図っている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2012 - 3409 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記のように、等価回路では、実製品の積層型コンデンサの特性との誤差を抑制し、実製品の積層型コンデンサの特性に近似する特性を得ることが求められている。

【0005】

10

20

30

40

50

本発明は、実製品の積層型コンデンサの特性に近似する特性を得ることができる等価回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る等価回路は、積層型コンデンサのシミュレーション用の等価回路であって、積層型コンデンサの内部電極を示す第1回路部と、積層型コンデンサの静電容量を示す第2回路部と、を有し、第1回路部は、3つ以上設けられており、その少なくとも2つ以上においてインダクタンス成分を有しており、第2回路部は、一の第1回路部と他の第1回路部との間に接続されており、第1回路部のインダクタンス成分の間に相互インダクタンスが設定されていることを特徴とする。

10

【0007】

この等価回路は、内部電極を示す第1回路部が3つ以上設けられている。このように、等価回路では、第1回路部を3つ以上設けることにより、ある所定の周波数において内部共振現象が生じる。このとき、各第1回路部には、通常よりも大きい電流（共振電流）が流れることになる。共振電流が損失を有する第1回路部に流れると、等価回路全体のインピーダンス特性において損失のピークとして現れる。このピークは、実製品の積層型コンデンサにおいて発生する。したがって、等価回路では、実製品の積層型コンデンサの特性に近づけることができる。また、等価回路では、インダクタンス成分の間に相互インダクタンスが設定されている。これにより、等価回路では、実製品の積層型コンデンサにおいて生じる物理現象（内部電極間の電流のアンバランスや内部電極間で生じる共振現象）が実現可能となる。したがって、等価回路では、実製品の積層型コンデンサの特性に近似する特性を得ることができる。

20

【0008】

一実施形態においては、第1回路部は抵抗成分を有し、抵抗成分は、直列に接続された複数のインダクタンス素子と、各インダクタンス素子それぞれの両端部に対して一端が接続され、互いに並列に接続された複数の抵抗素子と、を有していてもよい。このように第1回路部の抵抗成分をインダクタンス素子及び抵抗素子により構成することにより、表皮効果を考慮することが可能となり、高周波帯域における抵抗成分（ESR：等価直列抵抗）が大きくなる。したがって、実製品の積層型コンデンサの特性に更に近似する特性を得ることができる。

30

【0009】

一実施形態においては、第2回路部は、第1容量素子と、第2容量素子と抵抗素子とが直列に接続された直列回路と、を有し、直列回路は、1以上設けられており、第1容量素子と直列回路とが並列に接続されていてもよい。このように第2回路部を第1容量素子と直列回路とにより構成することにより、誘電損失を考慮することが可能となり、低周波側における静電容量の成分を大きく且つ抵抗成分を小さくできる。したがって、実製品の積層型コンデンサの特性に更に近似する特性を得ることができる。

【0010】

一実施形態においては、第1～第4の端子を有し、第1端子及び第3端子は、第1回路部により電氣的に接続されており、第2端子及び第4端子は、第1端子及び第3端子に接続された第1回路部とは異なる第1回路部により電氣的に接続されていてもよい。このような構成により、等価回路は、貫通コンデンサとして構成されている。ここで、貫通型コンデンサでは、4つの端子電極のうち、内部電極で電氣的に接続された第2端子電極及び第4端子電極をグランドに接続すると、内部電極では、第2端子電極と第4端子電極とに向かって、同じ大きさを互いに逆方向のノイズ電流が流れる。このとき、第2端子電極に向かう電流により生じる磁束と、第4端子電極に向かう電流により生じる磁束とは、互いに打ち消し合う。これにより、貫通型コンデンサでは、ESL（等価直列インダクタンス）を低減することができる。等価回路は、貫通型コンデンサの構成をモデル化しており、インダクタンス成分間において相互インダクタンスを設定している。これにより、等価回路では、貫通型コンデンサと同等の特性を得ることができ、貫通型コンデンサにおける磁束の

40

50

打ち消しの効果のモデル化を図れる。

【発明の効果】

【 0 0 1 1 】

本発明によれば、実製品の積層型コンデンサの特性に近似する特性を得ることができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】第 1 実施形態に係る等価回路を示す図である。

【図 2】図 1 に示す等価回路を有する積層型コンデンサの構成を示す図である。

【図 3】図 1 に示す等価回路におけるインピーダンス及び ESR の周波数特性のシミュレーション結果を示す図である。

10

【図 4】比較例の等価回路におけるインピーダンス及び ESR の周波数特性のシミュレーション結果を示す図である。

【図 5】第 2 実施形態に係る等価回路における内部電極部の抵抗部の構成を示す回路図である。

【図 6】図 5 に示す抵抗部を備えた等価回路におけるインピーダンス及び ESR の周波数特性のシミュレーション結果を示す図である。

【図 7】第 3 実施形態に係る等価回路における静電容量部の静電容量回路の構成を示す回路図である。

【図 8】図 7 に示す静電容量回路を備えた等価回路におけるインピーダンス及び ESR の周波数特性のシミュレーション結果を示す図である。

20

【図 9】第 4 実施形態に係る等価回路を示す図である。

【図 10】図 9 に示す等価回路を有する貫通型コンデンサの構成を示す図である。

【図 11】抵抗素子の構成を示す図である。

【図 12】図 9 に示す等価回路の S パラメータの周波数特性のシミュレーション結果を示す図である。

【図 13】S パラメータの測定回路を示す図である。

【図 14】図 9 に示す等価回路におけるインピーダンス及び ESR の周波数特性のシミュレーション結果を示す図である。

【図 15】インピーダンス及び ESR の測定回路を示す図である。

30

【発明を実施するための形態】

【 0 0 1 3 】

以下、添付図面を参照して、本発明の好適な実施形態について詳細に説明する。なお、図面の説明において同一又は相当要素には同一符号を付し、重複する説明は省略する。

【 0 0 1 4 】

[ 第 1 実施形態 ]

図 1 は、第 1 実施形態に係る等価回路を示す図である。図 1 に示す等価回路 1 は、例えば、電子部品を用いた回路設計や分析のシミュレーションに用いられる回路であり、コンピュータにおいて実行される回路設計（分析）プログラムに適用される。

【 0 0 1 5 】

40

図 1 に示すように、等価回路 1 は、第 1 端子 3 a 及び第 2 端子 3 b と、内部電極部（第 1 回路部）5 a ~ 5 d と、静電容量部（第 2 回路部）7 a ~ 7 f と、を備えている。図 1 に示す等価回路 1 は、図 2 に示すように、誘電体層 101 が積層されてなる素体 102 と、素体 102 内に配置された 2 層の第 1 内部電極 104 a , 104 c 及び 2 層の第 2 内部電極 104 b , 104 d と、第 1 内部電極 104 a , 104 c に接続された第 1 端子電極 106 a と、第 2 内部電極 104 b , 104 d に接続された第 2 端子電極 106 b と、を備える積層型コンデンサ 100 の等価回路である。第 1 内部電極 104 a , 104 c と第 2 内部電極 104 b , 104 d とは、交互に配置されている。第 1 端子 3 a は、第 1 端子電極 106 a に相当し、第 2 端子 3 b は、第 2 端子電極 106 b に相当する。内部電極部 5 a ~ 5 d は、第 1 内部電極 104 a , 104 c 及び第 2 内部電極 104 b , 104 d に

50

相当する。

【0016】

内部電極部5a～5dは、積層型コンデンサ100の内部電極104a～104dを示している。内部電極部5a～5dは、4つ設けられている。これは、積層型コンデンサ100において、内部電極104a～104dが4層配置されていることを示している。内部電極部5a、5cは、第1端子3aに接続されている。つまり、内部電極部5a、5cは、第1内部電極104a、104cに相当する。内部電極部5b、5dは、第2端子3bに接続されている。つまり、内部電極部5b、5dは、第2内部電極104b、104dに相当する。

【0017】

内部電極部5aは、インダクタンス素子（インダクタンス成分）L1と、抵抗素子R1と、を有している。インダクタンス素子L1と抵抗素子R1とは、直列に接続されており、RL直列回路を構成している。インダクタンス素子L1は、内部電極や接続導体などによる寄生インダクタンスを表している。抵抗素子R1は、内部電極や接続導体などの導体損失を表している。

【0018】

内部電極部5bは、インダクタンス素子L2と、抵抗素子R2と、を有している。内部電極部5cは、インダクタンス素子L3と、抵抗素子R3と、を有している。内部電極部5dは、インダクタンス素子L4と、抵抗素子R4と、を有している。

【0019】

静電容量部7a～7fは、積層型コンデンサ100の静電容量を示している。静電容量部7a～7fは、内部電極部5a～5dの間に配置されている。具体的には、内部電極部5aと内部電極部5bとの間には、静電容量部7aと静電容量部7dとが配置されている。すなわち、静電容量部7a、7dは、内部電極部5a、5bにより発生する静電容量を表している。

【0020】

同様に、内部電極部5bと内部電極部5cとの間には、静電容量部7bと静電容量部7eとが配置されている。すなわち、静電容量部7b、7eは、内部電極部5b、5cにより発生する静電容量を表している。内部電極部5cと内部電極部5dとの間には、静電容量部7cと静電容量部7fとが配置されている。すなわち、静電容量部7c、7fは、内部電極部5c、5dにより発生する静電容量を表している。各静電容量部7a～7fは、キャパシタンス素子C1、C2、C3、C4、C5、C6をそれぞれ有している。

【0021】

本実施形態では、内部電極部5a～5dにおいて、インダクタンス素子L1～L4間に相互インダクタンスが設定されている。詳細には、インダクタンス素子L1とインダクタンス素子L2との結合係数K1、インダクタンス素子L1とインダクタンス素子L3との結合係数K2、インダクタンス素子L1とインダクタンス素子L4との結合係数K3、インダクタンス素子L2とインダクタンス素子L3との結合係数K4、インダクタンス素子L2とインダクタンス素子L4との結合係数K5、及び、インダクタンス素子L3とインダクタンス素子L4との結合係数K6が設定されている。各結合係数K1～K6は、実製品の積層型コンデンサの特性に応じて適宜設定される。

【0022】

図3は、図1に示す等価回路におけるインピーダンス及びESRの周波数特性のシミュレーション結果を示す図である。図4は、比較例の等価回路におけるインピーダンス及びESRの周波数特性のシミュレーション結果を示す図である。図3及び図4では、縦軸はインピーダンス[ ]、ESR（等価直列抵抗）[ ]を示し、横軸は周波数[Hz]を示している。また、図3及び図4では、実製品の積層型コンデンサのインピーダンスの実測値をG1、ESRの実測値をG2で示し、本実施形態の等価回路1におけるインピーダンスをG3、G5、ESRをG4、G6で示している。

【0023】

図3に示すように、実製品の積層型コンデンサでは、グラフG1で示されるように、周波数が200MHz付近でインピーダンスが極小値となっている。これは、コンデンサの静電容量によるリアクタンスと等価直列インダクタンスによるインダクタンスとが打ち消し合い、合計のリアクタンス値がゼロになるためである。また、実製品の積層型コンデンサでは、グラフG2で示されるように、周波数が800MHz付近でESRのピークが発生している。これは、内部共振によるものである。これに対して、等価回路1では、グラフG3で示されるように、周波数が200MHz付近でインピーダンスが極小値となっており、グラフG4で示されるように、周波数800MHz付近でESRのピークが発生している。つまり、等価回路1では、実製品の積層型コンデンサの実測値と略同等の特性を得ることができる。

10

#### 【0024】

一方、図4に示すように、インダクタンス素子L1～L4間において相互インダクタンスを設定していない（結合係数K1～K6を0に設定した）回路では、グラフG5、G6で示されるように、実製品の積層型コンデンサの特性（グラフG1、G2）とは異なる特性を示している。比較例の等価回路では、実製品の積層型コンデンサで生じる内部共振現象が適切に再現されないため、実製品の積層型コンデンサとは異なる特性を示している。したがって、等価回路1のインダクタンス素子L1～L4間において相互インダクタンス（結合係数K1～K6）を設定することの有効性が確認された。

#### 【0025】

以上説明したように、本実施形態に係る等価回路1は、内部電極部5a～5dを備えている。このように、等価回路1では、内部電極部（内部電極）を3以上（本実施形態では4個）備えることにより、ある所定の周波数において内部共振現象が生じる。このとき、各内部電極部5a～5dには、通常よりも大きい電流（共振電流）が流れることになる。共振電流が損失を有する内部電極に流れると、等価回路1全体のインピーダンス特性において損失のピークとして現れる。したがって、図2に示すように、等価回路1では、実製品の積層型コンデンサの特性に近づけることができる。

20

#### 【0026】

また、本実施形態の等価回路1では、インダクタンス素子L1～L4の間に相互インダクタンスが設定されている。これにより、等価回路1では、実製品の積層型コンデンサにおいて生じる物理現象（内部電極間の電流のアンバランスや内部電極間で生じる共振現象）が実現可能となる。したがって、等価回路1では、実製品の積層型コンデンサの特性に近似する特性を得ることができる。

30

#### 【0027】

##### [第2実施形態]

続いて、第2実施形態について説明する。第2実施形態に係る等価回路は、内部電極部5a～5dの抵抗素子R1～R4に替えて抵抗部（抵抗成分）10a～10dを備える点で第1実施形態と異なっている。図5は、第2実施形態に係る等価回路における内部電極部の抵抗部の構成を示す回路図である。

#### 【0028】

図5に示すように、抵抗部（抵抗成分）10aは、インダクタンス素子Lh2～Lh5と、抵抗素子Rh1～Rh5と、を備えている。インダクタンス素子Lh2、Lh3、Lh4、Lh5は、この順番に直列に接続されている。インダクタンス素子Lh2の一端は、端子9aに接続されている。本実施形態では、インダクタンス素子Lh2～Lh5を4個、抵抗素子Rh1～Rh5を5個用いているが、インダクタンス素子及び抵抗素子の数は、設計に応じて適宜設定されればよい。

40

#### 【0029】

抵抗素子Rh1は、その一端がインダクタンス素子Lh2の一端（端子9a）に接続され、その他端が端子9bに接続されている。抵抗素子Rh2は、その一端がインダクタンス素子Lh2の他端で且つインダクタンス素子Lh3の一端に接続され、その他端が端子9bに接続されている。すなわち、インダクタンス素子Lh2の両端部に対して、抵抗素

50

子 R h 1 及び抵抗素子 R h 2 の一端が接続されている。抵抗素子 R h 3 は、その一端がインダクタンス素子 L h 3 の他端で且つインダクタンス素子 L h 4 の一端に接続され、その他端が端子 9 b に接続されている。抵抗素子 R h 4 は、その一端がインダクタンス素子 L h 4 の他端で且つインダクタンス素子 L h 5 の一端に接続され、その他端が端子 9 b に接続されている。抵抗素子 R h 5 は、その一端がインダクタンス素子 L h 5 の他端に接続され、その他端が端子 9 b に接続されている。2つのインダクタンス素子と1つの抵抗素子は、T型回路を構成している。抵抗部 10 b ~ 10 d についても、抵抗部 10 a と同様の構成を有している。

#### 【0030】

図6は、図5に示す抵抗部を備えた等価回路におけるインピーダンス及びESRの周波数特性のシミュレーション結果を示す図である。図6では、縦軸はインピーダンス[ ]、ESR(等価直列抵抗)[ ]を示し、横軸は周波数[Hz]を示している。図6では、実製品の積層型コンデンサのインピーダンスの実測値をG1、ESRの実測値をG2で示し、本実施形態の等価回路におけるインピーダンスをG7、ESRをG8で示している。

10

#### 【0031】

図6に示すように、内部電極部5a~5dにおいて抵抗部10a~10dを備える等価回路では、グラフG7、G8で示されるように、周波数が1GHz以下の帯域において、実製品の積層型コンデンサの実測値(グラフG1、G2)と略同等の特性を得られており、周波数800MHz付近で生じるESRのピークもモデル化が図られている。周波数が1GHz以上の帯域において実測値と差異が生じている点について、実製品の積層型コンデンサでは、多数の内部電極が設けられており、内部電極間において高次の共振が生じている。本実施形態の等価回路では、内部電極部5a~5dにより4層の内部電極を備えた構成となっているため、1次共振のみがモデル化されている。そのため、本実施形態の等価回路において内部電極部の数を増やすことにより、周波数が1GHz以上の帯域においても実測値に近づけることが可能となる。

20

#### 【0032】

以上説明したように、第2実施形態に係る等価回路では、抵抗部10a~10dは、直列に接続されたインダクタンス素子Lh2~Lh5と、抵抗素子Rh1~Rh5とから構成されている。実製品の積層型コンデンサでは、高周波になるほど、表皮効果により導体の抵抗が増加する。本実施形態では、内部電極で生じる損失をより詳細に実現するために、抵抗部10a~10dを、インダクタンス素子Lh2~Lh5及び抵抗素子Rh1~Rh5により構成している。これにより、表皮効果を考慮した等価回路を構成できる。したがって、高周波における抵抗成分が大きくなり、実製品の積層型コンデンサの特性に更に近似させることができる。

30

#### 【0033】

##### [第3実施形態]

続いて、第3実施形態について説明する。第3実施形態に係る等価回路は、静電容量部7a~7fのキャパシタンス素子C1~C6に替えて静電容量回路12a~12fを備える点で第1実施形態と異なっている。この等価回路において、内部電極部5a~5dの構成は、第2実施形態と同様である。すなわち、内部電極部5a~5dは、抵抗部10a~10dを備えている。図7は、第3実施形態に係る等価回路の静電容量部の静電容量回路の構成を示す回路図である。

40

#### 【0034】

図7に示すように、静電容量回路12a~12fは、キャパシタンス素子(第1容量素子)Cf1と、CR直列回路14a~14eと、を備えている。CR直列回路14aは、キャパシタンス素子(第2容量素子)Cf2と、抵抗素子Rf2とが直列に接続されている。同様に、CR直列回路14b~14eは、キャパシタンス素子Cf3~Cf6と、抵抗素子Rf3~Rf6とが直列に接続されている。CR直列回路14a~14eは、1以上設けられており、本実施形態では、5個設けられている。CR直列回路の数は、設計に

50

応じて適宜設定されればよい。

【 0 0 3 5 】

キャパシタンス素子  $C f 1$  と  $C R$  直列回路  $1 4 a \sim 1 4 e$  とは、並列に接続されている。詳細には、キャパシタンス素子  $C f 1$  は、その一端が端子  $1 5 a$  に接続され、その他端が端子  $1 5 b$  に接続されている。 $C R$  直列回路  $1 4 a$  は、キャパシタンス素子  $C f 2$  の一端が端子  $1 5 a$  に接続され、抵抗素子  $R f 2$  の他端が端子  $1 5 b$  に接続されている。 $C R$  直列回路  $1 4 b \sim 1 4 e$  についても同様である。

【 0 0 3 6 】

図 8 は、図 7 に示す静電容量回路を備えた等価回路におけるインピーダンス及び  $E S R$  の周波数特性のシミュレーション結果を示す図である。図 8 では、縦軸はインピーダンス [  $\Omega$  ]、 $E S R$  (等価直列抵抗) [  $\Omega$  ] を示し、横軸は周波数 [  $H z$  ] を示している。図 8 では、実製品の積層型コンデンサのインピーダンスの実測値を  $G 9$ 、 $E S R$  の実測値を  $G 1 0$  で示し、本実施形態の等価回路におけるインピーダンスを  $G 1 1$ 、 $E S R$  を  $G 1 2$  で示している。

10

【 0 0 3 7 】

図 8 に示すように、静電容量回路  $1 2 a \sim 1 2 f$  を備える等価回路では、グラフ  $G 1 1$ 、 $G 1 2$  で示されるように、周波数が  $1 G H z$  の以下の帯域において、実製品の積層型コンデンサの実測値 (グラフ  $G 9$ 、 $G 1 0$ ) と略同等の特性を得られている。実測値では、 $2 0 M H z$  付近において  $E S R$  のピークが発生しているが、この等価回路においても、 $2 0 M H z$  付近において  $E S R$  のピークが発生している。また、周波数が  $1 M H z$  以下の帯域において、実製品の積層型コンデンサでは、誘電損失により  $E S R$  が周波数に反比例する特性を有しているが、この等価回路においても、実製品の積層型コンデンサと同様の特性が得られている。

20

【 0 0 3 8 】

以上説明したように、第 3 実施形態に係る等価回路では、静電容量部  $7 a \sim 7 f$  の静電容量回路  $1 2 a \sim 1 2 f$  は、キャパシタンス素子  $C f 1$  と  $C R$  直列回路  $1 4 a \sim 1 4 e$  とが並列に接続された構成を有している。このように静電容量回路  $1 2 a \sim 1 2 f$  を構成することにより、誘電損失を考慮することが可能となり、低周波側における静電容量の成分を大きく且つ抵抗成分を小さくできる。また、この等価回路では、内部電極で生じる損失をより詳細に実現するために、抵抗部  $1 0 a \sim 1 0 d$  を設けている。したがって、この等価回路では、内部電極において生じる表皮効果による損失と、誘電体によって生じる誘電体損の影響を考慮しているため、実製品の積層コンデンサの特性をより詳細にモデル化することができる。

30

【 0 0 3 9 】

[ 第 4 実施形態 ]

続いて、第 4 実施形態について説明する。図 9 は、第 4 実施形態に係る等価回路を示す図である。図 9 に示すように、等価回路  $2 0$  は、第 1 端子  $2 2 a$ 、第 2 端子  $2 2 b$ 、第 3 端子  $2 2 c$  及び第 4 端子  $2 2 d$  と、内部電極部  $2 3 a \sim 2 3 d$ 、内部電極部  $2 4 a \sim 2 4 d$ 、内部電極部  $2 6 a \sim 2 6 d$  及び内部電極部  $2 8 a \sim 2 8 d$  と、静電容量部  $2 9 a \sim 2 9 c$ 、静電容量部  $3 0 a \sim 3 0 c$ 、静電容量部  $3 2 a \sim 3 2 c$ 、静電容量部  $3 4 a \sim 3 4 c$  及び静電容量部  $3 6 a \sim 3 6 c$  と、を備えている。

40

【 0 0 4 0 】

図 9 に示す等価回路  $2 0$  は、図 10 に示すように、誘電体層  $2 0 1$  が積層されていると共に直方体形状を成し、長手方向で対向する一対の端面  $2 0 2 a$ 、 $2 0 2 b$ 、幅方向で対向する一対の側面  $2 0 2 c$ 、 $2 0 2 d$  及び高さ方向で対向する一対の主面  $2 0 2 e$ 、 $2 0 2 f$  を有する素体  $2 0 2$  と、素体  $2 0 2$  内に配置された第 1 ~ 第 4 内部電極  $2 0 4 a \sim 2 0 4 d$  と、第 1 内部電極  $2 0 4 a$  及び第 3 内部電極  $2 0 4 c$  に接続され且つ素体  $2 0 2$  の端面  $2 0 2 a$ 、 $2 0 2 b$  にそれぞれ配置された第 1 端子電極  $2 0 6 a$  及び第 3 端子電極  $2 0 6 c$  と、第 2 内部電極  $2 0 4 b$  及び第 4 内部電極  $2 0 4 d$  に接続され且つ素体  $2 0 2$  の側面  $2 0 2 c$ 、 $2 0 2 d$  にそれぞれ配置された第 2 端子電極  $2 0 6 b$  及び第 4 端子電極  $2$

50



06dと、を備える貫通型コンデンサ200の等価回路である。第1端子22aは、第1端子電極206aに相当し、第2端子22bは、第2端子電極206bに相当する。第3端子22cは、第3端子電極206cに相当し、第4端子22dは、第4端子電極206dに相当する。

#### 【0041】

この貫通型コンデンサ200では、第1端子電極206a及び第3端子電極206cが第1内部電極204a及び第3内部電極204cを介して導通しており、第2端子電極206b及び第4端子電極206dが第2内部電極204b及び第4内部電極204dを介して導通しており、第1端子電極206a及び第3端子電極206cと第2端子電極206b及び第4端子電極206dとの間に静電容量を有している。貫通型コンデンサ200は、第1端子電極206aと第3端子電極206cとの間に信号を通し、第2端子電極206bと第4端子電極206dを回路のグラウンドに接続して使用される。これにより、貫通型コンデンサ200では、第1端子電極206aと第3端子電極206cを通過する信号成分に含まれる高周波ノイズが第2端子電極206b及び第4端子電極206dを介してグラウンドに流れるため、第1端子電極206a及び第3端子電極206cを通過する高周波ノイズを除去できる。

#### 【0042】

内部電極部23a~23d、内部電極部24a~24d、内部電極部26a~26d及び内部電極部28a~28dは、貫通型コンデンサ200の内部電極204a~204dを示している。内部電極部23a~23d、内部電極部24a~24d、内部電極部26a~26d及び内部電極部28a~28dは、それぞれ4つ設けられている。これは、貫通型コンデンサ200において、内部電極204a~204dが4層配置されていることを示している。

#### 【0043】

内部電極部23a、内部電極部24a、内部電極部26a及び内部電極部28aは、第1内部電極204aに相当する。内部電極部23a及び内部電極部26aは、第1端子22a及び第3端子22cに接続されている。内部電極部23b、内部電極部24b、内部電極部26b及び内部電極部28bは、第2内部電極204bに相当する。内部電極部24b及び内部電極部28bは、第2端子22b及び第4端子22dに接続されている。

#### 【0044】

内部電極部23c、内部電極部24c、内部電極部26c及び内部電極部28cは、第3内部電極204cに相当する。内部電極部23c及び内部電極部26cは、第1端子22a及び第3端子22cに接続されている。内部電極部23d、内部電極部24d、内部電極部26d及び内部電極部28dは、第4内部電極204dに相当する。内部電極部24d及び内部電極部28dは、第2端子22b及び第4端子22dに接続されている。

#### 【0045】

内部電極部23aは、インダクタンス素子L11と、抵抗部R11と、を有している。インダクタンス素子L11と抵抗部R11とは、直列に接続されており、RL直列回路を構成している。内部電極部23bは、インダクタンス素子L12と、抵抗部R12と、を有している。内部電極部23cは、インダクタンス素子L13と、抵抗部R13と、を有している。内部電極部23dは、インダクタンス素子L14と、抵抗部R14と、を有している。

#### 【0046】

内部電極部24aは、インダクタンス素子L21と、抵抗部R21と、を有している。インダクタンス素子L21と抵抗部R21とは、直列に接続されており、RL直列回路を構成している。内部電極部24bは、インダクタンス素子L22と、抵抗部R22と、を有している。内部電極部24cは、インダクタンス素子L23と、抵抗部R23と、を有している。内部電極部24dは、インダクタンス素子L24と、抵抗部R24と、を有している。

#### 【0047】

内部電極部 26 a は、インダクタンス素子 L 3 1 と、抵抗部 R 3 1 と、を有している。インダクタンス素子 L 3 1 と抵抗部 R 3 1 とは、直列に接続されており、R L 直列回路を構成している。内部電極部 26 b は、インダクタンス素子 L 3 2 と、抵抗部 R 3 2 と、を有している。内部電極部 26 c は、インダクタンス素子 L 3 3 と、抵抗部 R 3 3 と、を有している。内部電極部 26 d は、インダクタンス素子 L 3 4 と、抵抗部 R 3 4 と、を有している。

【0048】

内部電極部 28 a は、インダクタンス素子 L 4 1 と、抵抗部 R 4 1 と、を有している。インダクタンス素子 L 4 1 と抵抗部 R 4 1 とは、直列に接続されており、R L 直列回路を構成している。内部電極部 28 b は、インダクタンス素子 L 4 2 と、抵抗部 R 4 2 と、を有している。内部電極部 28 c は、インダクタンス素子 L 4 3 と、抵抗部 R 4 3 と、を有している。内部電極部 28 d は、インダクタンス素子 L 4 4 と、抵抗部 R 4 4 と、を有している。

【0049】

図 11 (a) に示すように、抵抗部 R 1 1 ~ R 1 4 , R 3 1 ~ R 3 4 のそれぞれは、抵抗素子 R h 1 1 ~ R h 1 5 と、インダクタンス素子 L h 1 2 ~ L h 1 5 と、を備えている。インダクタンス素子 L h 1 2 , L h 1 3 , L h 1 4 , L h 1 5 は、この順番に直列に接続されている。インダクタンス素子 L h 1 2 の一端は、端子 40 a に接続されている。

【0050】

抵抗素子 R h 1 1 は、その一端がインダクタンス素子 L h 1 2 の一端 (端子 40 a) に接続され、その他端が端子 40 b に接続されている。抵抗素子 R h 1 2 は、その一端がインダクタンス素子 L h 1 2 の他端で且つインダクタンス素子 L h 1 3 の一端に接続され、その他端が端子 40 b に接続されている。抵抗素子 R h 1 3 は、その一端がインダクタンス素子 L h 1 3 の他端で且つインダクタンス素子 L h 1 4 の一端に接続され、その他端が端子 40 b に接続されている。抵抗素子 R h 1 4 は、その一端がインダクタンス素子 L h 1 4 の他端で且つインダクタンス素子 L h 1 5 の一端に接続され、その他端が端子 40 b に接続されている。抵抗素子 R h 1 5 は、その一端がインダクタンス素子 L h 1 5 の他端に接続され、その他端が端子 40 b に接続されている。2つのインダクタンス素子と1つの抵抗素子は、T型回路を構成している。

【0051】

図 11 (b) に示すように、抵抗部 R 2 1 ~ R 2 4 , R 4 1 ~ R 4 4 は、抵抗素子 R h 2 1 ~ R h 2 5 と、インダクタンス素子 L h 2 2 ~ L h 2 5 と、を備えている。インダクタンス素子 L h 2 2 , L h 2 3 , L h 2 4 , L h 2 5 は、この順番に直列に接続されている。インダクタンス素子 L h 2 2 の一端は、端子 42 a に接続されている。

【0052】

抵抗素子 R h 2 1 は、その一端がインダクタンス素子 L h 2 2 の一端 (端子 42 a) に接続され、その他端が端子 42 b に接続されている。抵抗素子 R h 2 2 は、その一端がインダクタンス素子 L h 2 2 の他端で且つインダクタンス素子 L h 2 3 の一端に接続され、その他端が端子 42 b に接続されている。抵抗素子 R h 2 3 は、その一端がインダクタンス素子 L h 2 3 の他端で且つインダクタンス素子 L h 2 4 の一端に接続され、その他端が端子 42 b に接続されている。抵抗素子 R h 2 4 は、その一端がインダクタンス素子 L h 2 4 の他端で且つインダクタンス素子 L h 2 5 の一端に接続され、その他端が端子 42 b に接続されている。抵抗素子 R h 2 5 は、その一端がインダクタンス素子 L h 2 5 の他端に接続され、その他端が端子 42 b に接続されている。2つのインダクタンス素子と1つの抵抗素子は、T型回路を構成している。

【0053】

ここで、貫通型コンデンサ 200 の内部電極 204 a ~ 204 d は、長方形形状を呈している。そのため、内部電極 204 a ~ 204 d の長手方向と幅方向とでは、回路パラメータが異なる。本実施形態では、内部電極部 23 a ~ 23 d 及び内部電極部 26 a ~ 26 d は、内部電極の長手方向 (横方向) に対する回路パラメータである。内部電極部 24 a

10

20

30

40

50

～ 24 d 及び内部電極部 28 a ～ 28 d は、内部電極の幅方向（縦方向）に対する回路パラメータである。

【0054】

静電容量部 29 a ～ 29 c、静電容量部 30 a ～ 30 c、静電容量部 32 a ～ 32 c、静電容量部 34 a ～ 34 c 及び静電容量部 36 a ～ 36 c は、貫通型コンデンサの静電容量を示している。静電容量部 29 a、静電容量部 30 a、静電容量部 32 a、静電容量部 34 a 及び静電容量部 36 a は、第 1 内部電極と第 2 内部電極との静電容量を示している。静電容量部 29 b、静電容量部 30 b、静電容量部 32 b、静電容量部 34 b 及び静電容量部 36 b は、第 2 内部電極と第 3 内部電極との静電容量を示している。静電容量部 29 c、静電容量部 30 c、静電容量部 32 c、静電容量部 34 c 及び静電容量部 36 c は、第 3 内部電極と第 4 内部電極との静電容量を示している。

10

【0055】

各静電容量部 29 a ～ 29 c は、静電容量回路 C 1 1、C 1 2、C 1 3 をそれぞれ有している。各静電容量部 30 a ～ 30 c は、静電容量回路 C 2 1、C 2 2、C 2 3 をそれぞれ有している。各静電容量部 32 a ～ 32 c は、静電容量回路 C 3 1、C 3 2、C 3 3 をそれぞれ有している。各静電容量部 34 a ～ 34 c は、静電容量回路 C 4 1、C 4 2、C 4 3 をそれぞれ有している。各静電容量部 36 a ～ 36 c は、静電容量回路 C 5 1、C 5 2、C 5 3 をそれぞれ有している。

【0056】

静電容量回路 C 1 1 ～ C 1 3、静電容量回路 C 2 1 ～ C 2 3、静電容量回路 C 3 1 ～ C 3 3、静電容量回路 C 4 1 ～ C 4 3 及び静電容量回路 C 5 1 ～ 5 3 は、図 7 に示す静電容量回路 12 a と同様の構成を有している。すなわち、静電容量回路 C 1 1 ～ C 1 3、静電容量回路 C 2 1 ～ C 2 3、静電容量回路 C 3 1 ～ C 3 3、静電容量回路 C 4 1 ～ C 4 3 及び静電容量回路 C 5 1 ～ 5 3 のそれぞれは、キャパシタンス素子 C f 1 と、C R 直列回路 14 a ～ 14 e と、を備えている。C R 直列回路 14 a は、キャパシタンス素子 C f 2 と、抵抗素子 R f 2 とが直列に接続されている。同様に、C R 直列回路 14 b ～ 14 e は、キャパシタンス素子 C f 3 ～ C f 6 と、抵抗素子 R f 3 ～ R f 6 とが直列に接続されている。

20

【0057】

本実施形態では、内部電極部 23 a ～ 23 d 及び内部電極部 26 a ～ 26 d において、インダクタンス素子 L 1 1 ～ L 1 4 及び L 3 1 ～ L 3 4 間に相互インダクタンスが設定されている。内部電極部 24 a ～ 24 d 及び内部電極部 28 a ～ 28 d において、インダクタンス素子 L 2 1 ～ L 2 4 及び L 4 1 ～ L 4 4 間に相互インダクタンスが設定されている。各インダクタンス素子間の結合係数は、実製品の貫通型コンデンサの特性に応じて適宜設定される。

30

【0058】

図 12 は、図 9 に示す等価回路における S パラメータの周波数特性のシミュレーション結果を示す図である。図 12 では、縦軸は S パラメータ [ dB ] を示し、横軸は周波数 [ Hz ] を示している。図 12 では、実製品の貫通型コンデンサの S パラメータの実測値を G 13 で示し、本実施形態の等価回路 20 における S パラメータを G 14 で示している。

40

【0059】

ここで、S パラメータの測定方法について説明する。図 13 は、S パラメータの測定回路を示す図である。図 13 では、等価回路 20 を貫通型コンデンサに適用した場合について示している。図 13 に示すように、貫通型コンデンサの S パラメータを測定する場合には、第 1 端子 22 a をポート P 1 に接続し、第 3 端子 22 c をポート P 2 に接続する。第 2 端子 22 b 及び第 4 端子 22 d は、グランドに接続する。S パラメータとして、ポート P 1 からポート P 2 への伝送特性  $S_{21}$  を測定した。結果を図 12 に示す。

【0060】

図 12 に示すように、等価回路 20 では、グラフ G 14 に示されるように、極小値において実製品の貫通型コンデンサ（グラフ G 13）と多少の差異はあるものの、実製品の貫

50

通型コンデンサと近似する伝送特性が得られている。

【 0 0 6 1 】

図 1 4 は、図 9 に示す等価回路におけるインピーダンス及び E S R の周波数特性のシミュレーション結果を示す図である。図 1 4 では、縦軸はインピーダンス [ ]、E S R [ ] を示し、横軸は周波数 [ H z ] を示している。図 1 4 では、実製品の貫通型コンデンサのインピーダンスの実測値を G 1 5、E S R の実測値を G 1 6 で示し、本実施形態の等価回路 2 0 におけるインピーダンスを G 1 7、E S R を G 1 8 で示している。

【 0 0 6 2 】

ここで、貫通型コンデンサのインピーダンス及び E S R 特性の測定方法について説明する。図 1 5 は、インピーダンス及び E S R の測定回路を示す図である。図 1 5 では、等価回路 2 0 を貫通型コンデンサに適用した場合について示している。図 1 5 に示すように、インピーダンス及び E S R を測定する場合には、第 1 端子 2 2 a 及び第 3 端子 2 2 c を測定端子 m c に接続し、第 2 端子 2 2 b 及び第 4 端子 2 2 d をグランドに接続する。測定端子 m c とグランドとの間のインピーダンス及び E S R を測定した。

【 0 0 6 3 】

図 1 4 に示すように、等価回路 2 0 では、グラフ G 1 7、G 1 8 で示されるように、1 G H z 以下の周波数帯域において、実製品の貫通型コンデンサの実測値（グラフ G 1 5、G 1 6）に近似する特性が得られている。

【 0 0 6 4 】

以上説明したように、本実施形態に係る等価回路 2 0 は、貫通型コンデンサ 2 0 0 の構成を有している。貫通型コンデンサ 2 0 0 では、第 2 端子電極 2 0 6 b 及び第 4 端子電極 2 0 6 d をグランドに接続すると、第 2 端子電極 2 0 6 b 及び第 4 端子電極 2 0 6 d に接続された第 2 内部電極 2 0 4 b 及び第 4 内部電極 2 0 4 d では、第 2 端子電極 2 0 6 b と第 4 端子電極 2 0 6 d とに向かって、同じ大きさで互いに逆方向のノイズ電流が流れる。このとき、第 2 端子電極 2 0 6 b に向かう電流により生じる磁束と、第 4 端子電極 2 0 6 d に向かう電流により生じる磁束とは、互いに打ち消し合う。これにより、貫通型コンデンサ 2 0 0 では、E S L（等価直列インダクタンス）を低減することができる。本実施形態に係る等価回路 2 0 は、貫通型コンデンサ 2 0 0 の構成をモデル化しており、インダクタンス素子 L 1 1 ~ L 1 4、L 2 1 ~ L 2 4、L 3 1 ~ L 3 4、L 4 1 ~ L 4 4 間において相互インダクタンスを設定している。これにより、等価回路 2 0 では、貫通型コンデンサ 2 0 0 と同等の特性を得ることができ、貫通型コンデンサ 2 0 0 における磁束の打ち消しの効果のモデル化を図れる。

【 0 0 6 5 】

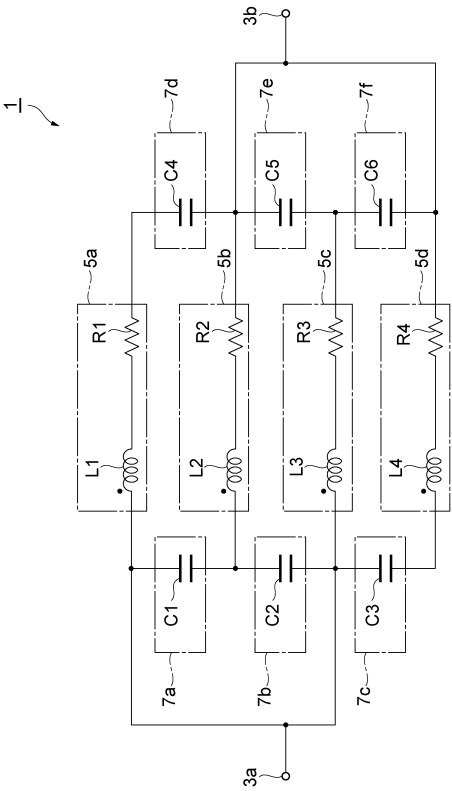
本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、4 層の内部電極を有する積層型コンデンサ（貫通型コンデンサ）の構成を一例に説明したが、内部電極の数は設計に応じて適宜設定されればよい。

【 符号の説明 】

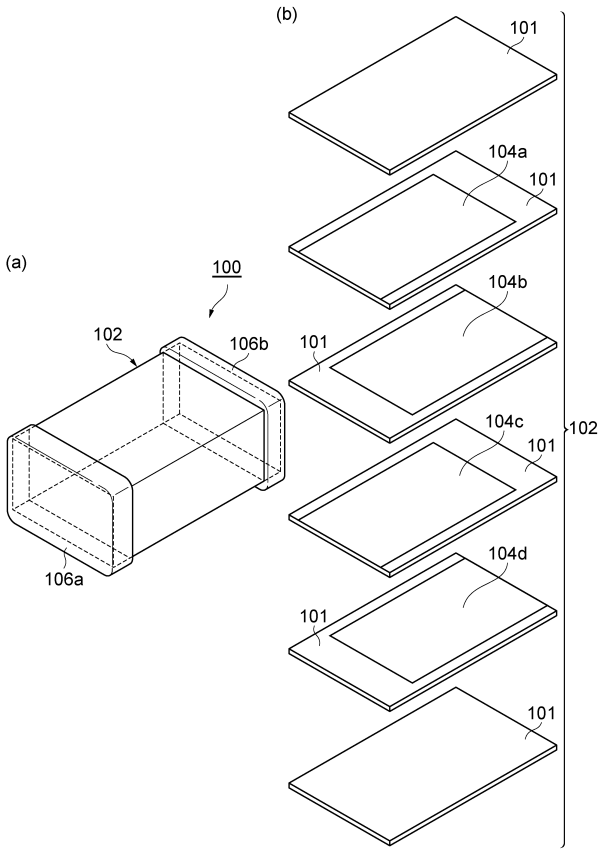
【 0 0 6 6 】

1、2 0 ... 等価回路、5 a ~ 5 d、2 3 a ~ 2 3 d、2 4 a ~ 2 4 d、2 6 a ~ 2 6 d、2 8 a ~ 2 8 d ... 内部電極部（第 1 回路部）、7 a ~ 7 f、2 9 a ~ 2 9 c、3 0 a ~ 3 0 c、3 2 a ~ 3 2 c、3 4 a ~ 3 4 c、3 6 a ~ 3 6 c ... 静電容量部（第 2 回路部）、1 0 a ~ 1 0 d、R 1 1 ~ R 1 4、R 2 1 ~ R 2 4、R 3 1 ~ R 3 4、R 4 1 ~ R 4 4 ... 抵抗部（抵抗成分）、1 4 a ~ 1 4 e ... C R 直列回路（直列回路）、2 2 a ~ 2 2 d ... 第 1 ~ 第 4 端子、C f 1 ... キャパシタンス素子（第 1 容量素子）、C f 2 ~ C f 6 ... キャパシタンス素子（第 2 容量素子）、L 1 ~ L 4、L 1 1 ~ L 1 4、L 2 1 ~ L 2 4、L 3 1 ~ L 3 4、L 4 1 ~ L 4 4 ... インダクタンス素子（インダクタンス成分）、L h 2 ~ L h 5、L h 1 2 ~ L h 1 5、L h 2 2 ~ L h 2 5 ... インダクタンス素子、R h 1 ~ R h 5、R h 1 1 ~ R h 1 5、R h 2 1 ~ R h 2 5 ... 抵抗素子。

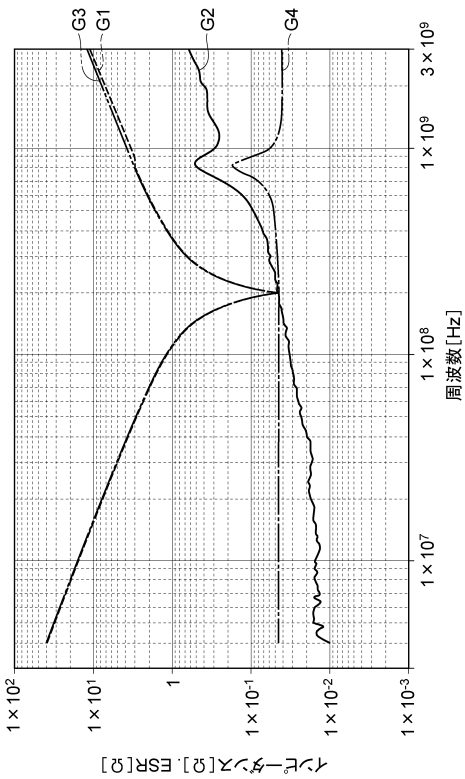
【図 1】



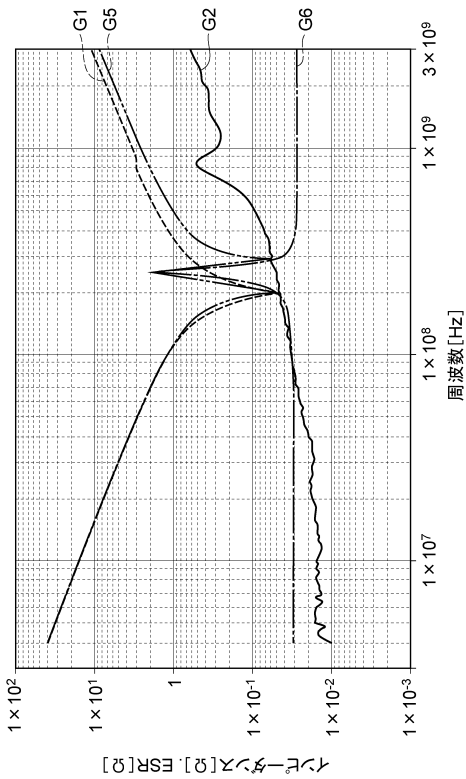
【図 2】



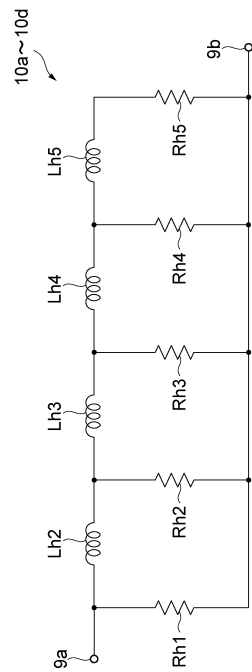
【図 3】



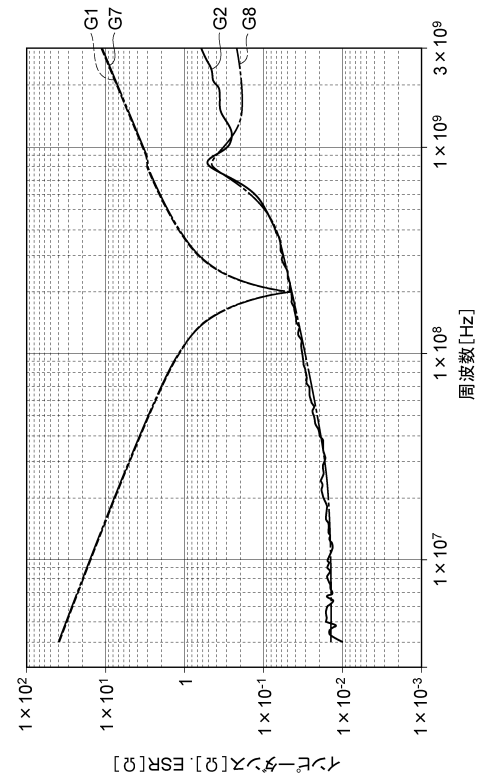
【図 4】



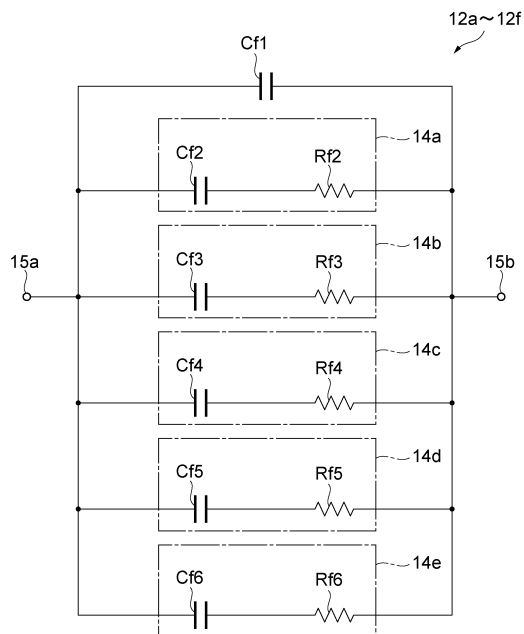
【図 5】



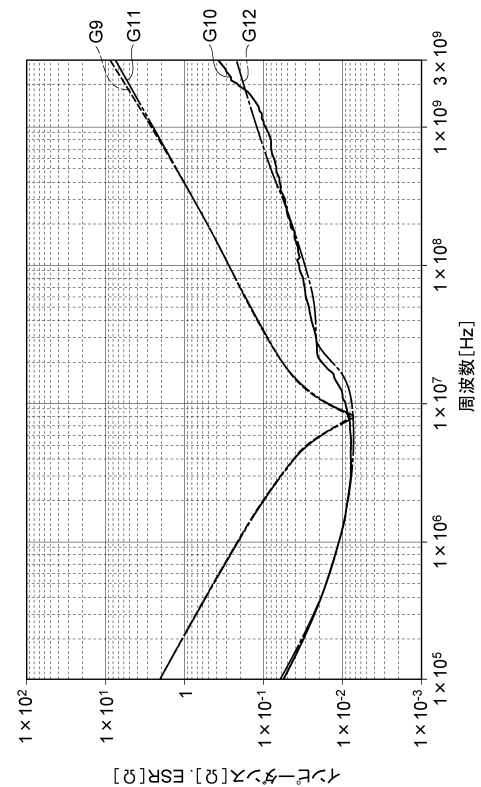
【図 6】



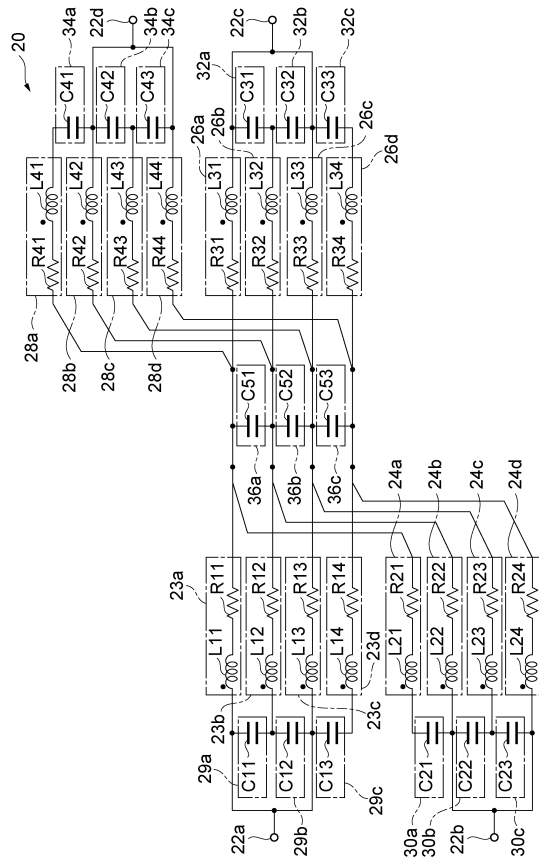
【図 7】



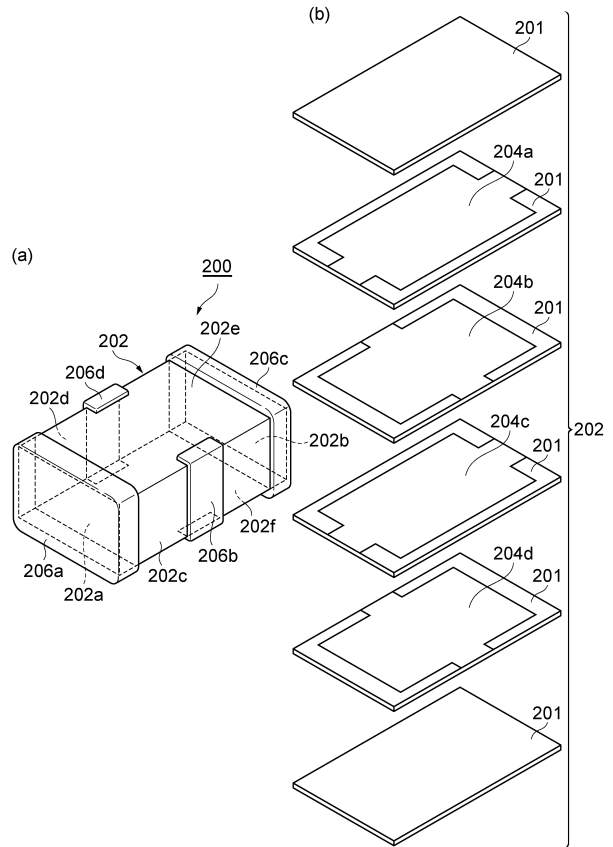
【図 8】



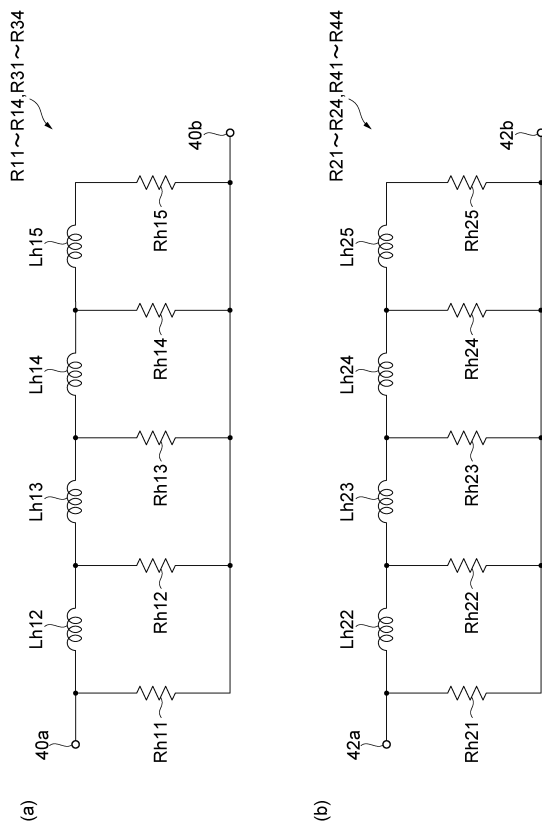
【 図 9 】



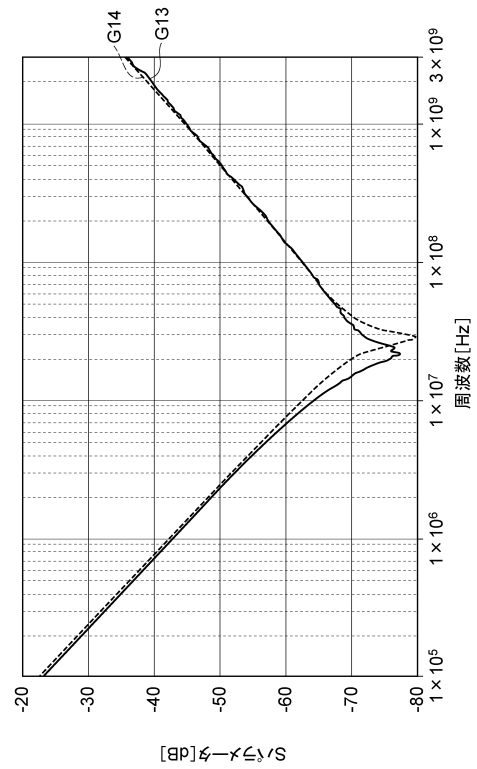
【 図 1 0 】



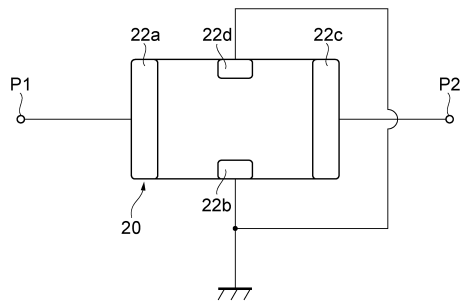
【 図 1 1 】



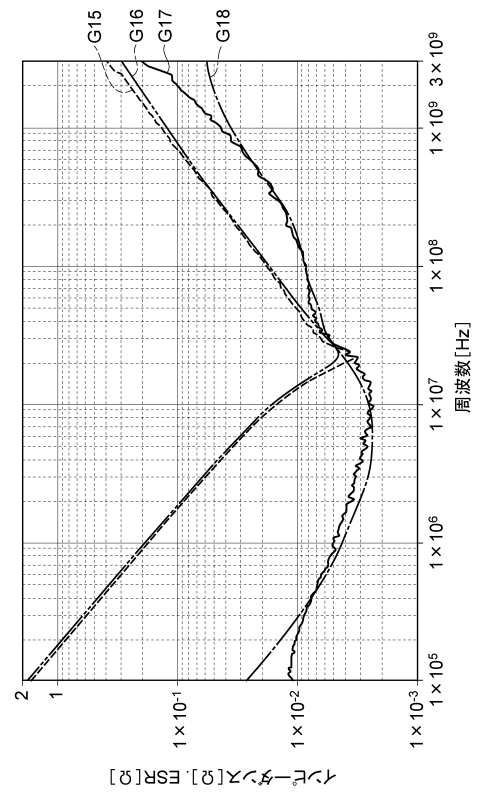
【圖 12】



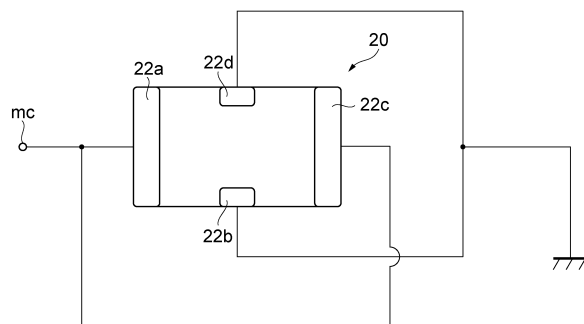
【図 13】



【図 14】



【図 15】





---

フロントページの続き

審査官 松田 直也

(56)参考文献 特開 2 0 1 3 - 1 8 6 6 1 1 ( J P , A )  
特開 2 0 1 3 - 2 2 8 9 9 7 ( J P , A )  
特開 2 0 0 2 - 2 5 9 4 8 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 6 F 1 7 / 5 0