

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-306051

(P2008-306051A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D	4 M 1 0 4
HO 1 L 27/092 (2006.01)	HO 1 L 29/58 G	5 F 0 4 8
HO 1 L 29/423 (2006.01)	HO 1 L 21/28 3 0 1 R	5 F 1 4 0
HO 1 L 29/49 (2006.01)	HO 1 L 21/283 C	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 3 0 1 G	

審査請求 未請求 請求項の数 11 O L (全 25 頁) 最終頁に続く

(21) 出願番号	特願2007-152871 (P2007-152871)	(71) 出願人	000116024
(22) 出願日	平成19年6月8日(2007.6.8)		ローム株式会社
			京都府京都市右京区西院溝崎町2-1番地
		(71) 出願人	000001122
			株式会社日立国際電気
			東京都千代田区外神田四丁目1-4番1号
		(71) 出願人	000003078
			株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100133514
			弁理士 寺山 啓進
		(74) 代理人	100122910
			弁理士 三好 広之

最終頁に続く

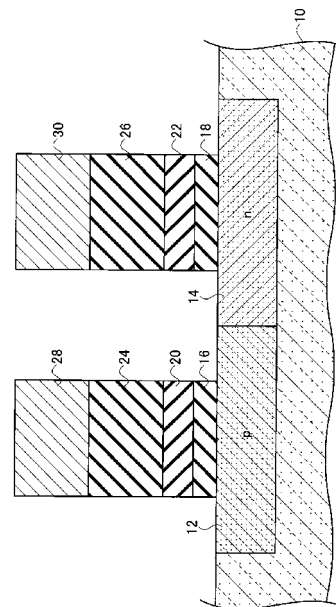
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 対称フラットバンド電圧、同一ゲート電極材料かつ高誘電率誘電体層を有するCMISFETを提供する。

【解決手段】 nMISFETは、半導体基板10の表面上に配置された第1ゲート絶縁膜16と、第1ゲート絶縁膜16上に配置されたM<sub>1</sub>xM<sub>2</sub>yO (M<sub>1</sub>=Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, YbまたはLu, M<sub>2</sub>=Hf, Zr, Ta, x/(x+y)>0.12) で表される組成比を有する第1金属酸化物層20と、第2金属酸化物層24と、第2金属酸化物層24上に配置された第1導電層28とを備え、 pMISFETは、半導体基板10表面上に配置された第2ゲート絶縁膜18と、第2ゲート絶縁膜18上に配置されたM<sub>3</sub>z M<sub>4</sub>wO (M<sub>3</sub>=Al, M<sub>4</sub>=Hf, Zr, Ta, z/(z+w)>0.14) で表される組成比を有する第3金属酸化物層22と、第4金属酸化物層26と、第4金属酸化物層26上に配置された第2導電層30とを備える半導体装置およびその製法。

【選択図】 図16



## 【特許請求の範囲】

## 【請求項 1】

nチャネル型第1MISFETとpチャネル型第2MISFETからなる相補型の半導体装置において、

前記nチャネル型第1MISFETは、

半導体基板表面上に配置された第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に配置され、 $M_1xM_2yO$  ( $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$  または  $Lu$ ,  $M_2 = Hf, Zr, Ta, x / (x + y) > 0.12$ ) で表される組成比を有する第1金属酸化層と、

前記第1金属酸化層上に配置される第2金属酸化層と、

前記第2金属酸化層上に配置された第1導電層と

を備え、

前記pチャネル型第2MISFETは、

前記半導体基板表面上に配置された第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上に配置され、 $M_3z M_4w O$  ( $M_3 = Al, M_4 = Hf, Zr, Ta, z / (z + w) > 0.14$ ) で表される組成比を有する第3金属酸化層と、

前記第3金属酸化層上に配置される第4金属酸化層と、

前記第4金属酸化層上に配置された第2導電層と

を備えることを特徴とする半導体装置。

10

## 【請求項 2】

前記第2金属酸化層は、Zr、Hf、Ta、Y、La、Alの内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されることを特徴とする請求項1に記載の半導体装置。

20

## 【請求項 3】

前記第4金属酸化層は、Zr、Hf、Ta、Y、La、Alの内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されることを特徴とする請求項1または2に記載の半導体装置。

## 【請求項 4】

前記nチャネル型第1MISFETおよび前記pチャネル型第2MISFETにおいて、前記nチャネル型第1MISFETでは、前記第1ゲート絶縁膜と前記第1金属酸化層とで構成される界面領域が、前記pチャネル型第2MISFETでは、前記第2ゲート絶縁膜と前記第3金属酸化層とで構成される界面領域が、閾値を制御することを特徴とする請求項1乃至請求項3の内、いずれか1項に記載の半導体装置。

30

## 【請求項 5】

前記導電層1および前記導電層2は、Ti、W、Ni、Ta、Pt、Mo、Hf、Ru、Alの内、いずれかの単一元素、あるいは2つ以上の元素、または前記元素のシリサイド化物、炭化物またはホウ化物から構成され、前記第2導電層の仕事関数は前記第1導電層の仕事関数と同じかあるいは高いことを特徴とする請求項1乃至請求項4の内、いずれか1項に記載の半導体装置。

40

## 【請求項 6】

半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、ALD法またはCVD法によって、 $M_1xM_2yO$  ( $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$  または  $Lu$ ,  $M_2 = Hf, Zr, Ta, x / (x + y) > 0.12$ ) で表される組成比を有する第1金属酸化層を形成する工程と、

前記ゲート絶縁膜上に、ALD法またはCVD法によって、 $M_3z M_4w O$  ( $M_3 = Al, M_4 = Hf, Zr, Ta, z / (z + w) > 0.14$ ) で表される組成比を有する第3金属酸化層を形成する工程と、

前記第1金属酸化層および前記第3金属酸化層上に、ALD法またはCVD法によって、第2金属酸化層および第4金属酸化層を形成する工程と、

50

前記第2金属酸化物層および第4金属酸化物層上に、それぞれ第1導電層および第2導電層を形成する工程と、

リソグラフィーおよびエッチング工程によって、ゲート構造を形成する工程と、

nMISFET用のソース/ドレイン領域およびpMISFET用のソース/ドレイン領域を形成する工程

とを有することを特徴とする半導体装置の製造方法。

【請求項7】

前記第2金属酸化物層は、Zr、Hf、Ta、Y、La、Alの内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されることを特徴とする請求項6に記載の半導体装置の製造方法。

10

【請求項8】

前記第4金属酸化物層は、Zr、Hf、Ta、Y、La、Alの内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】

半導体基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にダミーゲートを形成する工程と、

nMISFET用のソース/ドレイン領域およびpMISFET用のソース/ドレイン領域を形成する工程と、

前記ダミーゲートを除去する工程と、

20

前記ゲート絶縁膜上に、ALD法またはCVD法によって、 $M_1xM_2yO$  ( $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$  または  $Lu, M_2 = Hf, Zr, Ta, x / (x + y) > 0.12$ ) で表される組成比を有する第1金属酸化物層を形成する工程と、

前記ゲート絶縁膜上に、ALD法またはCVD法によって、 $M_3z M_4w O$  ( $M_3 = Al, M_4 = Hf, Zr, Ta, z / (z + w) > 0.14$ ) で表される組成比を有する第3金属酸化物層を形成する工程と、

前記第1金属酸化物層および前記第3金属酸化物層上に、ALD法またはCVD法によって、第2金属酸化物層および第4金属酸化物層を形成する工程と、

前記第2金属酸化物層および第4金属酸化物層上に、それぞれ第1導電層および第2導電層を形成する工程と、

30

リソグラフィーおよびエッチング工程によって、ゲート構造を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項10】

前記第2金属酸化物層は、Zr、Hf、Ta、Y、La、Alの内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】

前記第4金属酸化物層は、Zr、Hf、Ta、Y、La、Alの内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されることを特徴とする請求項9または10に記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、MOSトランジスタを含む半導体装置およびその製造方法に関する。

【背景技術】

【0002】

これまで、高誘電率(High-k)層を有する相補型金属絶縁物半導体電界効果トランジスタ(CMISFET: Complementary Metal Insul

50

ator Semiconductor Field Effect Transistor)のフラットバンド電圧 $V_{FB}$ 、或いは閾値電圧 $V_{th}$ の制御に関して、下記のような取り組みがなされている。

【0003】

すなわち、第1の方法は、nチャネルMISFET及びpチャネルMISFETにおいて別々のゲート電極材料を用いる方法がある(例えば、特許文献1および特許文献2参照)。特許文献1においては、nMISFETのゲート電極としてNiSi、pMISFETのゲート電極としてNi<sub>3</sub>Siを適用する例が開示されている。また、特許文献2においては、nMISFETのゲート電極としてNiSi、pMISFETのゲート電極としてPtを適用する例が開示されている。基本的には、nMISゲートの仕事関数はpMISゲートの仕事関数よりも低くなるようにゲート電極の選定がなされている。しかしながら、Niシリサイド材料は、熱処理温度に敏感であり、組成比(安定相)が変化しやすい。また、Pt系材料は、還元性材料であるため、熱処理温度と雰囲気敏感であり、下地絶縁膜の性質を変化させる。このため、電極形成後の熱処理条件が制約される。

10

【0004】

第2の方法は、nチャネルMISFET及びpチャネルMISFETにおいて、ゲート電極/高誘電率(High-k)層界面に別々のcapping層として、nMISに対してはLa<sub>2</sub>O<sub>3</sub>層、pMISに対してはAl<sub>2</sub>O<sub>3</sub>層を挿入する方法がある(例えば、非特許文献1、非特許文献2および非特許文献3参照)。ゲート電極/高誘電率(High-k)層界面におけるフェルミレベルピンニング(FLP:Fermi Level Pinning)現象を緩和または除去する目的でcapping層を挿入している。しかしながら、capping層を用いたとしても、フラットバンド電圧 $V_{FB}$ を変動させるには、高誘電率(High-k)層/ゲート絶縁膜(SiO<sub>2</sub>)との界面が重要であり、その界面領域への拡散現象を利用しなければならない。

20

【0005】

第3の方法は、nMISFETおよびpMISFETにおいて、高誘電率(High-k)ゲート絶縁膜中のAl濃度を制御することによりn<sup>+</sup>ポリシリコンゲートとp<sup>+</sup>ポリシリコンゲートの閾値電圧 $V_{th}$ が対称になるように設定する方法がある(例えば、特許文献3参照)。しかしながら、Al濃度で閾値電圧 $V_{th}$ の対称性が得られる濃度領域は非常に狭く、またnMISFETへのAl導入によって、電気的特性の劣化が懸念される。

30

【特許文献1】特開2007-80955号公報(第11-14頁、図1)

【特許文献2】特開2006-80133号公報(第8-9頁、図1)

【特許文献3】特開2006-278376号公報(第7-8頁、図4)

【非特許文献1】エイチ・エヌ・アルシャリーフ(H.N. Alshareef)他著、“ランタンと組み合わされたハフニウムシリコン酸化膜誘電体層を用いた熱的に安定なnチャネルメタルゲートMOSFET(Thermally Stable N-Metal Gate MOSFETs Using La-Incorporated HfSiO Dielectric)”, 2006 Symposium on VLSI Technology Digest of Technical Papers, p.10-11.

【非特許文献2】ヒュン・スック・ユン(Hyung-Suk Jung)他著、“窒素およびフッ素を組み合わせた選択的AlOxエッチング(SAE)プロセスを用いたデュアルゲート高誘電体技術(Dual High-k Gate Dielectric Technology Using AlOx Etch (SAE) Process with Nitrogen and Fluorine Incorporation)”, 2006 Symposium on VLSI Technology Digest of Technical Papers, p.204-205.

40

【非特許文献3】ケイ・エル・リー(K.L. Lee)他著、“サブ100nm MOSFETにおける理想的な閾値電圧およびモビリティを提供するポリシリコン/窒化アルミニウム/ハフニウムシリコン酸化膜積層構造(Poly-Si/AlN/HfSiO stack for ideal threshold voltage and mobility in sub-100nm MOSFETs)”, 2006 Symposium on VLSI Technology Digest of Technical Papers, p.202-203.

【発明の開示】

【発明が解決しようとする課題】

50

## 【0006】

本発明の目的は、対称フラットバンド電圧 $V_{FB}$ （或いは閾値電圧 $V_{th}$ ）で、 $n/p$  MISFET共に同一のゲート電極材料と高誘電率（ $high-k$ ）誘電体層を有するCMISFET構成の半導体装置およびその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0007】

ここで、本発明者らは上記問題を解決するために、 $n$  MISFET領域では $SiO_2$ 上に、 $Y$ 組成比 $12at.\%$ より大きい $HfYO$ 膜を成膜し、その上に $HfO_2$ を成膜した。 $p$  MISFET領域では $SiO_2$ 上に $Al$ 組成比 $14at.\%$ より大きい $HfAlO$ 膜を成膜し、その上に $HfO_2$ を成膜した。またゲート電極材料には $TaN$ を用いて、 $n/p$  MISFETを形成し、対称フラットバンド電圧 $V_{FB}$ （或いは閾値電圧 $V_{th}$ ）を実現した。

10

## 【0008】

上記目的を達成するための本発明の一態様によれば、 $n$ チャネル型第1 MISFETと $p$ チャネル型第2 MISFETからなる相補型の半導体装置において、前記 $n$ チャネル型第1 MISFETは、半導体基板表面上に配置された第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に配置され、 $M_1xM_2yO$ （ $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$ または $Lu$ 、 $M_2 = Hf, Zr, Ta$ 、 $x/(x+y) > 0.12$ ）で表される組成比を有する第1金属酸化物層と、前記第1金属酸化物層上に配置される第2金属酸化物層と、前記第2金属酸化物層上に配置された第1導電層とを備え、前記 $p$ チャネル型第2 MISFETは、前記半導体基板表面上に配置された第2ゲート絶縁膜と、前記第2ゲート絶縁膜上に配置され、 $M_3z M_4w O$ （ $M_3 = Al$ 、 $M_4 = Hf, Zr, Ta$ 、 $z/(z+w) > 0.14$ ）で表される組成比を有する第3金属酸化物層と、前記第3金属酸化物層上に配置される第4金属酸化物層と、前記第4金属酸化物層上に配置された第2導電層とを備える半導体装置が提供される。

20

## 【0009】

本発明の他の態様によれば、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に、 $ALD$ 法または $CVD$ 法によって、 $M_1xM_2yO$ （ $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$ または $Lu$ 、 $M_2 = Hf, Zr, Ta$ 、 $x/(x+y) > 0.12$ ）で表される組成比を有する第1金属酸化物層を形成する工程と、ゲート絶縁膜上に、 $ALD$ 法または $CVD$ 法によって、 $M_3z M_4w O$ （ $M_3 = Al$ 、 $M_4 = Hf, Zr, Ta$ 、 $z/(z+w) > 0.14$ ）で表される組成比を有する第3金属酸化物層を形成する工程と、第1金属酸化物層および前記第3金属酸化物層上に、 $ALD$ 法または $CVD$ 法によって、第2金属酸化物層および第4金属酸化物層を形成する工程と、第2金属酸化物層および第4金属酸化物層上に、それぞれ第1導電層および第2導電層を形成する工程と、リソグラフィおよびエッチング工程によって、ゲート構造を形成する工程と、 $n$  MISFET用のソース/ドレイン領域および $p$  MISFET用のソース/ドレイン領域を形成する工程とを有する半導体装置の製造方法が提供される。

30

## 【0010】

本発明の他の態様によれば、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にダミーゲートを形成する工程と、 $n$  MISFET用のソース/ドレイン領域および $p$  MISFET用のソース/ドレイン領域を形成する工程と、ダミーゲートを除去する工程と、ゲート絶縁膜上に、 $ALD$ 法または $CVD$ 法によって、 $M_1xM_2yO$ （ $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$ または $Lu$ 、 $M_2 = Hf, Zr, Ta$ 、 $x/(x+y) > 0.12$ ）で表される組成比を有する第1金属酸化物層を形成する工程と、ゲート絶縁膜上に、 $ALD$ 法または $CVD$ 法によって、 $M_3z M_4w O$ （ $M_3 = Al$ 、 $M_4 = Hf, Zr, Ta$ 、 $z/(z+w) > 0.14$ ）で表される組成比を有する第3金属酸化物層を形成する工程と、第1金属酸化物層および第3金属酸化物層上に、 $ALD$ 法または $CVD$ 法によって、第2金属酸化物層および第4金属酸化物層を形成する工程と、第2金属酸化物層および第4金属酸化物層上に、それぞれ第1導電層お

40

50

よび第2導電層を形成する工程と、リソグラフィーおよびエッチング工程によって、ゲート構造を形成する工程とを有する半導体装置の製造方法が提供される。

【発明の効果】

【0011】

本発明の半導体装置およびその製造方法によれば、対称フラットバンド電圧 $V_{FB}$ （或いは閾値電圧 $V_{th}$ ）で、 $n/p$ MISFET共に同一のゲート電極材料かつ高誘電率（high-k）誘電体層を有するCMISFET構成の半導体装置を提供することができ、高性能な半導体部品が製造可能となる。

【発明を実施するための最良の形態】

【0012】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0013】

また、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、各構成部品の配置などを下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0014】

[第1の実施の形態]

(素子構造)

図1は、本発明の第1の実施の形態に係る半導体装置であって、図1(a)は、模式的断面構造図、図1(b)は、上部高誘電率層34と下部高誘電率層32の材料の組み合わせ例を示す。図16は、本発明の第1の実施の形態に係る半導体装置の模式的断面構造であって、CMISFETの構造例を示す。

【0015】

本発明の第1の実施の形態に係るCMISFET構成の半導体装置は、 $n$ チャネル型第1MISFETと $p$ チャネル型第2MISFETからなる相補型構造を有する。

【0016】

$n$ チャネル型第1MISFETは、図1(a)および図16に示すように、半導体基板10表面上に配置された第1ゲート絶縁膜16と、第1ゲート絶縁膜16上に配置され、 $M_1 \times M_2 y O$  ( $M_1 = Y, La, Ce, Pr, Nd, Sm, Gd, Tb, Dy, Ho, Er, Tm, Yb$ または $Lu$ ,  $M_2 = Hf, Zr, Ta, x / (x + y) > 0.12$ )で表される組成比を有する第1金属酸化物層(20, 32)と、第1金属酸化物層(20, 32)上に配置される第2金属酸化物層(24, 34)と、第2金属酸化物層(24, 34)上に配置された第1導電層(28, 36)とを備える。

【0017】

また、同様に、 $p$ チャネル型第2MISFETは、図1(a)および図16に示すように、半導体基板10表面上に配置された第2ゲート絶縁膜18と、第2ゲート絶縁膜18上に配置され、 $M_3 z M_4 w O$  ( $M_3 = Al, M_4 = Hf, Zr, Ta, z / (z + w) > 0.14$ )で表される組成比を有する第3金属酸化物層(22, 32)と、第3金属酸化物層(22, 32)上に配置される第4金属酸化物層(26, 34)と、第4金属酸化物層(26, 34)上に配置された第2導電層(30, 36)とを備える。

【0018】

本発明の第1の実施の形態に係る半導体装置において、第2金属酸化物層(24, 34)は、 $Zr, Hf, Ta, Y, La, Al$ の内、1つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されていても良い。

【0019】

また、第4金属酸化物層(26, 34)は、 $Zr, Hf, Ta, Y, La, Al$ の内、1

10

20

30

40

50

つまたは2つ以上の元素、あるいは前記元素のシリケート化物または窒化シリケート化物で構成されていても良い。

【0020】

また、本発明の第1の実施の形態に係る半導体装置においては、nチャネル型第1MISFETおよびpチャネル型第2MISFETにおいて、nチャネル型第1MISFETでは、第1ゲート絶縁膜16と第1金属酸化物層(20,32)とで構成される界面領域が、pチャネル型第2MISFETでは、第2ゲート絶縁膜18と前記第3金属酸化物層(22,32)とで構成される界面領域が、閾値を制御する。

【0021】

また、本発明の第1の実施の形態に係る半導体装置においては、第1導電層(28,36)および第2導電層(30,36)は、Ti、W、Ni、Ta、Pt、Mo、Hf、Ru、Alの内、いずれかの単一元素、あるいは2つ以上の元素、または前記元素のシリサイド化物、炭化物またはホウ化物から構成され、第2導電層(30,36)の仕事関数は第1導電層(28,36)の仕事関数と同じかあるいは高いことを特徴とする。

10

【0022】

本発明の第1の実施の形態に係る半導体装置において、図1(a)に示すように、高誘電率(high k)層(32,34)は、上部高誘電率層34と下部高誘電率層32の2層構造からなる。

【0023】

本発明の第1の実施の形態に係る半導体装置は、図1(a)に示すように、半導体基板10と、半導体基板10表面に形成されたnウェル領域12若しくはpウェル領域14と、ウェル領域(12,14)上に配置されたゲート絶縁膜(16,18)と、ゲート絶縁膜(16,18)上に配置された下部高誘電率層32と、下部高誘電率層32上に配置された上部高誘電率層34と、上部高誘電率層34上に配置されたゲート電極36とを備える。

20

【0024】

半導体基板10は、例えばシリコン基板を適用することができる。nウェル領域12は、半導体基板10に対して、例えばP,As,Sbなどの元素をイオン注入または拡散工程によって形成する。pウェル領域12は、半導体基板10に対して、例えばB,Al,Ga,Inなどの元素をイオン注入または拡散工程によって形成する。

30

【0025】

界面のゲート絶縁膜(16,18)は、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などを適用する。

【0026】

上記例において、ゲート絶縁膜(16,18)の厚さは、例えば0.3nm(1ML)以上であり、適用分野に依存するが、現実的には1.5nm以下である。

【0027】

下部高誘電率層32/上部高誘電率層34の各層には、図1(b)に示すように、Al<sub>2</sub>O<sub>3</sub>層/HfO<sub>2</sub>層、HfO<sub>2</sub>層/Al<sub>2</sub>O<sub>3</sub>層、Y<sub>2</sub>O<sub>3</sub>層/HfO<sub>2</sub>層、HfO<sub>2</sub>層/Y<sub>2</sub>O<sub>3</sub>層を適用することができる。Al<sub>2</sub>O<sub>3</sub>層/HfO<sub>2</sub>層、HfO<sub>2</sub>層/Al<sub>2</sub>O<sub>3</sub>層の組み合わせは、pMISFETに適用され、Y<sub>2</sub>O<sub>3</sub>層/HfO<sub>2</sub>層、HfO<sub>2</sub>層/Y<sub>2</sub>O<sub>3</sub>層の組み合わせは、nMISFETに適用される。Al<sub>2</sub>O<sub>3</sub>層/HfO<sub>2</sub>層、HfO<sub>2</sub>層/Al<sub>2</sub>O<sub>3</sub>層、Y<sub>2</sub>O<sub>3</sub>層/HfO<sub>2</sub>層、HfO<sub>2</sub>層/Y<sub>2</sub>O<sub>3</sub>層の各層は、原子層堆積法(ALD:Atomic Layer Deposition)を用いて形成する。

40

【0028】

上記例において、Al<sub>2</sub>O<sub>3</sub>層の厚さは、例えば約1.0nm以上が必要である。上限膜厚は、適用分野に依存するが、最大約3.0nm程度までが許容範囲である。

【0029】

上記例において、Y<sub>2</sub>O<sub>3</sub>層の厚さは、例えば約1.0nm以上が必要である。上限膜厚は、適用分野に依存するが、最大約3.0nm程度までが許容範囲である。

50

## 【0030】

上記例において、 $\text{HfO}_2$ 層の厚さは、例えば約1.0nm以上が必要であり、好ましくは約2.0nm以上が必要である。

## 【0031】

なお、後述するように、高誘電率(high k)ゲート絶縁層(32, 34)の成膜後、熱処理(PDA: Post Deposition Annealing)を実施してもよい。この処理は、高誘電率層(32, 34)中の欠陥密度の低減などの膜質の改質が目的である。例えば、約500 ~ 1075 までの範囲で、 $\text{O}_2$ 、 $\text{N}_2$ 、 $\text{NH}_3$ 、 $\text{H}_2$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}$ などの雰囲気中で行う。時間は、約1秒~10秒程度である。フラッシュランブアニールを適用することもでき、この場合には、さらに短時間の熱処理でも欠陥密度の低減などの膜質の改質は可能である。

10

## 【0032】

ゲート電極36の材料としては、例えばNiSi,  $\text{Pt}_3\text{Si}$ , W, TaN, n<sup>+</sup>ポリシリコンなどを適用することができる。

## 【0033】

金属ゲートの場合、例えば約500 程度でシリサイド化される。また、n<sup>+</sup>ポリシリコンゲートの場合、例えば約640 程度で活性化アニールを実施している。

## 【0034】

上記例において、ゲート電極36の厚さは、金属ゲートの場合および金属シリサイドゲートの場合共に、例えば約20nm以上が必要である。

20

## 【0035】

図1(a)に示された本発明の第1の実施の形態に係る半導体装置は、後述するゲート後作り工程(図20参照)によって形成されている。

## 【0036】

図2は、図1に対応する本発明の第1の実施の形態に係る半導体装置の透過電子顕微鏡(TEM)断面写真例である。NiSi/ $\text{HfO}_2$ / $\text{Al}_2\text{O}_3$ / $\text{SiO}_2$ /シリコン基板(Si-sub.)の積層構造が示されている。図2に示すように、例えば約500 程度のシリサイド化の工程後において、 $\text{HfO}_2$ / $\text{Al}_2\text{O}_3$ からなる2層構造の高誘電率層(32, 34)の構造が維持されていることが確認されている。

## 【0037】

図3は、本発明の第1の実施の形態に係る半導体装置において、デバイス製造プロセス後、 $\text{HfO}_2$ / $\text{Al}_2\text{O}_3$ / $\text{SiO}_2$ 誘電体積層構造の高精度ラザフォード後方散乱(HR-RBS)分析を用いた深さプロファイルの実測例を示す。NiSiゲート電極36は、ウエットエッチングプロセスにより、除去されている。図3から明らかなように、HfおよびAlのピークが明瞭に分離して観測され、原子レベルでも拡散現象は生じていない。

30

## 【0038】

図4は、本発明の第1の実施の形態に係る半導体装置において、上部高誘電率層34のALDサイクルを可変にした場合のNiSiゲートpMOSキャパシタのCV特性であって、図4(a)は、 $\text{HfO}_2$ / $\text{Al}_2\text{O}_3$ / $\text{SiO}_2$ 誘電体スタック構造の例、図4(b)は、 $\text{Al}_2\text{O}_3$ / $\text{HfO}_2$ / $\text{SiO}_2$ 誘電体スタック構造の例を示す。図4においては、上部高誘電率層34の膜厚は、ALDサイクルを0、5、10および20サイクルと変化させることで変化させており、一方、下部高誘電率層32の膜厚は、ALDサイクルを20サイクルに固定させることで一定になされている。界面のゲート絶縁膜( $\text{SiO}_2$ 膜)16の厚さは、約1.0nm程度である。

40

## 【0039】

図4(a)および図4(b)から明らかなように、 $\text{HfO}_2$ / $\text{Al}_2\text{O}_3$ / $\text{SiO}_2$ 誘電体スタック構造例、 $\text{Al}_2\text{O}_3$ / $\text{HfO}_2$ / $\text{SiO}_2$ 誘電体スタック構造例のいずれの場合においても、上部高誘電率層34の膜厚を変化させてもCV特性にはほとんど影響がないことがわかる。

## 【0040】

50



図5は、本発明の第1の実施の形態に係る半導体装置において、フラットバンド電圧 $V_{FB}$ と上部高誘電率層34のALDサイクルとの関係を示す。図4(a)および図4(b)と同様に、図5には、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造例、 $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例のそれぞれについて示されている。

【0041】

図5から明らかなように、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造例、 $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例のいずれの場合においても、上部高誘電率層34の膜厚を変化させても $V_{FB}$ 特性にはほとんど影響がないことがわかる。

【0042】

図6は、発明の第1の実施の形態に係る半導体装置において、下部高誘電率層32のALDサイクルを可変にした場合のNiSiゲートpMOSキャパシタのCV特性であって、図6(a)は、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造の例、図6(b)は、 $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造の例を示す。図6においては、下部高誘電率層32の膜厚は、ALDサイクルを0、1、3、5、7、10および20サイクルと変化させることで変化させており、一方、上部高誘電率層34の膜厚は、ALDサイクルを20サイクルに固定させることで一定になされている。界面のゲート絶縁膜( $SiO_2$ 膜)16の厚さは、約1.0nm程度である。

10

【0043】

図6(a)から明らかなように、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造例の場合においては、下部高誘電率層32の膜厚を変化させると、CV特性は正(positive)方向にシフトすることがわかる。また、図6(b)から明らかなように、 $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例の場合、下部高誘電率層32の膜厚を変化させると、CV特性は負(negative)方向にシフトすることがわかる。

20

【0044】

図7は、本発明の第1の実施の形態に係る半導体装置において、フラットバンド電圧 $V_{FB}$ と下部高誘電率層32のALDサイクルとの関係を示す。図6(a)および図6(b)と同様に、図7には、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造例、 $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例のそれぞれについて示されている。

【0045】

図7から明らかなように、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造例、 $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例のいずれの場合においても、下部高誘電率層32の膜厚を変化させた場合、顕著な $V_{FB}$ シフトが観測され、しかも下部高誘電率層32のALDサイクルが10サイクル程度で $V_{FB}$ は飽和特性を示している。

30

図8は、本発明の第1の実施の形態に係る半導体装置において、 $HfO_2/Y_2O_3/SiO_2$ 誘電体スタック構造例および $Y_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例を有するNiSiゲートnMOSキャパシタのフラットバンド電圧 $V_{FB}$ と、 $HfO_2$ または $Y_2O_3$ のALDサイクルとの関係を示す。界面のゲート絶縁膜( $SiO_2$ 膜)16の厚さは、約2.5nm程度である。

【0046】

図8から明らかなように、 $HfO_2/Y_2O_3/SiO_2$ 誘電体スタック構造例および $Y_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例のいずれの場合においても、下部高誘電率層32の膜厚を変化させた場合、顕著な $V_{FB}$ シフトが観測されている。また、 $HfO_2/Y_2O_3/SiO_2$ 誘電体スタック構造例および $Y_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例のいずれの場合においても、上部高誘電率層34の膜厚を変化させても $V_{FB}$ 特性にはほとんど影響がないことがわかる。この点は、図5と同様であり、NiSiゲートpMOSキャパシタにおいて観測された、上部高誘電率層34の膜厚を変化させても $V_{FB}$ 特性にはほとんど影響がないという結果と同様である。

40

【0047】

図9は、本発明の第1の実施の形態に係る半導体装置において、 $HfO_2/Al_2O_3/SiO_2$ 誘電体スタック構造例および $Al_2O_3/HfO_2/SiO_2$ 誘電体スタック構造例

50

を有する  $n^+$ ポリシリコンゲート  $n$ MOS および  $p$ MOS キャパシタのフラットバンド電圧  $V_{FB}$  と、下部高誘電率層 32 である  $HfO_2$  層または  $Y_2O_3$  層の ALD サイクルとの関係を示す。

【0048】

図 9 から明らかなように、 $n^+$ ポリシリコンゲート構造を有する場合においても、 $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例のいずれの場合においても、下部高誘電率層 32 の膜厚を変化させた場合、 $V_{FB}$  シフトが観測されている。しかも、半導体基板の導電型には依存しない。

【0049】

図 10 は、本発明の第 1 の実施の形態に係る半導体装置において、図 9 より求めたフラットバンド電圧の差電圧  $V_{FB}(pMOS) - V_{FB}(nMOS)$  と、下部高誘電率層 32 である  $HfO_2$  層または  $Al_2O_3$  層の ALD サイクルとの関係を示す。

10

【0050】

図 10 から明らかなように、フラットバンド電圧の差電圧  $V_{FB}(pMOS) - V_{FB}(nMOS)$  の値は、 $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例のいずれの場合においても、ほとんど同じ値を示している。しかも、これらのフラットバンド電圧の差電圧  $V_{FB}(pMOS) - V_{FB}(nMOS)$  の値は、シリコン基板のフェルミレベルの差電圧に略一致している。このことから、高誘電率 ( $high\ k$ ) 層 (32, 34) / ゲート絶縁層 (16, 18) 界面と、シリコン半導体基板 10 との間には、インタラクション (interaction) が存在しないことが

20

【0051】

図 11 (a) は、本発明の第 1 の実施の形態に係る半導体装置において、 $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例を有する  $n^+$ ポリシリコンゲート  $p$ MOS キャパシタのフラットバンドシフト  $V_{FB}(high-k) - V_{FB}(SiO_2)$  の比較例を示す。また、図 11 (b) は、 $n^+$ ポリシリコンゲートと  $HfO_2$  層 /  $Al_2O_3$  層界面における FLP 位置の模式図を示す。

【0052】

図 11 (a) および図 11 (b) から明らかなように、 $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例を有する  $n^+$ ポリシリコンゲート  $p$ MOS キャパシタのフラットバンド電圧  $V_{FB}$  は、下部高誘電率層 32 である  $HfO_2$  層若しくは  $Al_2O_3$  層によって決定されることがわかる。

30

【0053】

図 12 は、本発明の第 1 の実施の形態に係る半導体装置において、ゲート電極構造を各種変更した場合の  $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例における、フラットバンドシフト  $V_{FB}(high-k) - V_{FB}(SiO_2)$  と実効仕事関数シフト  $m_{eff}(high-k) - m_{eff}(SiO_2)$  (eV) の比較例を示す。

【0054】

図 12 から明らかなように、フラットバンドシフト  $V_{FB}(high-k) - V_{FB}(SiO_2)$  と実効仕事関数シフト  $m_{eff}(high-k) - m_{eff}(SiO_2)$  の傾向はよく一致している。特に、 $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例におけるフラットバンドシフト  $V_{FB}(high-k) - V_{FB}(SiO_2)$  の傾向は、 $HfO_2 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / SiO_2$  誘電体スタック構造例における実効仕事関数シフト  $m_{eff}(high-k) - m_{eff}(SiO_2)$  の傾向とよく一致している。

40

【0055】

このことから、 $HfO_2 / Al_2O_3 / SiO_2$  誘電体スタック構造例および  $Al_2O_3 / HfO_2 / SiO_2$  誘電体スタック構造例を有する各種ゲート構造の MOS キャパシタのフラットバンド電圧  $V_{FB}$  は、下部高誘電率層 32 である  $HfO_2$  層若しくは  $Al_2O_3$  層が重要

50

な働きをすることがわかる。特に、下部高誘電率層 32 とゲート絶縁層 (SiO<sub>2</sub>) 界面が V<sub>FB</sub> シフトに重要な働きをすることがわかる。

【0056】

図 13 は、本発明の第 1 の実施の形態に係る半導体装置において、HfO<sub>2</sub>/Y<sub>x</sub>Hf<sub>y</sub>O/SiO<sub>2</sub> 誘電体構造例を有する nMISFET のゲートキャパシタンスとゲート電圧との関係を示す。

【0057】

図 13 から明らかなように、下部高誘電率層 32 として、Y 濃度を变化させた Hf<sub>x</sub>Y<sub>y</sub>O 層を適用した場合においても、nMISFET ではゲート絶縁層 (16) 直上の Y 濃度を制御することによってもフラットバンド電圧 V<sub>FB</sub> の制御が可能である。図 13 から明らかなように、Y<sub>x</sub>Hf<sub>y</sub>O の組成において、 $x / (x + y) > 0.12$  であれば、フラットバンド電圧 V<sub>FB</sub> の制御が可能である。

10

【0058】

図 14 は、本発明の第 1 の実施の形態に係る半導体装置において、HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 誘電体構造例を有する pMISFET において、HfO<sub>2</sub> 層の ALD サイクルを 20 サイクルで一定とした場合の、Al<sub>2</sub>O<sub>3</sub> 層の ALD サイクルと Al 濃度との関係を示す。

【0059】

図 14 の傾向から明らかなように、下部高誘電率層 32 である Al<sub>2</sub>O<sub>3</sub> 層の ALD サイクルを 0 ~ 20 サイクルに上昇するにつれて、Al 濃度は 0 ~ 約 61.7% 程度に増加している。ここで、図 6 (a) を参照すると、HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 誘電体スタック構造例の場合においては、下部高誘電率層 32 の膜厚を变化させるために Al<sub>2</sub>O<sub>3</sub> 層の ALD サイクルを上昇させると、CV 特性は正方向に顕著にシフトする。したがって、下部高誘電率層 32 である Al<sub>2</sub>O<sub>3</sub> 層の ALD サイクルを制御して Al 濃度を制御することで、pMISFET のフラットバンド電圧 V<sub>FB</sub> の制御が可能であることがわかる。

20

【0060】

したがって、本発明の第 1 の実施の形態に係る半導体装置において、図 13 に示した nMISFET の場合と同様に、HfO<sub>2</sub>/Al<sub>z</sub>Hf<sub>w</sub>O/SiO<sub>2</sub> 誘電体構造例を有する pMISFET においても Al 濃度を制御することによってフラットバンド電圧 V<sub>FB</sub> の制御が可能であることがわかる。図 14 および図 6 (a) から明らかなように、Al<sub>z</sub>Hf<sub>w</sub>O の組成において、 $z / (z + w) > 0.14$  であれば、フラットバンド電圧 V<sub>FB</sub> の制御が可能である。

30

【0061】

図 15 は、本発明の第 1 の実施の形態に係る半導体装置において、high k/SiO<sub>2</sub> 上の実効仕事関数  $m_{,eff}(\text{high } k / \text{SiO}_2)$  と SiO<sub>2</sub> 上の実効仕事関数  $m_{,eff}(\text{SiO}_2)$  の関係を表す図であって、Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 上の TaN および W の実効仕事関数  $m_{,eff}(\text{high } k / \text{SiO}_2)$  および Y<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 上の TaN の実効仕事関数  $m_{,eff}(\text{high } k / \text{SiO}_2)$  の実測データを示す。

【0062】

図 15 の実測データから、Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 層および Y<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 層上の実効仕事関数  $m_{,eff}$  を基に、CMISFET を構成することができる。すなわち、nMISFET では HfO<sub>2</sub>/Y<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 誘電体スタック構造を、pMISFET では HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 誘電体スタック構造を有し、ゲート電極材料には、共通して耐熱性の高い TaN を用いることにより、高誘電率 (high k) 層 (32, 34) を有する CMISFET を実現可能な実効仕事関数が得られている。

40

【0063】

本発明の第 1 の実施の形態に係る CMISFET 構成の半導体装置は、図 16 に示すように、nMISFET のゲート構造は、TaN/HfO<sub>2</sub>/Y<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 構造を備え、pMISFET のゲート構造は、TaN/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> 構造を備える。

【0064】

50

本発明の第1の実施の形態に係るCMISFET構成の半導体装置において、nMISFETは、図16に示すように、半導体基板10と、半導体基板10表面に形成されたpウェル領域12と、pウェル領域12上に配置されたゲート絶縁膜16と、ゲート絶縁膜16上に配置された $Y_2O_3$ 層20と、 $Y_2O_3$ 層20上に配置された $HfO_2$ 層24と、 $HfO_2$ 層24上に配置されたTa<sub>2</sub>N電極28とを備える。また、pMISFETは、図16に示すように、半導体基板10と、半導体基板10表面に形成されたnウェル領域14と、nウェル領域14上に配置されたゲート絶縁膜18と、ゲート絶縁膜18上に配置された $Al_2O_3$ 層22と、 $Al_2O_3$ 層22上に配置された $HfO_2$ 層26と、 $HfO_2$ 層26上に配置されたTa<sub>2</sub>N電極30とを備える。

【0065】

10

図17は、本発明の第1の実施の形態に係る半導体装置の詳細な模式的断面構造であって、CMISFETの構造例を示す。図17には、図16において図示を省略したMISFETのソース/ドレイン領域、側壁絶縁膜38、LOCOS絶縁膜40が示されている。

【0066】

nMISFETのソース領域は $n^+$ 拡散層50、ドレイン領域は $n^+$ 拡散層56で表されている。 $n^-$ 拡散層52、54は、LDD(Lightly Doped Drain)構造を実現するための高抵抗層である。pMISFETのソース領域は $p^+$ 拡散層60、ドレイン領域は $p^+$ 拡散層66で表されている。 $p^-$ 拡散層62、64は、LDD構造を実現するための高抵抗層である。

20

【0067】

(変形例)

図18は、本発明の第1の実施の形態の変形例に係る半導体装置の詳細な模式的断面構造であって、CMISFETの別の構造例を示す。

【0068】

本発明の第1の実施の形態の変形例に係るCMISFET構成の半導体装置は、図18に示すように、nMISFETのゲート構造は、 $NiSi/TaN/HfO_2/Y_2O_3/SiO_2$ 構造を備え、pMISFETのゲート構造は、 $TaN/HfO_2/Al_2O_3/SiO_2$ 構造を備える。

【0069】

30

本発明の第1の実施の形態に係るCMISFET構成の半導体装置において、nMISFETは、図18に示すように、半導体基板10と、半導体基板10表面に形成されたpウェル領域12と、pウェル領域12上に配置されたゲート絶縁膜16と、ゲート絶縁膜16上に配置された $Y_2O_3$ 層20と、 $Y_2O_3$ 層20上に配置された $HfO_2$ 層24と、 $HfO_2$ 層24上に配置されたTa<sub>2</sub>N電極28とを備える。また、pMISFETは、図18に示すように、半導体基板10と、半導体基板10表面に形成されたnウェル領域14と、nウェル領域14上に配置されたゲート絶縁膜18と、ゲート絶縁膜18上に配置された $Al_2O_3$ 層22と、 $Al_2O_3$ 層22上に配置された $HfO_2$ 層26と、 $HfO_2$ 層26上に配置されたTa<sub>2</sub>N電極30とを備える。尚、図18には、MISFETのソース/ドレイン領域、側壁絶縁膜38、LOCOS絶縁膜40が示されている。nMISFETのソース領域は $n^+$ 拡散層50、ドレイン領域は $n^+$ 拡散層56で表されている。 $n^-$ 拡散層52、54は、LDD構造を実現するための高抵抗層である。pMISFETのソース領域は $p^+$ 拡散層60、ドレイン領域は $p^+$ 拡散層66で表されている。 $p^-$ 拡散層62、64は、LDD構造を実現するための高抵抗層である。

40

【0070】

nMISFETにおいて、シリコン半導体基板10上のゲート絶縁膜16は、厚さ約1.0nm程度の $SiO_2$ で形成され、ゲート絶縁膜16上に配置された $Y_2O_3$ 層20は、厚さ約1.0nm程度に形成され、 $Y_2O_3$ 層20上に配置された $HfO_2$ 層24は、厚さ約2.0nm程度に形成されている。

【0071】

50

pMISFETにおいて、シリコン半導体基板10上のゲート絶縁膜18は、厚さ約1.0nm程度のSiO<sub>2</sub>で形成され、ゲート絶縁膜18上に配置されたAl<sub>2</sub>O<sub>3</sub>層22は、厚さ約1.0nm程度に形成され、Al<sub>2</sub>O<sub>3</sub>層22上に配置されたHfO<sub>2</sub>層26は、厚さ約2.0nm程度に形成されている。このとき、全ての高誘電率(high-k)誘電体層(32,34)はALD法またはCVD(Chemical Vapor Deposition)法により形成され、TaNゲート電極28,30は物理的気相堆積(PVD: Physical Vapor Deposition)法により形成される。また、NiSiゲート電極42,44はFUSI(Fully Silicided)処理により形成され、配線工程を経た後PGA処理を行い、n/pMISFETを形成した。以下、製造方法を詳述する。

10

【0072】

(製造方法)

図19は、本発明の第1の実施の形態に係る半導体装置の製造方法であって、ゲート先作り工程のフローチャート図を示す。また、図20は、本発明の第1の実施の形態に係る半導体装置の別の製造方法であって、ゲート後作り工程のフローチャート図を示す。

【0073】

ゲート先作り工程

図19を参照して、本発明の第1の実施の形態に係る半導体装置のゲート先作り工程による製造方法を説明する。絶縁膜形成からの製造工程を説明する。

【0074】

(a)まず、ステップS1において、例えば、フッ酸(HF)を純水で希釈した希フッ酸(DHF)を用いて、半導体基板10をDHF洗浄する。

20

【0075】

(b)次に、ステップS2において、RTA(Rapid Thermal Annealing)工程により、SiO<sub>2</sub>からなるゲート絶縁膜16,18を形成する。

【0076】

(c)次に、ステップS3において、ゲート絶縁膜16上に、ALD法またはCVD法によって、Y<sub>2</sub>O<sub>3</sub>層20を形成する。

【0077】

(d)次に、ステップS4において、レジストをマスクとして、nMOS領域をマスクする。

30

【0078】

(e)次に、ステップS5において、ウェットエッチングにより、pMOS領域のY<sub>2</sub>O<sub>3</sub>層20を除去する。ウェットエッチング液としては、例えば、HF、H<sub>2</sub>O<sub>2</sub>、アルカリ溶液などを用いることができる。

【0079】

(f)次に、ステップS6において、アッシング工程などにより、マスクを除去する。

【0080】

(g)次に、ステップS7において、ゲート絶縁膜18上に、ALD法またはCVD法によって、Al<sub>2</sub>O<sub>3</sub>層22を形成する。

40

【0081】

(h)次に、ステップS8において、レジストをマスクとして、pMOS領域をマスクする。

【0082】

(i)次に、ステップS9において、ウェットエッチングにより、nMOS領域のAl<sub>2</sub>O<sub>3</sub>層22を除去する。ウェットエッチング液としては、例えば、HF、H<sub>2</sub>O<sub>2</sub>、アルカリ溶液などを用いることができる。

【0083】

(j)次に、ステップS10において、アッシング工程などにより、マスクを除去する。

【0084】

50

(k) 次に、ステップ S 1 1 において、ALD法またはCVD法によって、 $Y_2O_3$ 層 2 0 および  $Al_2O_3$ 層 2 2 上に、それぞれ  $HfO_2$ 層 2 4 および  $HfO_2$ 層 2 6 を形成する。

【0085】

(l) 次に、ステップ S 1 2 において、PDA、RTAなどによって、熱処理をする。熱処理(PDA)は、 $Y_2O_3$ 層 2 0 および  $Al_2O_3$ 層 2 2 中の欠陥密度の低減などの膜質の改質が目的である。例えば約 500 ~ 1075 までの範囲で、 $O_2$ 、 $N_2$ 、 $NH_3$ 、 $H_2$ 、 $NO$ 、 $N_2O$ などの雰囲気中で行う。時間は、約 1 秒 ~ 10 秒程度である。フラッシュランプアニールを適用することもでき、この場合には、さらに短時間の熱処理でも欠陥密度の低減などの膜質の改質は可能である。

【0086】

(m) 次に、ステップ S 1 3 において、CVD法若しくはPVD法により、TaNゲート電極 2 8, 3 0 を形成する。

【0087】

(n) 次に、ステップ S 1 4 において、フォトリソグラフィーおよびエッチング工程によって、ゲート構造を形成する。結果として、nMOSFETでは  $HfO_2/Y_2O_3/SiO_2$  誘電体スタック構造が形成され、pMISFETでは  $HfO_2/Al_2O_3/SiO_2$  誘電体スタック構造が形成される。

【0088】

(n) 次に、ステップ S 1 5 において、Asのイオン注入によって、nMOS用のソース/ドレインエクステンション層として機能する  $n^-$  拡散層 5 2, 5 4 を形成する。

【0089】

(o) 次に、ステップ S 1 6 において、 $BF_2$ のイオン注入によって、pMOS用のソース/ドレインエクステンション層として機能する  $p^+$  拡散層 6 2, 6 4 を形成する。

【0090】

(p) 次に、ステップ S 1 7 において、 $SiO_2$ 若しくは  $Si_3N_4$ 膜などを成膜し、エッチング工程を経て、側壁絶縁膜 3 8 を形成する。

【0091】

(q) 次に、ステップ S 1 8 において、Asのイオン注入によって、nMOS用のソース/ドレイン領域として機能する  $n^+$  拡散層 5 0, 5 6 を形成する。

【0092】

(r) 次に、ステップ S 1 9 において、 $BF_2$ のイオン注入によって、pMOS用のソース/ドレイン領域として機能する  $p^+$  拡散層 6 0, 6 6 を形成する。

【0093】

(s) 次に、ステップ S 2 0 において、ソース/ドレインの活性化アニール処理を行う。例えば、約 900 ~ 1075 程度の範囲で行う。処理時間は、例えば約 5 秒 ~ 10 秒程度である。フラッシュランプアニールを適用することもでき、この場合には、さらに短時間の熱処理も可能である。

【0094】

(t) 次に、ステップ S 2 1 において、電極配線工程を実施する。

【0095】

(u) 次に、ステップ S 2 2 において、 $H_2$ 雰囲気中において、シンター処理を実施する。

【0096】

以上の製造工程によって、ゲート先作り工程による本発明の第 1 の実施の形態に係る半導体装置を形成することができる。

【0097】

ゲート後作り工程

次に、図 20 を参照して、本発明の第 1 の実施の形態に係る半導体装置のゲート後作り工程による製造方法を説明する。絶縁膜形成からの製造工程を説明する。

【0098】

10

20

30

40

50

(a) まず、ステップ S 3 1 において、半導体基板 1 0 を D H F 洗浄する。

【 0 0 9 9 】

(b) 次に、ステップ S 3 2 において、R T A 工程により、S i O<sub>2</sub> からなるゲート絶縁膜 1 6 , 1 8 を形成する。

【 0 1 0 0 】

(c) 次に、ステップ S 3 3 において、ダミーゲートを成膜する。ダミーゲートは、例えばポリシリコン層で形成する。

【 0 1 0 1 】

(d) 次に、ステップ S 3 4 において、ポリシリコンゲートを形成する。

【 0 1 0 2 】

(e) 次に、ステップ S 3 5 において、A s のイオン注入によって、n M O S 用のソース/ドレインエクステンション層として機能する n<sup>-</sup> 拡散層 5 2 , 5 4 を形成する。

【 0 1 0 3 】

(f) 次に、ステップ S 3 6 において、B F<sub>2</sub> のイオン注入によって、p M O S 用のソース/ドレインエクステンション層として機能する p<sup>-</sup> 拡散層 6 2 , 6 4 を形成する。

【 0 1 0 4 】

(g) 次に、ステップ S 3 7 において、S i O<sub>2</sub> 若しくは S i<sub>3</sub> N<sub>4</sub> 膜などを成膜し、エッチング工程を経て、側壁絶縁膜 3 8 を形成する。

【 0 1 0 5 】

(h) 次に、ステップ S 3 8 において、A s のイオン注入によって、n M O S 用のソース/ドレイン領域として機能する n<sup>+</sup> 拡散層 5 0 , 5 6 を形成する。

【 0 1 0 6 】

(i) 次に、ステップ S 3 9 において、B F<sub>2</sub> のイオン注入によって、p M O S 用のソース/ドレイン領域として機能する p<sup>+</sup> 拡散層 6 0 , 6 6 を形成する。

【 0 1 0 7 】

(j) 次に、ステップ S 4 0 において、ソース/ドレインの活性化アニール処理を行う。例えば、約 9 0 0 ~ 1 0 7 5 程度の範囲で行う。処理時間は、例えば約 5 秒 ~ 1 0 秒程度である。フラッシュランプアニールを適用することもでき、この場合には、さらに短時間の熱処理も可能である。

【 0 1 0 8 】

(k) 次に、ステップ S 4 1 において、層間絶縁膜をデバイス表面の全面に堆積する。層間絶縁膜としては、例えば T E O S (テトラエトキシシラン) 膜、C V D 酸化膜、C V D 窒化膜、或いはこれらの多層膜を用いることができる。

【 0 1 0 9 】

(l) 次に、ステップ S 4 2 において、化学的機械的研磨 (C M P : C h e m i c a l M e c h a n i c a l P o l i s h i n g ) 技術によって、ゲート最表面を露出させる。

【 0 1 1 0 】

(m) 次に、ステップ S 4 3 において、ダミーポリシリコンゲートを除去する。

【 0 1 1 1 】

(n) 次に、ステップ S 4 4 において、ゲート絶縁膜 1 6 上に、A L D 法または C V D 法によって、Y<sub>2</sub> O<sub>3</sub> 層 2 0 を形成する。

【 0 1 1 2 】

(o) 次に、ステップ S 4 5 において、レジストをマスクとして、n M O S 領域をマスクする。

【 0 1 1 3 】

(p) 次に、ステップ S 4 6 において、ウェットエッチングにより、p M O S 領域の Y<sub>2</sub> O<sub>3</sub> 層 2 0 を除去する。ウェットエッチング液としては、例えば、H F、H<sub>2</sub> O<sub>2</sub>、アルカリ溶液などを用いることができる。

【 0 1 1 4 】

10

20

30

40

50

(q) 次に、ステップ S 4 7 において、アッシング工程などにより、マスクを除去する。

【0115】

(r) 次に、ステップ S 4 8 において、ゲート絶縁膜 1 8 上に、ALD法またはCVD法によって、 $Al_2O_3$ 層 2 2 を形成する。

【0116】

(s) 次に、ステップ S 4 9 において、レジストをマスクとして、pMOS領域をマスクする。

【0117】

(t) 次に、ステップ S 5 0 において、ウェットエッチングにより、nMOS領域の $Al_2O_3$ 層 2 2 を除去する。ウェットエッチング液としては、例えば、HF、 $H_2O_2$ 、アルカリ溶液などを用いることができる。

10

【0118】

(u) 次に、ステップ S 5 1 において、アッシング工程などにより、マスクを除去する。

【0119】

(v) 次に、ステップ S 5 2 において、ALD法またはCVD法によって、 $Y_2O_3$ 層 2 0 および $Al_2O_3$ 層 2 2 上に、それぞれ $HfO_2$ 層 2 4 および $HfO_2$ 層 2 6 を形成する。

【0120】

(w) 次に、ステップ S 5 3 において、PDA、RTAなどによって、熱処理をする。熱処理(PDA)は、 $Y_2O_3$ 層 2 0 および $Al_2O_3$ 層 2 2 中の欠陥密度の低減などの膜質の改質が目的である。例えば約500 ~ 1075 までの範囲で、 $O_2$ 、 $N_2$ 、 $NH_3$ 、 $H_2$ 、 $NO$ 、 $N_2O$ などの雰囲気中で行う。時間は、約1秒~10秒程度である。フラッシュランプアニールを適用することもでき、この場合には、さらに短時間の熱処理でも欠陥密度の低減などの膜質の改質は可能である。

20

【0121】

(x) 次に、ステップ S 5 4 において、CVD法若しくはPVD法により、TaNゲート電極 2 8 , 3 0 を形成する。

【0122】

(y) 次に、ステップ S 5 5 において、フォトリソグラフィーおよびエッチング工程によって、ゲート構造を形成する。結果として、nMOSFETでは $HfO_2 / Y_2O_3 / SiO_2$ 誘電体スタック構造が形成され、pMISFETでは $HfO_2 / Al_2O_3 / SiO_2$ 誘電体スタック構造が形成される。

30

【0123】

(z) 次に、ステップ S 5 6 において、電極配線工程を実施する。

【0124】

(z2) 次に、ステップ S 5 7 において、 $H_2$ 雰囲気中において、シンター処理を実施する。

【0125】

以上の製造工程によって、ゲート後作り工程による本発明の第1の実施の形態に係る半導体装置を形成することができる。

【0126】

40

(特性例)

図21は、本発明の第1の実施の形態に係る半導体装置の製造方法によって作製されたCMISFETの伝達特性を示す。図21より明らかなように、対称フラットバンド電圧 $V_{FB}$ (或いは閾値電圧 $V_{th}$ )を有するpMISFET、nMISFETが形成されている。

【0127】

本発明の第1の実施の形態およびその変形例に係る半導体装置およびその製造方法によれば、対称フラットバンド電圧 $V_{FB}$ (或いは閾値電圧 $V_{th}$ )で、n/pMISFET共に同一のゲート電極材料かつ高誘電率(high-k)誘電体層を有するCMISFETを提供することができ、高性能な半導体部品が製造可能となる。

50



## 【 0 1 2 8 】

## [その他の実施の形態]

上記のように、本発明は第1の実施の形態によって記載したが、この開示の一部をなす論述および図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。

## 【 0 1 2 9 】

上記のように、本発明の第1の実施の形態に係る半導体装置においては、シリコン材料を適用する場合を例として述べたが、材料としてはシリコンに限定されるものではなく、シリコンカーバイドや、窒化ガリウム系半導体材料、インジウム燐系半導体材料、ガリウム砒素系半導体材料なども適用可能である。

10

## 【 0 1 3 0 】

またデバイス構造は、横型に限らず縦型に形成しても良い。さらに、電界効果トランジスタのゲート構造として、MIS型、MOS型(Metal Oxide Semiconductor)に限定されず、接合型、ヘテロ接合ゲート型、2次元電子ガス(2DEG:Two Dimensional Electron Gas)構造を備えていても良い。

## 【 0 1 3 1 】

このように、本発明はここでは記載していない様々な実施の形態などを含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

## 【産業上の利用可能性】

20

## 【 0 1 3 2 】

本発明の実施の形態に係る半導体装置およびその製造方法は、超高密度集積回路、超高速論理集積回路などに幅広く適用可能である。

## 【図面の簡単な説明】

## 【 0 1 3 3 】

【図1】本発明の第1の実施の形態に係る半導体装置であって、(a)模式的断面構造図、(b)上部高誘電率層34と下部高誘電率層32の材料の組み合わせ例。

【図2】図1に対応する本発明の第1の実施の形態に係る半導体装置の透過電子顕微鏡(TEM)断面写真例。

【図3】本発明の第1の実施の形態に係る半導体装置において、デバイス製造プロセス後、 $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SiO}_2$ 誘電体スタック構造の高精度ラザフォード後方散乱(HR-RBS)分析法を用いた深さプロファイルの実測例。

30

【図4】本発明の第1の実施の形態に係る半導体装置において、上部高誘電率層のALDサイクルを可変にした場合のNiSiゲートpMOSキャパシタのCV特性であって、(a) $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SiO}_2$ 誘電体スタック構造の例、(b) $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{SiO}_2$ 誘電体スタック構造の例。

【図5】本発明の第1の実施の形態に係る半導体装置において、フラットバンド電圧 $V_{FB}$ と上部高誘電率層のALDサイクルとの関係を表す特性例。

【図6】本発明の第1の実施の形態に係る半導体装置において、下部高誘電率層のALDサイクルを可変にした場合のNiSiゲートpMOSキャパシタのCV特性であって、(a) $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SiO}_2$ 誘電体スタック構造の例、(b) $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{SiO}_2$ 誘電体スタック構造の例。

40

【図7】本発明の第1の実施の形態に係る半導体装置において、フラットバンド電圧 $V_{FB}$ と下部高誘電率層のALDサイクルとの関係を表す特性例。

【図8】本発明の第1の実施の形態に係る半導体装置において、 $\text{HfO}_2/\text{Y}_2\text{O}_3/\text{SiO}_2$ 誘電体スタック構造例および $\text{Y}_2\text{O}_3/\text{HfO}_2/\text{SiO}_2$ 誘電体スタック構造例を有するNiSiゲートnMOSキャパシタのフラットバンド電圧 $V_{FB}$ と、 $\text{HfO}_2$ または $\text{Y}_2\text{O}_3$ のALDサイクルとの関係を表す特性例。

【図9】本発明の第1の実施の形態に係る半導体装置において、 $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SiO}_2$ 誘電体スタック構造例および $\text{Al}_2\text{O}_3/\text{HfO}_2/\text{SiO}_2$ 誘電体スタック構造例を

50

有する  $n^+$ ポリシリコンゲート  $n$ MOS および  $p$ MOS キャパシタのフラットバンド電圧  $V_{FB}$  と、下部高誘電率層である  $HfO_2$  層または  $Al_2O_3$  層の ALD サイクルとの関係を表す特性例。

【図 10】本発明の第 1 の実施の形態に係る半導体装置において、図 9 より求めたフラットバンド電圧の差電圧  $V_{FB}(pMOS) - V_{FB}(nMOS)$  と、下部高誘電率層である  $HfO_2$  層または  $Al_2O_3$  層の ALD サイクルとの関係を表す特性例。

【図 11】本発明の第 1 の実施の形態に係る半導体装置において、(a)  $HfO_2/Al_2O_3/SiO_2$  誘電体スタック構造例および  $Al_2O_3/HfO_2/SiO_2$  誘電体スタック構造例を有する  $n^+$ ポリシリコンゲート  $p$ MOS キャパシタのフラットバンドシフト  $V_{FB}(high-k) - V_{FB}(SiO_2)$  の比較例、(b)  $n^+$ ポリシリコンゲートと  $HfO_2$  層 /  $Al_2O_3$  層界面における FLP 位置の模式図。

【図 12】本発明の第 1 の実施の形態に係る半導体装置において、ゲート電極構造を各種変更した場合の  $HfO_2/Al_2O_3/SiO_2$  誘電体スタック構造例および  $Al_2O_3/HfO_2/SiO_2$  誘電体スタック構造例における、フラットバンドシフト  $V_{FB}(high-k) - V_{FB}(SiO_2)$  と実効仕事関数シフト  $m_{eff}(high-k) - m_{eff}(SiO_2)$  (eV) の比較例。

【図 13】本発明の第 1 の実施の形態に係る半導体装置において、Y 濃度を变化させた場合の、 $HfYO$  誘電体構造を有する  $n$ MISFET のゲートキャパシタンスとゲート電圧との関係を表す特性例。

【図 14】本発明の第 1 の実施の形態に係る半導体装置において、 $HfO_2$  層の ALD サイクルを一定とした場合の、 $Al_2O_3$  層の ALD サイクルと Al 濃度との関係を表す特性例。

【図 15】本発明の第 1 の実施の形態に係る半導体装置において、 $high-k/SiO_2$  上の実効仕事関数  $m_{eff}(high-k/SiO_2)$  と  $SiO_2$  上の実効仕事関数  $m_{eff}(SiO_2)$  の関係を表す図であって、 $Al_2O_3/SiO_2$  上の TaN および W および  $Y_2O_3/SiO_2$  上の TaN の特性データ。

【図 16】本発明の第 1 の実施の形態に係る半導体装置の模式的断面構造であって、CMISFET の構造例。

【図 17】本発明の第 1 の実施の形態に係る半導体装置の詳細な模式的断面構造であって、CMISFET の構造例。

【図 18】本発明の第 1 の実施の形態の変形例に係る半導体装置の詳細な模式的断面構造であって、CMISFET の構造例。

【図 19】本発明の第 1 の実施の形態に係る半導体装置の製造方法であって、ゲート先作り工程のフローチャート図。

【図 20】本発明の第 1 の実施の形態に係る半導体装置の別の製造方法であって、ゲート後作り工程のフローチャート図。

【図 21】本発明の第 1 の実施の形態に係る半導体装置の CMISFET の伝達特性例。

【符号の説明】

【0134】

- 10 ... 半導体基板
- 12 ... p ウェル領域
- 14 ... n ウェル領域
- 16, 18 ... ゲート絶縁層
- 20 ...  $Y_2O_3$  層
- 22 ...  $Al_2O_3$  層
- 24, 26 ...  $HfO_2$  層
- 28, 30 ... TaN ゲート電極
- 32 ... 下部高誘電率 ( $high-k$ ) 層
- 34 ... 上部高誘電率 ( $high-k$ ) 層
- 36 ... ゲート電極

10

20

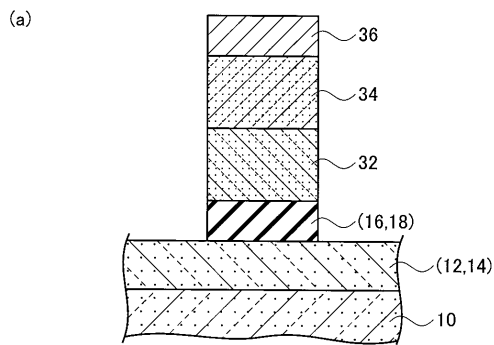
30

40

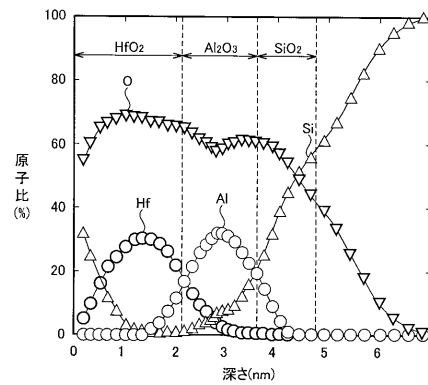
50

- 38 ... 側壁絶縁膜
- 40 ... LOCOS 絶縁膜
- 42, 44 ... NiSi ゲート電極
- 50, 56 ... n<sup>+</sup> 拡散層
- 52, 54 ... n<sup>-</sup> 拡散層
- 60, 66 ... p<sup>+</sup> 拡散層
- 62, 64 ... p<sup>-</sup> 拡散層
- S1 ~ S22, S31 ~ S57 ... ステップ

【 図 1 】



【 図 3 】

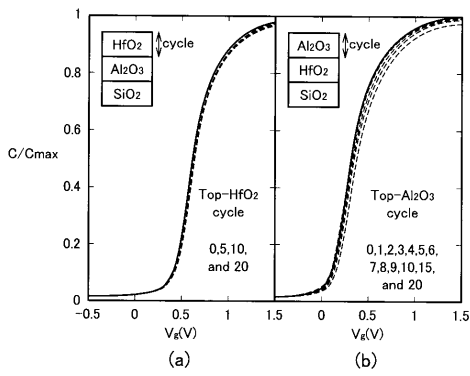


(b)

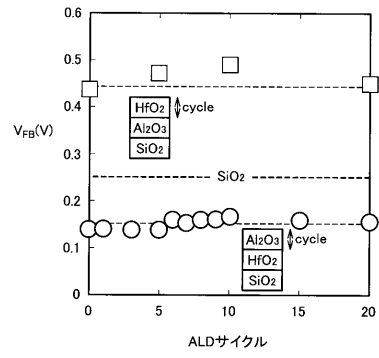
	1	2	3	4
上部高誘電率層 (34)	HfO <sub>2</sub>	Al <sub>2</sub> O <sub>3</sub>	HfO <sub>2</sub>	Y <sub>2</sub> O <sub>3</sub>
下部高誘電率層 (32)	Al <sub>2</sub> O <sub>3</sub>	HfO <sub>2</sub>	Y <sub>2</sub> O <sub>3</sub>	HfO <sub>2</sub>

ALD

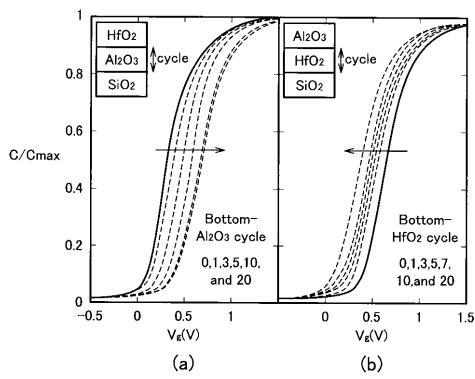
【 図 4 】



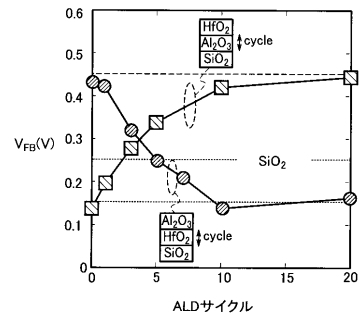
【 図 5 】



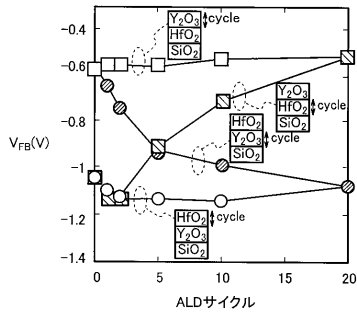
【 図 6 】



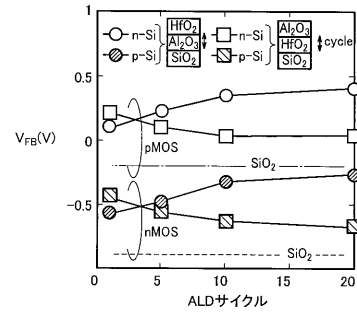
【 図 7 】



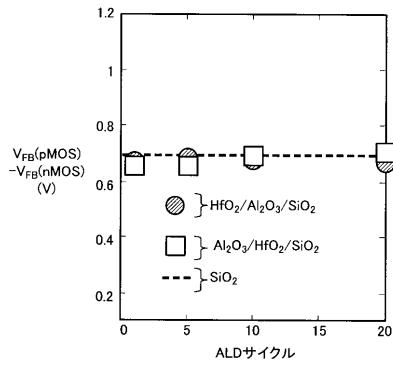
【 図 8 】



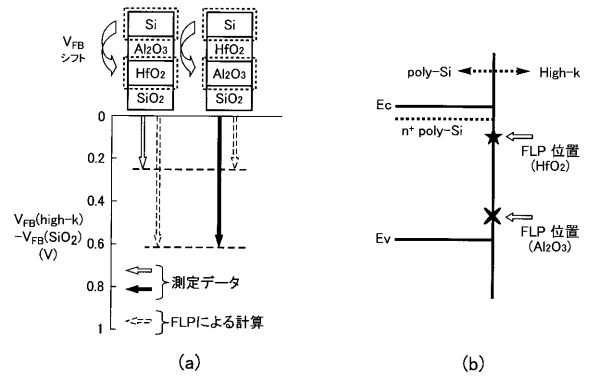
【 図 9 】



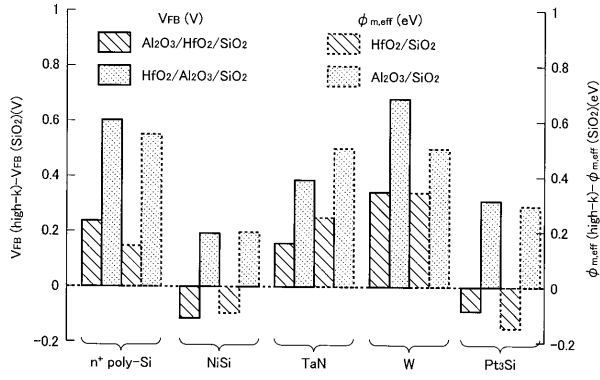
【 図 10 】



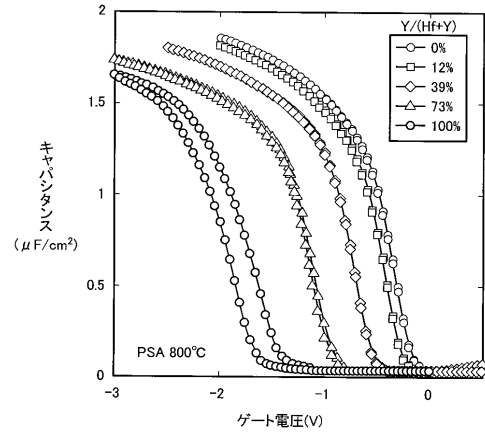
【 図 11 】



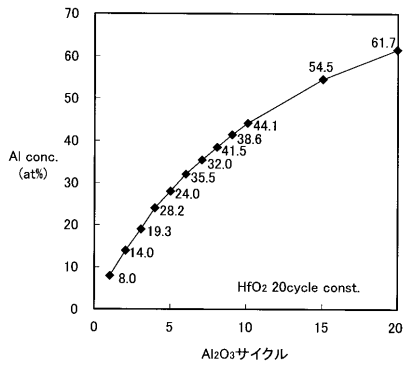
【 図 1 2 】



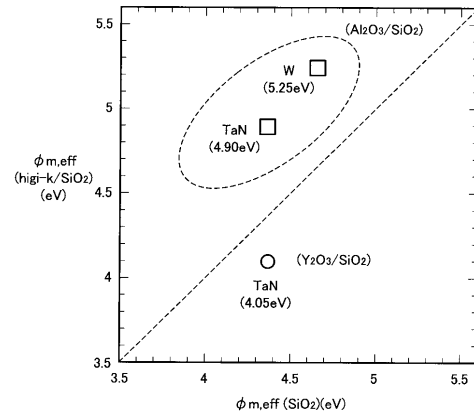
【 図 1 3 】



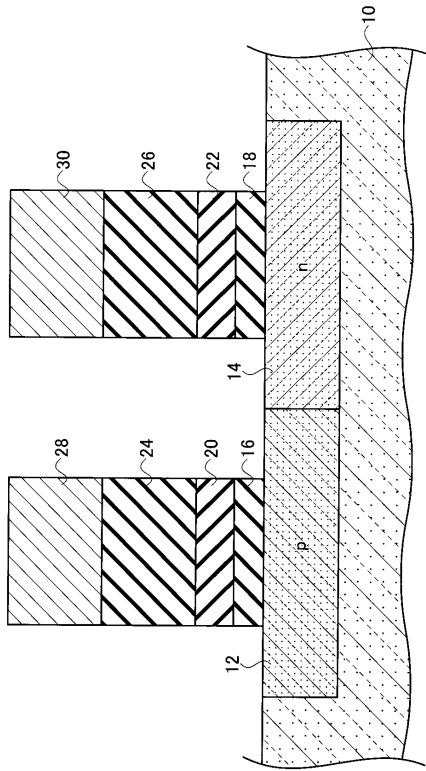
【 図 1 4 】



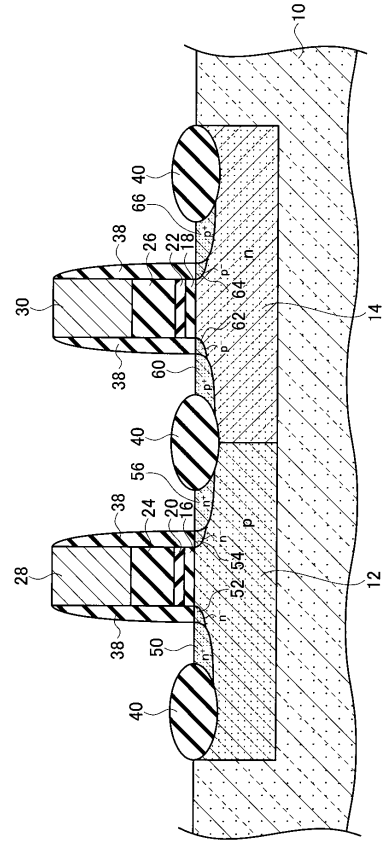
【 図 1 5 】



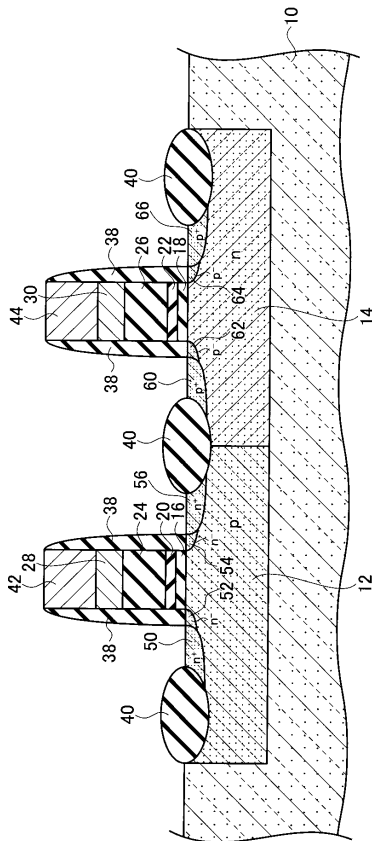
【図 16】



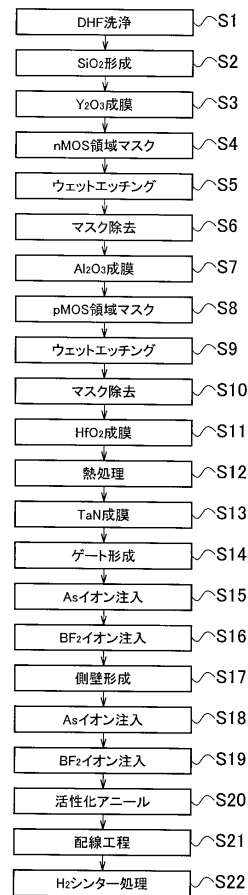
【図 17】



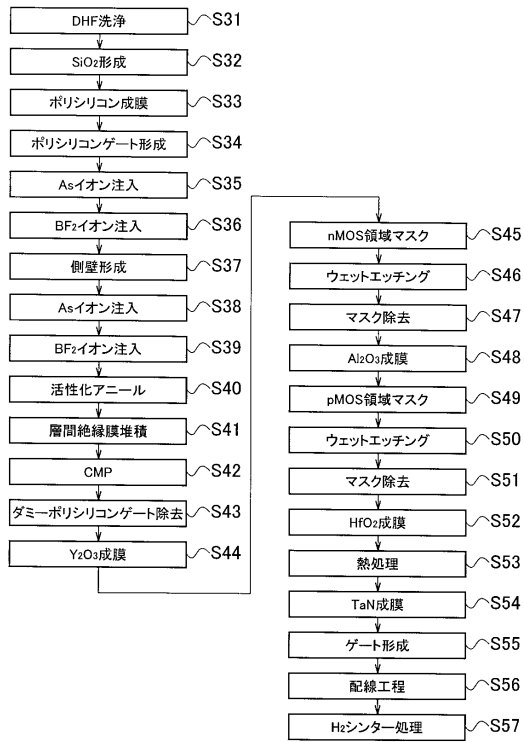
【図 18】



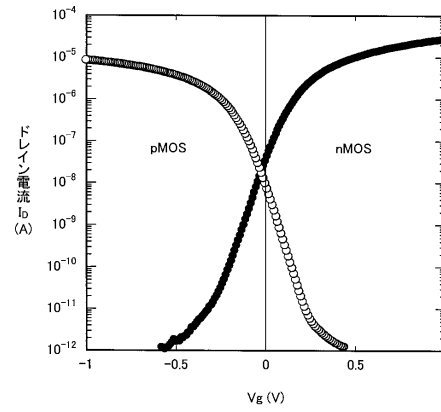
【図 19】



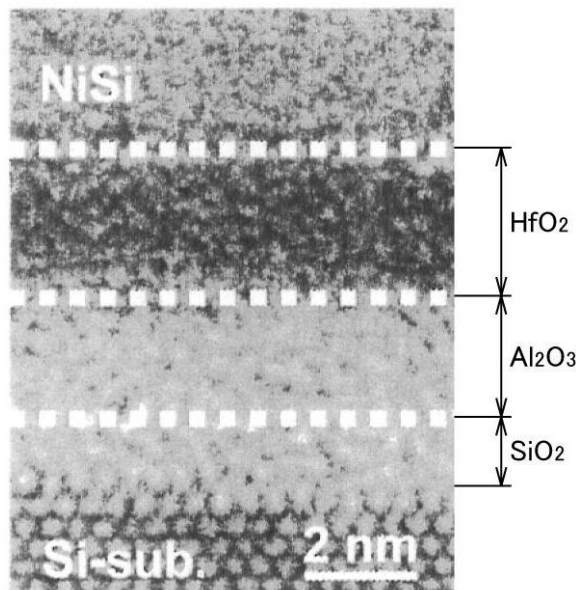
【 図 2 0 】



【 図 2 1 】



【 図 2 】





## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H O 1 L 21/283 (2006.01)**  
**H O 1 L 29/78 (2006.01)**

(74)代理人 100117064

弁理士 伊藤 市太郎

(72)発明者 岩本 邦彦

京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

(72)発明者 小川 有人

富山県富山市八尾町保内二丁目 1 番地

(72)発明者 上牟田 雄一

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 4M104 BB02 BB04 BB05 BB06 BB13 BB14 BB16 BB17 BB18 BB19  
 BB21 BB22 BB24 BB25 BB26 BB27 BB28 BB32 BB34 BB35  
 BB36 BB38 BB40 CC05 DD02 DD43 DD78 DD79 DD84 EE03  
 EE12 EE16 GG09 GG10 GG14  
 5F048 AA09 AC03 BA01 BA14 BA15 BB08 BB09 BB10 BB11 BB12  
 BB17 BC06 BE03 BG12 DA25 DA27  
 5F140 AA04 AA06 AB03 BD02 BD05 BD11 BE09 BE10 BE11 BE16  
 BE19 BF01 BF07 BF08 BF11 BF14 BF17 BF18 BF20 BG04  
 BG08 BG30 BG37 BG53 BH15 BK13 BK20 CB04 CB08 CC01  
 CC03 CC08 CC12 CC15 CE07