

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 12 月 21 日 (21.12.2017)



(10) 国际公布号
WO 2017/215138 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **H01L 21/34** (2006.01)

(21) 国际申请号: PCT/CN2016/099064

(22) 国际申请日: 2016 年 9 月 14 日 (14.09.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610414032.5 2016 年 6 月 13 日 (13.06.2016) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: 谢应涛(XIE, Yingtao); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区登良路 21 号南

油第二工业区 206 栋 6 层 611 室 (恒裕中心 B 座), Guangdong 518054 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) Title: COPLANAR DOUBLE-GATE ELECTRODE OXIDE THIN-FILM TRANSISTOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 共平面型双栅电极氧化物薄膜晶体管及其制备方法

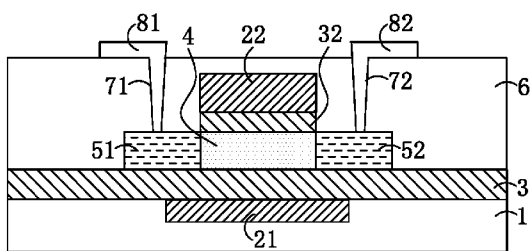


图 1

(57) Abstract: A coplanar double-gate electrode oxide thin-film transistor, comprising: a substrate (1); a bottom gate electrode (21) formed above the substrate (1); a first gate insulating layer (31) formed above the bottom gate electrode (21); an oxide semiconductor layer (4) formed above the first gate insulating layer (31); a source electrode contact region (51) and a drain electrode contact region (52) formed at two sides of the oxide semiconductor layer (4); a second gate insulating layer (32) formed above the semiconductor layer (4); and a top gate electrode (22) formed above the second gate insulating layer (32), wherein an upper surface of the substrate (1) is sunken towards the interior thereof to form a groove, and the bottom gate electrode (21) is formed in the groove, so that an upper surface of the bottom gate electrode (21) and the upper surface of the substrate (1) are located on the same horizontal plane. The thin film transistor has the characteristics of both a double-gate electrode and a coplanar structure, thereby improving the stability of the thin film transistor, optimizing the response speed thereof, and reducing properties such as a driving voltage.

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种共平面型双栅电极氧化物薄膜晶体管，包括基板(1)、形成于基板(1)上方的底栅电极(21)；形成于底栅电极(21)上方的第一栅极绝缘层(31)；形成于第一栅极绝缘层(31)上方的氧化物半导体层(4)；形成于所述氧化物半导体层(4)两侧的源极接触区(51)和漏极接触区(52)；形成于半导体层(4)上方的第二栅极绝缘层(32)；形成于第二栅极绝缘层(32)上方的顶栅电极(22)；其中，基板(1)上表面朝向自身内部凹陷形成凹槽，底栅电极(21)形成于凹槽中，使底栅电极(21)上表面与基板(1)上表面处于同一水平面。上述薄膜晶体管同时兼具双栅电极和共平面结构的特点，可提高薄膜晶体管的稳定性、优化其响应速度、降低驱动电压等性能。

共平面型双栅电极氧化物薄膜晶体管及其制备方法

技术领域

- 5 本发明涉及显示技术领域，具体是一种共平面型双栅电极氧化物薄膜晶体管及其制备方法。

背景技术

- 氧化物半导体的载流子迁移率是非晶硅的 20-30 倍，可以大大提高 TFT 对像素电极的充放电速率，提高像素的响应速度，实现更快的刷新率，同时更快的响应也大大提高了像素的行扫描速率，使得超高分辨率在 TFT-LCD 中成为可能。因此，氧化物薄膜晶体管技术正逐渐成为下一代显示技术的有力竞争者。但是该技术应用于显示面板量产时存在一重要的制约因素——其稳定性不够，因此实有必要对该技术进行深入研究，改进和优化现有的氧化物薄膜晶体管结构，使其具有更稳定的器件性能。

15 发明内容

为克服现有技术的不足，本发明的目的在于提供一种共平面型双栅电极氧化物薄膜晶体管及其制备方法，通过对氧化物薄膜晶体管的结构及其制备方法进行优化和改进，来提高薄膜晶体管结构的器件性能稳定性、加快薄膜晶体管的响应速度、优化工艺流程、降低生产成本。

- 20 本发明包括两个方面，第一个方面，本发明提供一种共平面型双栅电极氧化物薄膜晶体管，包括：基板；形成于所述基板上表面的底栅电极；形成于所述底栅电极上的第一栅极绝缘层；形成于所述第一栅极绝缘层上的氧化物半导体层；形成于所述氧化物半导体层两侧的源极接触区和漏极接触区；形成于所述氧化物半导体层上的第二栅极绝缘层；形成于所述第二栅极绝缘层上的顶栅电极；其中，所述基板上表面朝向自身内部凹陷形成凹槽，所述底栅电极形成于所述凹槽中，使所述底栅电极上表面与所述基板上表面处于同一水平面。
- 25

进一步地，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧

化物半导体层的上表面均处于同一水平面。

【源漏接触区形成方法】进一步地，所述源极接触区和/或所述漏极接触区是对所述氧化物半导体层进行等离子处理形成的。

可选地，所述等离子处理采用气体为 Ar、H₂ 中的一种或两种的混合。

- 5 【互联层+接触孔】进一步地，所述共平面型双栅电极氧化物薄膜晶体管还包括形成于所述顶栅电极上方的互联层，且所述互联层中形成有接触孔，所述接触孔使所述源极接触区上表面、所述漏极接触区上表面部分暴露。

- 10 【源漏极】进一步地，所述共平面型双栅电极氧化物薄膜晶体管还包括形成于所述互联层上的源极和漏极，所述源极通过所述接触孔与所述源极接触区相接触，所述漏极通过所述接触孔与所述漏极接触区相接触。

【平坦化层】进一步地，所述共平面型双栅电极氧化物薄膜晶体管还包括形成于所述互联层、所述源极、所述漏极上的平坦化层。

【ITO】进一步地，所述共平面型双栅电极氧化物薄膜晶体管还包括形成于所述平坦化层上的 ITO 膜层。

- 15 【图案化】进一步地，所述底栅电极为图案化的底栅电极。

进一步地，所述顶栅电极为图案化的顶栅电极。

进一步地，所述氧化物半导体层为图案化的氧化物半导体层。

进一步地，所述 ITO 膜层为图案化的 ITO 膜层。

【材料】进一步地，所述第一栅极绝缘层选用 SiO_x 或氧化铝薄膜。

- 20 进一步地，所述第二栅极绝缘层选用 SiO_x 或氧化铝薄膜。

进一步地，所述氧化物半导体层选用非晶 IGZO 薄膜。

进一步地，所述互联层为 SiO_x 薄膜、SiN_x 薄膜中的一种或两种的组合。

进一步地，所述平坦化层为有机光刻胶膜。

第二个方面，本发明还提供一种上述共平面型双栅电极氧化物薄膜晶体管的制备方法，包括以下步骤：

准备一基板；

在所述基板上形成底栅电极；

5 在所述底栅电极上方形成第一栅极绝缘层；

在所述第一栅极绝缘层上方形成氧化物半导体层；

在所述氧化物半导体层两侧分别形成所述源极接触区和漏极接触区；

在所述氧化物半导体层上方形成第二栅极绝缘层；

在所述第二栅极绝缘层上方形成顶栅电极；

10 其中，在所述基板上形成底栅电极是对所述基板进行图案化处理，使所述基板上表面朝向自身内部凹陷形成凹槽；接着，在所述凹槽中形成底栅电极，使所述底栅电极上表面与所述基板上表面处于同一水平面。

进一步地，在本发明所述的制备方法中，对所述基板进行图案化处理，使所述基板上表面朝向自身内部凹陷形成凹槽是在所述基板上涂布光刻胶，通过
15 曝光、显影在所述基板上形成底栅电极图案；接着，通过刻蚀未被所述光刻胶保护的所述基板，使所述基板形成具有深度的所述凹槽。

可选地，在本发明所述的制备方法中，所述光刻胶为正性光刻胶或负性光刻胶。

可选地，在本发明所述的制备方法中，所述光刻胶为负性光刻胶，在所述
20 凹槽中形成底栅电极是在所述凹槽中通过磁控溅射方法或者热蒸镀沉积方法形成所述底栅电极，去除所述负性光刻胶，使所述底栅电极上表面与所述基板上表面处于同一水平面。

可选地，在本发明所述的制备方法中，所述光刻胶为正性光刻胶，在所述凹槽中形成底栅电极是使所述基板形成具有深度的所述凹槽后，去除所述正性
25 光刻胶，接着，在所述凹槽中通过喷墨打印方法形成所述底栅电极，使所述底

栅电极上表面与所述基板上表面处于同一水平面。

【刻蚀】可选地，所述刻蚀为干法刻蚀或者湿法刻蚀。

【去光刻胶】优选地，去除光刻胶是将所述基板浸泡在去胶液中实现的。

其中，所述去胶液是用于除去光刻胶的溶液，采用现有技术中常见的去胶液即可，例如采用 NMP（N-methyl-2-pyrrolidone，N-甲基吡咯烷酮）作为去胶液。

【氧化物半导体层-具体】进一步地，在本发明所述的制备方法中，在所述第一栅极绝缘层上方形成氧化物半导体层后，对所述氧化物半导体层进行图案化处理，得到图案化的氧化物半导体层。

10 【顶栅电极-具体】进一步地，在本发明所述的制备方法中，在所述第二栅极绝缘层上方形成顶栅电极是在所述第二栅极绝缘层上方形成第二金属层，对所述第二金属层进行图案化处理，形成图案化的顶栅电极。

更进一步地，对所述第二金属层进行图案化处理是在所述第二金属层上涂布光刻胶，再依次进行曝光、显影，使所述光刻胶形成所述顶栅电极的图案，
15 再通过刻蚀将未被所述光刻胶保护的所述第二金属层、未被所述光刻胶保护的所述第二栅极绝缘层去掉，再除去所述光刻胶。

优选地，采用干法刻蚀或湿法刻蚀将被所述光刻胶保护的所述第二金属层、未被所述光刻胶保护的所述第二栅极绝缘层去掉。

可选地，通过剥离的方法或者利用氧气进行等离子轰击的方法将所述光刻
20 胶除去。

【源漏极接触区-具体】进一步地，在本发明所述的制备方法中，在所述氧化物半导体层两侧分别形成所述源极接触区和所述漏极接触区是以所述图案化的顶栅电极为保护层，对所述氧化物半导体层进行等离子处理，使处于所述图案化的顶栅电极保护范围之外的所述氧化物半导体层分别形成所述源极
25 接触区和所述漏极接触区。

进一步地，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧

化物半导体层的上表面均处于同一水平面。

【等离子处理-具体】进一步地，在本发明所述的制备方法中，所述等离子处理采用 H_2 或 Ar 中的一种或两种的混合。

5 【互联层+接触孔】进一步地，在本发明所述的制备方法中，还包括以下步骤：在所述顶栅电极上方形成互联层，对所述互联层进行图案化处理，在所述互联层中形成接触孔，所述接触孔使所述源极接触区上表面、所述漏极接触区上表面部分暴露。

10 【源漏极】进一步地，在本发明所述的制备方法中，还包括以下步骤：在所述互联层上分别形成源极和漏极，所述源极通过所述接触孔与所述源极接触区相接触，所述漏极通过所述接触孔与所述漏极接触区相接触。

 【平坦化层】进一步地，在本发明所述的制备方法中，还包括以下步骤：在所述互联层、所述源极、所述漏极上形成平坦化层。

15 【ITO】进一步地，在本发明所述的制备方法中，还包括以下步骤：在所述平坦化层上形成 ITO 膜层，对所述 ITO 膜层进行图案化处理，形成图案化的 ITO 膜层。

 【材料】进一步地，在本发明所述的制备方法中，所述第一栅极绝缘层选用 SiO_x 或氧化铝薄膜。

 进一步地，在本发明所述的制备方法中，所述第二栅极绝缘层选用 SiO_x 或氧化铝薄膜。

20 进一步地，在本发明所述的制备方法中，所述氧化物半导体层选用非晶 IGZO 薄膜。

 进一步地，在本发明所述的制备方法中，所述互联层为 SiO_x 薄膜、 SiN_x 薄膜中的一种或两种的组合。

 与现有技术相比，本发明的有益效果如下：

25 首先，在本发明中将薄膜晶体管设计为双栅电极结构，其中的底栅电极和

顶栅电极能够作为光照阻挡层，有效减少光照对于氧化物薄膜晶体管（尤其是采用非晶 IGZO 薄膜作为氧化物半导体层的薄膜晶体管）稳定性的影响。此外，底栅电极与顶栅电极具有相反电场，这能够减少 IGZO 内部缺陷向沟道扩散，也可提高采用非晶 IGZO 薄膜作为氧化物半导体层的薄膜晶体管的电性稳定性，如电压偏置测试和电流偏置测试。

其次，本发明中的源极接触区、漏极接触区与氧化物半导体层为共平面结构，而非具有阶梯差的结构，因此源极接触区、漏极接触区分别与栅极之间重叠的部分较少，可减少薄膜晶体管的本征电容，进而减少 RC 时延，提高薄膜晶体管的响应速度。

最后，本发明中还将底栅电极与基板设计为共平面结构，使得第一栅极绝缘层与第二栅极绝缘层均为平面，不存在阶梯覆盖的问题。与平面结构的栅极绝缘层相比，具有阶梯结构的栅极绝缘层其阶梯边缘处的绝缘层薄膜容易击穿，因此设计具有阶梯结构的栅极绝缘层时，通常需要增加其厚度，以避免击穿问题。而在本发明中，由于栅极绝缘层均为平面，不存在阶梯边缘处的击穿问题，因此可以将栅极绝缘层设计得相对更薄，从而降低驱动电压、降低能耗。

附图说明

图 1 是实施例一 共平面型双栅电极氧化物薄膜晶体管的结构示意图。

图 2A 至图 2I 是实施例一 共平面型双栅电极氧化物薄膜晶体管制备方法的工艺流程。

具体实施方式

实施例一

本实施例提供一种共平面型双栅电极氧化物薄膜晶体管，如图 1 所示，包括以下结构：

位于底部的基板 1，该基板 1 设有朝向自身内部凹陷的凹槽；

形成于基板 1 的凹槽中的图案化的底栅电极 21，且该底栅电极 21 与基板 1 的上表面处于同一水平面，使得底栅电极 21 与基板 1 形成共平面结构；

形成于基板 1、底栅电极 21 上方的第一栅极绝缘层 31，该第一栅极绝缘层选用 SiO_x 或氧化铝薄膜作为底栅电极的绝缘层，由于底栅电极与基板为共平面结构，因此该第一栅极绝缘层为平面结构，而非具有阶梯的结构；

5 形成于第一栅极绝缘层 31 上方的图案化的氧化物半导体层 4，该氧化物半导体层采用非晶 IGZO 薄膜；

分别形成于氧化物半导体层 4 左侧的源极接触区 51 和右侧的漏极接触区 52，该源极接触区和漏极接触区均是对氧化物半导体层进行等离子处理后形成的，由于对氧化物半导体层进行等离子处理能够提高氧化物半导体层的导电率，因此形成了源极接触区和漏极接触区；

10 形成于氧化物半导体层 4 上方的第二栅极绝缘层 32，该第二栅极绝缘层选用 SiO_x 或氧化铝薄膜；

形成于第二栅极绝缘层 32 上方的图案化的顶栅电极 22；

15 形成于第一栅极绝缘层 31、源极接触区 51、漏极接触区 52、顶栅电极 22 上方的互联层 6，该互联层 6 中形成有接触孔；其中，接触孔包括使源极接触区 51 上表面部分暴露的第一接触孔 71、使漏极接触区 52 上表面部分暴露的第二接触孔 72；

形成于互联层 6 上方以及接触孔中的图案化的源极 81、漏极 82，其中，源极 81 通过第一接触孔 71 与源极接触区 51 相接触，漏极 82 通过第二接触孔 72 与漏极接触区 52 相接触。

20 在本实施例中，除了上述结构，还可以包括依次形成于互联层、源极、漏极上方的平坦化层和 ITO 膜层，这些结构均采用现有技术的常规结构即可，在此不再赘述。

25 在本实施例的共平面型双栅电极氧化物薄膜晶体管中，薄膜晶体管兼具双栅电极结构和共平面结构。其中，双栅电极结构中的底栅电极与顶栅电极能够作为光照阻挡层，有效减少光照对于氧化物薄膜晶体管（尤其是采用非晶 IGZO 薄膜作为氧化物半导体层的薄膜晶体管）稳定性的影响。此外，底栅电极与顶栅电极具有相反电场，能够减少非晶 IGZO 薄膜内部缺陷向沟道扩散，进而增

强采用非晶 IGZO 薄膜作为氧化物半导体层的薄膜晶体管的稳定性。

另外，在本实施例的薄膜晶体管结构中，将源极接触区、漏极接触区与氧化物半导体层设计为共平面结构，而非具有阶梯差的结构，这使得源极接触区、漏极接触区分别与栅极之间重叠的部分较少，可减少薄膜晶体管的本征电容，
5 进而减少 RC 时延，提高薄膜晶体管的响应速度。

最后，本实施例中将底栅电极与基板设计为共平面结构，使得第一栅极绝缘层与第二栅极绝缘层均为平面，不存在阶梯覆盖的问题。与平面结构的栅极绝缘层相比，具有阶梯结构的栅极绝缘层其阶梯边缘处的绝缘层薄膜容易击穿，因此设计具有阶梯结构的栅极绝缘层时，通常需要增加其厚度，以避免击
10 穿问题。而在本发明中，由于栅极绝缘层均为平面，不存在阶梯边缘处的击穿问题，因此可以将栅极绝缘层设计得相对更薄，从而降低驱动电压、降低能耗。

本实施例还提供一种上述双栅电极氧化物薄膜晶体管的制备方法，包括以下步骤：

如图 2A 所示，准备一基板 1，在基板上涂布负性光刻胶，并进行曝光、
15 显影，在基板上形成底栅电极图案，采用干法刻蚀或湿法刻蚀将未被负性光刻胶保护的基板去除，使基板 1 形成朝向自身内部凹陷的具有深度的凹槽 11，且该凹槽中形成有底栅电极的图案。

如图 2B 所示，通过磁控溅射或者热蒸镀工艺在所述基板的凹槽 11 中沉积第一金属层，由于凹槽中形成有底栅电极的图案，因此沉积形成的第一金属层
20 具有图案，此图案化的第一金属层即为图案化的底栅电极 21；接着，将基板 1 浸泡在 NMP 去胶液中以去除负性光刻胶，从而使图案化的底栅电极 21 上表面与基板 1 的上表面处于同一水平面，二者形成共平面结构。

如图 2C 所示，基于化学气相沉积方法在图案化的底栅电极 21、基板 1 的上方沉积第一栅极绝缘层 31，该第一栅极绝缘层选用 SiO_x 或氧化铝薄膜作为
25 底栅电极的绝缘层。由于底栅电极与基板为共平面结构，因此沉积在二者上方的第一栅极绝缘层也为平面结构，而非常规的阶梯结构。

如图 2D 所示，基于物理气相沉积方法在第一栅极绝缘层 31 上方沉积非晶

IGZO 薄膜作为氧化物半导体层 4，然后通过光刻工艺对氧化物半导体层 4 进行图案化处理，形成图案化的氧化物半导体层 4，该图案化的氧化物半导体层 4 同时也对应于底栅电极 21 上方。

在本实施例中，光刻工艺是指如下工艺流程：在待进行图案化处理的膜层上涂布光刻胶，并依次进行曝光、显影、刻蚀、去光刻胶，最终实现对相应膜层的图案化处理。其中，曝光所采用的光罩为普通光罩即可，而无需采用成本相对更高的半色调光罩。膜层是指第一金属层、氧化物半导体层、ITO 膜层等在薄膜晶体管中的常规膜层结构。

如图 2E 所示，基于化学气相沉积方法在图案化的氧化物半导体层 4、第一栅极绝缘层 31 上沉积第二栅极绝缘层 32，该第二栅极绝缘层选用 SiO_x 或氧化铝薄膜。

如图 2F 所示，基于物理气相沉积方法在第二栅极绝缘层 32 上沉积形成第二金属层，对第二金属层进行图案化处理，具体为：在第二金属层上涂布光刻胶（图未示），再依次进行曝光和显影步骤，形成顶栅电极图案；然后通过干法刻蚀或湿法刻蚀将未被光刻胶保护的金属层以及未被光刻胶保护的栅极绝缘层 32 去掉；接着，通过剥离的方法或者利用氧气进行等离子轰击的方法将光刻胶除去。由此，得到图案化的顶栅电极 22，同时也去掉了第二栅极绝缘层的多余部分。

如图 4G 所示，以图案化的顶栅电极 22 为保护层，对于处于顶栅电极 22 的保护范围之外的图案化的氧化物半导体层 4 进行 H_2 或 Ar 等离子处理，使暴露在顶栅电极保护范围之外的氧化物半导体层的电导率提高，从而形成分别位于氧化物半导体层 4 左侧的源极接触区 51 和右侧的漏极接触区 52。

如图 2H 所示，基于化学气相沉积方法在第一栅极绝缘层 31、源极接触区 51、漏极接触区 52、顶栅电极 22 的上方沉积形成互联层 6，该互联层选用 SiO_x 或氧化铝薄膜；通过光刻工艺对互联层 6 进行处理，使互联层 6 中形成第一接触孔 71、第二接触孔 72，其中第一接触孔 71 使源极接触区 51 上表面部分暴露，第二接触孔 72 使漏极接触区 52 上表面部分暴露。

另外，在本实施例中，互联层还可以选用 SiN_x 薄膜、 SiO_x 与 SiN_x 组合

形成的薄膜。当互联层选用 SiN_x 薄膜时，则无需进行上述“以图案化的顶栅电极 22 为保护层，对于处于顶栅电极 22 的保护范围之外的图案化的氧化物半导体层 4 进行 H_2 或 Ar 等离子处理，使暴露在顶栅电极保护范围之外的氧化物半导体层的电导率提高，从而形成分别位于氧化物半导体层 4 左侧的源极接触区 51 和右侧的漏极接触区 52”的步骤。

如图 2I 所示，在互联层 6 上方以及第一接触孔 71、第二接触孔 72 中沉积第三金属层，通过光刻工艺对第三金属层进行处理，分别形成源极 81、漏极 82，其中源极 81 通过第一接触孔 71 与源极接触区 51 相接触，漏极 82 通过第二接触孔 72 与漏极接触区 61 相接触。

此外，本实施例的制备方法中，还包括在互联层、源极、漏极上通过旋涂或打印的方法沉积有机光刻胶膜，并对该有机光刻胶膜进行平坦化、后烘，得到平坦化层。

本实施例的制备方法中还包括形成 ITO 膜层，并通过光刻工艺对 ITO 膜层进行图案化处理，得到图案化的 ITO 膜层。

实施例二

本实施例提供一种实施例二所述的共平面型双栅电极氧化物薄膜晶体管的制备方法，该方法与实施例二中所述的制备方法的区别之处仅在于使图案化的底栅电极与基板形成共平面结构的步骤不同，具体为：

准备一基板，在基板上涂布正性光刻胶，并进行曝光、显影，在基板上形成底栅电极图案，采用干法刻蚀或湿法刻蚀将未被正性光刻胶保护的基板去除，使基板形成朝向自身内部凹陷的具有深度的凹槽，且该凹槽中形成有底栅电极的图案；接着将所述基板浸泡在去胶液中以去除正性光刻胶。

然后，通过喷墨打印的方法，在凹槽中形成图案化的底栅电极，通过控制滴入导电墨水的剂量，使得底栅电极与基板处于同一水平面，形成共平面结构。可以理解的是，在本实施例中，导电墨水的剂量只要能满足使底栅电极与基板形成共平面结构，根据实际情况添加即可。

以上仅对共平面型双栅电极氧化物薄膜晶体管的主体结构进行了说明，该

双栅电极氧化物薄膜晶体管还可以包括其它常规的功能结构，在本发明中不再一一赘述。

- 以上所述为本发明的具体实施方式，其目的是为了清楚说明本发明而作的举例，并非是对本发明的实施方式的限定。对于所属领域的普通技术人员来说，
- 5 在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明权利要求的保护范围之内。

权利要求书

1、一种共平面型双栅电极氧化物薄膜晶体管，其中，所述共平面型双栅电极氧化物薄膜晶体管包括：基板；形成于所述基板上方的底栅电极；形成于
5 所述底栅电极上方的第一栅极绝缘层；形成于所述第一栅极绝缘层上方的氧化物半导体层；形成于所述氧化物半导体层两侧的源极接触区和漏极接触区；形成于所述半导体层上方的第二栅极绝缘层；形成于所述第二栅极绝缘层上方的顶栅电极；其中，所述基板上表面朝向自身内部凹陷形成凹槽，所述底栅电极形成于所述凹槽中，使所述底栅电极上表面与所述基板上表面处于同一水平
10 面。

2、如权利要求 1 所述的共平面型双栅电极氧化物薄膜晶体管，其中，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧化物半导体层的上表面均处于同一水平面。

3、如权利要求 1 所述的共平面型双栅电极氧化物薄膜晶体管，其中，所
15 述源极接触区和/或所述漏极接触区是对所述氧化物半导体层进行等离子处理形成的。

4、如权利要求 2 所述的共平面型双栅电极氧化物薄膜晶体管，其中，所述源极接触区和/或所述漏极接触区是对所述氧化物半导体层进行等离子处理形成的。

20 5、一种共平面型双栅电极氧化物薄膜晶体管的制备方法，其中，包括以下步骤：准备一基板；在所述基板上形成底栅电极；在所述底栅电极上方形成第一栅极绝缘层；在所述第一栅极绝缘层上方形成氧化物半导体层；在所述氧化物半导体层两侧分别形成所述源极接触区和漏极接触区；在所述氧化物半导体层上方形成第二栅极绝缘层；在所述第二栅极绝缘层上方形成顶栅电极；其中，在所述基板上形成底栅电极是对所述基板进行图案化处理，使所述基板上
25 表面朝向自身内部凹陷形成凹槽；在所述凹槽中形成底栅电极，使所述底栅电极上表面与所述基板上表面处于同一水平面。

6、如权利要求4所述的制备方法，其中，对所述基板进行图案化处理，使所述基板上表面朝向自身内部凹陷形成凹槽是在所述基板上涂布光刻胶，通过曝光、显影在所述基板上形成底栅电极图案；接着，通过刻蚀未被所述光刻胶保护的所述基板，使所述基板形成具有深度的所述凹槽。

5 7、如权利要求5所述的制备方法，其中，所述光刻胶为负性光刻胶，在所述凹槽中形成底栅电极是在所述凹槽中通过磁控溅射方法或者热蒸镀沉积方法形成所述底栅电极，去除所述负性光刻胶，使所述底栅电极上表面与所述基板上表面处于同一水平面。

10 8、如权利要求5所述的制备方法，其中，所述光刻胶为正性光刻胶，在所述凹槽中形成底栅电极是使所述基板形成具有深度的所述凹槽后，去除所述正性光刻胶，接着，在所述凹槽中通过喷墨打印方法形成所述底栅电极，使所述底栅电极上表面与所述基板上表面处于同一水平面。

15 9、如权利要求5所述的制备方法，其中，在所述第二栅极绝缘层上方形成顶栅电极是在所述第二栅极绝缘层上方形成第二金属层，对所述第二金属层进行图案化处理，形成图案化的顶栅电极。

10、如权利要求6所述的制备方法，其中，在所述第二栅极绝缘层上方形成顶栅电极是在所述第二栅极绝缘层上方形成第二金属层，对所述第二金属层进行图案化处理，形成图案化的顶栅电极。

20 11、如权利要求7所述的制备方法，其中，在所述第二栅极绝缘层上方形成顶栅电极是在所述第二栅极绝缘层上方形成第二金属层，对所述第二金属层进行图案化处理，形成图案化的顶栅电极。

12、如权利要求8所述的制备方法，其中，在所述第二栅极绝缘层上方形成顶栅电极是在所述第二栅极绝缘层上方形成第二金属层，对所述第二金属层进行图案化处理，形成图案化的顶栅电极。

25 13、如权利要求9所述的制备方法，其中，在所述氧化物半导体层两侧分别形成所述源极接触区和所述漏极接触区是以所述图案化的顶栅电极为保护层，对所述氧化物半导体层进行等离子处理，使处于所述图案化的顶栅电极

保护范围之外的所述氧化物半导体层分别形成所述源极接触区和所述漏极接触区。

14、如权利要求 10 所述的制备方法，其中，在所述氧化物半导体层两侧分别形成所述源极接触区和所述漏极接触区是以所述图案化的顶栅电极为保护层，对所述氧化物半导体层进行等离子处理，使处于所述图案化的顶栅电极保护范围之外的所述氧化物半导体层分别形成所述源极接触区和所述漏极接触区。

15、如权利要求 11 所述的制备方法，其中，在所述氧化物半导体层两侧分别形成所述源极接触区和所述漏极接触区是以所述图案化的顶栅电极为保护层，对所述氧化物半导体层进行等离子处理，使处于所述图案化的顶栅电极保护范围之外的所述氧化物半导体层分别形成所述源极接触区和所述漏极接触区。

16、如权利要求 12 所述的制备方法，其中，在所述氧化物半导体层两侧分别形成所述源极接触区和所述漏极接触区是以所述图案化的顶栅电极为保护层，对所述氧化物半导体层进行等离子处理，使处于所述图案化的顶栅电极保护范围之外的所述氧化物半导体层分别形成所述源极接触区和所述漏极接触区。

17、如权利要求 13 所述的制备方法，其中，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧化物半导体层的上表面均处于同一水平面。

18、如权利要求 14 所述的制备方法，其中，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧化物半导体层的上表面均处于同一水平面。

19、如权利要求 15 所述的制备方法，其中，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧化物半导体层的上表面均处于同一水平面。

20、如权利要求 16 所述的制备方法，其中，所述源极接触区的上表面、所述漏极接触区的上表面、所述氧化物半导体层的上表面均处于同一水平面。

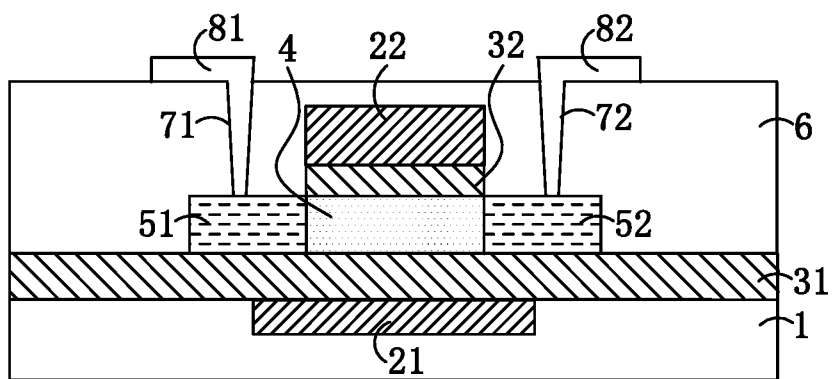


图 1

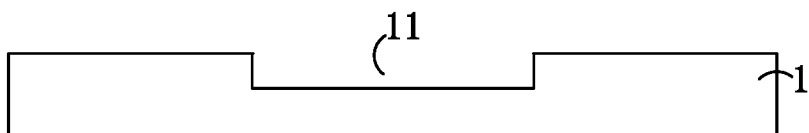


图 2A

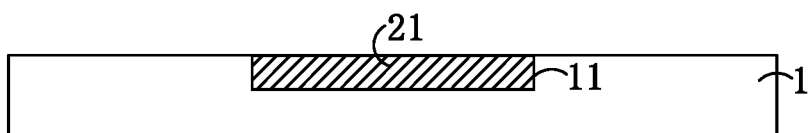


图 2B

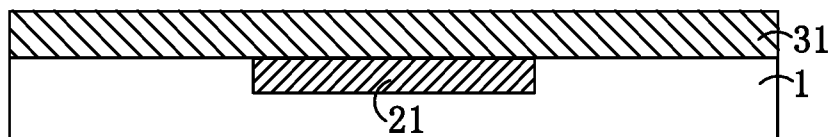


图 2C

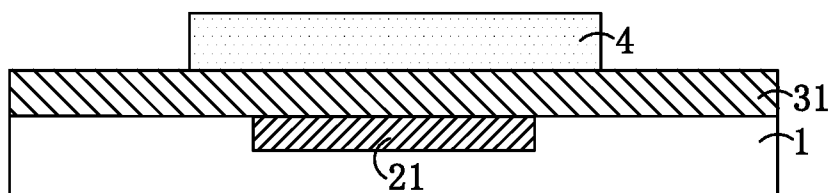


图 2D

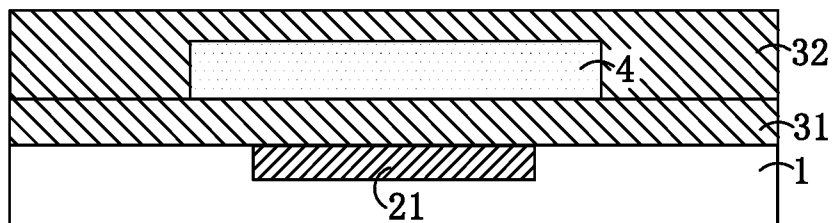


图 2E

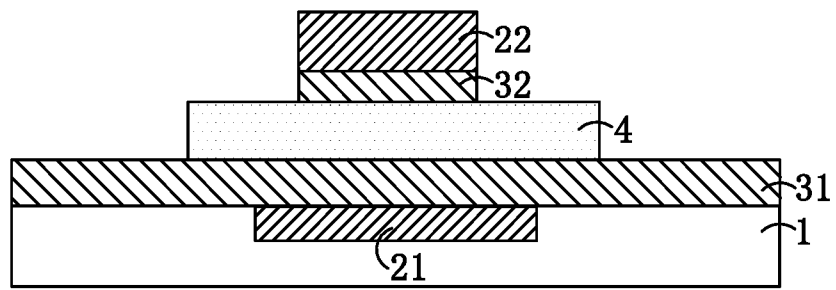


图 2F

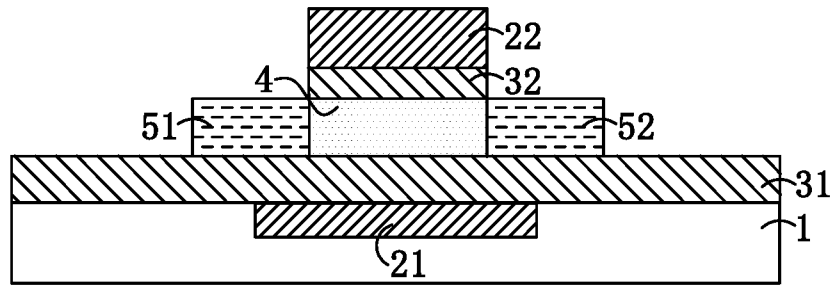


图 2G

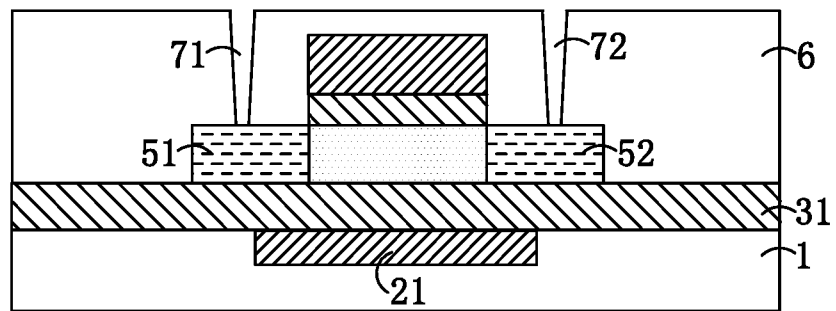


图 2H

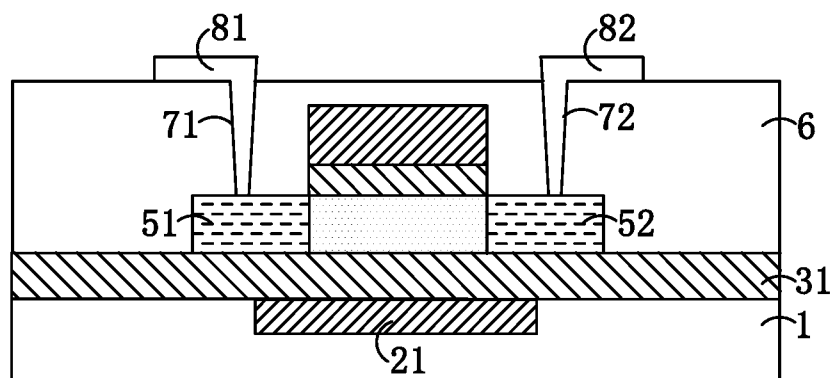


图 2I

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/099064

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: thin film transistor, liquid crystal, double-gate, flush, TFT, LCD, display, gate, coplanar

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102130009 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 20 July 2011 (20.07.2011), description, paragraphs[0034]-[0042], and figures 1-8	1-20
Y	CN 105552025 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 04 May 2016 (04.05.2016), description, paragraphs[0034]-[0077], and figures 2-16	1-20
Y	CN 102651337 A (BOE TECHNOLOGY GROUP CO., LTD.), 29 August 2012 (29.08.2012), description, paragraphs[0004]-[0020], and figures 1-2F	2,4, 17-20
A	US 2014239267 A1 (SAMSUNG DISPLAY CO., LTD.), 28 August 2014 (28.08.2014), the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 20December 2016 (20.12.2016)	Date of mailing of the international search report 28December 2016 (28.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer HUANG, Li’na Telephone No.: (86-10) 62414004

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/099064

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102130009 A	20 July 2011	WO 2012071878 A1	07 June 2012
		CN 102130009 B	05 December 2012
		US 2013309808 A1	21 November 2013
		US 9129992 B2	08 September 2015
CN 105552025 A	04 May 2016	None	
CN 102651337 A	29 August 2012	US 2012289006 A1	15 November 2012
US 2014239267 A1	28 August 2014	KR 20140108026 A	05 September 2014
		US 9040964 B2	26 May 2015

A. 主题的分类		
H01L 29/786(2006.01)i; H01L 21/34(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, WPI, EPODOC, CNKI:薄膜晶体管, 显示, 液晶, 双栅, 共面, 齐平, TFT, LCD, display, gate, coplanar		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 102130009 A (北京大学深圳研究生院) 2011年 7月 20日 (2011 - 07 - 20) 说明书[0034]-[0042]段、附图1-8	1-20
Y	CN 105552025 A (武汉华星光电技术有限公司) 2016年 5月 4日 (2016 - 05 - 04) 说明书[0034]-[0077]段、附图2-16	1-20
Y	CN 102651337 A (京东方科技集团股份有限公司) 2012年 8月 29日 (2012 - 08 - 29) 说明书[0004]-[0020]段、附图1-2F	2, 4, 17-20
A	US 2014239267 A1 (SAMSUNG DISPLAY CO., LTD.) 2014年 8月 28日 (2014 - 08 - 28) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2016年 12月 20日		2016年 12月 28日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		黄丽娜
传真号 (86-10)62019451		电话号码 (86-10)62414004

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/099064

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102130009	A	2011年 7月 20日	WO	2012071878	A1	2012年 6月 7日
				CN	102130009	B	2012年 12月 5日
				US	2013309808	A1	2013年 11月 21日
				US	9129992	B2	2015年 9月 8日
CN	105552025	A	2016年 5月 4日	无			
CN	102651337	A	2012年 8月 29日	US	2012289006	A1	2012年 11月 15日
US	2014239267	A1	2014年 8月 28日	KR	20140108026	A	2014年 9月 5日
				US	9040964	B2	2015年 5月 26日