

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年12月11日 (11.12.2008)

PCT

(10) 国際公開番号
WO 2008/149402 A1

- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000593
- (22) 国際出願日: 2007年6月1日 (01.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 松浦克好 (MAT-SUURA, Katsuyoshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 高橋敬四郎 (TAKAHASHI, Keishiro); 〒1100016 東京都台東区台東3丁目12番1号御徒町東誠ビル4階 高橋来山特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

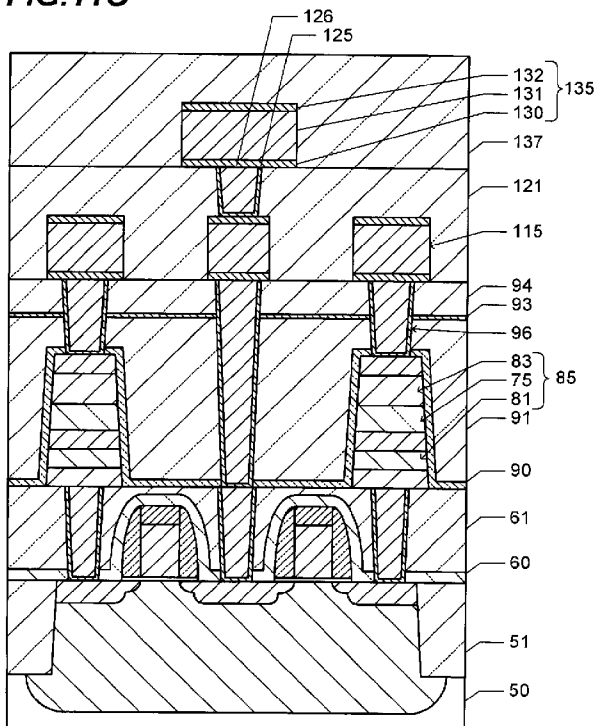
[続葉有]

(54) Title: PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図11-11]

FIG.110



(57) Abstract: (a) Ferroelectric capacitor (85) including a semiconductor substrate and, sequentially superimposed thereon, inferior electrode (81), ferroelectric film (75) and superior electrode (83) is formed. (b) First capacitor protection film (90) of aluminum oxide having a thickness of 30 nm or greater is formed so as to cover the ferroelectric capacitor. (c) First insulating film (91) of silicon oxide is formed on the first capacitor protection film by chemical vapor phase growth using high-density plasma.

(57) 要約: (a) 半導体基板上に下部電極(81)、強誘電体膜(75)、及び上部電極(83)がこの順番に積層された強誘電体キャパシタ(85)を形成する。(b) 強誘電体キャパシタを覆うように、酸化アルミニウムからなる厚さ30nm以上の第1のキャパシタ保護膜(90)を形成する。(c) 第1のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜(91)を形成する。



IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関し、特に強誘電体キャパシタの強誘電体膜の還元を防止するためのキャパシタ保護膜を備えた半導体装置に関する。

背景技術

[0002] 電源を切っても情報を保持することができる不揮発性メモリとして、強誘電体メモリ（FRAM（米国Ramtron International Corporationの登録商標））が注目されている。

[0003] 強誘電体メモリのキャパシタ誘電体膜には、強誘電体材料である $Pb(Zr, Ti)O_3$ （PZT）、 La ドーピングPZT（PLZT）等のPZT系材料、 $SrBi_2Ta_2O_9$ （SBT）、 $SrBi_2(Ta, Nb)_2O_9$ （SBTN）等のBi層状構造化合物が用いられる。これらの強誘電体材料は水素によって還元されやすい。強誘電体メモリの製造工程は、層間絶縁膜の成膜工程等の水素が発生する工程を含んでいる。この水素が強誘電体キャパシタの誘電体膜を還元することを防止するために、強誘電体キャパシタの上に、水素バリア機能を持つキャパシタ保護膜を配置することが好ましい。MOSトランジスタのゲート長が $0.35\mu m$ 以上の強誘電体メモリでは、一般的に、キャパシタ保護膜としてスパッタリングで堆積させた酸化アルミニウム（以下、「ALO」という。）膜が用いられていた。

[0004] 下記の特許文献1に開示された強誘電体メモリについて説明する。強誘電体キャパシタを覆うALO膜の密度を $3.0g/cm^3$ 以上にすることにより、還元性雰囲気中で熱処理を行っても強誘電体キャパシタの電気的特性の劣化が防止される。ALO膜は、アルミニウムターゲットを用いたRFスパッタリング、ECRスパッタリング、または誘導結合RFプラズマ支援スパッタリングにより形成される。スパッタリングによる成膜では、水素が発生し

ないため、AL₂O₃膜の成膜時に強誘電体キャパシタの劣化は生じない。

- [0005] 次に、下記の特許文献2に、強誘電体キャパシタについて説明する。強誘電体キャパシタを第1層目のAL₂O₃膜で覆った後、アニールを行う。第1層目のAL₂O₃膜上に層間絶縁膜を形成し、その上に局所配線を形成する。局所配線は、第1層目のAL₂O₃膜及び層間絶縁膜に形成された開口内を經由して強誘電体キャパシタの上部電極に接続されている。
- [0006] 局所配線の上に、第2層目のAL₂O₃膜を形成する。このように、AL₂O₃膜を2層以上形成することにより、多層配線層形成時の強誘電体キャパシタの劣化を防止することができる。特に、強誘電体メモリ特有のインプリント特性の劣化を防止することができる。
- [0007] MOSトランジスタのゲート長が0.18 μm 程度になる次世代の強誘電体メモリでは、集積度を向上させるために、スタックキャパシタ構造が採用される。「スタックキャパシタ構造」とは、MOSトランジスタの一方の不純物拡散領域と、強誘電体キャパシタの下部電極とを、層間絶縁膜を厚さ方向に貫通する導電プラグで直接接続した構造を意味する。
- [0008] さらに、大幅な高集積化を実現するために、強誘電体キャパシタを、その上部電極から下部電極まで一括してエッチングすることが望ましい。一括してエッチングを行うと、強誘電体キャパシタの下部電極から上部電極までの積層構造のアスペクト比が大きくなる。従来のスパッタリングにより形成するAL₂O₃膜は、アスペクト比の大きな強誘電体キャパシタの段差部分の被覆率（ステップカバレッジ）が不十分であることが懸念される。
- [0009] AL₂O₃膜を、化学気相成長（CVD）で形成すると、ステップカバレッジを改善することができる。CVDのひとつの態様である原子層堆積法（ALD）によりAL₂O₃膜を形成することができる。ALDによりAL₂O₃膜を形成する場合には、一般的に、アルミニウム原料としてトリメチルアルミニウム（TMA）が用いられ、酸化剤として水（H₂O）が用いられる。
- [0010] まず、水を基板表面に吸着させる。チャンバ内を真空排気することにより、余分な水を除去（パージ）する。次に、TMAを基板上に供給し、OH基

と反応させて1原子層分の Al_2O_3 を形成する。チャンバ内を真空排気して、余分なTMAを除去する。この一連のサイクルを繰り返すことにより、AL₂O₃膜が形成される。

[0011] 強誘電体キャパシタの保護膜として利用するAL₂O₃膜を上述の方法で形成すると、強誘電体膜に水分や水素が吸着される。または、AL₂O₃膜中に残留する水素が、後の工程で強誘電体膜を還元してしまう。これにより、強誘電体キャパシタが劣化し、メモリとして機能しなくなる場合がある。

[0012] 下記の特許文献3に、TMAとオゾン(O_3)とを用いてAL₂O₃膜を形成する技術が開示されている。TMAの酸化剤として水素を含まない O_3 を用いるため、強誘電体膜への水素の吸着や、AL₂O₃膜中への水素の残留が防止される。このため、強誘電体キャパシタの劣化を防止することができる。

[0013] 下記の特許文献4に開示された方法では、表面が平坦化された層間絶縁膜の上にAL₂O₃膜を形成する。AL₂O₃膜の下地に段差がないため、ステップカバレッジの低いスパッタリングによるAL₂O₃膜でも、水や水素に対して十分なバリア性を確保することができる。また、エッチングの困難なAL₂O₃膜を何層かに分けて形成することにより、AL₂O₃膜のエッチングの困難さを軽減することができる。

[0014] 特許文献1：特開2001-44375号公報

特許文献2：特開2002-94021号公報

特許文献3：特開2004-193280号公報

特許文献4：特開2006-49795号公報

発明の開示

発明が解決しようとする課題

[0015] 強誘電体メモリが微細化されると、相互に隣り合う強誘電体キャパシタの間隔が狭まる。この間隔が狭まると、テトラエトキシシラン(TEOS)を用いたプラズマ励起型化学気相成長(PECVD)により酸化シリコン膜を形成する場合に、強誘電体キャパシタの間にボイドが発生しやすくなる。ボイドが発生すると、強誘電体キャパシタの側面を覆う絶縁膜が薄くなり、

上下の電極の熱膨張等により、ボイドからクラックが発生する。クラックの発生は、絶縁膜の上に配置される配線の信頼性の低下につながる。

[0016] 誘導結合により発生する高密度プラズマを用いた化学気相成長（HDP-CVD）を採用することにより、ボイドの発生を抑制することができる。HDP-CVDで酸化シリコン膜を形成する際に、基板に大きなバイアス電圧を印加することにより、Arイオンによるスパッタリング作用と、SiH₄及びO₂による酸化シリコン膜の堆積とを並行して進行させることができる。このため、強誘電体キャパシタの間の狭い空間を絶縁膜で充填することができる。HDP-CVDにより形成される酸化シリコンを、「HDP-SiO」と表記することとする。同様に、多層配線形成プロセスにおいても、層間絶縁膜として、埋め込み性に優れたHDP-SiO膜が有効である。

[0017] ところが、HDP-CVDでは、Arイオンを基板に誘導すると同時に、水素イオンをも基板に引き込んでしまう。強誘電体キャパシタの上にHDP-CVDにより酸化シリコン膜を形成する場合には、強誘電体膜に水素イオンが侵入しないように、強誘電体キャパシタを水素バリア膜で被覆しておく必要がある。水素バリア膜として、ALDにより形成したAL₂O₃膜が有効である。

[0018] ところが、AL₂O₃膜の上にHDP-SiO膜を形成すると、AL₂O₃膜がダメージを受けて、水素バリア性が低下してしまうことが判明した。このため、AL₂O₃膜で覆われた強誘電体キャパシタの強誘電体膜に水素が取り込まれてしまい、キャパシタの電気的特性が劣化してしまう。

[0019] 本発明の目的は、強誘電体キャパシタの上にAL₂O₃膜を介してHDP-SiO膜を形成しても、強誘電体キャパシタの電気的特性の劣化を抑制することができる半導体装置の製造方法を提供することである。

課題を解決するための手段

[0020] 本発明の一観点によると、

（a）半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

(b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる厚さ30nm以上の第1のキャパシタ保護膜を形成する工程と、

(c) 前記第1のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜を形成する工程とを有する半導体装置の製造方法が提供される。

[0021] 本発明の他の観点によると、

(a) 半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

(b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる第1のキャパシタ保護膜を形成する工程と、

(c) 前記第1のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ300nm以上の第7の絶縁膜を形成する工程と、

前記第7の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜を形成する工程とを有する半導体装置の製造方法が提供される。

[0022] 本発明のさらに他の観点によると、

(a) 半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

(b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる第1のキャパシタ保護膜を形成する工程と、

(c) 前記第1のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜を形成する工程とを有し、

基板上のTi膜の上に酸化アルミニウム膜を、前記第1のキャパシタ保護膜の形成方法と同一の方法で形成し、さらにその上に前記第1の絶縁膜と同一の方法で酸化シリコン膜を形成した構造を持ち、該酸化アルミニウム膜の厚さの異なる複数の試料の昇温脱離分析を行い、700℃以下の温度域では

水素脱離スペクトルのピークが現れず、700℃よりも高い温度域でピークが現れる試料のうち、該第1のキャパシタ保護膜の厚さが最も薄い試料の該第1のキャパシタ保護膜の厚さを下限膜厚としたときに、前記工程（b）で形成される前記第1のキャパシタ保護膜の厚さが該下限膜厚以上である半導体装置の製造方法が提供される。

[0023] 本発明のさらに他の観点によると、

（a）半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

（b）前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる第1のキャパシタ保護膜を形成する工程と、

（c）前記第1のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる第7の絶縁膜を形成する工程と、

前記第7の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜を形成する工程とを有し、

基板上のTi膜の上に厚さ20nmの酸化アルミニウム膜を前記第1のキャパシタ保護膜と同一の方法で形成し、その上に前記第7の絶縁膜と同一の方法で第1の酸化シリコン膜を形成し、さらにその上に前記第1の絶縁膜と同一の方法で第2の酸化シリコン膜を形成した構造を持ち、該第1の酸化シリコン膜の厚さの異なる複数の試料の昇温脱離分析を行い、700℃以下の温度域では水素脱離スペクトルのピークが現れず、700℃よりも高い温度域でピークが現れる試料のうち、該第1の酸化シリコン膜の厚さが最も薄い試料の該第1の酸化シリコン膜の厚さを下限膜厚としたときに、前記工程（c）で形成される前記第7の絶縁膜の厚さが該下限膜厚以上である半導体装置の製造方法が提供される。

発明の効果

[0024] 第1のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長に

よる第1の絶縁膜を形成しても、第1のキャパシタ保護膜の水素拡散防止機能が損なわれない。これにより、その後の工程で基板を還元性雰囲気にも晒しても、強誘電体キャパシタの劣化が生じない。

図面の簡単な説明

[0025] [図1] 図1 A及び図1 Bは、評価用試料の断面構造を示す図であり、図1 Cは、図1 A及び図1 Bに示した評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図2] 図2 A及び図2 Bは、評価用試料の断面構造を示す図であり、図2 Cは、図2 A及び図2 Bに示した評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図3] 図3 Aは、評価用試料の断面構造を示す図であり、図3 Bは、AL₂O₃膜の厚さの異なる4種類の評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図4] 図4 A及び図4 Bは、評価用試料の断面構造を示す図であり、図4 Cは、図4 A及び図4 Bに示した評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図5] 図5 A及び図5 Bは、評価用試料の断面構造を示す図であり、図5 Cは、図5 A及び図5 Bに示した評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図6] 図6 A及び図6 Bは、評価用試料の断面構造を示す図であり、図6 Cは、図6 A及び図6 Bに示した評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図7] 図7 Aは、評価用試料の断面構造を示す図であり、図7 Bは、TEOS-SiO₂膜の厚さの異なる4種類の評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図8] 図8 A及び図8 Bは、評価用試料の断面構造を示す図であり、図8 Cは、図8 A及び図8 Bに示した評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図9] 図9 Aは、評価用試料の断面構造を示す図であり、図9 Bは、TEOS-SiO膜の厚さの異なる5種類の評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図10] 図10 Aは、評価用試料の断面構造を示す図であり、図10 Bは、ALiO膜の厚さの異なる5種類の評価用試料の昇温脱離ガス分析の結果を示すグラフである。

[図11-1] 図11 A及び図11 Bは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-2] 図11 C及び図11 Dは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-3] 図11 E及び図11 Fは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-4] 図11 G及び図11 Hは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-5] 図11 Iは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-6] 図11 Jは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-7] 図11 Kは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-8] 図11 Lは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-9] 図11 Mは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-10] 図11 Nは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図11-11] 図11 Oは、第1の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図12] 図 1 2 は、第 2 の実施例による半導体装置の製造方法により製造された半導体装置の断面図である。

[図13-1] 図 1 3 A 及び図 1 3 B は、第 3 の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図13-2] 図 1 3 C は、第 3 の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図14] 図 1 4 は、第 4 の実施例による半導体装置の製造方法により製造された装置の断面図である。

[図15-1] 図 1 5 A 及び図 1 5 B は、第 5 の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図15-2] 図 1 5 C は、第 5 の実施例による半導体装置の製造方法の製造途中段階における装置の断面図である。

[図16] 図 1 6 は、第 6 の実施例による半導体装置の製造方法により製造された装置の断面図である。

[図17] 図 1 7 は、第 7 の実施例による半導体装置の製造方法により製造された装置の断面図である。

[図18] 図 1 8 は、高密度プラズマ C V D 装置の概略図である。

符号の説明

[0026] 2 0 基板

2 1 T i 膜

2 2 H D P - S I O 膜

2 2 A バイアスなしで成膜した H D P - S I O 膜

2 2 B バイアス印加して成膜した H D P - S I O 膜

2 3 A L O 膜

2 4 T E O S - S I O 膜

5 0 基板

5 1 素子分離絶縁膜

5 2 p 型ウェル

53、54 MOSFET

55a、55b、55c 不純物拡散領域

60 カバー絶縁膜

61 層間絶縁膜

62 ビアホール

63 グルー膜

64 導電プラグ

70 Ti膜

71 TiN膜

73 TiAlN膜

74 Ir膜

75 強誘電体膜

76 IrO膜

77 Ir膜

81 下部電極

83 上部電極

85 強誘電体キャパシタ

90、90A キャパシタ保護膜（第1のキャパシタ保護膜）

91 HDP-SiO層間絶縁膜（第1の絶縁膜）

92 TEOS-SiO層間絶縁膜（第7の絶縁膜）

93、93A 平たいALOCapacitor保護膜（第2のキャパシタ保護膜）

94、94A TEOS-SiO層間絶縁膜（第2の絶縁膜）

96、97 ビアホール

100 グルー膜

101 導電プラグ

110 下部グルー膜

111 主配線

112 上部グルー膜

- 115 配線（第1の配線）
- 120、120A ALOキャパシタ保護膜（第3のキャパシタ保護膜）
- 121 HDP-SIO層間絶縁膜（第3の絶縁膜）
- 122 ビアホール
- 123 TEOP-SIO層間絶縁膜（第4の絶縁膜）
- 125 グルー膜
- 126 導電プラグ
- 130 下部グルー膜
- 131 主配線
- 132 上部グルー膜
- 135 配線（第2の配線）
- 137 HDP-SIO層間絶縁膜（第5の絶縁膜）
- 140、140A 平たいALOキャパシタ保護膜（第4のキャパシタ保護膜）
- 141、141A TEOS-SIO絶縁膜（第6の絶縁膜）
- 160 チャンバ
- 161 サセプタ
- 162 コイル
- 165 高周波電源
- 166 バイアス電源
- 168 基板

発明を実施するための最良の形態

- [0027] 実施例による半導体装置の製造方法について説明する前に、本願発明者らの行った第1～第10の評価実験について説明する。
- [0028] 図1A及び図1Bに、第1の評価実験で作製した試料の断面図を示す。図1Aに示すように、シリコン基板20の上に、水素吸蔵膜として厚さ100nmのTi膜21を、DCスパッタリングにより形成した。Ti膜21の成膜条件は下記の通りである。

[0029] ・基板温度 150℃

・DCパワー 1400W

・Arガス流量 50sccm

Ti膜21の上に、HDP-CVDにより、厚さ500nmの酸化シリコン(HDP-SiO)膜22を形成した。

[0030] 図18に、HDP-CVD装置の概略図を示す。チャンバ160内にサセプタ161が配置されている。サセプタ161の上に、薄膜を形成すべき基板168が配置されている。チャンバ160の上方にコイル162が配置されている。高周波電源165からコイル162に、周波数13.56MHzの高周波電力が供給される。これにより、チャンバ160内に、誘導結合プラズマが発生する。バイアス電源166が、サセプタ161に、周波数4MHzのバイアス電力を供給する。サセプタ161にバイアス電力が供給されると、プラズマ中の荷電粒子を基板168に向かわせるバイアス場が発生する。

[0031] HDP-SiO膜22は、バイアス電力を供給しないで（アンバイアス状態で）厚さ50nmのHDP-SiO膜22Aを堆積させ、その後、2400Wのバイアス電力を供給して厚さ450nmのHDP-SiO膜22Bを堆積させることにより形成される。用いた基板の直径が約200mmであるため、単位面積当たりのバイアス電力は、約7.6W/cm²になる。その他の成膜条件は下記の通りである。

[0032] ・基板温度 250℃

・誘導結合プラズマ用高周波電力 3500W

・SiH₄:Ar:O₂流量 70sccm:420sccm:525sccm

・圧力 2.0Pa(15mTorr)

図1Bに示すように、Ti膜を形成することなく、シリコン基板20の上に直接HDP-SiO膜22を形成した試料も準備した。

[0033] 図1Cに、昇温脱離法(TDS)による分析結果を示す。分析用の試料は

、成膜後のシリコン基板から、一辺の長さが1 cmの正方形の大きさになるように切り出したものである。図2 A～図10 Bに示した評価実験において作製した試料も同じ大きさである。図1 Cの横軸は温度を単位「°C」で表し、縦軸は観測された水素イオン強度を単位「A」で表す。図中の丸記号1 A及び三角記号1 Bは、それぞれ図1 A及び図1 Bに示した試料のTDS測定結果を示す。TDS分析により得られるグラフを、「水素脱離スペクトル」と呼ぶこととする。なお、横軸の温度は、試料を保持しているステージの温度を表しており、試料表面の温度に一致するとは限らない。

[0034] Ti膜を形成していない図1 Bの試料においては、水素脱離スペクトルにピークが観測されなかった。Ti膜21を形成している図1 Aの試料においては、温度650°C近傍にピークが観測された。これは、Ti膜21に、Ti-H基となって吸蔵されていたH原子が水素分子となって脱離したためである。この水素は、HDP-SiO膜22の成膜時にTi膜21内に吸蔵されたものと考えられる。例えば、Ti膜21をPZT膜に置き換えた構造の素子では、PZT膜上にHDP-SiO膜を形成すると、PZT膜内に水素が取り込まれてしまうと考えられる。

[0035] 図2 A及び図2 Bに、第2の評価実験で作製した試料の断面図を示す。図2 Aに示すように、シリコン基板20の上に、図1 Aの試料と同じ方法で、厚さ100 nmのTi膜21を形成した。Ti膜21の上に、厚さ20 nmのALO膜23を形成した。酸化アルミニウムターゲットを用いたRFスパッタリングによりALO膜23を形成した試料2 A aと、ALDによりALO膜23を形成した試料2 A bとを作製した。ALDを採用することにより、より緻密な膜が得られると考えられる。RFスパッタリングによる成膜条件は下記の通りである。

[0036] ・基板温度 室温
・RFパワー 2000 W
・Ar流量 20 sccm

ALDによる成膜では、Al原料として、常温で液体のTMAを用いた。

TMAは蒸気圧が比較的高いので、40℃まで加熱し、蒸気圧によってガス化した状態でALD成膜室に導入される。また、ALDによる成膜のため、TMAを供給している堆積工程と、 $O_2 + O_3$ を供給している酸化工程とを、工程間に真空パージ工程を入れながら交互に実施し、200サイクル繰り返した。

[0037] ALDによる堆積工程の条件は下記の通りである。

- [0038]
- ・基板温度 250℃
 - ・ガス圧力 40Pa
 - ・TMAガス流量 100sccm
 - ・ $O_2 + O_3$ のガス流量 0slm
 - ・時間 5秒

ALDによる酸化工程の条件は下記の通りである。

- [0039]
- ・基板温度 250℃
 - ・ガス圧力 133Pa
 - ・TMAガス流量 0sccm
 - ・ $O_2 + O_3$ のガス流量 10slm
 - ・時間 15秒

AL₂O₃膜23の上に、図1Aの試料と同じ方法で、厚さ500nmのHDP-SiO₂膜22を形成した。

[0040] 図2Bに示すように、AL₂O₃膜を形成することなく、Ti膜21の上に直接HDP-SiO₂膜22を形成した試料も準備した。

[0041] 図2Cに、図2A及び図2Bに示した試料のTDS分析結果を示す。図中の三角記号2Aa及び四角記号2Abは、それぞれ図2Aに示したAL₂O₃膜23をRFスパッタリングにより成膜した試料、及びALDにより成膜した試料の分析結果を示す。丸記号2Bは、図2Bに示した試料の分析結果を示す。図中の「Blank」は、TDS分析装置のバックグラウンドレベルを示している。水素脱離スペクトルとバックグラウンドレベルとの間の領域の面積が、水素の吸蔵量に相当する。水素の吸蔵量は、図2Bの試料の方が、

図 2 A の 2 つの試料よりも多いことがわかる。

[0042] ところが、水素脱離スペクトルがピークを示す温度は、図 2 A 及び図 2 B のいずれの試料においても約 630℃であり、ほぼ同一である。これは、AL₂O₃膜 23 が、水素に対して、ほとんど拡散防止機能を持たないことを意味している。このように、AL₂O₃膜 23 の水素拡散防止機能が損なわれるのは、HDP-SiO₂膜 22 の形成時にAL₂O₃膜 23 が、その上面から下面までの全領域に亘ってダメージを受けたためと考えられる。

[0043] 図 2 C において、図 2 A のAL₂O₃膜 23 の成膜方法の異なる 2 つの試料の水素脱離スペクトルを比較すると、ALD で成膜した試料 2 A b のピークの方が、やや高温側に観測された。これは、ALD で成膜したAL₂O₃膜 23 の方がより緻密な膜になっていることを示している。ところが、ALD で成膜したAL₂O₃膜 23 も、HDP-SiO₂膜 22 の形成時に、その上面から下面までの全域に亘ってダメージを受けていることがわかる。

[0044] 図 3 A に、第 3 の評価実験で作製した試料の断面図を示す。AL₂O₃膜 23 の厚さのみが、図 2 A に示した試料と相違し、その他の構成は図 2 A に示した試料と同一である。AL₂O₃膜 23 の厚さが20 nm、30 nm、40 nm、及び50 nmの 4 種類の試料を作製した。なお、AL₂O₃膜 23 は、RF スパッタリングにより形成した。

[0045] 図 3 B に、各試料のTDS分析結果を示す。図中の白三角記号、菱形記号、丸記号、及び灰色三角記号は、それぞれAL₂O₃膜 23 の厚さが20 nm、30 nm、40 nm、及び50 nmの試料の水素脱離スペクトルを示す。AL₂O₃膜 23 の厚さが20 nmの試料の水素脱離スペクトルのピークは、図 2 C に示した試料 2 A のものと同様に、温度 625℃の近傍に現れている。これに対し、AL₂O₃膜 23 の厚さを30 nm以上にすると、温度 625℃の近傍には水素脱離スペクトルのピークが現れず、温度 740℃の近傍にピークが現れている。水素脱離スペクトルのピークが高温側に移動した理由は、AL₂O₃膜 23 が水素の拡散防止機能を持っているためと考えられる。

[0046] 図 3 B の分析結果から、AL₂O₃膜 23 の厚さを30 nm以上にすると、ダ

メージがAL₂O₃膜23の底面まで到達せず、AL₂O₃膜23のうち基板側の一部分が水素の拡散防止機能を維持していることがわかる。AL₂O₃膜の上にHDP-SiO₂膜を形成する場合には、水素の拡散防止機能を確保するために、AL₂O₃膜の厚さを30nm以上にすることが好ましい。特に、その上に形成するHDP-SiO₂膜の成膜時のバイアス電力が7.6W/cm²以下であれば、AL₂O₃膜の厚さを30nm以上にすることにより十分な水素拡散防止機能を維持できることが、実験により確かめられた。

[0047] 図4A及び図4Bに、第4の評価実験で作製した試料の断面図を示す。図4Aに示した試料は、図2Aの試料のHDP-SiO₂膜22を、その全厚さに亘ってバイアス電力の供給なしで成膜したものである。このため、AL₂O₃膜23の上には、アンバイアス状態で成膜した厚さ500nmのHDP-SiO₂膜22Aのみが配置されている。なお、AL₂O₃膜23は、ALDにより形成した。図4Bに示した試料は、図4Aの試料のAL₂O₃膜23を形成せず、Ti膜21の上に、直接HDP-SiO₂膜22Aをアンバイアス状態で形成したものである。

[0048] 図4Cに、図4A及び図4Bに示した試料のTDS分析結果を示す。図中の四角記号及び丸記号が、それぞれ図4A及び図4Bに示した試料の分析結果を示す。発明者らは、当初、AL₂O₃膜がHDP-SiO₂膜の形成時にダメージを受けるのは、バイアス電力によってプラズマ中の荷電粒子が基板側に引き寄せられ、AL₂O₃膜に衝突することに起因するとの仮説を立てていた。この仮説が正しいとすると、バイアス電力を供給しないでAL₂O₃膜の上にHDP-SiO₂膜を形成すると、AL₂O₃膜はダメージを受けないと考えられる。

[0049] ところが、図4Cに示した分析結果では、図4Aの試料においても、625℃の近傍に水素脱離スペクトルのピークが現れている。これは、HDP-SiO₂膜の成膜時にバイアス電力を供給しない場合でも、下地のAL₂O₃膜がダメージを受けることを意味している。このように、厚さ20nmのAL₂O₃膜の上にHDP-SiO₂膜を形成すると、HDP-SiO₂膜形成時のバイア

ス印加の有無に関わらず、AL₂O₃膜がダメージを受け、水素の拡散防止機能が損なわれることがわかった。

[0050] この評価結果は、PZT膜の上にHDP-SiO₂膜を形成する際に、PZT膜とHDP-SiO₂膜との間に厚さ20nmのAL₂O₃膜を配置しても、PZT膜に相当量の水素が侵入してしまうことを示唆している。

[0051] 図5A及び図5Bに、第5の評価実験で作製した試料の断面図を示す。図5Aに示す試料は、シリコン基板20の上に、厚さ100nmのTi膜21、厚さ20nmのAL₂O₃膜23、及び厚さ500nmの酸化シリコン膜24がこの順番に積層された構造を有する。Ti膜21及びAL₂O₃膜23の成膜方法は、図4Aに示した試料の対応する膜の成膜方法と同一である。

[0052] 酸化シリコン膜24は、TEOSとO₂との容量結合プラズマを用いたプラズマ励起型CVDにより形成される。なお、基板を保持するサセプタには、バイアス電力を供給しないで成膜を行った。TEOSとO₂とを用いたプラズマ励起型CVDにより形成した酸化シリコンを、「TEOS-SiO₂」と表記することとする。TEOS-SiO₂膜24の成膜条件は下記の通りである。

[0053] ・基板温度 390℃
・RFパワー 700W
・圧力 1.2×10³Pa (9 Torr)
・TEOS供給量 690mg/min
・O₂流量 2980sccm

図5Bに示した試料は、図5Aの試料のAL₂O₃膜23の形成を省略し、Ti膜21の上に、直接TEOS-SiO₂膜24を形成した構造を有する。

[0054] 図5Cに、図5A及び図5Bに示した試料のTDS分析結果を示す。図中の四角記号5A及び丸記号5Bは、それぞれ図5A及び図5Bに示した試料の分析結果を示す。AL₂O₃膜が配置されていない試料5Bの水素脱離スペクトルは、温度約650℃の近傍にピークを持つ。これに対し、AL₂O₃膜23を配置した試料5Aの水素脱離スペクトルは、700℃以下の温度域にピーク

クを持たず、温度730℃近傍にピークを持つ。これは、図5Aに示した試料のALO膜23が、十分な水素拡散防止機能を持っていることを示している。

[0055] 厚さ20nmのALO膜23が十分な水素拡散防止機能を維持しているのは、TEOS-SIO膜24の成膜時に、ALO膜23がダメージを受けていないことを示している。

[0056] 図6A及び図6Bに、第6の評価実験で作製した試料の断面図を示す。図6Aに示した試料は、シリコン基板20の上に、厚さ100nmのTi膜21、厚さ300nmのTEOS-SIO膜24、バイアスを印加しないで成膜した厚さ50nmのHDP-SIO膜22A、及びバイアスを印加して成膜したHDP-SIO膜22Bがこの順番に積層された構造を有する。これらの膜の成膜方法は、図2A及び図5Aに示した試料の対応する膜の成膜方法と同一である。図6Bに示した試料は、図6Aの試料からTEOS-SIO膜24を取り除いた構造を有する。

[0057] 図6Cに、図6A及び図6Bに示した試料のTDS分析結果を示す。三角記号6A及び丸記号6Bが、それぞれ図6A及び図6Bに示した試料の分析結果を示す。水素脱離スペクトルのピーク位置は、図6A及び図6Bの試料とも、ほぼ等しい。この評価結果は、いずれの試料においても、TEOS-SIO膜24が、水素の拡散防止機能を持たないことを示している。このことから、図5Aに示したように、ALO膜23の上にTEOS-SIO膜24を配置しても、TDS分析によりALO膜23の水素拡散防止機能を評価することが可能であることがわかる。

[0058] 図7Aに、第7の評価実験で作製した試料の断面図を示す。シリコン基板20の上に、厚さ100nmのTi膜21、厚さ20nmのALO膜23、TEOS-SIO膜24、バイアスを印加しないで成膜した厚さ50nmのHDP-SIO膜22A、及びバイアスを印加して成膜したHDP-SIO膜22Bがこの順番に積層されている。これらの膜の成膜方法は、図6Aに示した試料の対応する膜の成膜方法と同一である。なお、ALO膜23は、

ALDにより形成した。TEOS-SiO₂膜24の厚さが50 nm、100 nm、300 nm、及び500 nmの4種類の試料を作製した。

[0059] 図7Bに、各試料のTDS分析結果を示す。図中の丸記号、三角記号、四角記号、及び菱形記号が、それぞれTEOS-SiO₂膜24の厚さが50 nm、100 nm、300 nm、及び500 nmの試料の分析結果を示す。「Blank」は、TDS装置のバックグラウンドレベルを示す。

[0060] TEOS-SiO₂膜24の厚さが50 nm及び100 nmの試料では、温度約630°Cの位置に、水素脱離スペクトルのピークが現れた。これに対し、TEOS-SiO₂膜24の厚さが300 nm及び500 nmの試料では、700°C以下の温度域に水素脱離スペクトルのピークは現れず、温度約720°Cの位置にピークが現れた。これは、TEOS-SiO₂膜24の厚さが50 nm及び100 nmの試料においては、AL₂O₃膜23がダメージを受けて水素の拡散防止機能が損なわれているが、TEOS-SiO₂膜24の厚さが300 nm及び500 nmの試料においては、AL₂O₃膜23が十分な水素の拡散防止機能を維持していることを意味する。

[0061] 厚さ20 nmのAL₂O₃膜23が十分な水素拡散防止機能を維持しているのは、HDP-SiO₂膜22A及び22Bの成膜時に、TEOS-SiO₂膜24がAL₂O₃膜23の保護膜として機能したためと考えられる。

[0062] この分析結果からわかるように、HDP-SiO₂膜を形成しても、その下の厚さ20 nmのAL₂O₃膜の水素拡散防止機能を維持するために、AL₂O₃膜の上に形成する保護膜としてのTEOS-SiO₂膜の厚さを300 nm以上にすることが好ましい。

[0063] 図8A及び図8Bに、第8の評価実験で作製した試料の断面図を示す。図8Aに示した試料の積層構造は、図7Aに示した試料の積層構造と同一である。ただし、TEOS-SiO₂膜24の厚さを50 nmとし、HDP-SiO₂膜22A及び22Bを、図7Aの試料の作製で用いたものとは異なる高密度プラズマCVD装置を用いて成膜した。HDP-SiO₂膜22Aの成膜条件は下記の通りである。

- [0064] ・基板温度 370℃
 ・誘導結合プラズマ用高周波電力 3100W
 ・SiH₄:Ar:O₂流量 60sccm:110sccm:105sccm
 HDP-SiO膜22Bの成膜条件は、上述の条件に加えて、バイアス電力3250Wである。
- [0065] 図8Bに示した試料は、図8Aに示した試料からTEOS-SiO膜24を取り除いた構造を有する。
- [0066] 図8Bの試料の水素脱離スペクトルは、温度630℃の近傍でピークを示している。これに対し、AL₂O₃膜23を配置した図8Aの試料の水素脱離スペクトルは、温度650℃近傍でピークを示しているが、その強度は小さく、温度720℃近傍において大きなピークを示している。これは、AL₂O₃膜23の水素拡散防止機能が十分とはいえないが、図8Bの試料に比べると、より大きな水素拡散防止機能を維持していることを意味する。
- [0067] 図7Aに示した試料では、TEOS-SiO膜24の厚さが50nmでは、水素脱離スペクトルの大きなピークは、温度630℃の近傍に現れていた。このように、AL₂O₃膜の保護膜として機能するためにTEOS-SiO膜に求められる必要な厚さは、その上に形成するHDP-SiO膜の成膜装置や成膜条件に依存することがわかる。
- [0068] 図9Aに、第9の評価実験により作製される試料の断面図を示す。試料の積層構造は、図8Aに示した試料のものと同一であり、TEOS-SiO膜24の厚さのみが異なる。TEOS-SiO膜24の厚さが50nm、100nm、200nm、300nm、及び500nmの5種類の試料を作製した。HDP-SiO膜の形成に用いた高密度プラズマCVD装置は、図8Aの試料のHDP-SiO膜の成膜に用いたものと同一である。各層の成膜方法も、図8Aの試料の対応する層の成膜方法を同一である。
- [0069] 図9Bに、各試料のTDS分析結果を示す。白三角記号、四角記号、菱形記号、丸記号、及び黒三角記号が、それぞれTEOS-SiO膜24の厚さ

が50nm、100nm、200nm、300nm、及び500nmの試料の分析結果を示す。TEOS-SiO₂膜24の厚さが100nm以上になると、700℃以下の温度域に、水素脱離スペクトルのピークが現れない。

[0070] 図8A及び図9Aに示した試料のHDP-SiO₂膜の成膜に用いた高密度プラズマ装置を採用すると、TEOS-SiO₂膜24の厚さを100nm以上とすることにより、AL₂O₃膜23を十分保護することができる。AL₂O₃膜の水素拡散防止機能を維持するために必要なTEOS-SiO₂膜の厚さは、その上に形成するHDP-SiO₂膜の成膜装置、成膜条件等により、適宜設定することが好ましい。以下、TEOS-SiO₂膜の好ましい厚さの下限値の決定方法について説明する。

[0071] 図9Aに示した積層構造を持ち、TEOS-SiO₂膜の厚さの異なる複数の試料を作製する。各試料のTDS分析を行い、水素脱離スペクトルを測定する。TEOS-SiO₂膜が薄すぎる場合には、AL₂O₃膜が損傷を受けて水素拡散防止機能が損なわれているため、700℃以下の温度域に、水素脱離曲線のピークが現れる。温度700℃以下の温度域に水素脱離曲線のピークが現れず、700℃よりも高温域にピークが現れる試料を抽出する。抽出された試料のうち、TEOS-SiO₂膜の最も薄い試料のTEOS-SiO₂膜の厚さを、下限膜厚と定義する。この下限膜厚が、TEOS-SiO₂膜の好ましい膜厚の下限値に相当する。

[0072] 図10Aに、第10の評価実験で作製した試料の断面図を示す。シリコン基板20、Ti膜21、及びAL₂O₃膜23からなる積層構造は、図3Aに示した試料のものと同一である。なお、AL₂O₃膜23は、RFスパッタリングにより形成した。AL₂O₃膜23の上に、バイアスを印加して成膜した厚さ500nmのHDP-SiO₂膜22Bが配置されている。HDP-SiO₂膜22Bの成膜は、図3Aに示した試料のHDP-SiO₂膜22の成膜に用いた装置とは異なる高密度プラズマCVD装置を用いて行った。成膜条件は下記の通りである。

[0073] ・基板温度 370℃

- ・誘導結合プラズマ用高周波電力 3100W
- ・バイアス電力 3250W
- ・SiH₄:Ar:O₂流量 60sccm:110sccm:105sccm

図10Bに、図10Aに示した試料のTDS分析結果を示す。図中の白三角記号、四角記号、菱形記号、丸記号、及び黒三角記号が、それぞれAL₂O₃膜23の厚さを20nm、30nm、40nm、50nm、及び70nmとした試料の分析結果を示す。AL₂O₃膜23の厚さが20nmのときには、水素脱離スペクトルが温度640℃の近傍にピークを持つが、AL₂O₃膜23の厚さが30nm以上の試料では、700℃以下の温度域にピークを持たず、ピークが720～760℃の範囲に移動している。

[0074] この評価結果は、AL₂O₃膜23の厚さを30nm以上にするにより、その上にHDP-SiO膜を形成しても、AL₂O₃膜の水素拡散防止機能を維持することができることを示している。図3A及び図3Bに示した評価実験でも、AL₂O₃膜23の厚さを30nm以上にするにより、AL₂O₃膜の水素拡散防止機能を維持することができた。

[0075] 厳密には、AL₂O₃膜の厚さの好適値は、その上に形成するHDP-SiO膜の成膜装置、成膜条件等によって変動すると考えられる。ただし、通常用いられる成膜条件では、AL₂O₃膜の厚さを30nm以上にすれば、AL₂O₃膜の水素拡散防止機能を維持することができると考えられる。上記評価実験では、AL₂O₃膜をスパッタリングにより形成したが、CVDやALDにより形成する場合にも、その厚さを30nm以上にすることが好ましい。

[0076] AL₂O₃膜の上に形成するHDP-SiO膜の成膜条件によっては、AL₂O₃膜の厚さを30nm未満にしても、その水素拡散防止機能を維持することができるであろう。以下、AL₂O₃膜の好ましい膜厚の下限值を決定する方法について説明する。

[0077] 図10Aに示した積層構造を持ち、AL₂O₃膜の厚さの異なる複数の試料を作製する。各試料のTDS分析を行い、水素脱離スペクトルを測定める。A

AL₂O₃膜の水素拡散防止機能が損なわれている場合には、700℃以下の温度域に水素脱離スペクトルのピークが現れる。温度700℃以下の温度域に水素脱離曲線のピークが現れず、700℃よりも高温域にピークが現れる試料を抽出する。抽出された試料のうち、AL₂O₃膜の最も薄い試料のAL₂O₃膜の厚さを、下限膜厚と定義する。この下限膜厚が、AL₂O₃膜の好ましい膜厚の下限値に相当する。

[0078] 次に、図11A～図11Oを参照して、第1の実施例による強誘電体メモリの製造方法について説明する。

[0079] 図11Aに示すように、シリコンからなる基板50の表層部に、シャロートレンチアイソレーション（STI）構造の素子分離絶縁膜51を形成し、活性領域を画定する。活性領域の表層部にp型ウェル52を形成する。p型ウェル52の表面に、nチャネルMOSトランジスタ53及び54を形成する。p型ウェル52の表層部に形成された3つのn型不純物拡散領域55a、55b、55cのうち、不純物拡散領域55aと55bとが、一方のMOSトランジスタ53のソース及びドレインを構成し、不純物拡散領域55cと55bとが、他方のMOSトランジスタ54のソース及びドレインを構成する。すなわち、不純物拡散領域55bは、2つのMOSトランジスタ53及び54により共有される。素子分離絶縁膜51、p型ウェル52、及びMOSトランジスタ53、54は、周知の方法で形成される。

[0080] MOSトランジスタ53、54を覆うように、基板50の上に、SiONからなるカバー絶縁膜60を形成する。カバー絶縁膜60の上に、酸化シリコンからなる層間絶縁膜61を形成し、その表面を平坦化する。層間絶縁膜61及びカバー絶縁膜60に、それぞれ不純物拡散領域55a、55b、55cまで達するビアホール62を形成する。これらのビアホール62の内面を、グルー膜63で覆い、ビアホール内に、タングステンからなる導電プラグ64を充填する。グルー膜63は、例えば厚さ30nmのTi膜と、厚さ50nmのTiN膜との2層構造を有する。

[0081] グルー膜63及び導電プラグ64は、成膜工程及び化学機械研磨（CMP

）工程を経て形成される。グルー膜63を構成するTi膜とTiN膜とは、スパッタリングにより形成することができる。ビアホール内を埋め込むW膜は、化学気相成長（CVD）により形成することができる。

[0082] 図11Bに示すように、層間絶縁膜61及び導電プラグ64の上に、厚さ20nmのTi膜70を、スパッタリングにより形成する。チタンは自己配向性の強い材料であるため、結晶性の良好なTi膜70が形成される。Tiの結晶構造は、六方最密充填構造であり、(001)面が基板面に平行になるように配向しやすい。

[0083] 図11Cに示すように、窒素雰囲気中でラピッドサーマルアニール（RTA）処理を行い、Ti膜70を窒化することにより、TiN膜71を形成する。Ti膜70を窒化してTiN膜71とすることにより、耐酸化性を高めることができる。RTAの条件は、例えば下記の通りである。

[0084] ・基板温度 650℃
・窒素流量 10slm (standard liter/min)
・処理時間 120秒

窒化前のTi膜70の結晶性が良好であるため、それを窒化して得られるTiN膜71の結晶性も良好である。TiNの結晶構造は岩塩構造である。〈001〉配向したTi膜を窒化すると、〈111〉配向したTiN膜が得られる。

[0085] 図11Dに示すように、TiN膜71の上に、厚さ100nmのTiAlN膜73、厚さ100nmのIr膜74、厚さ120nmの強誘電体膜75、厚さ150nmのIrO膜76、及び厚さ100nmのIr膜77を順番に形成する。TiAlN膜73、Ir膜74、IrO膜76、及びIr膜77は、スパッタリングにより形成される。TiAlN膜73は、酸素バリア層として機能する。

[0086] TiAlN膜73の結晶構造は岩塩構造であり、下地のTiN膜71の配向性を引き継いで、〈111〉配向する。Ir膜74の結晶構造は面心立方構造であり、下地のTiAlN膜73の配向性を引き継いで、〈111〉配

向する。

- [0087] 以下、強誘電体膜 75 の形成方法について説明する。まず、有機金属化学気相成長 (MOCVD) により、厚さ 5 nm の PZT 膜を形成する。その後、酸素分圧を高めて、厚さ 115 nm の PZT 膜を、MOCVD により形成する。成膜時の基板温度は 620 °C、圧力は 667 Pa (5 Torr) とする。
- [0088] 成長初期の酸素分圧を相対的に低く設定することにより、PZT 膜の結晶性を高めることができる。ところが、酸素分圧を低くすると、酸素欠損が多くなり、リーク電流が増加してしまう。厚さ 5 nm の PZT 膜を形成した後、酸素分圧を高めることにより、良好な結晶性を引き継ぎ、かつリーク電流の増大を防止することができる。
- [0089] PZT からなる強誘電体膜 75 は、Ir 膜 74 の配向性を引き継いで、 $\langle 111 \rangle$ 配向する。このように、TiN 膜 71 の配向性 (結晶性) を高めることにより、強誘電体膜 75 の配向性 (結晶性) を高めることができる。
- [0090] なお、強誘電体膜 75 は、PZT の他に、PLZT 等の PZT 系材料、SBT、SBTN 等の Bi 層状構造化合物等を用いてもよい。
- [0091] 図 11E の構造に至るまでの工程について説明する。Ir 膜 77 の上に、厚さ 200 nm の TiN 膜と厚さ 700 nm の TEOS-SiO 膜を形成する。この 2 層は、Ir 膜 77 から TiN 膜 71 までの積層構造をパターニングするときのハードマスクとして用いられる。TEOS-SiO 膜の上に、キャパシタの平面形状を持つレジストパターンを形成する。
- [0092] レジストパターンをマスクとし、 C_4F_8 、Ar 及び CF_4 の混合ガスを用いて、ハードマスクとなる TEOS-SiO 膜を、ドライエッチングによりパターニングする。さらに、 BCl_3 と Cl_2 との混合ガスまたは Cl_2 ガスを用いて、ハードマスクとなる TiN 膜をドライエッチングによりパターニングする。TiN 膜のパターニング後、レジストパターンをアッシングにより除去する。これにより、TiN 膜と TEOS-SiO 膜との 2 層構造を持つハードマスクが得られる。

- [0093] ハードマスクを用いて、上側の I r 膜 7 7 から下側の I r 膜 7 4 までの各層を、誘導結合プラズマ (I C P) 型エッチング装置を用いてエッチングする。 I r 膜 7 7 及び 7 4 のエッチングは、 H B r 、 O₂ 及び C₄F₈ を用いて行う。 I r O 膜 7 6 のエッチングは、 H B r と O₂ とを用いて行う。 強誘電体膜 7 5 のエッチングは、 C l₂ と A r とを用いて行う。
- [0094] その後、ハードマスクとして用いた T E O S - S i O 膜を、 C₄F₈ と A r と O₂ との混合ガスを用いた反応性イオンエッチングにより除去する。次に、ハードマスクとして用いた T i N 膜、及び T i A l N 膜 7 3 、 T i N 膜 7 1 を、過酸化水素水とアンモニア水との混合液を用いて除去する。
- [0095] T i N 膜 7 1 と T i A l N 膜 7 3 と I r 膜 7 4 との 3 層からなる下部電極 8 1 、 I r O 膜 7 6 と I r 膜 7 7 との 2 層からなる上部電極 8 3 、及び両者の間に配置された強誘電体膜 7 5 が、強誘電体キャパシタ 8 5 を構成する。強誘電体キャパシタ 8 5 の上部電極 8 3 から下部電極 8 1 まで一括してパターンニングされるため、各層の位置合わせ余裕を確保する必要がない。このため、上述の一括パターンニング方法は、強誘電体キャパシタの微細化に適している。
- [0096] 強誘電体キャパシタ 8 5 の下部電極 8 1 は、その下の導電プラグ 6 4 を介して、 M O S トランジスタ 5 3 の一方の不純物拡散領域 5 5 a に接続される。他の強誘電体キャパシタ 8 5 の下部電極 8 1 は、その下の導電プラグ 6 4 を介して、他の M O S トランジスタ 5 4 の一方の不純物拡散領域 5 5 c に接続される。
- [0097] 図 1 1 F に示すように、強誘電体キャパシタ 8 5 及び層間絶縁膜 6 1 の上に、 A l O からなる厚さ 4 0 n m のキャパシタ保護膜 9 0 を A L D により形成する。以下、キャパシタ保護膜 9 0 の形成方法について説明する。
- [0098] O₂ + O₃ とトリメチルアルミニウム (T M A) とを交互供給する A L D により、厚さ 2 n m の A l O 膜を形成する。その後、 6 0 0 ° C で 6 0 分間の酸素回復アニールを行う。このアニールにより、強誘電体膜 7 5 の酸素欠損が回復する。酸素回復アニール後、 A L D により、厚さ 3 8 n m の A l O 膜を

形成する。これにより、厚さ40nmのAL₂O₃膜90が形成される。

- [0099] 厚さ40nmのAL₂O₃膜を形成した後では、AL₂O₃膜が酸素バリアとして働くため、酸素回復アニールを行っても、強誘電体膜75の酸素欠損を回復させることが困難である。AL₂O₃膜の形成途中段階で酸素回復アニールを行うことにより、強誘電体膜75の酸素欠損を十分回復させることができる。
- [0100] キャパシタ保護膜90をALDで形成するため、スパッタリングで形成する場合に比べて、ステップカバレッジの良好なキャパシタ保護膜90を得ることができる。
- [0101] 図11Gに示すように、キャパシタ保護膜90の上に、基板温度を250℃にして、HDP-SiO₂からなる層間絶縁膜91を形成する。AL₂O₃からなるキャパシタ保護膜90を30nmよりも厚くしているため、その上にHDP-SiO₂膜を形成しても、キャパシタ保護膜90の水素拡散防止機能が損なわれることはない。このため、層間絶縁膜91の形成時に強誘電体膜75が還元されてしまうことを防止することができる。
- [0102] その後、層間絶縁膜91にCMPを施し、その表面を平坦化する。強誘電体キャパシタ85が配置されている領域の、CMP後の残存膜厚は300nmである。N₂Oプラズマに晒すことにより、層間絶縁膜91の脱水処理を行う。
- [0103] 図11Hに示すように、脱水処理した層間絶縁膜91の上に、AL₂O₃からなる厚さ20nmの平たいキャパシタ保護膜93をスパッタリングにより形成する。下地の層間絶縁膜91の表面が平坦化されているため、成膜方法として、ステップカバレッジの点で劣るスパッタリングを採用することが可能である。なお、エッチング工程の負担軽減のために、ALDにより、より薄い平たいキャパシタ保護膜93を形成してもよい。例えば、平たいキャパシタ保護膜93の厚さを10nm程度にしてもよい。
- [0104] 平たいキャパシタ保護膜93の上に、TEOSとO₂とを用いたプラズマCVDにより、厚さ300nmの層間絶縁膜94を形成する。酸化シリコンからなる層間絶縁膜94を配置することにより、その上に形成するA1配線の

信頼性を高めることができる。

- [0105] 図 1 1 I に示すように、層間絶縁膜 9 4、平たいキャパシタ保護膜 9 3、層間絶縁膜 9 1、及びキャパシタ保護膜 9 0 を貫通し、強誘電体キャパシタ 8 5 の上部電極 8 3 に達するビアホール 9 6 を形成する。各層のエッチングは、C F 系ガス、例えば C H F₃ と C H₄ と A r との混合ガスを用いて行うことができる。ビアホール 9 6 の形成後、温度を 5 0 0 °C とし、酸素雰囲気中で 6 0 分間の酸素回復アニールを行う。
- [0106] 図 1 1 J に示すように、層間絶縁膜 9 4、平たいキャパシタ保護膜 9 3、層間絶縁膜 9 1、及びキャパシタ保護膜 9 0 を貫通するビアホール 9 7 を形成する。ビアホール 9 7 は、2 つの M O S トランジスタ 5 3、5 4 で共有されている不純物拡散領域 5 5 b に接続された導電プラグ 6 4 の上面まで達する。
- [0107] 図 1 1 K に示すように、ビアホール 9 6、9 7 の内面を、T i N からなる厚さ 1 0 0 n m のグルー膜 1 0 0 で覆う。さらに、ビアホール 9 6 及び 9 7 内に、W からなる導電プラグ 1 0 1 を充填する。
- [0108] 図 1 1 L に示すように、層間絶縁膜 9 4 の上に、複数の配線 1 1 5 を形成する。各配線 1 1 5 は、下側グルー膜 1 1 0、主配線膜 1 1 1、及び上側グルー膜 1 1 2 がこの順番に積層された構造を有する。下側グルー膜 1 1 0 は、厚さ 6 0 n m の T i 膜と厚さ 3 0 n m の T i N 膜との 2 層で構成されている。主配線膜 1 1 1 は、厚さ 4 0 0 n m の A l C u 合金膜で構成されている。上側グルー膜 1 1 2 は、厚さ 5 n m の T i 膜と厚さ 7 0 n m の T i N 膜との 2 層で構成されている。これらの膜はスパッタリングにより形成される。
- [0109] ある配線 1 1 5 は、導電プラグ 1 0 0 を介して、強誘電体キャパシタ 8 5 の上部電極 8 3 に接続される。また、ある配線 1 1 5 は、導電プラグ 1 0 0 及びその下の導電プラグ 6 4 を介して、不純物拡散領域 5 5 b に接続される。
- [0110] 図 1 1 M に示すように、層間絶縁膜 9 4 及び配線 1 1 5 の上に、H D P - S I O からなる層間絶縁膜 1 2 1 を形成し、その表面を平坦化する。A L O

からなる平たいキャパシタ保護膜 93、TEOS-SiO₂からなる層間絶縁膜 94、及びHDP-SiO₂からなる層間絶縁膜 121は、図7Aに示した評価試料のAL₂O₃膜 23、TEOS-SiO₂膜 24、及びHDP-SiO₂膜 22の3層に相当する。

[0111] 従って、TEOS-SiO₂からなる層間絶縁膜 94が、HDP-SiO₂からなる層間絶縁膜 121の形成時に、平たいキャパシタ保護膜 93の保護膜として機能する。TEOS-SiO₂からなる層間絶縁膜 94の厚さを十分厚くする、例えば300nm以上にすることにより、平たいキャパシタ保護膜 93の水素拡散防止機能を維持することができる。

[0112] 図11Nに示すように、層間絶縁膜 121を貫通し、配線 115まで達するビアホール 122を形成する。ビアホール 122の内面を、TiNからなるグルー膜 125で覆う。さらに、ビアホール 122内に、Wからなる導電プラグ 126を充填する。

[0113] 図11Oに示すように、層間絶縁膜 121の上に、導電プラグ 126に接続された配線 135を形成する。配線 135は、その下の配線 115と同様に、下側グルー膜 130、主配線膜 131、及び上側グルー膜 132からなる積層構造を有する。層間絶縁膜 121及び配線 135の上に、HDP-SiO₂からなる層間絶縁膜 137を形成する。

[0114] 層間絶縁膜 137及びその上の多層配線で用いられる層間絶縁膜の形成時に、キャパシタ保護膜 90及び平たいキャパシタ保護膜 93が水素の拡散を防止する。このため、強誘電体キャパシタ 85を構成する強誘電体膜 75の還元を防止することができる。これにより、強誘電体キャパシタ 85の性能劣化を防止することが可能になる。

[0115] 図12に、第2の実施例による強誘電体メモリの断面図を示す。以下、図11Oに示した第1の実施例による強誘電体メモリとの相違点に着目して説明する。

[0116] 第1の実施例では、AL₂O₃からなる平たいキャパシタ保護膜 93の厚さを20nmとし、その上のTEOS-SiO₂からなる層間絶縁膜 94の厚さを

300nmとしたが、第2の実施例では、平たいキャパシタ保護膜93Aの厚さを30nm以上にしている。その上のTEOS-SiOからなる層間絶縁膜94Aは、300nmより薄くしてもよいし、層間絶縁膜94Aを省略してもよい。

[0117] 図3A及び図10Aに示した評価試料のALO膜23及びHDP-SiO膜22が、それぞれ第2の実施例の平たいキャパシタ保護膜93A及びHDP-SiOからなる層間絶縁膜121に相当する。平たいキャパシタ保護膜93Aの厚さを30nm以上にしているため、その上にHDP-SiOからなる層間絶縁膜121を形成しても、平たいキャパシタ保護膜93Aの水素拡散防止機能を維持することができる。

[0118] 図13A～図13Cを参照して、第3の実施例による強誘電体メモリの製造方法について説明する。図11Lに示した第1の実施例による強誘電体メモリの配線115の形成までは、第1の実施例の強誘電体メモリの製造方法と共通である。

[0119] 図13Aに示すように、層間絶縁膜94及び配線115の上に、ALOからなる厚さ20nmのキャパシタ保護膜120を、CVDまたはALDにより形成する。さらにその上に、TEOS-SiOからなる層間絶縁膜123、及びHDP-SiOからなる層間絶縁膜121を順番に形成する。その後、HDP-SiO層間絶縁膜121にCMPを施し、その表面の平坦化を行う。

[0120] 図13Bに示すように、層間絶縁膜121、123、及びキャパシタ保護膜120を貫通し、配線115の上面を露出させるビアホール122を形成する。ビアホール122の内面を、グルー膜125で覆い、さらにビアホール122内に導電プラグ126を充填する。

[0121] 図13Cに示すように、層間絶縁膜121の上に、配線135を形成する。配線135は、導電プラグ126に接続されている。層間絶縁膜121及び配線135の上に、HDP-SiOからなる層間絶縁膜137を形成する。

- [0122] 第3の実施例では、AL₂O₃からなるキャパシタ保護膜120の上に形成されたTEOS-SiO₂からなる層間絶縁膜123が、HDP-SiO₂からなる層間絶縁膜121形成時に、キャパシタ保護膜120を保護する機能を持つ。層間絶縁膜123の厚さを適切に設定しておくことにより、キャパシタ保護膜123の水素拡散防止機能を維持することができる。キャパシタ保護膜123は、その上の層間絶縁膜121及び137を形成する工程において、水素がキャパシタ85まで到達することを防止する。また、AL₂O₃からなる平たいキャパシタ保護膜93を省略してもよい。この場合、AL₂O₃からなるキャパシタ保護膜120が2番目の保護膜として機能する。
- [0123] 図14に、第4の実施例による強誘電体メモリの断面図を示す。以下、図13Cに示した第3の実施例による強誘電体メモリとの相違点に着目して説明する。
- [0124] 第3の実施例では、配線115の上に形成されるキャパシタ保護膜120の厚さを20nmとしたが、第4の実施例では、配線115の上にAL₂O₃からなる厚さ30nmのキャパシタ保護膜120Aを形成する。第3の実施例のTEOS-SiO₂からなる層間絶縁膜123は、第4の実施例では形成されない。
- [0125] キャパシタ保護膜120Aの厚さを30nmとしているため、その上にHDP-SiO₂からなる層間絶縁膜121を形成しても、キャパシタ保護膜120Aの水素拡散防止機能を維持することができる。
- [0126] 次に、図15A～図15Cを参照して、第5の実施例による強誘電体メモリの製造方法について説明する。図11Lに示した第1の実施例による強誘電体メモリの配線115の形成までは、第5の実施例の強誘電体メモリの製造方法と共通である。
- [0127] 図15Aに示すように、層間絶縁膜94及び配線115の上に、HDP-SiO₂からなる層間絶縁膜121を形成する。層間絶縁膜121の表面を平坦化した後、その上に、AL₂O₃からなる厚さ30nmのキャパシタ保護膜140を形成する。さらにその上に、TEOS-SiO₂からなる層間絶縁膜1

41を形成する。

[0128] 図15Bに示すように、TEOS-SiOからなる層間絶縁膜141、AL₂O₃からなる平たいキャパシタ保護膜140、及びHDP-SiOからなる層間絶縁膜121を貫通し、配線115の上面まで達するビアホール122を形成する。ビアホール122の内面をグルー膜125で覆い、さらにビアホール122内に導電プラグ126を充填する。

[0129] 図15Cに示すように、層間絶縁膜141の上に、配線135を形成する。配線135は、その下の導電プラグ126に接続されている。層間絶縁膜141及び配線135の上に、HDP-SiOからなる層間絶縁膜137を形成する。

[0130] AL₂O₃からなる平たいキャパシタ保護膜140及びHDP-SiOからなる層間絶縁膜137が、それぞれ図3A及び図10Aに示したAL₂O₃膜23及びHDP-SiO膜22に対応すると考えることができる。平たいキャパシタ保護膜140の厚さを30nm以上に行っているため、その上にHDP-SiOからなる層間絶縁膜137を形成しても、平たいキャパシタ保護膜140の水素拡散防止機能を維持することができる。TEOS-SiOからなる層間絶縁膜141の厚さは任意であり、層間絶縁膜141を配置しなくてもよい。また、AL₂O₃からなる平たいキャパシタ保護膜93を省略してもよい。この場合、平たいキャパシタ保護膜140が、2番目のキャパシタ保護膜として機能する。

[0131] 図16に、第6の実施例による強誘電体メモリの断面図を示す。以下、図15Cに示した第5の実施例による強誘電体メモリとの相違点に着目して説明する。

[0132] 第5の実施例では、平たいキャパシタ保護膜140の厚さを30nm以上に行うことにより、その水素拡散防止機能を維持したが、第5の実施例では、平たいキャパシタ保護膜140に代えて、AL₂O₃からなる厚さ20nmの平たいキャパシタ保護膜140Aが配置されている。また、第5の実施例では、平たいキャパシタ保護膜140の上のTEOS-SiOからなる層間絶

縁膜 141 の厚さは任意であったが、第 6 の実施例では、平たいキャパシタ保護膜 140A の上に配置される TEOS-SiO からなる層間絶縁膜 141A の厚さを、平たいキャパシタ保護膜 140A を保護するのに十分な厚さ、例えば 300nm 以上にする。

[0133] 層間絶縁膜 141A の上に、HDP-SiO からなる層間絶縁膜 137 を形成するとき、その下の層間絶縁膜 141A が平たいキャパシタ保護膜 140A を保護するため、平たいキャパシタ保護膜 140A の水素拡散防止機能を維持することができる。

[0134] 図 17 に、第 7 の実施例による強誘電体メモリの断面図を示す。以下、図 110 に示した第 1 の実施例による強誘電体メモリとの相違点に着目して説明する。

[0135] 第 1 の実施例では、強誘電体キャパシタ 85 を覆うキャパシタ保護膜 90 を厚くする、例えば 30nm 以上にするにより、その水素拡散防止機能を維持している。第 7 の実施例では、強誘電体キャパシタ 85 を覆うキャパシタ保護膜 90A の厚さを 20nm にしている。薄いキャパシタ保護膜 90A の水素拡散防止機能を維持するために、キャパシタ保護膜 90A と、HDP-SiO からなる層間絶縁膜 91 との間に、TEOS-SiO からなる層間絶縁膜 92 を配置している。TEOS-SiO からなる層間絶縁膜 92 の厚さは、その下のキャパシタ保護膜 90A を保護するのに十分な厚さに設定されている。

[0136] HDP-SiO からなる層間絶縁膜 91 の形成時に、TEOS-SiO からなる層間絶縁膜 92 がキャパシタ保護膜 90A を保護するため、キャパシタ保護膜 90A の水素拡散防止機能を維持することができる。

[0137] 上述のように、各実施例は、AL₂O₃ からなるキャパシタ保護膜の水素拡散防止機能を維持するために、キャパシタ保護膜自体の膜厚を厚くする（以下、「構成 A」という。）か、またはキャパシタ保護膜の上に、TEOS-SiO からなる十分な厚さの絶縁膜を配置（以下、「構成 B」という。）している。

- [0138] TEOS-SiO₂膜は、HDP-SiO₂膜に比べて、埋め込み特性の点で劣る。従って、ALOからなるキャパシタ保護膜の下地に微小な段差が形成されており、その上に配置する絶縁膜に高い埋め込み特性が要求される場合には、TEOS-SiO₂膜を形成する必要のない構成Aを採用することが有効である。
- [0139] また、ALO膜は、TEOS-SiO₂膜やHDP-SiO₂膜に比べて、エッチングしにくいため、ALO膜を厚くすると、エッチング工程の負担が増大する。従って、エッチング工程への負担の増大を防止したい場合には、ALO膜を薄くすることができる構成Bを採用することが有効である。
- [0140] 以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

請求の範囲

- [1] (a) 半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、
- (b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる厚さ30nm以上の第1のキャパシタ保護膜を形成する工程と、
- (c) 前記第1のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜を形成する工程とを有する半導体装置の製造方法。
- [2] さらに、
- 前記第1の絶縁膜の表面を平坦化する工程と、
- 平坦化された前記第1の絶縁膜の上に、酸化アルミニウムからなる第2のキャパシタ保護膜を形成する工程と、
- 前記第2のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ300nm以上の第2の絶縁膜を形成する工程と、
- 前記第2の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と、
- 前記第1の配線を覆うように、前記第2の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程とを有する請求項1に記載の半導体装置の製造方法。
- [3] さらに、
- 前記第1の絶縁膜の表面を平坦化する工程と、
- 平坦化された前記第1の絶縁膜の上に、酸化アルミニウムからなる厚さ30nm以上の第2のキャパシタ保護膜を形成する工程と、
- 前記第2のキャパシタ保護膜の上に、導電材料からなる第1の配線を形成する工程と、
- 前記第1の配線を覆うように、前記第2のキャパシタ保護膜の上に、高密

度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程と

を有する請求項1に記載の半導体装置の製造方法。

[4] さらに、

前記第1の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と

、

前記第1の配線を覆うように、前記第1の絶縁膜の上に、酸化アルミニウムからなる第3のキャパシタ保護膜を形成する工程と、

前記第3のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ300nm以上の第4の絶縁膜を形成する工程と、

前記第4の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程と

を有する請求項1に記載の半導体装置の製造方法。

[5] さらに、

前記第1の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と

、

前記第1の配線を覆うように、前記第1の絶縁膜の上に、酸化アルミニウムからなる厚さ30nm以上の第3のキャパシタ保護膜を形成する工程と、

前記第3のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程と

を有する請求項1に記載の半導体装置の製造方法。

[6] さらに、

前記第1の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と

、

前記第1の配線を覆うように、前記第1の絶縁膜の上に、酸化シリコンからなる第3の絶縁膜を形成する工程と、

前記第3の絶縁膜の表面を平坦化する工程と、

平坦化された前記第 3 の絶縁膜の上に、酸化アルミニウムからなる厚さ 30 nm 以上の第 4 のキャパシタ保護膜を形成する工程と、

前記第 4 のキャパシタ保護膜の上に、導電材料からなる第 2 の配線を形成する工程と、

前記第 2 の配線を覆うように、前記第 4 のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 5 の絶縁膜を形成する工程と

を有する請求項 1 に記載の半導体装置の製造方法。

[7] さらに、

前記第 1 の絶縁膜の上に、導電材料からなる第 1 の配線を形成する工程と

、

前記第 1 の配線を覆うように、前記第 1 の絶縁膜の上に、酸化シリコンからなる第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜の表面を平坦化する工程と、

平坦化された前記第 3 の絶縁膜の上に、酸化アルミニウムからなる第 4 のキャパシタ保護膜を形成する工程と、

前記第 4 のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ 300 nm 以上の第 6 の絶縁膜を形成する工程と、

前記第 6 の絶縁膜の上に、導電材料からなる第 2 の配線を形成する工程と

、

前記第 2 の配線を覆うように、前記第 6 の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 5 の絶縁膜を形成する工程と

を有する請求項 1 に記載の半導体装置の製造方法。

[8] 前記第 1 のキャパシタ保護膜は、化学気相成長により形成する請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

[9] 前記第 1 のキャパシタ保護膜は、オゾンとトリメチルアルミニウムとを交

互に供給する原子層堆積法により形成される請求項 8 に記載の半導体装置の製造方法。

[10] (a) 半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

(b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる第 1 のキャパシタ保護膜を形成する工程と、

(c) 前記第 1 のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ 300 nm 以上の第 7 の絶縁膜を形成する工程と、

前記第 7 の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 1 の絶縁膜を形成する工程とを有する半導体装置の製造方法。

[11] さらに、

前記第 1 の絶縁膜の表面を平坦化する工程と、

平坦化された前記第 1 の絶縁膜の上に、酸化アルミニウムからなる第 2 のキャパシタ保護膜を形成する工程と、

前記第 2 のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ 300 nm 以上の第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の上に、導電材料からなる第 1 の配線を形成する工程と、

前記第 1 の配線を覆うように、前記第 2 の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 3 の絶縁膜を形成する工程と

を有する請求項 10 に記載の半導体装置の製造方法。

[12] さらに、

前記第 1 の絶縁膜の表面を平坦化する工程と、

平坦化された前記第 1 の絶縁膜の上に、酸化アルミニウムからなる厚さ 3

0 nm以上の第2のキャパシタ保護膜を形成する工程と、
前記第2の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と、
、
前記第1の配線を覆うように、前記第2の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程と
を有する請求項10に記載の半導体装置の製造方法。

- [13] さらに、
前記第1の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と、
、
前記第1の配線を覆うように、前記第1の絶縁膜の上に、酸化アルミニウムからなる第3のキャパシタ保護膜を形成する工程と、
前記第3のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ300 nm以上の第4の絶縁膜を形成する工程と、
前記第4の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程と
を有する請求項10に記載の半導体装置の製造方法。

- [14] さらに、
前記第1の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と、
、
前記第1の配線を覆うように、前記第1の絶縁膜の上に、酸化アルミニウムからなる厚さ30 nm以上の第3のキャパシタ保護膜を形成する工程と、
前記第3のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第3の絶縁膜を形成する工程と
を有する請求項10に記載の半導体装置の製造方法。

- [15] さらに、
前記第1の絶縁膜の上に、導電材料からなる第1の配線を形成する工程と

、

前記第 1 の配線を覆うように、前記第 1 の絶縁膜の上に、酸化シリコンからなる第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜の表面を平坦化する工程と、

平坦化された前記第 3 の絶縁膜の上に、酸化アルミニウムからなる厚さ 30 nm 以上の第 4 のキャパシタ保護膜を形成する工程と、

前記第 4 のキャパシタ保護膜の上に、導電材料からなる第 2 の配線を形成する工程と、

前記第 2 の配線を覆うように、前記第 4 のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 5 の絶縁膜を形成する工程と

を有する請求項 10 に記載の半導体装置の製造方法。

[16] さらに、

前記第 1 の絶縁膜の上に、導電材料からなる第 1 の配線を形成する工程と

、

前記第 1 の配線を覆うように、酸化シリコンからなる第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜の表面を平坦化する工程と、

平坦化された前記第 3 の絶縁膜の上に、酸化アルミニウムからなる第 4 のキャパシタ保護膜を形成する工程と、

前記第 4 のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリコンからなる厚さ 300 nm 以上の第 6 の絶縁膜を形成する工程と、

前記第 6 の絶縁膜の上に、導電材料からなる第 2 の配線を形成する工程と

、

前記第 2 の配線を覆うように、前記第 6 の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 5 の絶縁膜を形成する工程と

を有する請求項 10 に記載の半導体装置の製造方法。

[17] 前記第 1 のキャパシタ保護膜は、化学気相成長により形成する請求項 10 乃至 16 のいずれか 1 項に記載の半導体装置の製造方法。

[18] 前記第 1 のキャパシタ保護膜は、オゾンとトリメチルアルミニウムとを交互に供給する原子層堆積法により形成される請求項 17 に記載の半導体装置の製造方法。

[19] (a) 半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

(b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる第 1 のキャパシタ保護膜を形成する工程と、

(c) 前記第 1 のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 1 の絶縁膜を形成する工程とを有し、

基板上の Ti 膜の上に酸化アルミニウム膜を、前記第 1 のキャパシタ保護膜の形成方法と同一の方法で形成し、さらにその上に前記第 1 の絶縁膜と同一の方法で酸化シリコン膜を形成した構造を持ち、該酸化アルミニウム膜の厚さの異なる複数の試料の昇温脱離分析を行い、700℃以下の温度域では水素脱離スペクトルのピークが現れず、700℃よりも高い温度域でピークが現れる試料のうち、該第 1 のキャパシタ保護膜の厚さが最も薄い試料の該第 1 のキャパシタ保護膜の厚さを下限膜厚としたときに、前記工程 (b) で形成される前記第 1 のキャパシタ保護膜の厚さが該下限膜厚以上である半導体装置の製造方法。

[20] (a) 半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、

(b) 前記強誘電体キャパシタを覆うように、酸化アルミニウムからなる第 1 のキャパシタ保護膜を形成する工程と、

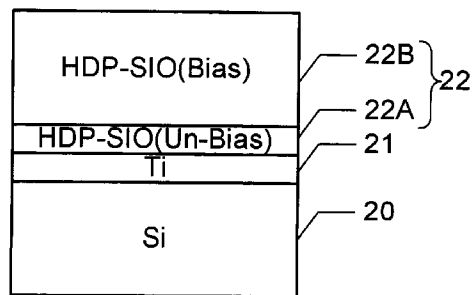
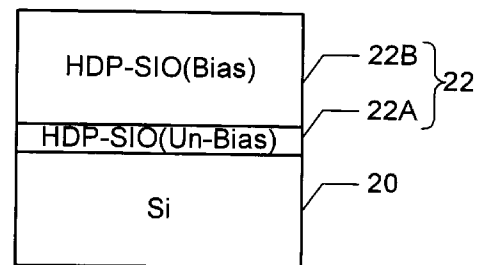
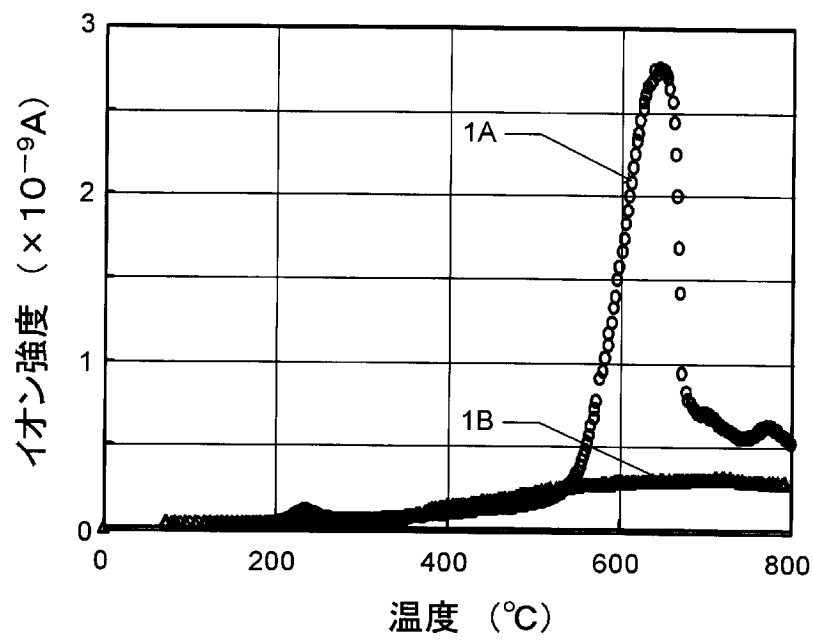
(c) 前記第 1 のキャパシタ保護膜の上に、原料ガスとしてテトラエトキシシランを含むガスを用いたプラズマ励起型化学気相成長により、酸化シリ

コンからなる第 7 の絶縁膜を形成する工程と、

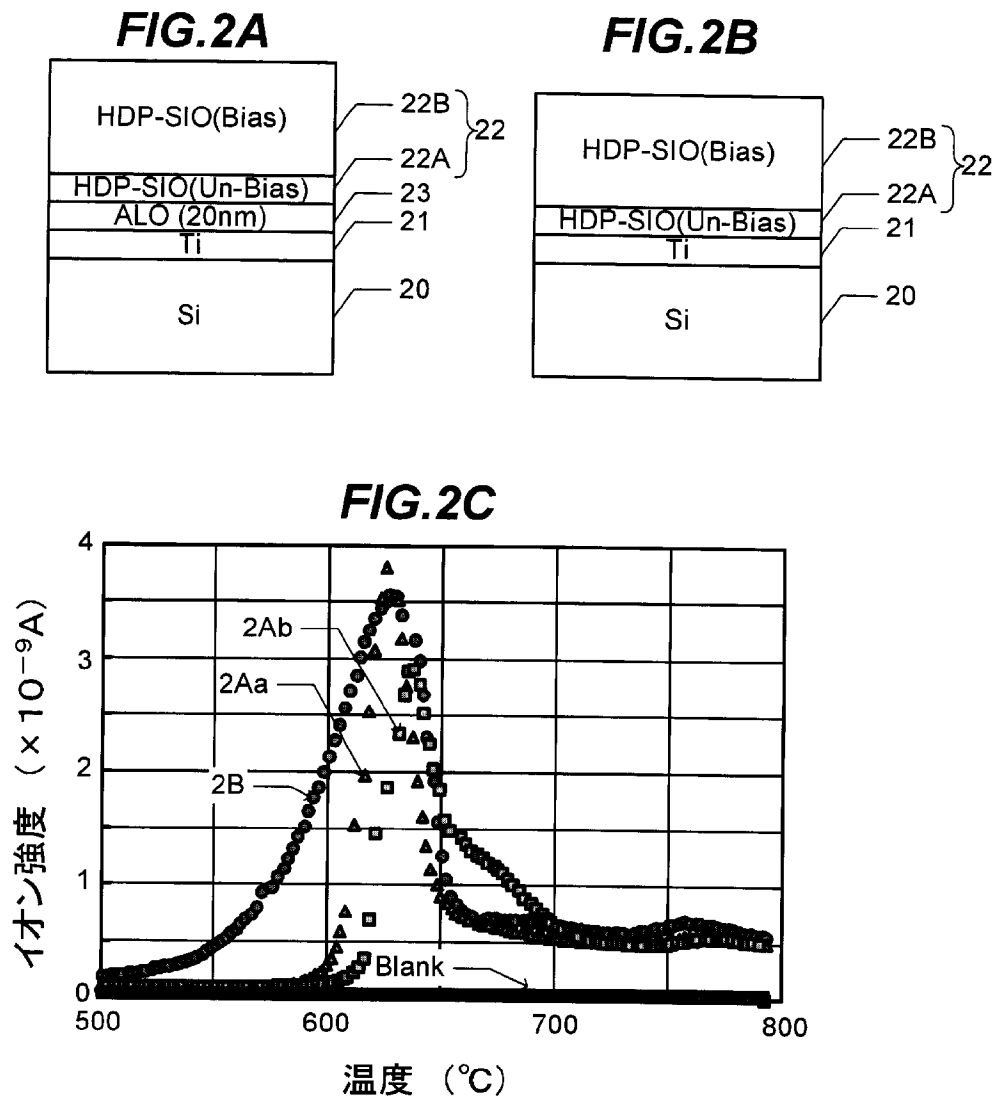
前記第 7 の絶縁膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第 1 の絶縁膜を形成する工程とを有し、

基板上的 T i 膜の上に厚さ 2 0 n m の酸化アルミニウム膜を前記第 1 のキャパシタ保護膜と同一の方法で形成し、その上に前記第 7 の絶縁膜と同一の方法で第 1 の酸化シリコン膜を形成し、さらにその上に前記第 1 の絶縁膜と同一の方法で第 2 の酸化シリコン膜を形成した構造を持ち、該第 1 の酸化シリコン膜の厚さの異なる複数の試料の昇温脱離分析を行い、7 0 0 °C 以下の温度域では水素脱離スペクトルのピークが現れず、7 0 0 °C よりも高い温度域でピークが現れる試料のうち、該第 1 の酸化シリコン膜の厚さが最も薄い試料の該第 1 の酸化シリコン膜の厚さを下限膜厚としたときに、前記工程 (c) で形成される前記第 7 の絶縁膜の厚さが該下限膜厚以上である半導体装置の製造方法。

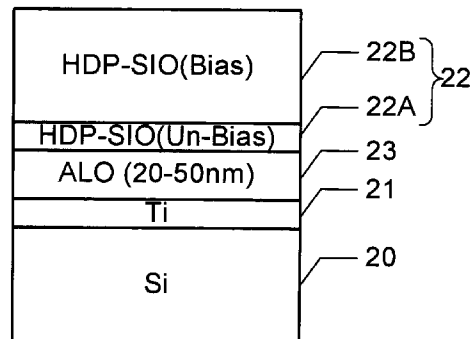
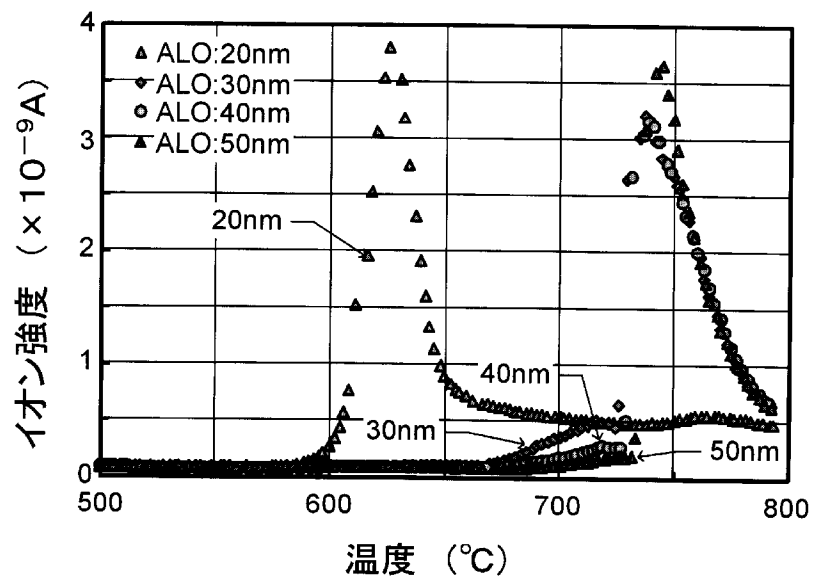
[図1]

FIG.1A**FIG.1B****FIG.1C**

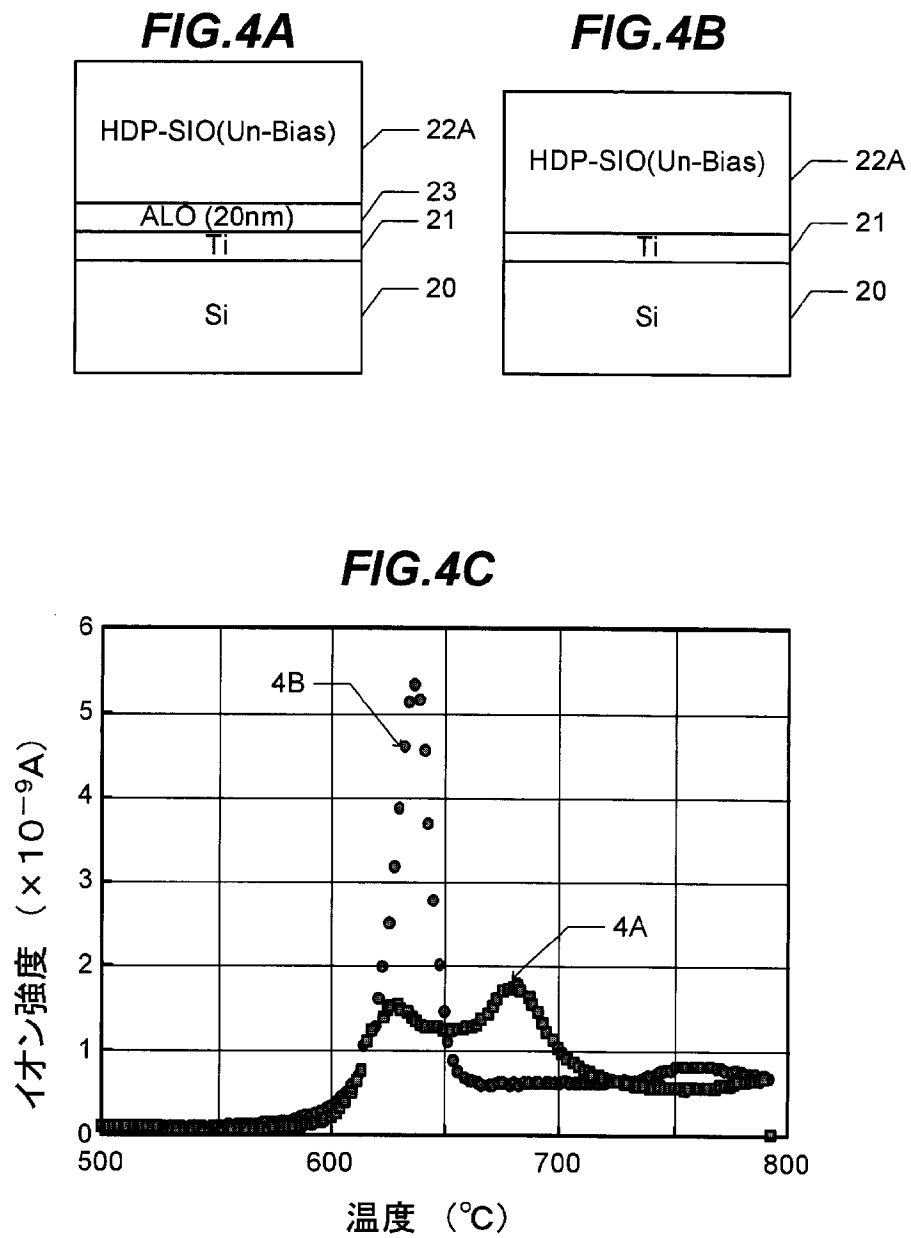
[図2]



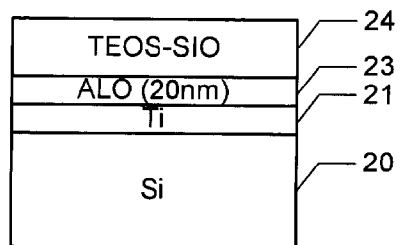
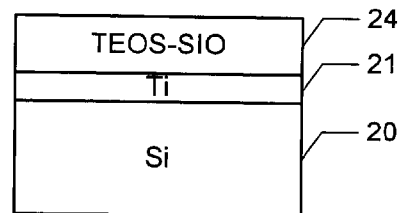
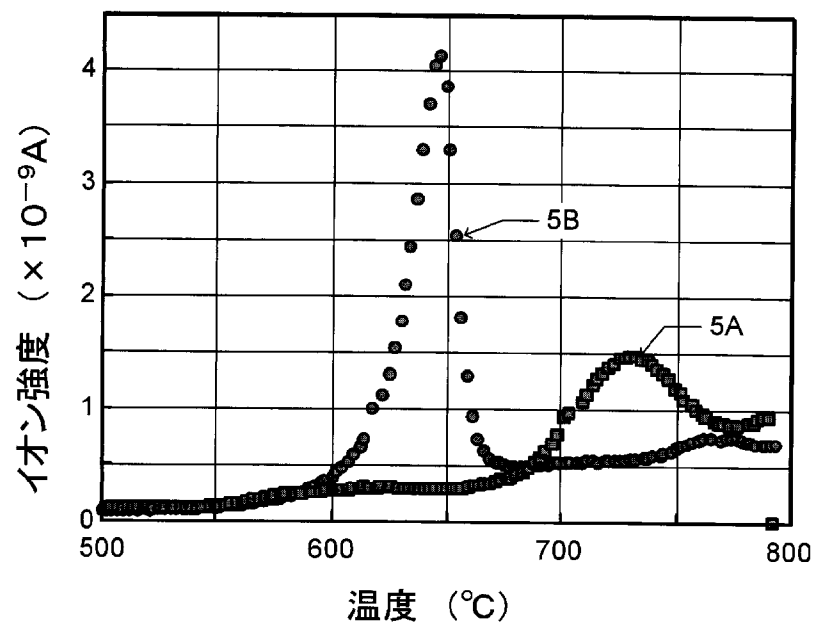
[図3]

FIG.3A**FIG.3B**

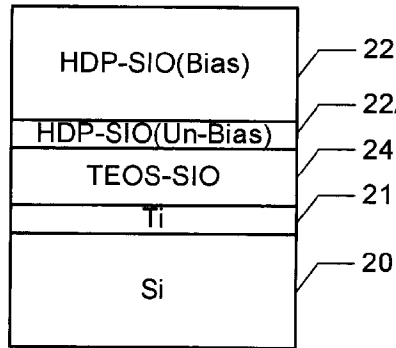
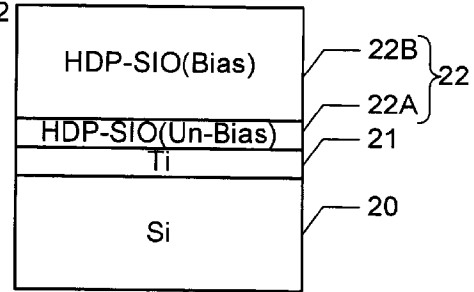
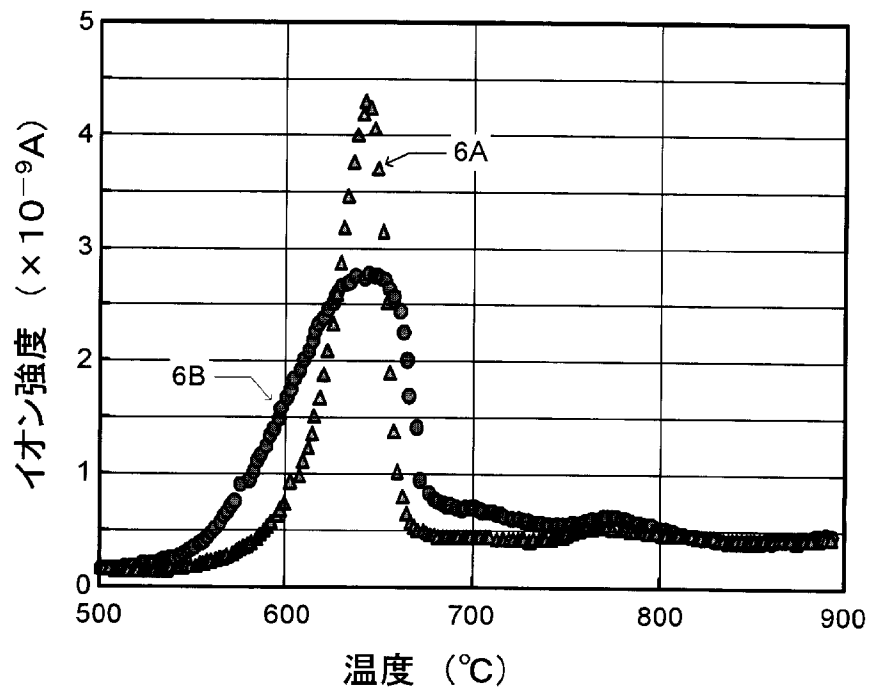
[図4]



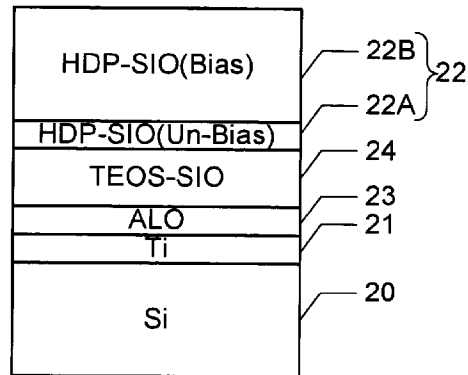
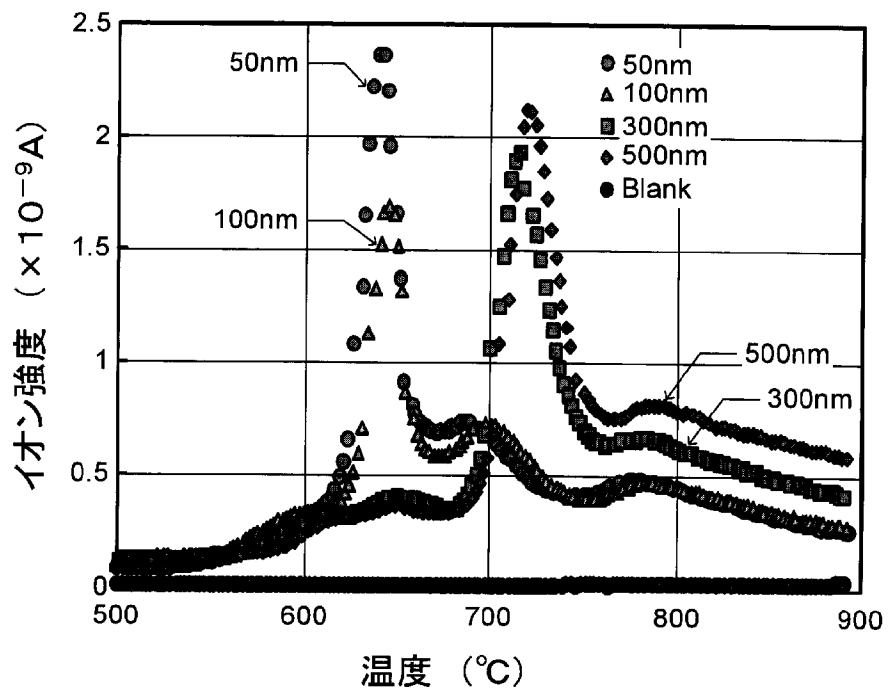
[図5]

FIG.5A**FIG.5B****FIG.5C**

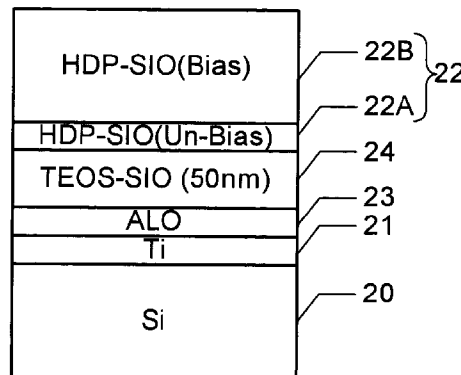
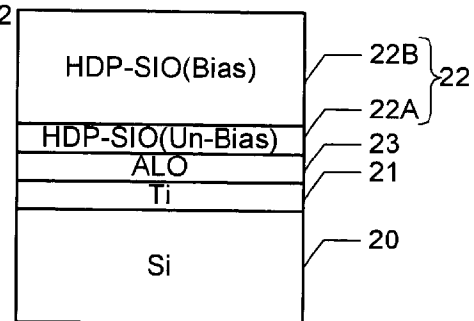
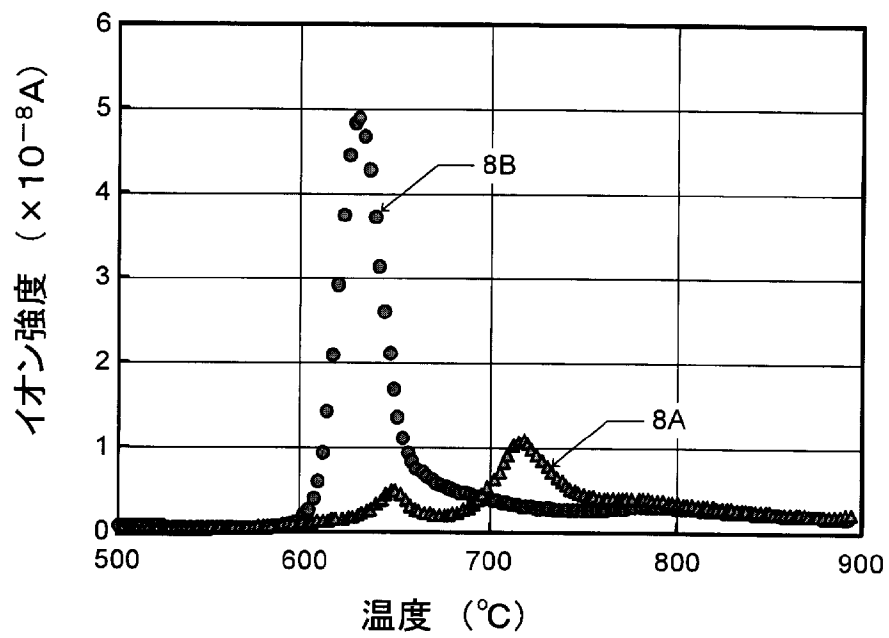
[図6]

FIG. 6A**FIG. 6B****FIG. 6C**

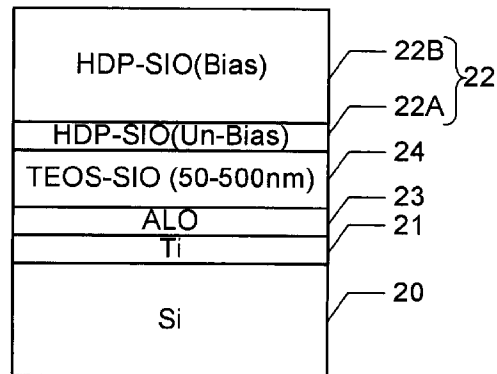
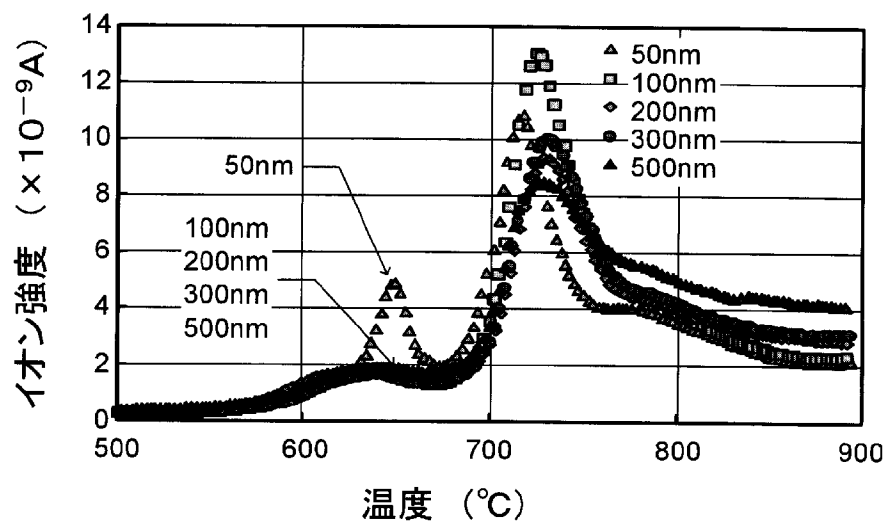
[図7]

FIG.7A**FIG.7B**

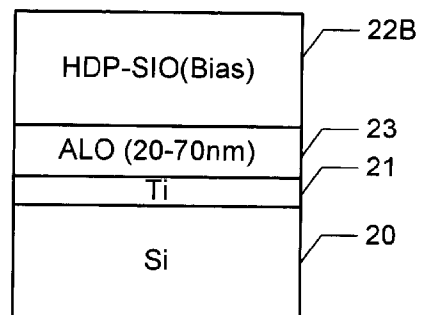
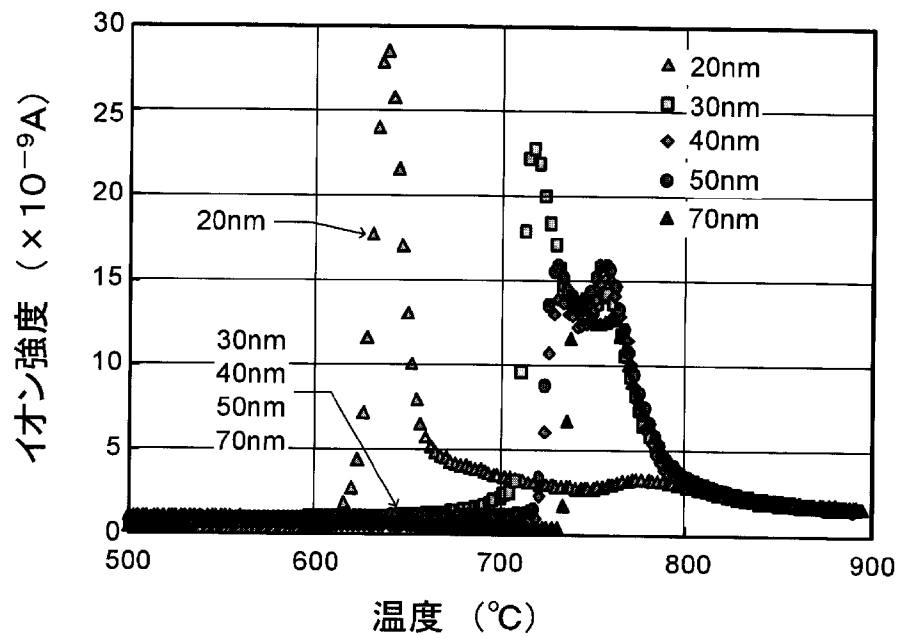
[図8]

FIG.8A**FIG.8B****FIG.8C**

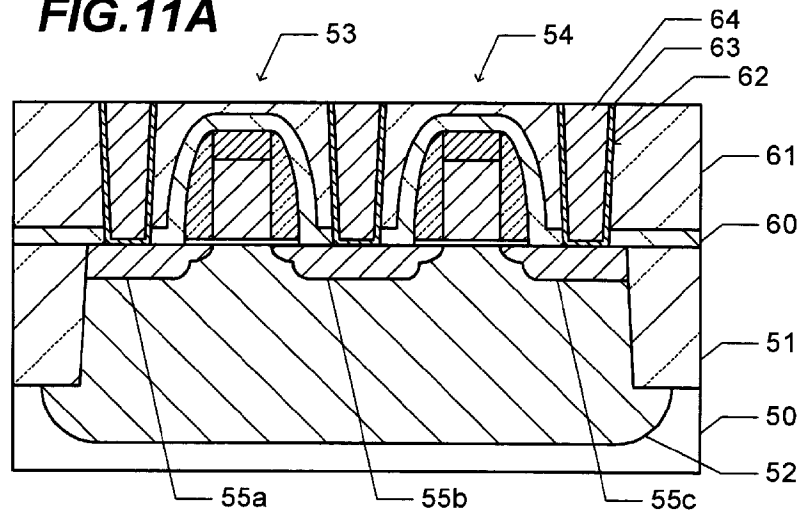
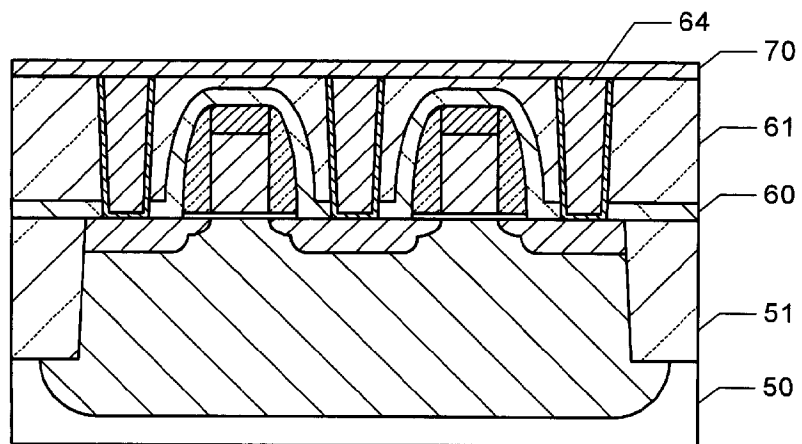
[図9]

FIG.9A**FIG.9B**

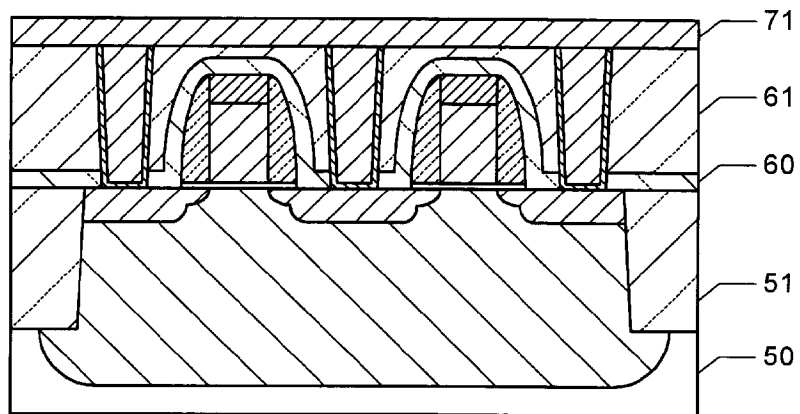
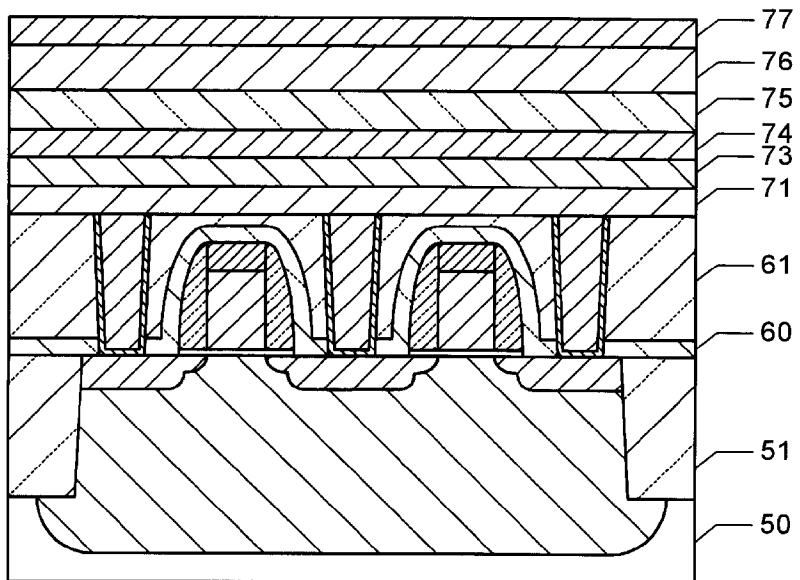
[図10]

FIG.10A**FIG.10B**

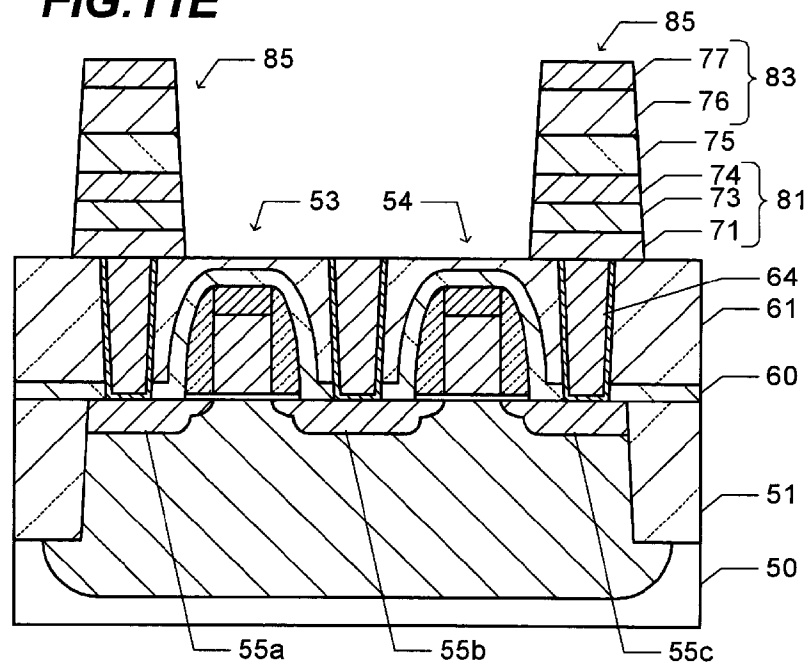
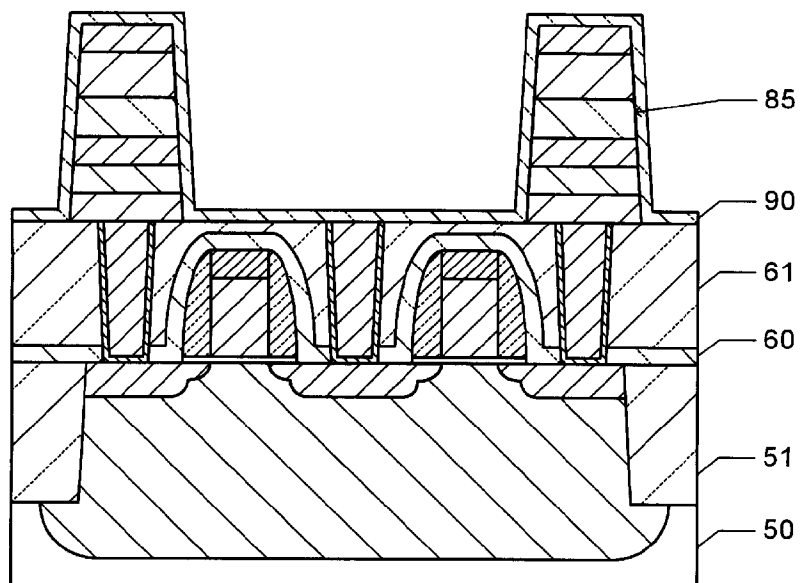
[図11-1]

FIG.11A**FIG.11B**

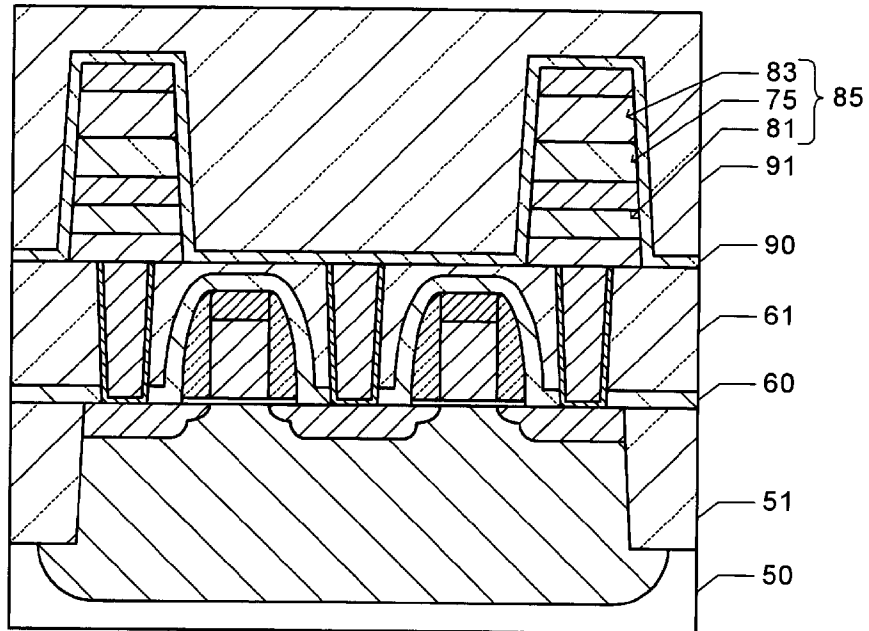
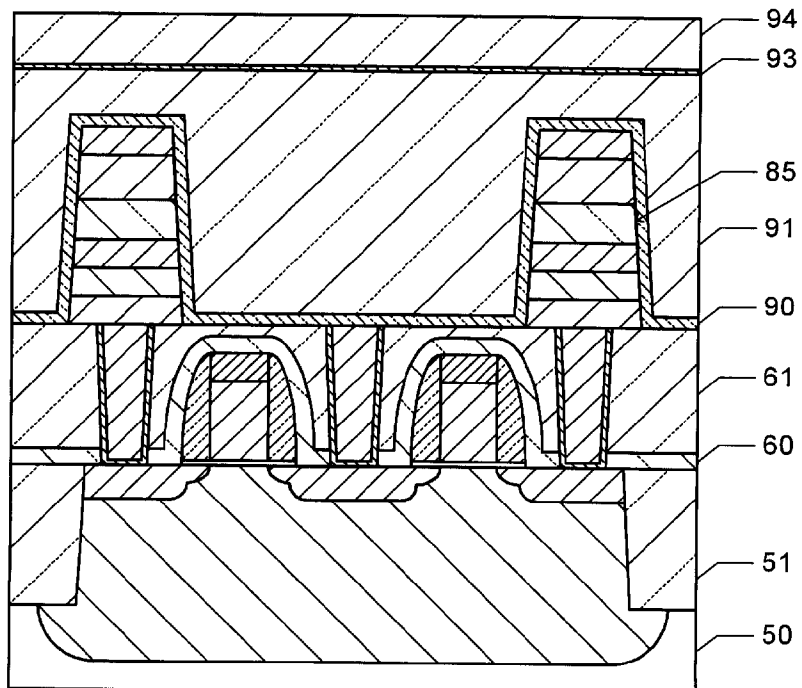
[図11-2]

FIG.11C**FIG.11D**

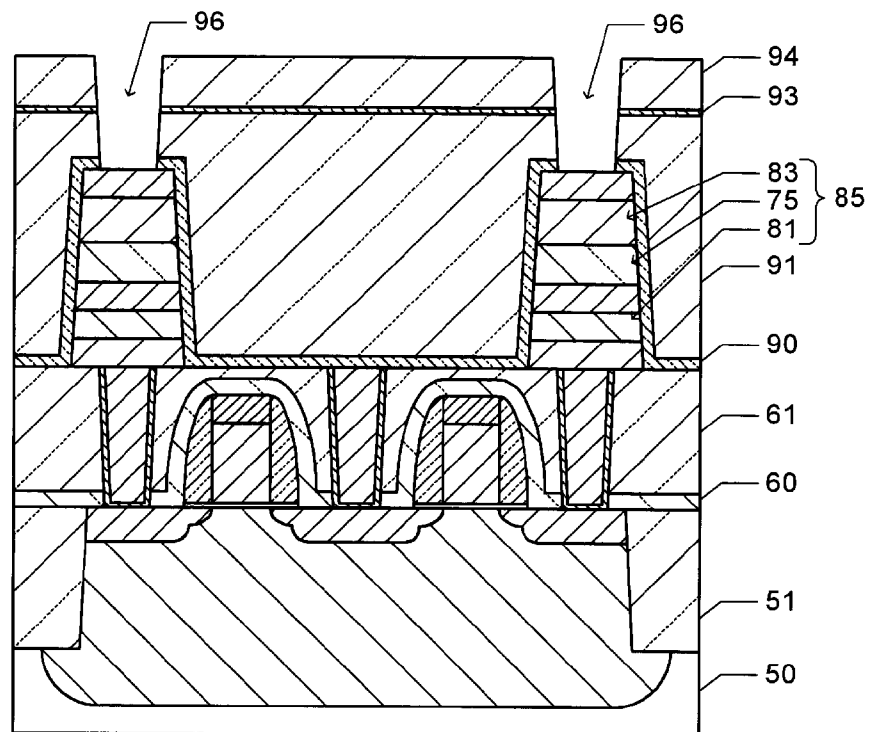
[図11-3]

FIG.11E**FIG.11F**

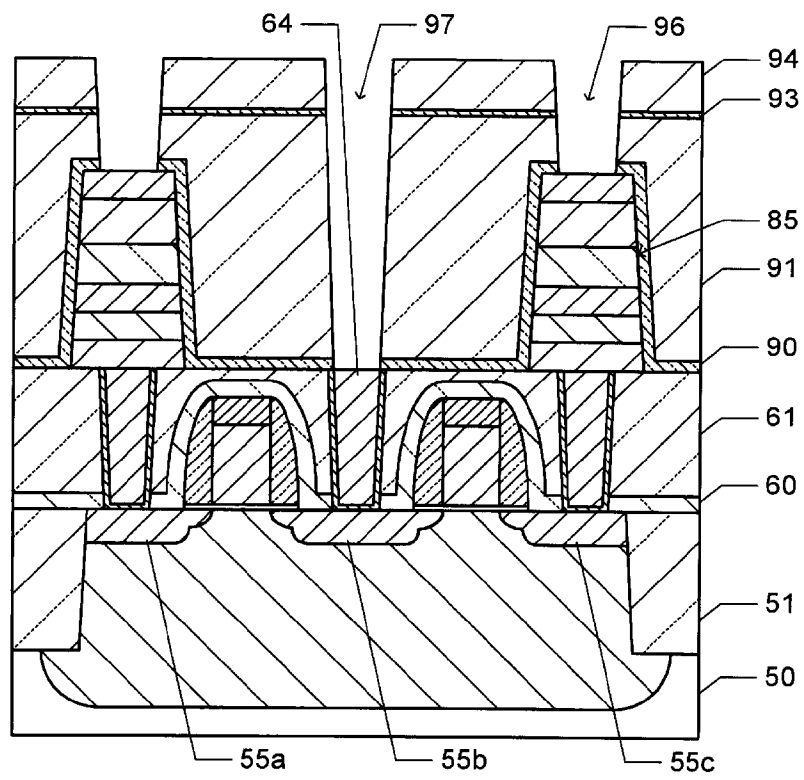
[図11-4]

FIG.11G**FIG.11H**

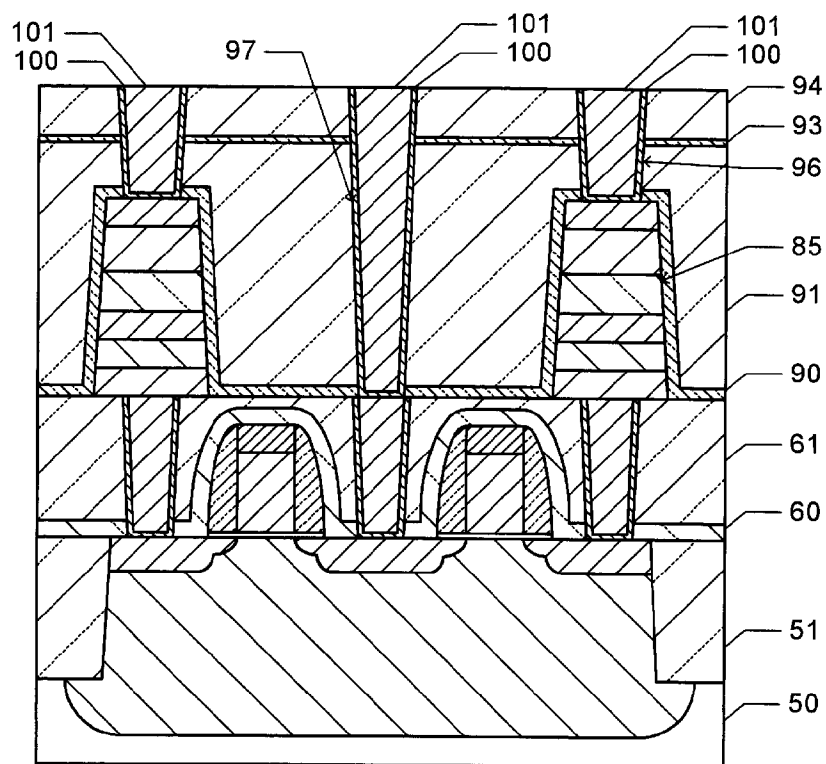
[図11-5]

FIG.11I

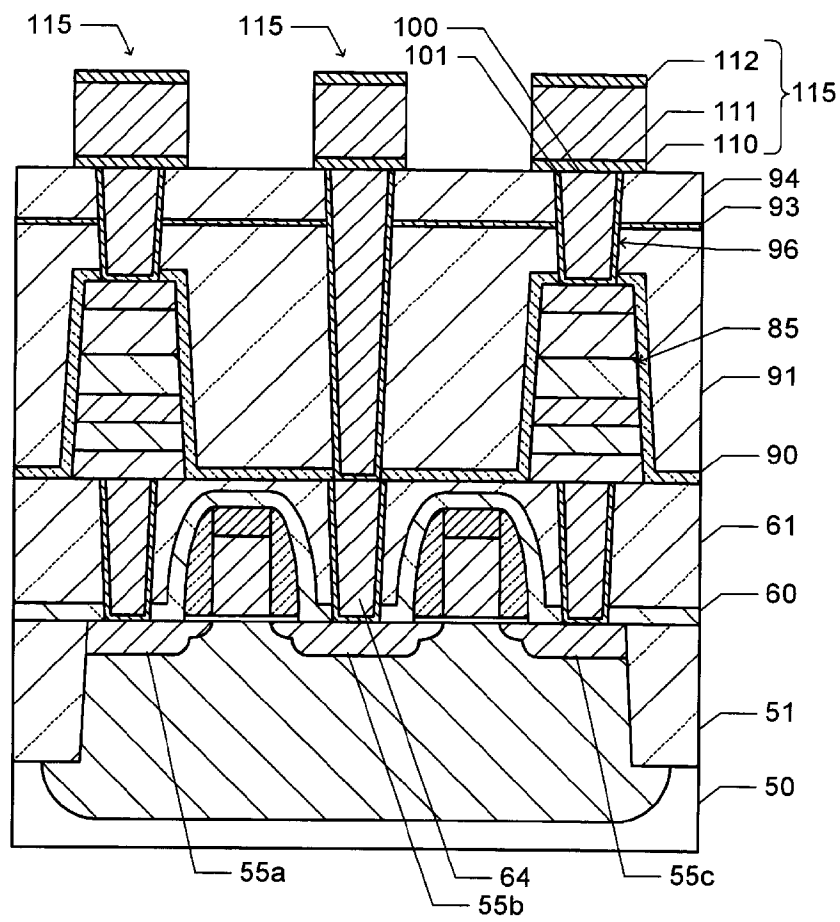
[図11-6]

FIG.11J

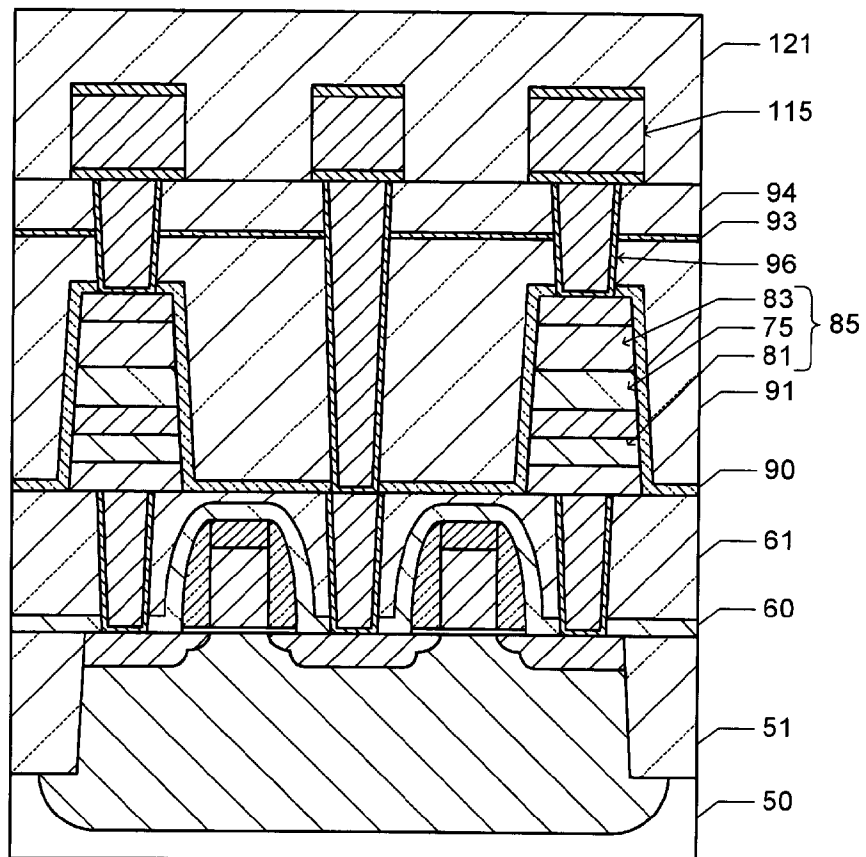
[図11-7]

FIG.11K

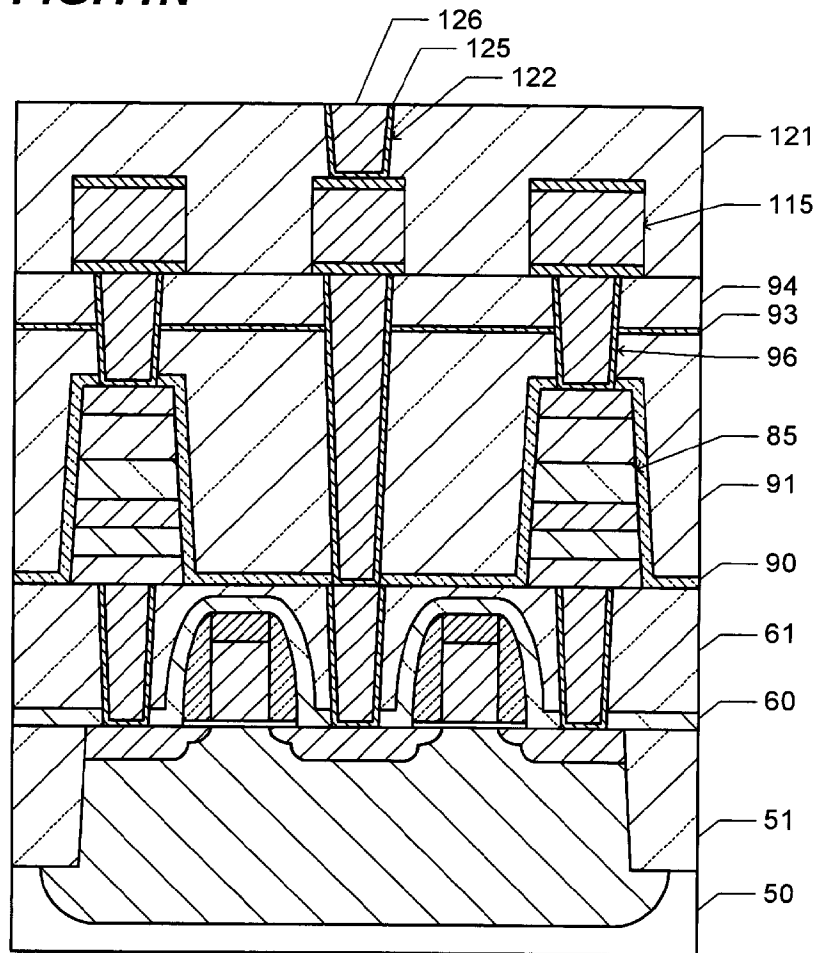
[図11-8]

FIG.11L

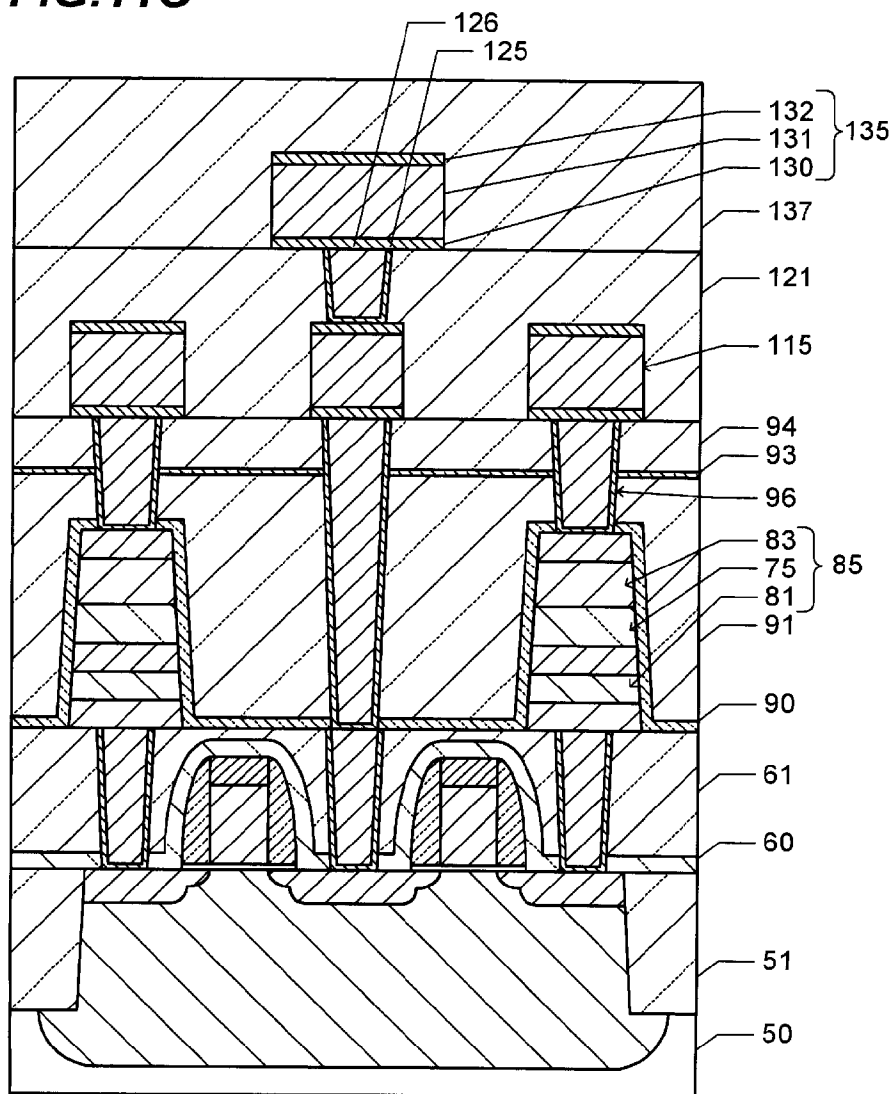
[図11-9]

FIG.11M

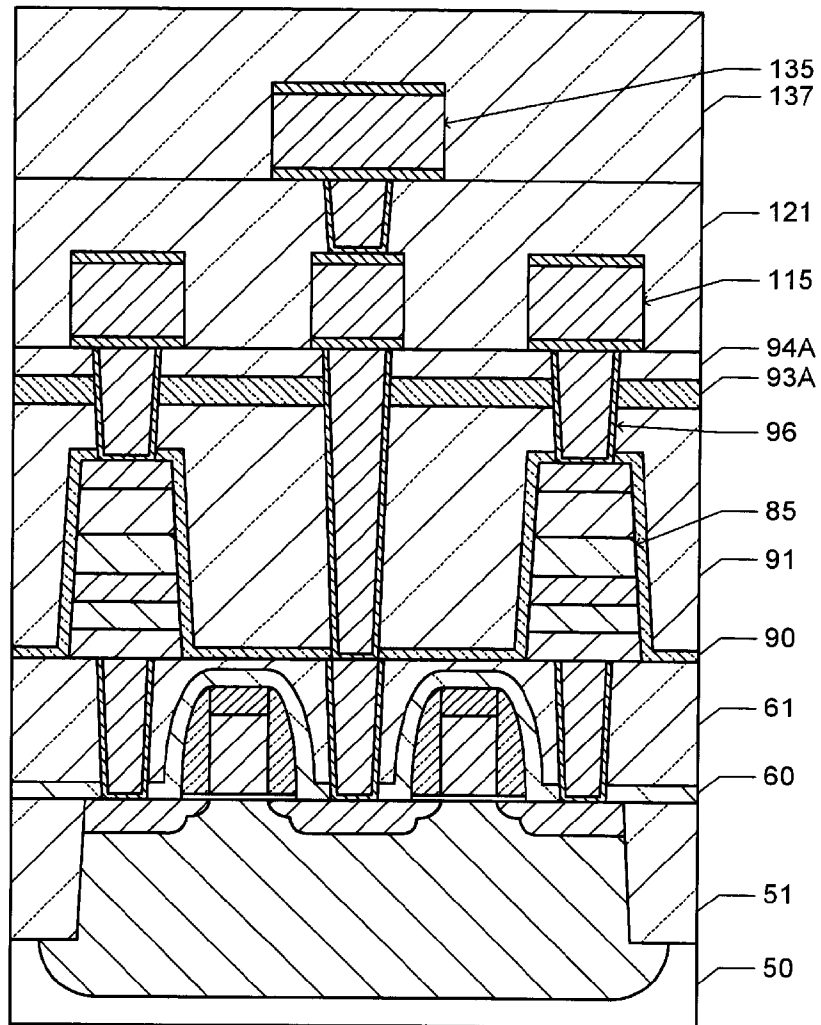
[図11-10]

FIG.11N

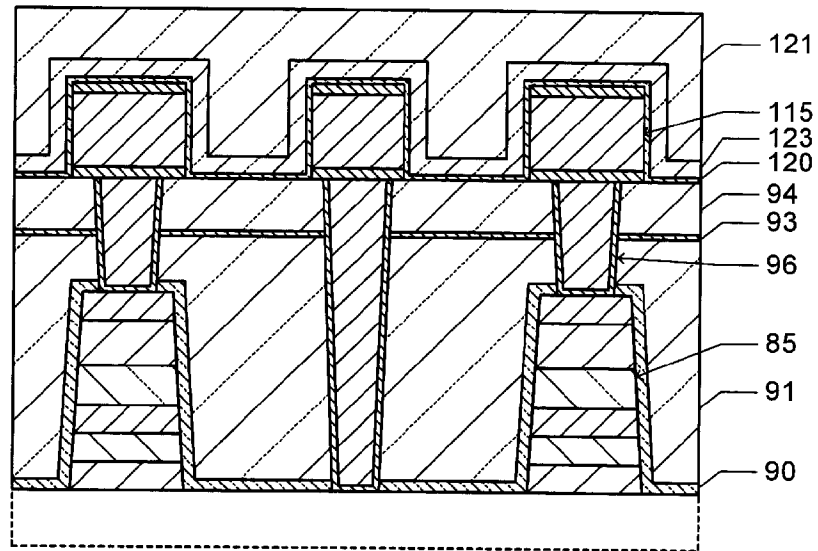
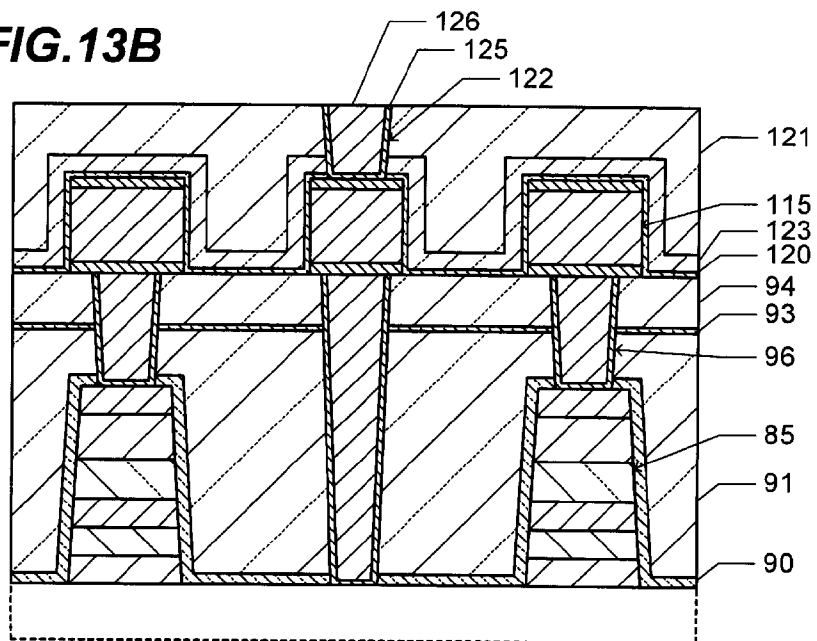
[図11-11]

FIG.110

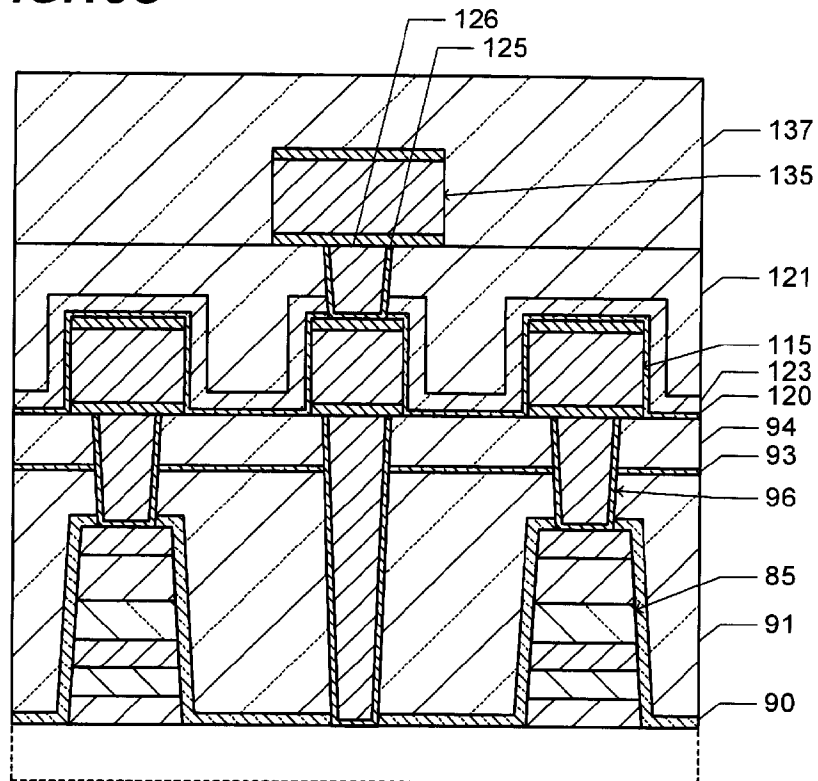
[図12]

FIG.12

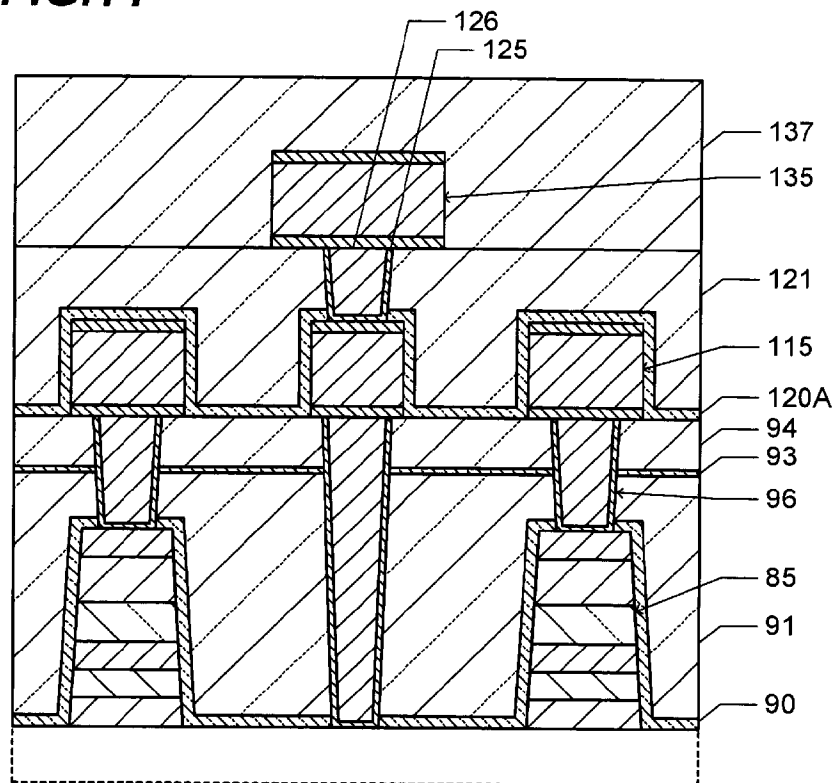
[図13-1]

FIG.13A**FIG.13B**

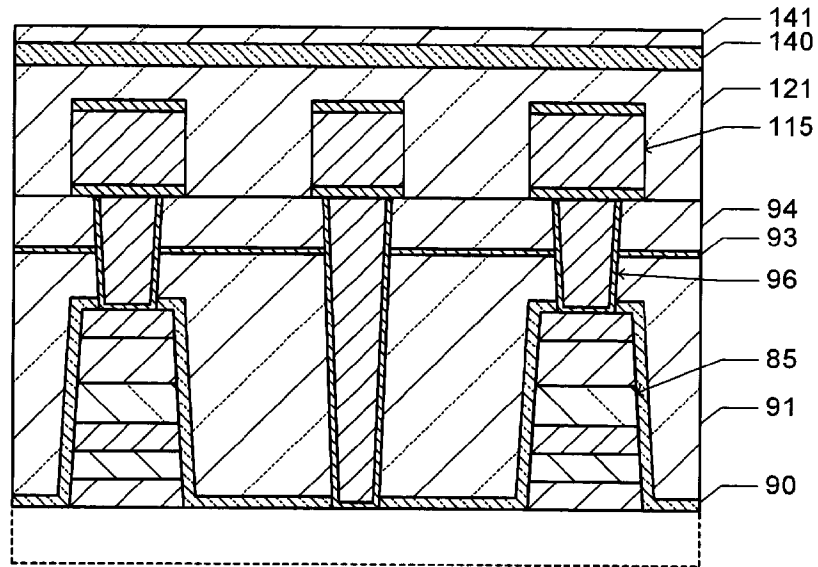
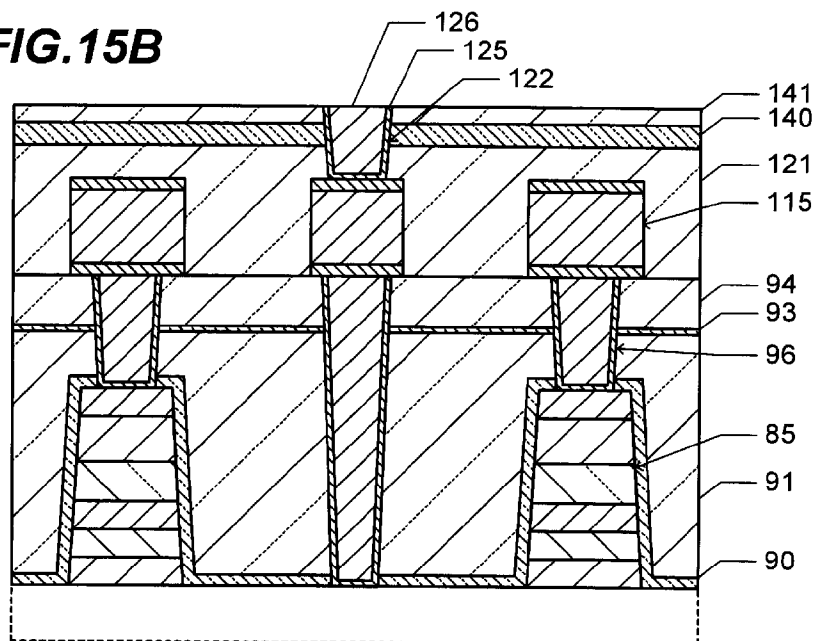
[図13-2]

FIG.13C

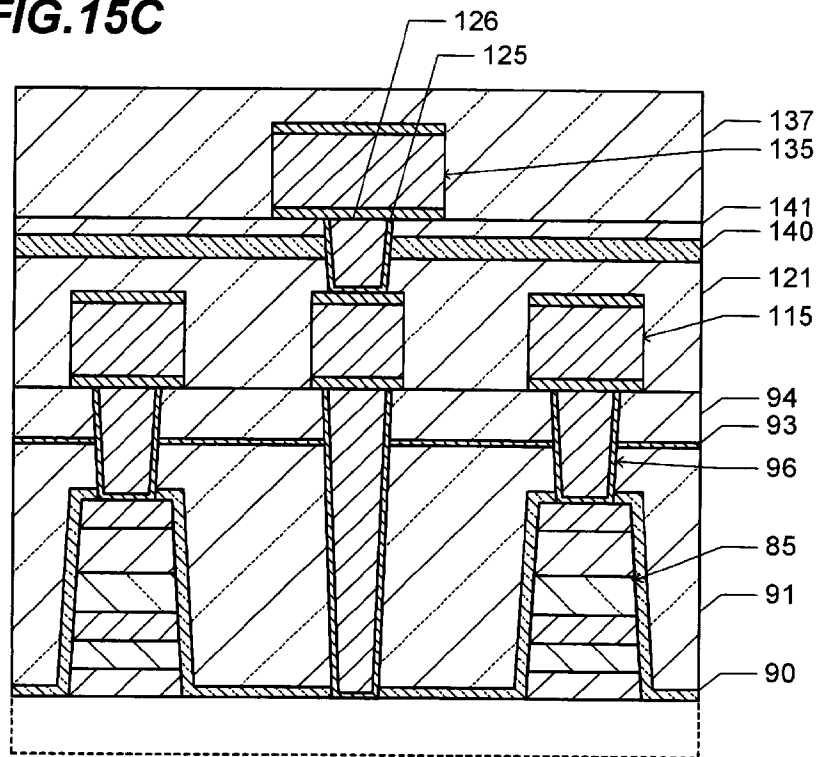
[図14]

FIG.14

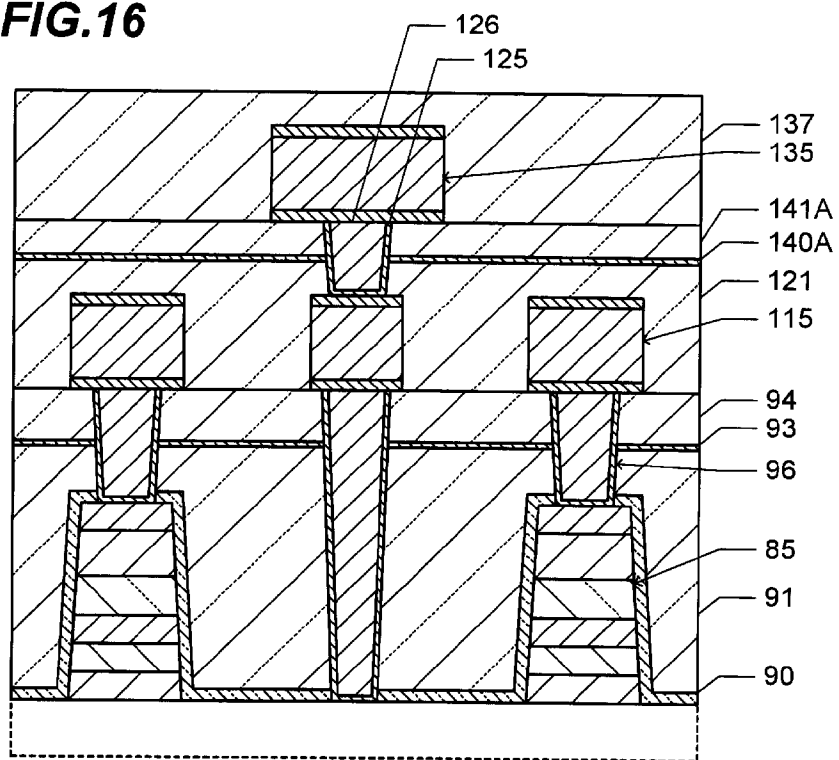
[図15-1]

FIG.15A**FIG.15B**

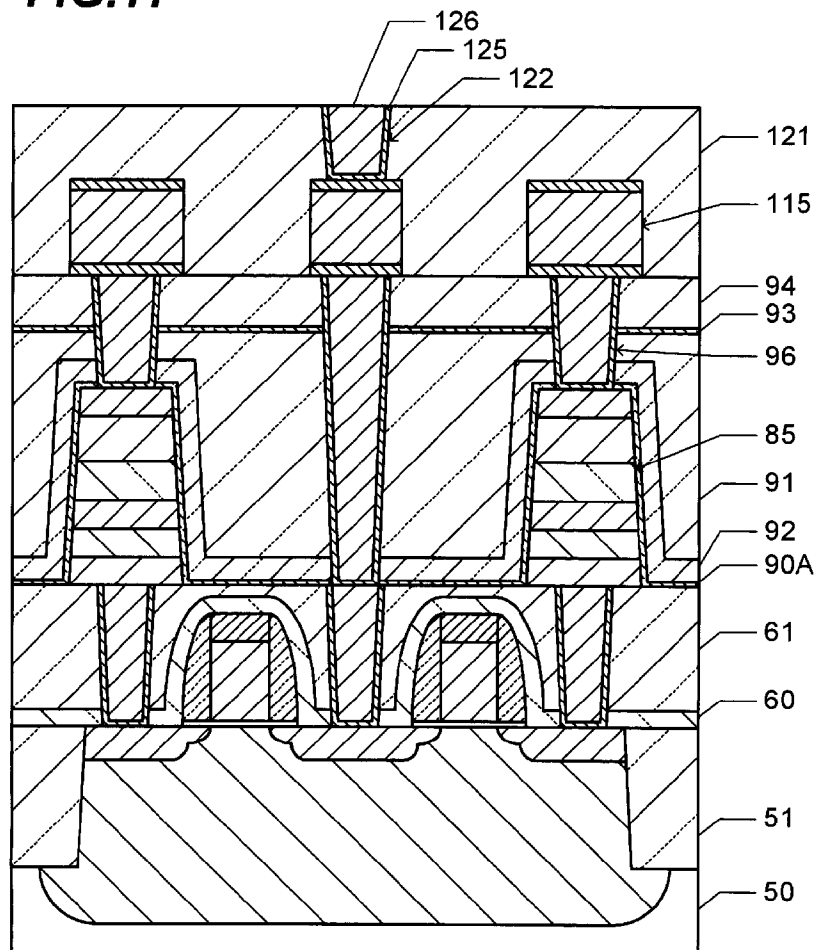
[図15-2]

FIG.15C

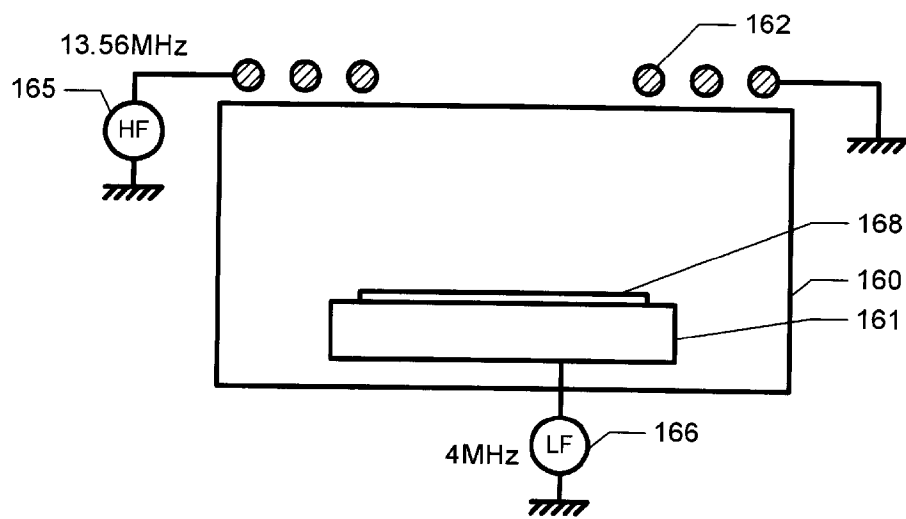
[図16]

FIG.16

[図17]

FIG.17

[図18]

FIG.18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000593

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01) i, H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-95755 A (Fujitsu Ltd.), 25 March, 2004 (25.03.04), Full text; all drawings & US 2004/147046 A1	1 2
X Y	JP 2003-218325 A (Fujitsu Ltd.), 31 July, 2003 (31.07.03), Full text; all drawings (Family: none)	1 2
X Y	JP 2006-279083 A (Fujitsu Ltd.), 12 October, 2006 (12.10.06), Full text; all drawings (Family: none)	1 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 August, 2007 (02.08.07)

Date of mailing of the international search report
14 August, 2007 (14.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000593

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-186311 A (Fujitsu Ltd.), 13 July, 2006 (13.07.06), Full text; all drawings & US 2006/118957 A1	2
Y	JP 2006-49795 A (Fujitsu Ltd.), 16 February, 2006 (16.02.06), Full text; all drawings & US 2005/285173 A1 & CN 1716609 A & KR 2006043171 A	2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000593

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 2

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000593

Continuation of Box No.III of continuation of first sheet (2)

In order for a group of inventions claimed in claims to satisfy the requirement of unity of invention, there should be a special technical feature for linking the group of inventions with each other so as to form a single general inventive concept. In this connection, it appears that the group of inventions claimed in claims 1-20 are linked with each other only in the matter of "the step of forming a ferroelectric capacitor including a semiconductor substrate and, sequentially superimposed thereon, an inferior electrode, a ferroelectric film and a superior electrode; and the step of forming a first capacitor protection film of aluminum oxide so as to cover the ferroelectric capacitor".

However, this matter cannot be a special technical feature because it is described in the prior art literature, for example, JP 2004-95755 A (Fujitsu Ltd.) 25 March, 2004 (25.03.04), JP 2003-218325 A (Fujitsu Ltd.) 31 July, 2003 (31.07.03) and JP 2006-279083 A (Fujitsu Ltd.) 12 October, 2006 (12.10.06).

Consequently, among the group of inventions claimed in claims 1-20, there is no special technical feature for linking them with each other so as to form a single general inventive concept. Therefore, it is apparent that the group of inventions claimed in claims 1-20 do not satisfy the requirement of unity of invention.

From the viewpoint of specified aspects of the claimed inventions, it appears that the claims of this international application involve four inventions classified into those of [claims 1-9], [claims 10-18], [claim 19] and [claim 20].

Moreover, it appears that the group of inventions claimed in claims 1-9 are linked with each other only in the matter of "the step of forming a ferroelectric capacitor including a semiconductor substrate and, sequentially superimposed thereon, an inferior electrode, a ferroelectric film and a superior electrode; the step of forming a first capacitor protection film of aluminum oxide having a thickness of 30 nm or greater so as to cover the ferroelectric capacitor; and the step of forming a first insulating film of silicon oxide on the first capacitor protection film by chemical vapor phase growth using high-density plasma."

However, this matter cannot be a special technical feature because it is described in the prior art literature, for example, JP 2004-95755 A (Fujitsu Ltd.) 25 March, 2004 (25.03.04), JP 2003-218325 A (Fujitsu Ltd.) 31 July, 2003 (31.07.03) and JP 2006-279083 A (Fujitsu Ltd.) 12 October, 2006 (12.10.06).

Consequently, among the group of inventions claimed in claims 1-9, there is no special technical feature for linking them with each other so as to form a single general inventive concept. Therefore, it is apparent that the group of inventions claimed in claims 1-9 do not satisfy the requirement of unity of invention.

From the viewpoint of specified aspects of the claimed inventions, it appears that the claims of this international application involve seven inventions classified into those of [claims 1-2], [claim 3], [claim 4], [claim 5], [claim 6], [claim 7] and [claims 8-9].

Therefore, it appears that the claims of this international application involve ten inventions classified into those of [claims 1-2], [claim 3], [claim 4], [claim 5], [claim 6], [claim 7], [claims 8-9], [claims 10-18], [claim 19] and [claim 20].

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2004-95755 A（富士通株式会社） 2004.03.25, 全文, 全図	1
Y	& U S 2004/147046 A1	2
X	J P 2003-218325 A（富士通株式会社） 2003.07.31, 全文, 全図（ファミリーなし）	1
Y		2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
02.08.2007

国際調査報告の発送日
14.08.2007

国際調査機関の名称及びあて先
 日本国特許庁（I S A/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	4M	3035
柴山 将隆		
電話番号 03-3581-1101 内線 3462		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2006-279083 A (富士通株式会社) 2006. 10. 12, 全文, 全図 (ファミリーなし)	1
Y		2
Y	J P 2006-186311 A (富士通株式会社) 2006. 07. 13, 全文, 全図 &US 2006/118957 A1	2
Y	J P 2006-49795 A (富士通株式会社) 2006. 02. 16, 全文, 全図 &US 2005/285173 A1 &CN 1716609 A &KR 2006043171 A	2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別頁参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1, 2

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

請求に範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-20に記載されている一群の発明は、「半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、前記強誘電体を覆うように、酸化アルミニウムからなる第1のキャパシタ保護膜を形成する工程」という事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献、例えば、J P 2004-95755 A (富士通株式会社) 2004.03.25、J P 2003-218325 A (富士通株式会社) 2003.07.31及びJ P 2006-279083 A (富士通株式会社) 2006.10.12に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-20に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲1-20に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1-9]、[10-18]、[19]、[20]とに区分される4個の発明が記載されていると認める。

さらに、請求の範囲1-9に記載されている一群の発明は、「半導体基板上に下部電極、強誘電体膜、及び上部電極がこの順番に積層された強誘電体キャパシタを形成する工程と、前記強誘電体を覆うように、酸化アルミニウムからなる厚さ30nm以上の第1のキャパシタ保護膜を形成する工程と第1のキャパシタ保護膜の上に、高密度プラズマを用いた化学気相成長により、酸化シリコンからなる第1の絶縁膜を形成する工程」という事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献、例えば、J P 2004-95755 A (富士通株式会社) 2004.03.25、J P 2003-218325 A (富士通株式会社) 2003.07.31及びJ P 2006-279083 A (富士通株式会社) 2006.10.12に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-9に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲1-9に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1-2]、[3]、[4]、[5]、[6]、[7]、[8-9]とに区分され7個の発明が記載されていると認める。

以上のとおりであるから、この国際出願の請求の範囲には、[1-2]、[3]、[4]、[5]、[6]、[7]、[8-9]、[10-18]、[19]、[20]とに区分される10個の発明が記載されていると認める。