

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年12月7日(07.12.2017)



(10) 国際公開番号

WO 2017/209191 A1

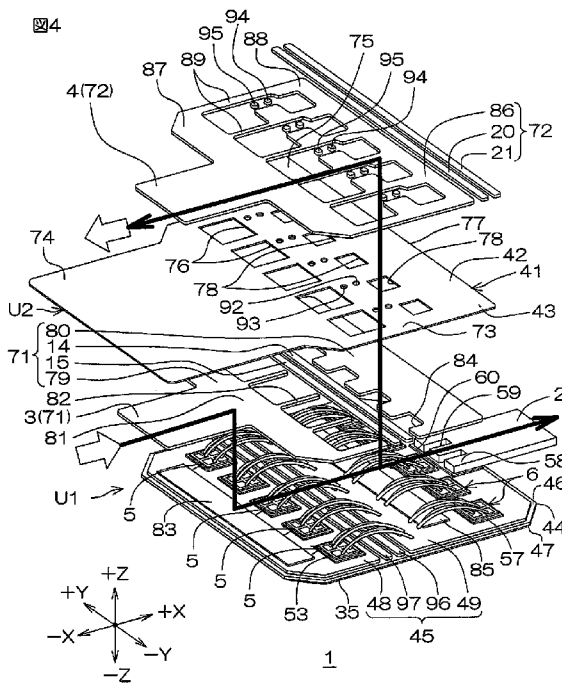
- (51) 国際特許分類:  
H01L 25/07 (2006.01) H02M 7/48 (2007.01)  
H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2017/020303
- (22) 国際出願日: 2017年5月31日(31.05.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-110383 2016年6月1日(01.06.2016) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院  
溝崎町2番地 Kyoto (JP).
- (72) 発明者: 林 健二 (HAYASHI, Kenji); 〒6158585  
京都府京都市右京区西院溝崎町2番地  
ローム株式会社内 Kyoto (JP). 林 口 匡司  
(HAYASHIGUCHI, Masashi); 〒6158585 京都

府京都市右京区西院溝崎町2番地ローム株式会社内 Kyoto (JP).

- (74) 代理人: 特許業務法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目6番12号 サンマリオンNBFタワー21階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR POWER MODULE

(54) 発明の名称: 半導体パワーモジュール



(57) Abstract: This semiconductor power module comprises: an insulating substrate having one surface and the other surface; an output-side terminal which is arranged on the one surface of the insulating substrate; a first power supply terminal which is arranged on the one surface of the insulating substrate; a second power supply terminal which is arranged on the other surface of the insulating substrate so as to face the first power supply terminal, with the insulating substrate being sandwiched therebetween, and to which a voltage having a magnitude different from that of the voltage applied to the first power supply terminal is applied; a first switching element which is arranged on the one surface of the insulating substrate and is electrically connected to the output-side terminal and the first power supply terminal; and a second switching element which is arranged on the one surface of the insulating substrate and is electrically connected to the output-side terminal and the second power supply terminal.

WO 2017/209191 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

(57) 要約 : 半導体パワーモジュールは、一方表面および他方表面を有する絶縁基板と、前記絶縁基板の前記一方表面側に配置された出力側端子と、前記絶縁基板の前記一方表面側に配置された第1電源端子と、前記絶縁基板を挟んで前記第1電源端子に対向するように、前記絶縁基板の前記他方表面側に配置され、前記第1電源端子に印加される電圧とは異なる大きさの電圧が印加される第2電源端子と、前記絶縁基板の前記一方表面側に配置され、前記出力側端子および前記第1電源端子に電氣的に接続された第1スイッチング素子と、前記絶縁基板の前記一方表面側に配置され、前記出力側端子および前記第2電源端子に電氣的に接続された第2スイッチング素子とを含む。

## 明 細 書

発明の名称：半導体パワーモジュール

### 技術分野

[0001] 本発明は、半導体パワーモジュールに関する。

### 背景技術

[0002] 特許文献1には、複数のスイッチング素子を含む半導体パワーモジュールの一例として、インバータモジュールが開示されている。このインバータモジュールは、第1半導体素子（第1スイッチング素子）と、第2半導体素子（第2スイッチング素子）と、これらを収容する樹脂ケースとを備えている。

[0003] このインバータモジュールにおいて、樹脂ケースの一方側端部には、第1半導体素子に接続される正極側端子（電源端子）と、第2半導体素子に接続される負極側端子（電源端子）とが間隔を空けて配置されている。樹脂ケースの他方側端部には、第1半導体素子および第2半導体素子に共通に接続される一対の出力側端子が配置されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2013-222885号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 一般的に、複数のスイッチング素子を備えた半導体パワーモジュールでは、スイッチング動作時にサージ電圧が生じる虞があるという問題がある。サージ電圧の大きさは、電流が流れる配線等の電流経路のインダクタンス成分に比例するため、電流経路からインダクタンス成分を取り除くことが一つの課題となっている。

[0006] ところで、特許文献1に開示された半導体パワーモジュールでは、互いに異なる電圧が印加される2つの電源端子が、樹脂ケースの一方側端部におい

て互いに間隔を空けて配置されている。

[0007] これら2つの電源端子間の距離は、樹脂ケースの形状に依存して設定されているため、比較的大きい値となる。そのため、一方の電源端子で発生する磁界と、他方の電源端子で発生する磁界とを良好に相殺させることができないから、相互誘導効果に起因して端子間の相互インダクタンス成分が増加する虞がある。

[0008] そこで、本発明は、インダクタンス成分を低減できる半導体パワーモジュールを提供する。

### 課題を解決するための手段

[0009] 本発明は、一方表面および他方表面を有する絶縁基板と、前記絶縁基板の前記一方表面側に配置された出力側端子と、前記絶縁基板の前記一方表面側に配置された第1電源端子と、前記絶縁基板を挟んで前記第1電源端子に対向するように、前記絶縁基板の前記他方表面側に配置され、前記第1電源端子に印加される電圧とは異なる大きさの電圧が印加される第2電源端子と、前記絶縁基板の前記一方表面側に配置され、前記出力側端子および前記第1電源端子に電氣的に接続された第1スイッチング素子と、前記絶縁基板の前記一方表面側に配置され、前記出力側端子および前記第2電源端子に電氣的に接続された第2スイッチング素子とを含む、半導体パワーモジュールを提供する。

[0010] この半導体パワーモジュールによれば、第1電源端子および第2電源端子が対向配置される絶縁基板の厚さに基づいて、第1電源端子および第2電源端子間の距離を設定できる。これにより、絶縁性を保ちつつ、第1電源端子および第2電源端子を近接配置できる。

[0011] したがって、第1電源端子で発生する磁界と、第2電源端子で発生する磁界とを良好に相殺できるから、第1電源端子および第2電源端子間の相互インダクタンス成分を低減できる。よって、インダクタンス成分を低減できる半導体パワーモジュールを提供できる。

[0012] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付

図面を参照して次に述べる実施形態の説明により明らかにされる。

### 図面の簡単な説明

[0013] [図1]図1は、本発明の一実施形態に係る半導体パワーモジュールの電気的構造を示す電気回路図である。

[図2]図2は、図1の半導体パワーモジュールを上側から見た斜視図である。

[図3]図3は、図2の半導体パワーモジュールを下側から見た斜視図である。

[図4]図4は、図1の半導体パワーモジュールの内部構造を示す分解斜視図である。

[図5]図5は、図1の半導体パワーモジュールの内部構造を示す平面図である。

[図6]図6は、図1の半導体パワーモジュールの内部構造を示す側面図である。

[図7]図7は、図6の領域VIIの拡大図である。

[図8]図8は、図7のVIII-VIII線に沿う断面図である。

[図9]図9は、図1の半導体パワーモジュールの第1変形例に係る電気的構造を示す電気回路図である。

[図10]図10は、図1の半導体パワーモジュールの第2変形例に係る電気的構造を示す電気回路図である。

### 発明を実施するための形態

[0014] 図1は、本発明の一実施形態に係る半導体パワーモジュール1の電気的構造を示す電気回路図である。

[0015] 図1を参照して、本実施形態に係る半導体パワーモジュール1は、出力側端子2と、高電圧側端子3（第1電源端子）と、高電圧側端子3に印加される電圧よりも低い電圧が印加される低電圧側端子4（第2電源端子）とを含む。

[0016] 半導体パワーモジュール1は、出力側端子2および高電圧側端子3間に接続された複数（本実施形態では5個）の第1スイッチング素子5と、出力側端子2および低電圧側端子4間に接続された複数（本実施形態では5個）の

第2スイッチング素子6とを含む。

- [0017] 出力側端子2、高電圧側端子3、低電圧側端子4、複数の第1スイッチング素子5および複数の第2スイッチング素子6により、ハーフブリッジ回路7が構成されている。高電圧側端子3と低電圧側端子4とは、互いに近接配置されている。
- [0018] ハーフブリッジ回路7において、複数の第1スイッチング素子5は、高電圧側の上アーム8を構成しており、複数の第2スイッチング素子6は、低電圧側の下アーム9を構成している。
- [0019] 各第1スイッチング素子5は、本実施形態では、Si基板、SiC基板またはワイドバンドギャップ型の半導体基板に形成されたMISFET (Metal Insulator Semiconductor Field Effect Transistor) を含み、第1ソース電極10、第1ドレイン電極11および第1ゲート電極12を有している。
- [0020] 各第1スイッチング素子5において、第1ソース電極10、第1ドレイン電極11は、一对の第1主電極を構成しており、第1ゲート電極12は、一对の第1主電極間を流れる電流を制御する第1制御電極を構成している。各第1スイッチング素子5は、第1ドレイン電極11および第1ソース電極10間に逆バイアス接続された第1ダイオード13を含む。
- [0021] 各第1スイッチング素子5は、第1ソース電極10が出力側端子2に電氣的に接続され、第1ドレイン電極11が高電圧側端子3に電氣的に接続されることによって、高電圧側端子3および低電圧側端子4間に接続されている。各第1スイッチング素子5の第1ゲート電極12は、高電圧側の第1ゲート端子14 (第1制御端子) に共通に電氣的に接続されている。
- [0022] 第1ゲート端子14は、各第1スイッチング素子5 (各第1ゲート電極12) を駆動制御するための端子である。各第1スイッチング素子5の第1ソース電極10は、出力側端子2に加えて、高電圧側の第1ソースセンス端子15に共通に電氣的に接続されている。第1ソースセンス端子15は、第1ソース電極10の電位を検出するための電位検出用の端子である。
- [0023] 各第2スイッチング素子6は、本実施形態では、Si基板、SiC基板ま

たはワイドバンドギャップ型の半導体基板に形成されたM I S F E Tを含み、第2ソース電極16、第2ドレイン電極17および第2ゲート電極18を有している。

[0024] 各第2スイッチング素子6において、第2ソース電極16および第2ドレイン電極17は、一对の第2主電極を構成しており、第2ゲート電極18は、一对の第2主電極間を流れる電流を制御する第2制御電極を構成している。各第2スイッチング素子6は、第2ドレイン電極17および第2ソース電極16間に逆バイアス接続された第2ダイオード19を含む。

[0025] 各第2スイッチング素子6は、第2ドレイン電極17が出力側端子2に電氣的に接続され、第2ソース電極16が低電圧側端子4に電氣的に接続されることによって、出力側端子2および低電圧側端子4間に接続されている。

[0026] 出力側端子2は、第1スイッチング素子5の第1ソース電極10および第2スイッチング素子6の第2ドレイン電極17に共通に接続された共通端子でもある。各第2スイッチング素子6の第2ゲート電極18は、低電圧側の第2ゲート端子20（第1制御端子）に共通に電氣的に接続されている。

[0027] 第2ゲート端子20は、各第2スイッチング素子6（各第2ゲート電極18）を駆動制御するための端子である。各第2スイッチング素子6の第2ソース電極16は、低電圧側端子4に加えて、低電圧側の第2ソースセンス端子21に共通に電氣的に接続されている。第2ソースセンス端子21は、第2ソース電極16の電位を検出するための電位検出用の端子である。

[0028] 本実施形態に係る半導体パワーモジュール1は、たとえば、U相、V相およびW相を有する三相モータにおいて、U相、V相およびW相のいずれか一相を駆動させるためのインバータモジュールとして構成されている。したがって、U相、V相およびW相に対応する3個の半導体パワーモジュール1を備えることによって、三相モータを駆動するためのインバータ装置を提供できる。

[0029] インバータ装置では、各半導体パワーモジュール1の高電圧側端子3および低電圧側端子4間に直流電源が接続され、各半導体パワーモジュール1の

出力側端子2に三相モータが負荷として接続される。高電圧側端子3および低電圧側端子4間には、低電圧側端子4側を基準電位として、たとえば500V以上2000V以下の直流電圧が印加される。

[0030] インバータ装置では、各半導体パワーモジュール1の第1スイッチング素子5および第2スイッチング素子6が、所定のスイッチングパターンで駆動制御される。これにより、直流電圧が三相交流電圧に変換され、三相モータに供給される。このようにして、三相モータが正弦波駆動される。

[0031] 次に、図2および図3を参照して、半導体パワーモジュール1の外観について具体的に説明する。

[0032] 図2は、図1の半導体パワーモジュール1を上側から見た斜視図である。図3は、図2の半導体パワーモジュール1を下側から見た斜視図である。

[0033] 半導体パワーモジュール1は、直方体形状のパッケージ本体部31を含む。パッケージ本体部31は、平面視四角形状の上面32と、当該上面32と同一形状の下面33と、上面32および下面33を接続する4つの側面34とを含む。

[0034] 以下では、説明の便宜上、図2および図3に示した+X方向および-X方向、+Y方向および-Y方向ならびに+Z方向および-Z方向を用いることがある。

[0035] +X方向および-X方向は、パッケージ本体部31の1辺に沿う2つの方向であり、これらを総称するときには単に「X方向」という。+Y方向および-Y方向はパッケージ本体部31の前記1辺と直交する他の1辺に沿う2つの方向であり、これらを総称するときには単に「Y方向」という。+Z方向および-Z方向はパッケージ本体部31の厚さ方向に沿う2つの方向であり、これらを総称するときには単に「Z方向」という。

[0036] パッケージ本体部31を水平面においたとき、X方向およびY方向は互いに直交する2つの水平な直線（X軸およびY軸）に沿う2つの水平方向となり、Z方向は鉛直な直線（Z軸）に沿う鉛直方向となる。

[0037] パッケージ本体部31は、たとえばエポキシ樹脂等の樹脂材料（熱硬化性

の樹脂材料) からなり、複数の第1スイッチング素子5および複数の第2スイッチング素子6等を封止している。

[0038] パッケージ本体部31において、+X方向側の側面34には、当該+X方向に沿って前述の出力側端子2が露出している。出力側端子2は、本実施形態では、パッケージ本体部31の内側から外側に平面視四角形状に引き出されている。

[0039] 出力側端子2の露出方向とは反対側の方向である-X方向側の側面34には、当該-X方向に沿って前述の高電圧側端子3および低電圧側端子4が露出している。つまり、出力側端子2と、高電圧側端子3および低電圧側端子4とは、パッケージ本体部31を挟んで互いに対向する位置に配置されている。

[0040] 高電圧側端子3および低電圧側端子4は、後述する絶縁基板41の一部(絶縁基板41の第1延設部74)にそれぞれ接合されている。高電圧側端子3および低電圧側端子4は、絶縁基板41の一部と共にパッケージ本体部31の内側から外側に平面視四角形状に引き出されている。

[0041] 低電圧側端子4は、図2に示されるように、絶縁基板41の+Z方向側の表面(以下、単に「絶縁基板41の表面42」という)に接合されている。高電圧側端子3は、図3に示されるように、絶縁基板41の-Z方向側の表面(以下、単に「絶縁基板41の裏面43」という)に接合されている。

[0042] パッケージ本体部31において、出力側端子2の露出方向(+X方向)、ならびに、高電圧側端子3および低電圧側端子4の露出方向(-X方向)とは異なる方向である+Y方向側の側面34には、前述の第1ゲート端子14および第1ソースセンス端子15と、前述の第2ゲート端子20および第2ソースセンス端子21とが、当該+Y方向に沿って露出している。

[0043] 第1ゲート端子14、第1ソースセンス端子15、第2ゲート端子20および第2ソースセンス端子21は、後述する絶縁基板41の一部(絶縁基板41の第2延設部75)にそれぞれ接合されている。

[0044] 第1ゲート端子14、第1ソースセンス端子15、第2ゲート端子20お

よび第2ソースセンス端子21は、絶縁基板41の一部（絶縁基板41の第2延設部75）と共にパッケージ本体部31の内側から外側に平面視帯状（平面視長方形状）に引き出されている。

[0045] 第2ゲート端子20および第2ソースセンス端子21は、図2に示されるように、絶縁基板41の表面42に接合されている。第1ゲート端子14および第1ソースセンス端子15は、図3に示されるように、絶縁基板41の裏面43に接合されている。

[0046] 図3を参照して、パッケージ本体部31の下面33には、放熱部材35が露出している。この放熱部材35によって、複数の第1スイッチング素子5および複数の第2スイッチング素子6で生じた熱が外部に放散される。

[0047] 次に、図4～図8を参照して、半導体パワーモジュール1の内部構造について具体的に説明する。

[0048] 図4は、図1の半導体パワーモジュール1の内部構造を示す分解斜視図である。図5は、図1の半導体パワーモジュール1の内部構造を示す平面図である。図6は、図1の半導体パワーモジュール1の内部構造を示す側面図である。図7は、図6の領域VIIの拡大図である。図8は、図7のVIII-VIII線に沿う断面図である。

[0049] 図4～図6を参照して、半導体パワーモジュール1は、絶縁基板41を含む。絶縁基板41は、表面42および裏面43を有している。絶縁基板41の表面42側には、低電圧側端子4が配置されている。絶縁基板41の裏面43側には、出力側端子2が配置されている。

[0050] 絶縁基板41の裏面43側には、高電圧側端子3が配置されている。絶縁基板41の裏面43側には、出力側端子2および高電圧側端子3に電氣的に接続された複数の第1スイッチング素子5と、出力側端子2および低電圧側端子4に電氣的に接続された複数の第2スイッチング素子6とが配置されている。

[0051] 半導体パワーモジュール1は、高電圧側端子3および低電圧側端子4が、絶縁基板41を挟んで互いに対向する構造を有している。以下、高電圧側端

子3および低電圧側端子4、ならびに、それらの周辺の構造について具体的に説明する。

[0052] 図4を参照して、本実施形態に係る半導体パワーモジュール1は、複数の第1スイッチング素子5、複数の第2スイッチング素子6および出力側端子2を含む第1ユニットU1と、絶縁基板41、高電圧側端子3および低電圧側端子4を含む第2ユニットU2とを備え、第1ユニットU1上に第2ユニットU2が積層配置された構成を有している。

[0053] 図4～図6を参照して、第1ユニットU1は、平面視四角形状の支持基板44と、支持基板44上に形成された第1導体パターン45と、第1導体パターン45上に配置された複数の第1スイッチング素子5と、第1導体パターン45上に配置された複数の第2スイッチング素子6と、第1導体パターン45上に配置された出力側端子2とを含む。

[0054] 支持基板44は、+Z方向の表面（以下、単に「支持基板44の表面46」という。）と、-Z方向の表面（以下、単に「支持基板44の裏面47」という。）とを含む。支持基板44は、絶縁基板41の裏面43側に当該絶縁基板41から間隔を空けて配置されており、その表面46側において第1スイッチング素子5および第2スイッチング素子6を支持している。

[0055] 支持基板44は、たとえば5mm以下の厚さを有している。支持基板44は、0.3mm以上0.7mm以下の厚さを有していてもよい。支持基板44は、セラミック（たとえばAlN、SiN、SiO<sub>2</sub>）等の無機系の絶縁基板であってもよいし、樹脂（たとえばエポキシ樹脂）等の有機系の絶縁基板であってもよい。

[0056] 第1導体パターン45は、たとえば銅（Cu）からなる導体膜であり、支持基板44の表面46に直接接合されている。第1導体パターン45には、高電圧側端子3と第1スイッチング素子5とを電氣的に接続する第1高電圧側導体パターン48と、出力側端子2と第2スイッチング素子6とを電氣的に接続する第1出力側導体パターン49とが含まれる。

[0057] 第1高電圧側導体パターン48は、支持基板44の-X方向側の端部に配

置されており、Y方向に沿って延びる平面視四角形状に形成されている。一方、第1出力側導体パターン49は、支持基板44の+X方向側の端部に配置されており、Y方向に沿って延びる平面視四角形状に形成されている。第1出力側導体パターン49のX方向の幅は、第1高電圧側導体パターン48のX方向の幅よりも大きい値に設定されている。

[0058] 図4および図5を参照して、第1高電圧側導体パターン48上には、複数の第1スイッチング素子5が接合されている。複数の第1スイッチング素子5は、Y方向に沿って一列に整列するように配置されている。

[0059] 図7および図8を参照して、各第1スイッチング素子5は、第1ソース電極10および第1ゲート電極12が配置された+Z方向の第1素子表面50と、第1ドレイン電極11が配置された-Z方向の第1素子裏面51とを有する第1素子本体部52を備えた、所謂、縦型のMISFETである。この第1素子本体部52には、Si基板、SiC基板またはワイドバンドギャップ型の半導体基板が含まれる。

[0060] 本実施形態では、4個の第1ソース電極10と1個の第1ゲート電極12とが第1素子表面50に形成されている。各第1スイッチング素子5は、第1素子本体部52の第1素子裏面51を支持基板44の表面46に対向させた状態で、第1高電圧側導体パターン48に接合されている。

[0061] 各第1スイッチング素子5は、第1ドレイン電極11と第1高電圧側導体パターン48とが第1導電性接合材53を介して接合されることによって、第1高電圧側導体パターン48に接合されている。第1導電性接合材53は、半田であってもよい。

[0062] 図4および図5を参照して、第1出力側導体パターン49上には、複数の第2スイッチング素子6が接合されている。複数の第2スイッチング素子6は、Y方向に沿って一列に整列し、X方向に各第1スイッチング素子5と1対1対応の関係で対向するように配置されている。

[0063] 図7および図8を参照して、各第2スイッチング素子6は、第2ソース電極16および第2ゲート電極18が配置された+Z方向の第2素子表面54

と、第2ドレイン電極17が配置された-Z方向の第2素子裏面55とを有する第2素子本体部56を備えた、所謂、縦型のMISFETである。この第2素子本体部56には、Si基板、SiC基板またはワイドバンドギャップ型の半導体基板が含まれる。

[0064] 本実施形態では、4個の第2ソース電極16と1個の第2ゲート電極18とが第2素子表面54に形成されている。各第2スイッチング素子6は、第2素子本体部56の第2素子裏面55を支持基板44の表面46に対向させた状態で、第1出力側導体パターン49に接合されている。

[0065] 各第2スイッチング素子6は、第2ドレイン電極17と第1出力側導体パターン49とが第2導電性接合材57を介して接合されることによって、第1出力側導体パターン49に接合されている。第2導電性接合材57は、半田であってもよい。

[0066] 図4および図5を参照して、出力側端子2は、各第2スイッチング素子6から間隔を空けて支持基板44の+X方向の端部側に配置されており、第1出力側導体パターン49の長手方向中央部に接合されている。

[0067] 出力側端子2は、高電圧側端子3の厚さまたは低電圧側端子4の厚さよりも大きい厚さを有している。出力側端子2は、前述のように、第1スイッチング素子5および第2スイッチング素子6に共通に電氣的に接続される。

[0068] したがって、出力側端子2は、抵抗値の増加を抑制する観点から、少なくとも高電圧側端子3の厚さおよび低電圧側端子4の厚さの合計値以上の厚さを有していることが好ましい。

[0069] 出力側端子2は、本実施形態では、X方向に延びる平面視四角形状の板状またはブロック状に形成されており、-X方向側の端部58に複数の切欠部59を有している。複数の切欠部59は、本実施形態では、同一の方向(X方向)に沿って延びる溝状にそれぞれ形成されている。

[0070] 出力側端子2の端部58は、第3導電性接合材60を介して第1出力側導体パターン49と接合されている。第3導電性接合材60は、半田であってもよい。出力側端子2の端部58と第1出力側導体パターン49とが第3導

電性接合材60によって接合された状態において、当該第3導電性接合材60は、端部58に形成された複数の切欠部59内に入り込んでいる。

[0071] 第1ユニットU1は、さらに、支持基板44の裏面47側に配置された前述の放熱部材35を含む。放熱部材35は、本実施形態では、支持基板44の裏面47に直接接合された銅(Cu)からなる平面視四角形状の導体膜によって形成されており、支持基板44の裏面47の縁部を除くほぼ全域を被覆している。

[0072] 複数の第1スイッチング素子5および複数の第2スイッチング素子6から生じた熱は、第1導体パターン45および支持基板44を介して放熱部材35に伝わり、外部に放散される。

[0073] 図4～図6を参照して、第2ユニットU2は、前述の絶縁基板41と、絶縁基板41の裏面43側に配置された第2導体パターン71と、絶縁基板41の表面42側に配置された第3導体パターン72とを含む。

[0074] 絶縁基板41は、たとえば5mm以下の厚さを有している。絶縁基板41は、0.3mm以上0.7mm以下の厚さを有していてもよい。絶縁基板41は、セラミック(たとえばAlN、SiN、SiO<sub>2</sub>)等の無機系の絶縁基板であってもよいし、樹脂(たとえばエポキシ樹脂)等の有機系の絶縁基板であってもよい。

[0075] 絶縁基板41は、平面視において支持基板44の表面46に対向する平面視四角形状の本体部73と、本体部73の-X方向の端部から当該-X方向に沿って支持基板44外の領域に延設された第1延設部74と、本体部73の+Y方向の端部から当該+Y方向に沿って支持基板44外の領域に延設された第2延設部75とを含む。絶縁基板41は、本体部73、第1延設部74および第2延設部75によって平面視L字形状とされている。

[0076] 絶縁基板41の本体部73は、第1高電圧側導体パターン48および第1出力側導体パターン49と対向するように配置されている。

[0077] 絶縁基板41の本体部73は、平面視で各第1スイッチング素子5の第1素子表面50を露出させる複数(本実施形態では5つ)の第1除去領域76

と、各第2スイッチング素子6を露出させる第2除去領域77と、第1出力側導体パターン49の-X方向側の端部を選択的に露出させる複数（本実施形態では5つ）の第3除去領域78とを含む。

[0078] 第1除去領域76、第2除去領域77および第3除去領域78は、絶縁基板41の一部が選択的に取り除かれて形成された領域であり、絶縁基板41の-Z方向側に配置された部材をそれぞれ露出させている。第1除去領域76、第2除去領域77および第3除去領域78は、開口および／または切欠部をそれぞれ含む。

[0079] 各第1除去領域76は、本実施形態では、各第1スイッチング素子5を1対1対応の関係で1個ずつ露出させる平面視四角形状の開口からなり、Y方向に沿って一列に等間隔に整列するように形成されている。

[0080] 各第1除去領域76は、開口に代えて、各第1スイッチング素子5を1対1対応の関係で1個ずつ露出させる平面視四角形状の切欠部であってもよい。複数の第1除去領域76に代えて、2個以上の第1スイッチング素子5または全ての第1スイッチング素子5を一括して露出させるようにY方向に延びる平面視四角形状の開口および／または切欠部からなる、複数または一つの第1除去領域76が形成されていてもよい。

[0081] 第2除去領域77は、本実施形態では、絶縁基板41の+X方向側の周縁によって形成されており、複数の第2スイッチング素子6に加えて、第1出力側導体パターン49の+X方向側の端部も露出させている。

[0082] 絶縁基板41の+X方向側の周縁によって形成された第2除去領域77に代えて、各第2スイッチング素子6を1対1対応の関係で1個ずつ露出させる平面視四角形状の開口および／または切欠部からなり、Y方向に沿って一列に整列する複数の第2除去領域77が形成されていてもよい。

[0083] むろん、2個以上の第2スイッチング素子6または全ての第2スイッチング素子6を一括して露出させるようにY方向に延びる平面視四角形状の開口および／または切欠部からなる、複数または一つの第2除去領域77が形成されていてもよい。

- [0084] 複数の第3除去領域78は、Y方向に沿って一列に整列し、かつ、X方向に複数の第1除去領域76と1対1対応の関係で対向するように形成されている。X方向に2個以上の第1スイッチング素子5または全ての第1スイッチング素子5と対向するようにY方向に延びる平面視四角形状の開口および／または切欠部からなる、複数または一つの第3除去領域78が形成されていてもよい。
- [0085] 絶縁基板41の第1延設部74は、平面視において支持基板44と対向しない部分であり、本実施形態では、平面視四角形状に形成されている。絶縁基板41の第1延設部74におけるY方向の幅は、本体部73のY方向の幅よりも小さい値に設定されている。
- [0086] 絶縁基板41の第2延設部75は、平面視において支持基板44と対向しない部分であり、本実施形態では、平面視四角形状に形成されている。絶縁基板41の第2延設部75におけるX方向の幅は、本体部73のX方向の幅よりも小さい値に設定されている。
- [0087] 図4を参照して、絶縁基板41の裏面43側に配置された第2導体パターン71は、たとえば銅(Cu)からなる導体膜であり、絶縁基板41の裏面43に直接接合されている。
- [0088] 第2導体パターン71は、絶縁基板41の第1延設部74に接合された高電圧側端子3と、絶縁基板41の本体部73に接合され、高電圧側端子3と第1高電圧側導体パターン48(第1スイッチング素子5)とに電氣的に接続される第2高電圧側導体パターン79と、第1出力側導体パターン49に電氣的に接続される第2出力側導体パターン80とを一体的に含む。
- [0089] 高電圧側端子3は、絶縁基板41の第1延設部74において、当該第1延設部74の周縁から内側に間隔を空けた位置に配置されており、平面視四角形状に形成されている。
- [0090] 高電圧側端子3の周縁は、絶縁基板41の第1延設部74の周縁から少なくとも2mm以上離れた位置に配置されており、これによって、高電圧側端子3の周縁と絶縁基板41の第1延設部74の周縁との間に絶縁領域が設定

されている。

- [0091] 第2高電圧側導体パターン79は、本体部73の-X方向側の端部に接合され、かつ高電圧側端子3に接続された第1高電圧側部分81を含む。第1高電圧側部分81は、第4導電性接合材83を介して第1高電圧側導体パターン48に電氣的に接続されている。
- [0092] 第2高電圧側導体パターン79は、第1高電圧側部分81から各第1スイッチング素子5（第1除去領域76）の側方に向けて引き出された櫛歯状の第2高電圧側部分82を含む。
- [0093] 第2出力側導体パターン80は、絶縁基板41の+X方向側の端部に配置されており、Y方向に延びる平面視四角形状に形成されている。第2出力側導体パターン80は、第1出力側導体パターン49の-X方向側の端部と第2スイッチング素子6との間の領域において、第5導電性接合材85を介して第1出力側導体パターン49に電氣的に接続されている。
- [0094] 第2出力側導体パターン80は、絶縁基板41の複数の第3除去領域78のそれぞれと対応する位置に、第1出力側導体パターン49を選択的に露出させる複数（本実施形態では5つ）の第4除去領域84を有している。
- [0095] 第2出力側導体パターン80の-X方向側の端部は、これら複数の第4除去領域84によって、櫛歯状に形成されている。第4除去領域84は、Y方向に延びる平面視四角形状の開口および／または切欠部であってもよい。
- [0096] 第1出力側導体パターン49の-X方向側の端部は、絶縁基板41の第3除去領域78および第2出力側導体パターン80の第4除去領域84によって選択的に露出させられている。
- [0097] 絶縁基板41の表面42側に配置された第3導体パターン72は、たとえば銅（Cu）からなる導体膜であり、絶縁基板41の表面42に直接接合されている。
- [0098] 第3導体パターン72は、絶縁基板41の第2延設部75に接合された低電圧側端子4と、絶縁基板41の本体部73に接合され、低電圧側端子4に電氣的に接続される低電圧側導体パターン86とを一体的に含む。

[0099] 低電圧側端子4は、絶縁基板41の第1延設部74において、当該第1延設部74の周縁から内側に間隔を空けた位置に配置されており、平面視四角形状に形成されている。低電圧側端子4は、絶縁基板41の第1延設部74を挟んで高電圧側端子3と対向している。

[0100] 本実施形態では、低電圧側端子4は、高電圧側端子3と同一面積および同一形状とされた平面視四角形状に形成されており、その全体が絶縁基板41の第1延設部74を挟んで高電圧側端子3と対向している。

[0101] 低電圧側端子4の周縁は、絶縁基板41の第1延設部74の周縁から少なくとも2mm以上離れた位置に配置されており、これによって、低電圧側端子4の周縁と絶縁基板41の第1延設部74の周縁との間に絶縁領域が設定されている。

[0102] 低電圧側導体パターン86は、本体部73の-X方向側の端部に接合され、かつ低電圧側端子4に接続された第1低電圧側部分87と、本体部73の+X方向側の端部に接合された第2低電圧側部分88と、これらを接続する第3低電圧側部分89とを含む。

[0103] 第3低電圧側部分89は、複数の第1除去領域76および複数の第3除去領域78を避けるように第1低電圧側部分87および第2低電圧側部分88を接続している

低電圧側導体パターン86は、絶縁基板41の本体部73を挟んで第2高電圧側導体パターン79と対向している。より具体的には、低電圧側導体パターン86の第1低電圧側部分87は、絶縁基板41の本体部73を挟んで第2高電圧側導体パターン79の第1高電圧側部分81と対向している。低電圧側導体パターン86の第3低電圧側部分89は、絶縁基板41の本体部73を挟んで第2高電圧側導体パターン79の第2高電圧側部分82と対向している。

[0104] 図4および図5を参照して、絶縁基板41の裏面43側に配置された第2導体パターン71は、前述の高電圧側の第1ゲート端子14と高電圧側の第1ソースセンス端子15とをさらに含む。

- [0105] 第1ゲート端子14および第1ソースセンス端子15は、第2高電圧側導体パターン79と第2出力側導体パターン80との間において互いに隣り合って配置されている。本実施形態では、-X方向側に第1ゲート端子14が配置され、+X方向側に第1ソースセンス端子15が配置されている。
- [0106] 第1ゲート端子14および第1ソースセンス端子15は、Y方向に沿って延びる平面視帯状（平面視長形状）にそれぞれ形成されており、絶縁基板41の本体部73から第2延設部75に引き出されている。
- [0107] 第1ゲート端子14および第1ソースセンス端子15において、絶縁基板41の第2延設部75に引き出された各部分は、当該第2延設部75の周縁から内側に間隔を空けた位置にそれぞれ配置されている。
- [0108] 絶縁基板41の本体部73には、当該第1ゲート端子14を選択的に露出させる複数（本実施形態では5つ）の第1コンタクト孔92と、第1ソースセンス端子15を選択的に露出させる複数（本実施形態では5つ）の第2コンタクト孔93とが選択的に形成されている。
- [0109] 複数の第1コンタクト孔92は、第1除去領域76と第3除去領域78との間の各領域に1つずつ設けられている。複数の第2コンタクト孔93は、第1除去領域76と第3除去領域78との間の各領域に第1コンタクト孔92と隣り合うように1つずつ設けられている。
- [0110] 絶縁基板41の表面42側に配置された第3導体パターン72は、各第1コンタクト孔92を介して第1ゲート端子14に接続される複数（本実施形態では5個）のゲートパッド94と、各第2コンタクト孔93を介して第1ソースセンス端子15に接続される複数（本実施形態では5個）のソースセンスパッド95とを含む。
- [0111] 第3導体パターン72は、前述の低電圧側の第2ゲート端子20と低電圧側の第2ソースセンス端子21とを含む。第2ゲート端子20および第2ソースセンス端子21は、絶縁基板41の+X方向側の端部（絶縁基板41の+X方向側の周縁と低電圧側導体パターン86の第2低電圧側部分88との間の領域）にそれぞれ配置されている。本実施形態では、-X方向側に第2

ゲート端子20が配置され、+X方向側に第2ソースセンス端子21が配置されている。

[0112] 第2ゲート端子20および第2ソースセンス端子21は、Y方向に沿って延びる平面視帯状（平面視長形状）に形成されており、絶縁基板41の本体部73から第2延設部75にそれぞれ引き出されている。

[0113] 第2ゲート端子20および第2ソースセンス端子21において、絶縁基板41の第2延設部75に引き出された各部分は、当該第2延設部75の周縁から内側に間隔を空けた位置にそれぞれ配置されている。

[0114] 本実施形態では、第2ゲート端子20および第2ソースセンス端子21は、平面視において、第1ゲート端子14および第1ソースセンス端子15と重ならない位置に接合されている（図2および図3も併せて参照）。

[0115] 支持基板44の表面46側に配置された第1導体パターン45は、第1ゲート端子14に対応して設けられたダミーゲート端子96と、第1ソースセンス端子15に対応して設けられたダミーソースセンス端子97とを含む。

[0116] ダミーゲート端子96およびダミーソースセンス端子97は、第1高電圧側導体パターン48と第1出力側導体パターン49との間に配置されており、その全体が支持基板44の表面46上に位置している。

[0117] 図5、図7および図8を参照して、各第1スイッチング素子5の第1ソース電極10は、接続部材としての第1ボンディングワイヤ101を介して、支持基板44の表面46に接合された第1出力側導体パターン49に電氣的に接続されている。

[0118] 第1ボンディングワイヤ101は、絶縁基板41の表面42側に配置されており、絶縁基板41の第1除去領域76および第3除去領域78（第2出力側導体パターン80の第4除去領域84）を介して各第1スイッチング素子5の第1ソース電極10と第1出力側導体パターン49とを接続している。

[0119] したがって、各第1スイッチング素子5において、第1ソース電極10は、第1ボンディングワイヤ101および第1出力側導体パターン49を介し

て出力側端子 2 に電氣的に接続されている。

[0120] 各第 1 スイッチング素子 5 において、第 1 ドレイン電極 1 1 は、第 1 高電圧側導体パターン 4 8 および第 2 高電圧側導体パターン 7 9 を介して高電圧側端子 3 に電氣的に接続されている。このようにして、各第 1 スイッチング素子 5 が、出力側端子 2 および高電圧側端子 3 間に電氣的に接続されている。

[0121] 各第 1 スイッチング素子 5 の第 1 ゲート電極 1 2 は、接続部材としての第 2 ボンディングワイヤ 1 0 2 を介してゲートパッド 9 4 に電氣的に接続されている。これにより、各第 1 スイッチング素子 5 の第 1 ゲート電極 1 2 と第 1 ゲート端子 1 4 とが電氣的に接続されている。

[0122] 各第 1 スイッチング素子 5 の少なくとも 1 つの第 1 ソース電極 1 0 は、接続部材としての第 3 ボンディングワイヤ 1 0 3 を介してソースセンスパッド 9 5 に電氣的に接続されている。これにより、各第 1 スイッチング素子 5 の少なくとも 1 つの第 1 ソース電極 1 0 と第 1 ソースセンス端子 1 5 とが電氣的に接続されている。

[0123] 一方、各第 2 スイッチング素子 6 の第 2 ソース電極 1 6 は、接続部材としての第 4 ボンディングワイヤ 1 0 4 を介して、絶縁基板 4 1 の表面 4 2 に接合された低電圧側導体パターン 8 6 (低電圧側導体パターン 8 6 の第 2 低電圧側部分 8 8) に電氣的に接続されている。

[0124] 第 4 ボンディングワイヤ 1 0 4 は、絶縁基板 4 1 の表面 4 2 側に配置されており、絶縁基板 4 1 の第 2 除去領域 7 7 を介して各第 2 スイッチング素子 6 の第 2 ソース電極 1 6 と低電圧側導体パターン 8 6 とを接続している。

[0125] したがって、各第 2 スイッチング素子 6 において、第 2 ソース電極 1 6 は、第 4 ボンディングワイヤ 1 0 4 および低電圧側導体パターン 8 6 を介して低電圧側端子 4 に電氣的に接続されている。

[0126] 各第 2 スイッチング素子 6 において、第 2 ドレイン電極 1 7 は、第 1 出力側導体パターン 4 9 を介して出力側端子 2 に電氣的に接続されている。このようにして、各第 2 スイッチング素子 6 が、出力側端子 2 および低電圧側端

子4間に電氣的に接続されている。

[0127] 各第2スイッチング素子6の第2ゲート電極18は、接続部材としての第5ボンディングワイヤ105を介して第2ゲート端子20と電氣的に接続されている。第5ボンディングワイヤ105は、絶縁基板41の表面42側に配置されており、絶縁基板41の第2除去領域77を介して各第2スイッチング素子6の第2ゲート電極18と第2ゲート端子20とを接続している。

[0128] 各第2スイッチング素子6の少なくとも1つの第2ソース電極16は、接続部材としての第6ボンディングワイヤ106を介して第2ソースセンス端子21と電氣的に接続されている。

[0129] 第6ボンディングワイヤ106は、絶縁基板41の表面42側に配置されており、絶縁基板41の第2除去領域77を介して各第2スイッチング素子6の少なくとも1つの第2ソース電極16と第2ソースセンス端子21とを接続している。

[0130] パッケージ本体部31は、出力側端子2の一部、高電圧側端子3の一部、低電圧側端子4の一部、第1ゲート端子14の一部、第1ソースセンス端子15の一部、第2ゲート端子20の一部、第2ソースセンス端子21の一部および放熱部材35を選択的に露出させるように、絶縁基板41および支持基板44を封止している。

[0131] 高電圧側端子3の一部および低電圧側端子4の一部は、絶縁基板41の第1延設部74と共にパッケージ本体部31の外側に引き出されている。第1ゲート端子14の一部、第1ソースセンス端子15の一部、第2ゲート端子20の一部および第2ソースセンス端子21の一部は、絶縁基板41の第2延設部75と共にパッケージ本体部31の外側に引き出されている。

[0132] パッケージ本体部31は、トランスファーモールド成形法により形成されたものであってもよいし、コンプレッション成形法により形成されたものであってもよい。

[0133] トランスファーモールド成形法では、絶縁基板41等が収容される所定形状のキャビティを有する金型内に樹脂を流し込むことによって、絶縁基板4

1等を選択的に封止するパッケージ本体部31が形成される。絶縁基板41等とは、具体的には、パッケージ本体部31を除いた半導体パワーモジュール1の内部構造を意味している（以下、同じ。）。

[0134] コンプレッション成形法では、所定形状のキャビティを有する金型内に樹脂が浸された後、当該樹脂内に絶縁基板41等が浸漬されて、または、所定形状のキャビティを有する金型内に絶縁基板41等が収容配置された後、当該金型内に樹脂が浸されて、絶縁基板41等を選択的に封止するパッケージ本体部31が形成される。

[0135] パッケージ本体部31は、内部空間を有する樹脂製の筐体（樹脂ケース）を備え、当該筐体の内部空間内に絶縁基板41等が収容された構成を有していてもよい。

[0136] 以上、半導体パワーモジュール1によれば、出力側端子2と、高電圧側端子3と、低電圧側端子4と、出力側端子2および高電圧側端子3に接続された複数の第1スイッチング素子5と、出力側端子2および低電圧側端子4に接続された複数の第2スイッチング素子6とによって1つのハーフブリッジ回路7が構成されている。

[0137] このハーフブリッジ回路7において、複数の第1スイッチング素子5は、高電圧側の上アーム8を構成しており、複数の第2スイッチング素子6は、低電圧側の下アーム9を構成している。

[0138] この半導体パワーモジュール1では、高電圧側端子3から各第1スイッチング素子5を介して出力側端子2に向かう電流経路が絶縁基板41の裏面43側に形成され、出力側端子2から各第2スイッチング素子6を介して低電圧側端子4に向かう電流経路が絶縁基板41の表面42側に形成される。

[0139] したがって、高電圧側端子3に流れる電流の方向と、低電圧側端子4に流れる電流の方向とが、絶縁基板41を挟んで逆向きとされている。

[0140] しかも、高電圧側端子3および低電圧側端子4が対向配置される絶縁基板41の厚さ（本実施形態では5mm以下）に基づいて、高電圧側端子3および低電圧側端子4間の距離を設定できるから、絶縁性を保ちつつ、高電圧側

端子3および低電圧側端子4を良好に近接配置できる。

[0141] これにより、高電圧側端子3で発生する磁界と、低電圧側端子4で発生する磁界とを良好に相殺できるから、高電圧側端子3および低電圧側端子4間の相互インダクタンス成分を良好に低減できる。よって、インダクタンス成分を良好に低減できる半導体パワーモジュール1を提供できる。

[0142] 本実施形態に係る半導体パワーモジュール1では、絶縁基板41が、平面視において、第1スイッチング素子5を露出させる第1除去領域76と、第2スイッチング素子6を露出させる第2除去領域77とを選択的に含む。

[0143] したがって、第1スイッチング素子5で生じた熱を第1除去領域76を介して絶縁基板41の裏面43側から表面42側に放散させることができると共に、第2スイッチング素子6で生じた熱を第2除去領域77を介して絶縁基板41の裏面43側から表面42側に放散させることができる。

[0144] これにより、第1スイッチング素子5および第2スイッチング素子6の温度上昇を良好に抑制できる。特に、本実施形態に係る半導体パワーモジュール1のように、絶縁基板41の-Z方向側に支持基板44が配置された構成では、絶縁基板41に第1除去領域76および第2除去領域77を備えることによって、絶縁基板41と支持基板44との間で熱が籠るのを効果的に抑制できる。

[0145] これに加えて、本実施形態に係る半導体パワーモジュール1では、支持基板44の裏面47側に放熱部材35が設けられている。したがって、第1スイッチング素子5で生じた熱および第2スイッチング素子6で生じた熱を支持基板44および放熱部材35を介して外部に良好に放散させることもできる。よって、第1スイッチング素子5および第2スイッチング素子6の温度上昇を効果的に抑制できる半導体パワーモジュール1を提供できる。

[0146] 以上、本発明の実施形態について説明したが、本発明はさらに他の形態で実施することもできる。

[0147] たとえば、前述の実施形態では、複数の第1スイッチング素子5と複数の第2スイッチング素子6とによって1つのハーフブリッジ回路7が構成され

た例について説明した。しかし、第1スイッチング素子5の個数および第2スイッチング素子6の個数は、これに限定されない。

[0148] したがって、1個の第1スイッチング素子5と1個の第2スイッチング素子6とによって1つのハーフブリッジ回路7が構成されていてもよい。2個以上の第1スイッチング素子5と、2個以上の第2スイッチング素子6とによって1つのハーフブリッジ回路7が構成されていてもよい。

[0149] 前述の実施形態では、第1スイッチング素子5および第2スイッチング素子6としてM I S F E Tが採用された例について説明したが、図9または図10に示される構成が採用されてもよい。

[0150] 以下、図9の構成を説明した後、図10の構成を説明する。図9は、図1の半導体パワーモジュール1の第1変形例に係る電氣的構造を示す電気回路図である。図9において、前述の図1等にも示された構成については同一の参照符号を付して説明を省略する。

[0151] 図9に示される形態では、第1スイッチング素子5および第2スイッチング素子6として、M I S F E Tに代えて、I G B T (Insulated Gate Bipolar Transistor) が採用されている。

[0152] つまり、ハーフブリッジ回路7がI G B Tによって構成されている。第1スイッチング素子5および第2スイッチング素子6は、S i基板、S i C基板またはワイドバンドギャップ型の半導体基板に形成されたI G B Tを含んでいてもよい。

[0153] この場合、第1スイッチング素子5は、前述の第1ソース電極10に代えて第1エミッタ電極110を備え、前述の第1ドレイン電極11に代えて第1コレクタ電極111を備え、前述の第1ゲート電極12に代えて第1ゲート電極112を備えている。

[0154] 各第1スイッチング素子5において、第1エミッタ電極110、第1コレクタ電極111は、一对の第1主電極を構成しており、第1ゲート電極112は、一对の第1主電極間を流れる電流を制御する第1制御電極を構成している。

- [0155] 第2スイッチング素子6は、前述の第2ソース電極16に代えて第2エミッタ電極113を備え、前述の第2ドレイン電極17に代えて第2コレクタ電極114を備え、前述の第2ゲート電極18に代えて第2ゲート電極115を備えている。
- [0156] 各第2スイッチング素子6において、第2エミッタ電極113、第2コレクタ電極114は、一对の第1主電極を構成しており、第2ゲート電極115は、一对の第1主電極間を流れる電流を制御する第1制御電極を構成している。
- [0157] 図9に示される形態では、第1ゲート電極112は、第1ゲート端子14に代えて第1ゲート端子116に電氣的に接続されており、第1エミッタ電極110は、第1ソースセンス端子15に代えて第1エミッタセンス端子117に電氣的に接続されている。
- [0158] 第2ゲート電極115は、第2ゲート端子20に代えて第2ゲート端子118に電氣的に接続されており、第2エミッタ電極113は、第2ソースセンス端子21に代えて第2エミッタセンス端子119に電氣的に接続されている。このような構成によっても、前述の実施形態において述べた効果と同様の効果を奏することができる。
- [0159] 図10は、図1の半導体パワーモジュール1の第2変形例に係る電氣的構造を示す電気回路図である。図10において、前述の図1等にも示された構成については同一の参照符号を付して説明を省略する。
- [0160] 図10に示される形態では、第1スイッチング素子5および第2スイッチング素子6として、M I S F E Tに代えて、B J T (Bipolar Junction Transistor) が採用されている。
- [0161] つまり、ハーフブリッジ回路7がB J Tによって構成されている。第1スイッチング素子5および第2スイッチング素子6は、S i基板、S i C基板またはワイドバンドギャップ型の半導体基板に形成されたB J Tを含んでもよい。
- [0162] この場合、第1スイッチング素子5は、前述の第1ソース電極10に代え

て第1エミッタ電極120を備え、前述の第1ドレイン電極11に代えて第1コレクタ電極121を備え、前述の第1ゲート電極12に代えて第1ベース電極122を備えている。

[0163] 各第1スイッチング素子5において、第1エミッタ電極120、第1コレクタ電極121は、一对の第1主電極を構成しており、第1ベース電極122は、一对の第1主電極間を流れる電流を制御する第1制御電極を構成している。

[0164] 第2スイッチング素子6は、前述の第2ソース電極16に代えて第2エミッタ電極123を備え、前述の第2ドレイン電極17に代えて第2コレクタ電極124を備え、前述の第2ゲート電極18に代えて第2ベース電極125を備えている。

[0165] 各第2スイッチング素子6において、第2エミッタ電極123、第2コレクタ電極124は、一对の第1主電極を構成しており、第2ベース電極125は、一对の第1主電極間を流れる電流を制御する第1制御電極を構成している。

[0166] 図10に示される形態では、第1ベース電極122は、第1ゲート端子14に代えて第1ベース端子126に電氣的に接続されており、第1エミッタ電極120は、第1ソースセンス端子15に代えて第1エミッタセンス端子127に電氣的に接続されている。

[0167] 第2ベース電極125は、第2ゲート端子20に代えて第2ベース端子128に電氣的に接続されており、第2エミッタ電極123は、第2ソースセンス端子21に代えて第2エミッタセンス端子129に電氣的に接続されている。このような構成によっても、前述の実施形態において述べた効果と同様の効果を奏することができる。

[0168] 前述したMISFET、IGBTおよびBJTは、前述したSi基板、SiC基板またはワイドバンドギャップ型の半導体基板のうちの、SiC基板またはワイドバンドギャップ型の半導体基板に形成されていることが好ましい。以下、ワイドバンドギャップ型の半導体基板について補足しておく。

[0169] ワイドバンドギャップ型の半導体基板とは、より具体的にはシリコンのバンドギャップ (= 1.0 eV ~ 1.2 eV 程度) よりも大きい値のバンドギャップを有する半導体材料により形成された基板のことを意味する。

[0170] ワイドバンドギャップ型の半導体基板の半導体材料としては、III族元素およびV族元素を含むIII-V族半導体や、窒化物半導体 (たとえば窒化ガリウム等) や、ダイヤモンド等を例示できる。前述のSiC基板は、ワイドバンドギャップ型の半導体基板の一例でもある。

[0171] この出願は、2016年6月1日に日本国特許庁に提出された特願2016-110383号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

[0172] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

- 1 半導体パワーモジュール
- 2 出力側端子
- 3 高電圧側端子
- 4 低電圧側端子
- 5 第1スイッチング素子
- 6 第2スイッチング素子
- 7 ハーフブリッジ回路
- 31 パッケージ本体部
- 35 放熱部材
- 41 絶縁基板
- 42 絶縁基板の表面
- 43 絶縁基板の裏面
- 44 支持基板
- 46 支持基板の表面

- 4 7 支持基板の裏面
- 7 6 絶縁基板の第 1 除去領域
- 7 7 絶縁基板の第 2 除去領域

## 請求の範囲

- [請求項1] 一方表面および他方表面を有する絶縁基板と、  
前記絶縁基板の前記一方表面側に配置された出力側端子と、  
前記絶縁基板の前記一方表面側に配置された第1電源端子と、  
前記絶縁基板を挟んで前記第1電源端子に対向するように、前記絶縁基板の前記他方表面側に配置され、前記第1電源端子に印加される電圧とは異なる大きさの電圧が印加される第2電源端子と、  
前記絶縁基板の前記一方表面側に配置され、前記出力側端子および前記第1電源端子に電氣的に接続された第1スイッチング素子と、  
前記絶縁基板の前記一方表面側に配置され、前記出力側端子および前記第2電源端子に電氣的に接続された第2スイッチング素子とを含む、半導体パワーモジュール。
- [請求項2] 前記出力側端子と、前記第1電源端子、前記第2電源端子、前記第1スイッチング素子、および、前記第2スイッチング素子によってハーフブリッジ回路が構成されている、請求項1に記載の半導体パワーモジュール。
- [請求項3] 前記第1電源端子に流れる電流の方向、および、前記第2電源端子に流れる電流の方向が、前記絶縁基板を挟んで逆向きである、請求項1または2に記載の半導体パワーモジュール。
- [請求項4] 前記第1電源端子は、高電圧側端子であり、  
前記第2電源端子は、前記第1電源端子に印加される電圧よりも低い電圧が印加される低電圧側端子である、請求項1～3のいずれか一項に記載の半導体パワーモジュール。
- [請求項5] 前記絶縁基板は、前記第1スイッチング素子および前記第2スイッチング素子から生じる熱を、前記絶縁基板の前記一方表面側から前記他方表面側へ放散させるための除去領域を有している、請求項1～4のいずれか一項に記載の半導体パワーモジュール。
- [請求項6] 前記絶縁基板の前記一方表面と対向し、かつ、前記第1スイッチン

グ素子および前記第2スイッチング素子を支持する表面を有し、前記絶縁基板から前記絶縁基板の前記一方表面側に間隔を空けて配置された支持基板をさらに含む、請求項1～5のいずれか一項に記載の半導体パワーモジュール。

[請求項7] 前記支持基板は、前記表面の反対側に位置する裏面を有し、前記支持基板の前記裏面側には、放熱部材が設けられている、請求項6に記載の半導体パワーモジュール。

[請求項8] 前記絶縁基板は、5mm以下の厚さを有している、請求項1～7のいずれか一項に記載の半導体パワーモジュール。

[請求項9] 前記出力側端子は、前記第1電源端子の厚さまたは前記第2電源端子の厚さよりも大きい厚さを有している、請求項1～8のいずれか一項に記載の半導体パワーモジュール。

[請求項10] 前記出力側端子は、前記第1電源端子の厚さおよび前記第2電源端子の厚さの合計値以上の厚さを有している、請求項1～9のいずれか一項に記載の半導体パワーモジュール。

[請求項11] 前記絶縁基板の前記一方表面側に前記第1スイッチング素子が複数配置されており、前記絶縁基板の前記一方表面側に前記第2スイッチング素子が複数配置されている、請求項1～10のいずれか一項に記載の半導体パワーモジュール。

[請求項12] 前記出力側端子、前記第1電源端子および前記第2電源端子を選択的に露出させるように前記絶縁基板を封止する樹脂をさらに含み、前記第1電源端子および前記第2電源端子は、前記絶縁基板と共に前記樹脂から露出している、請求項1～11のいずれか一項に記載の半導体パワーモジュール。

[請求項13] 前記樹脂から露出する前記第1電源端子は、前記樹脂から露出する前記絶縁基板の周縁から内側に向かって間隔を空けた位置に配置されており、

前記樹脂から露出する前記第2電源端子は、前記樹脂から露出する前記絶縁基板の周縁から内側に向かって間隔を空けた位置に配置されている、請求項12に記載の半導体パワーモジュール。

[請求項14] 前記樹脂から露出する前記第1電源端子の周縁と、前記樹脂から露出する前記絶縁基板の周縁との間の距離が、2mm以上に設定されており、

前記樹脂から露出する前記第2電源端子の周縁と、前記樹脂から露出する前記絶縁基板の周縁との間の距離が、2mm以上に設定されている、請求項13に記載の半導体パワーモジュール。

[請求項15] 前記出力側端子は、平面視において、前記樹脂を挟んで前記第1電源端子および前記第2電源端子と対向する位置に配置されている、請求項12～14のいずれか一項に記載の半導体パワーモジュール。

[請求項16] 前記第1スイッチング素子を駆動制御する第1制御端子と、  
前記第2スイッチング素子を駆動制御する第2制御端子とをさらに含み、

前記樹脂は、前記第1制御端子および前記第2制御端子を選択的に露出させるように、前記絶縁基板を封止している、請求項12～15のいずれか一項に記載の半導体パワーモジュール。

[請求項17] 前記第1制御端子および前記第2制御端子は、前記出力側端子が前記樹脂から露出する方向、ならびに、前記第1電源端子および前記第2電源端子が前記樹脂から露出する方向とは異なる方向に前記樹脂から露出している、請求項16に記載の半導体パワーモジュール。

[請求項18] 前記第1スイッチング素子は、一对の第1主電極と、前記一对の第1主電極間を流れる電流を制御する第1制御電極とを含み、

前記第2スイッチング素子は、一对の第2主電極と、前記一对の第2主電極間を流れる電流を制御する第2制御電極とを含み、

前記第1制御端子は、前記第1スイッチング素子の前記第1制御電極に電氣的に接続されており、

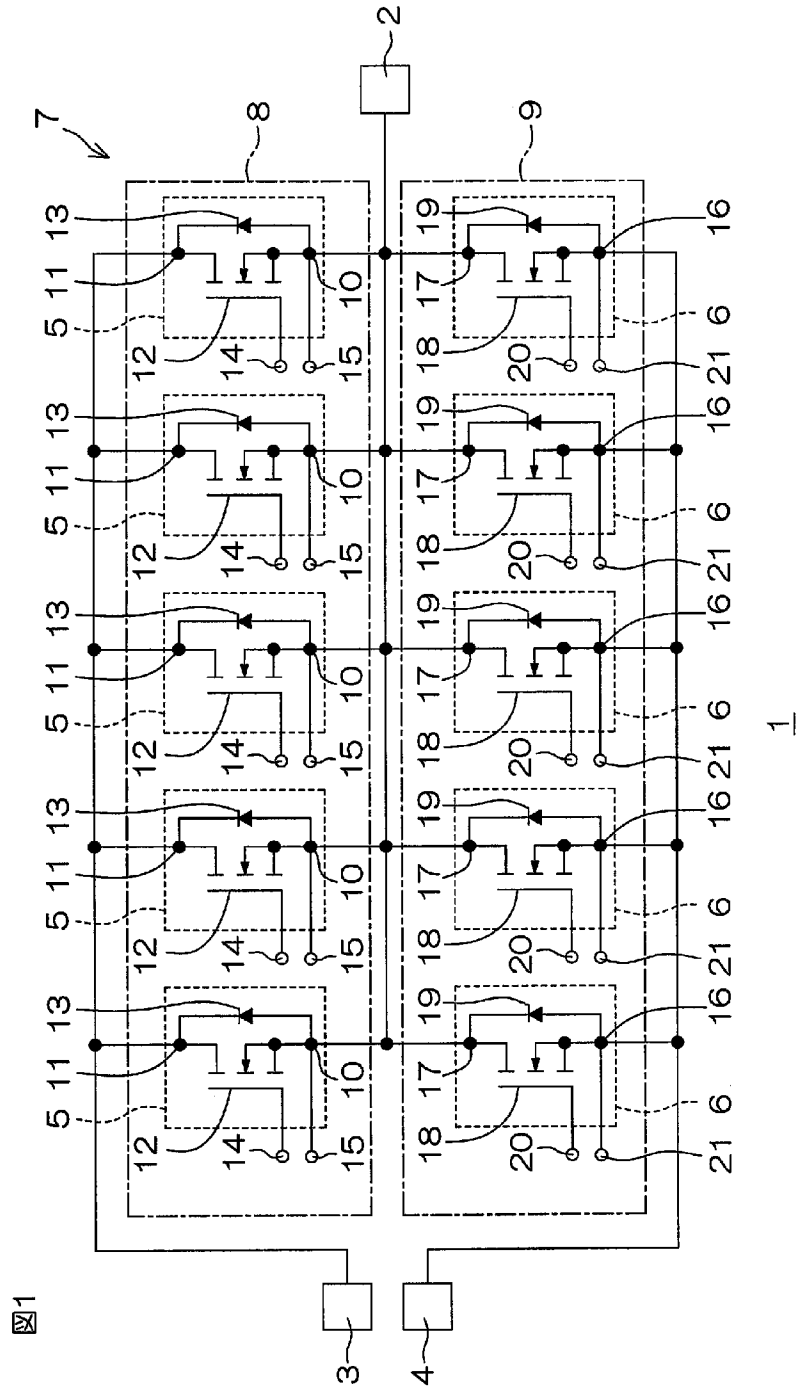
前記第2制御端子は、前記第2スイッチング素子の前記第2制御電極に電氣的に接続されている、請求項16または17に記載の半導体パワーモジュール。

[請求項19] 前記第1スイッチング素子および前記第2スイッチング素子は、M I S F E T、I G B TまたはB J Tを含む、請求項1～18のいずれか一項に記載の半導体パワーモジュール。

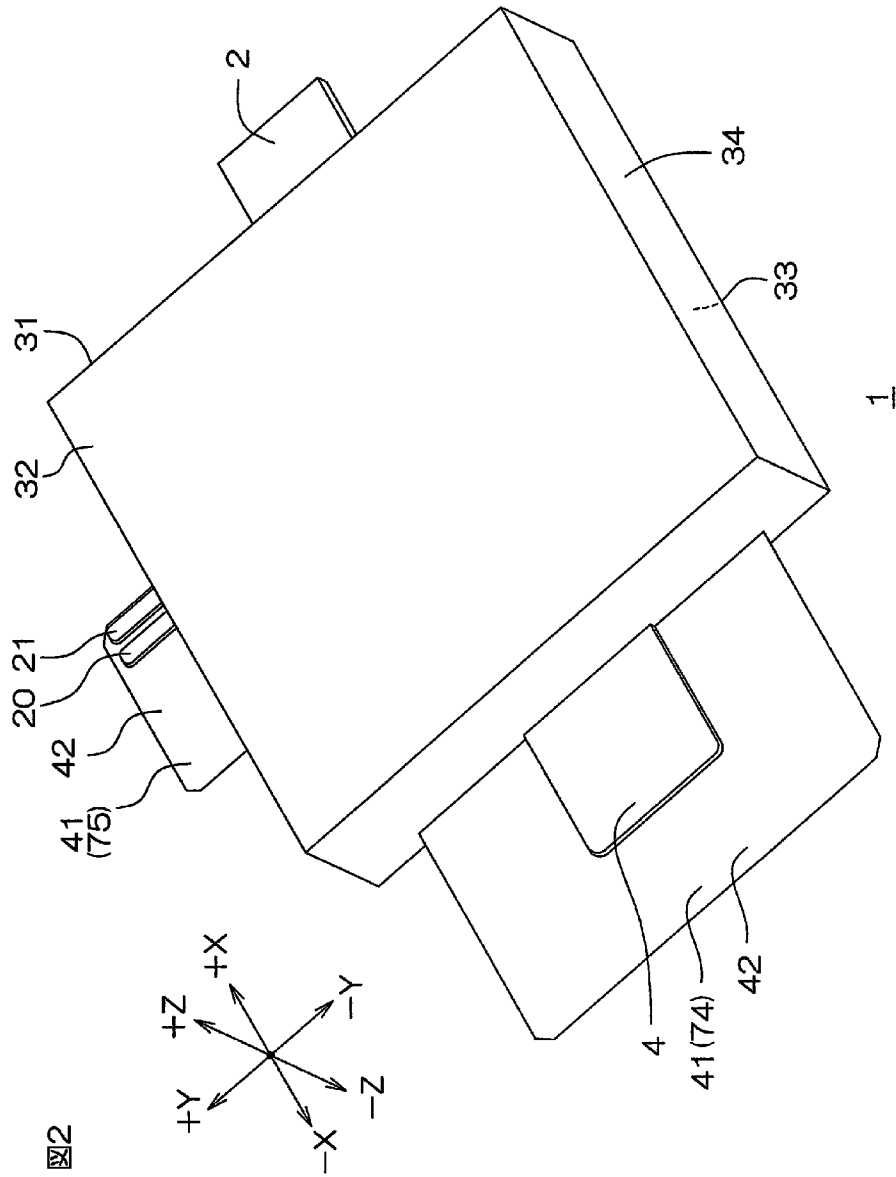
[請求項20] 前記M I S F E T、前記I G B Tまたは前記B J Tは、S i基板、S i C基板またはワイドバンドギャップ型の半導体基板に形成されている、請求項19に記載の半導体パワーモジュール。

[請求項21] 前記第1電源端子および前記第2電源端子間には、500V以上の電圧が印加される、請求項1～20のいずれか一項に記載の半導体パワーモジュール。

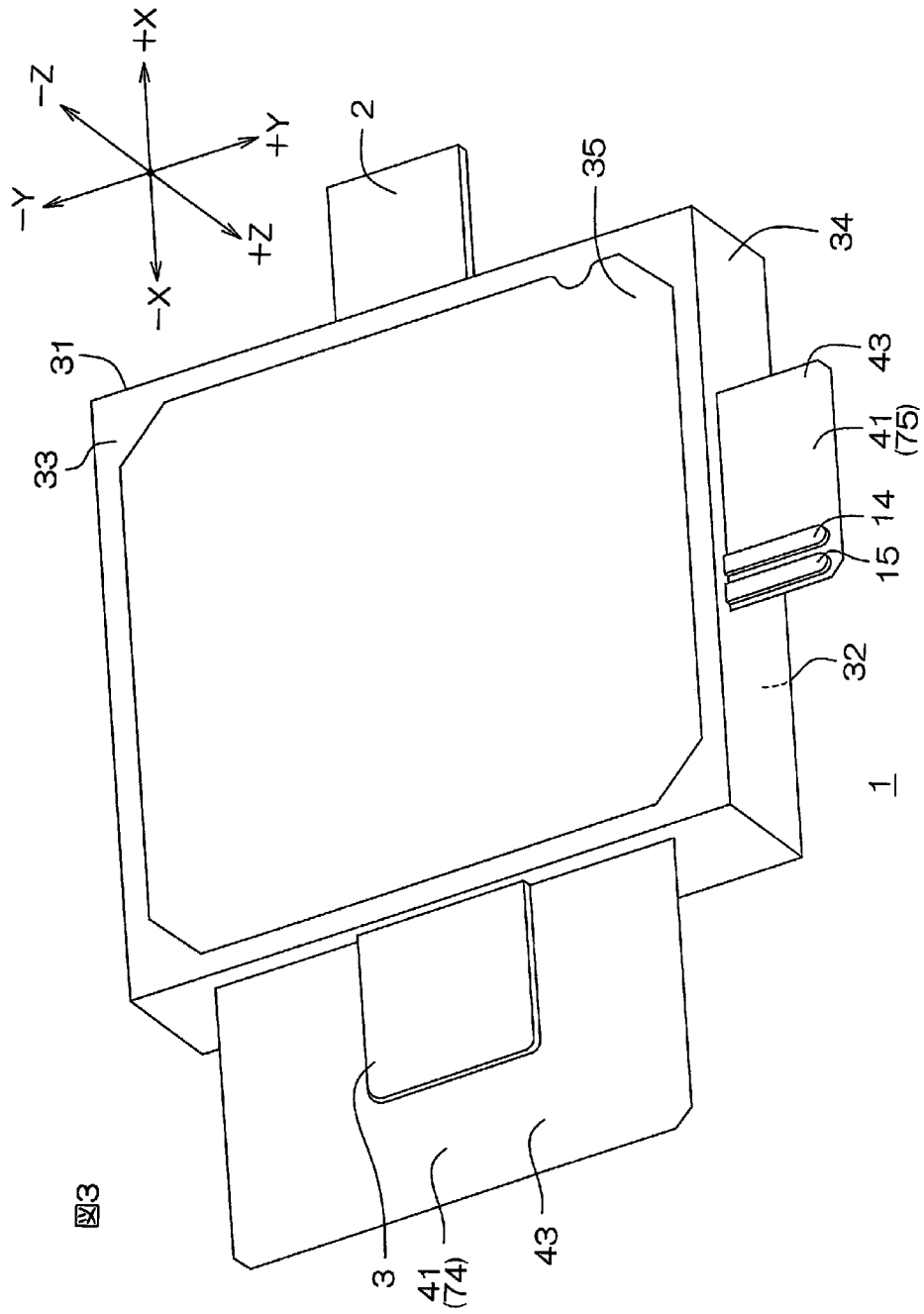
[図1]



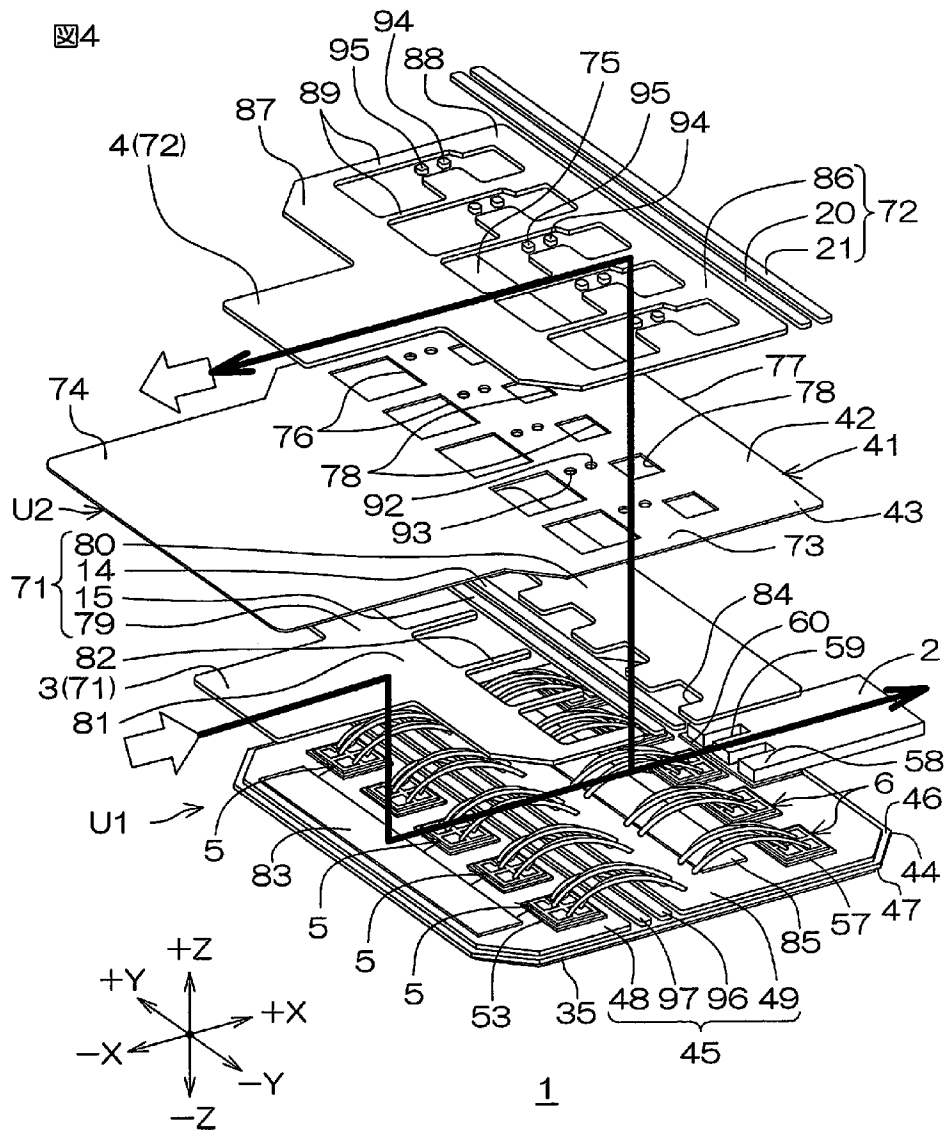
[図2]



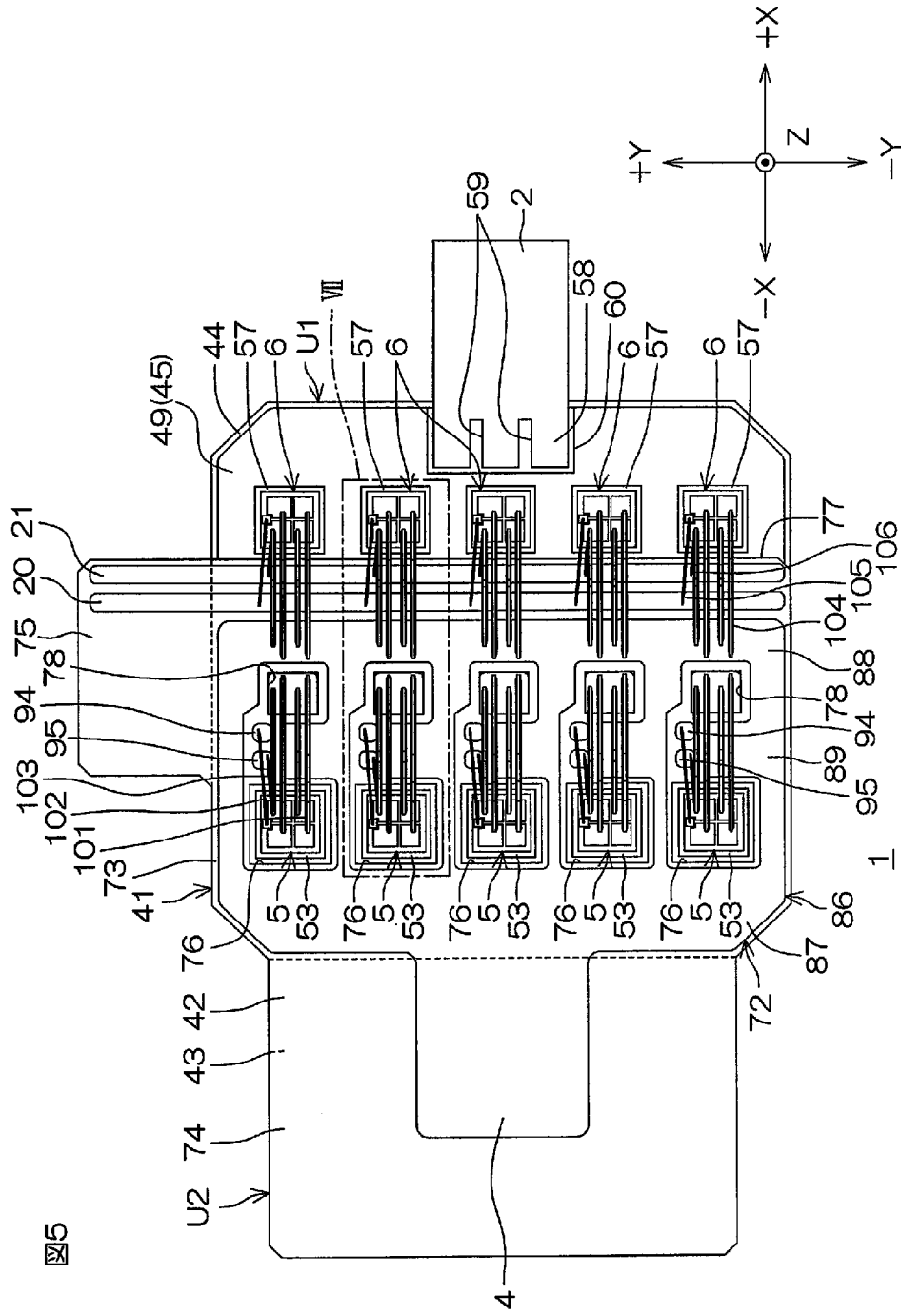
[図3]



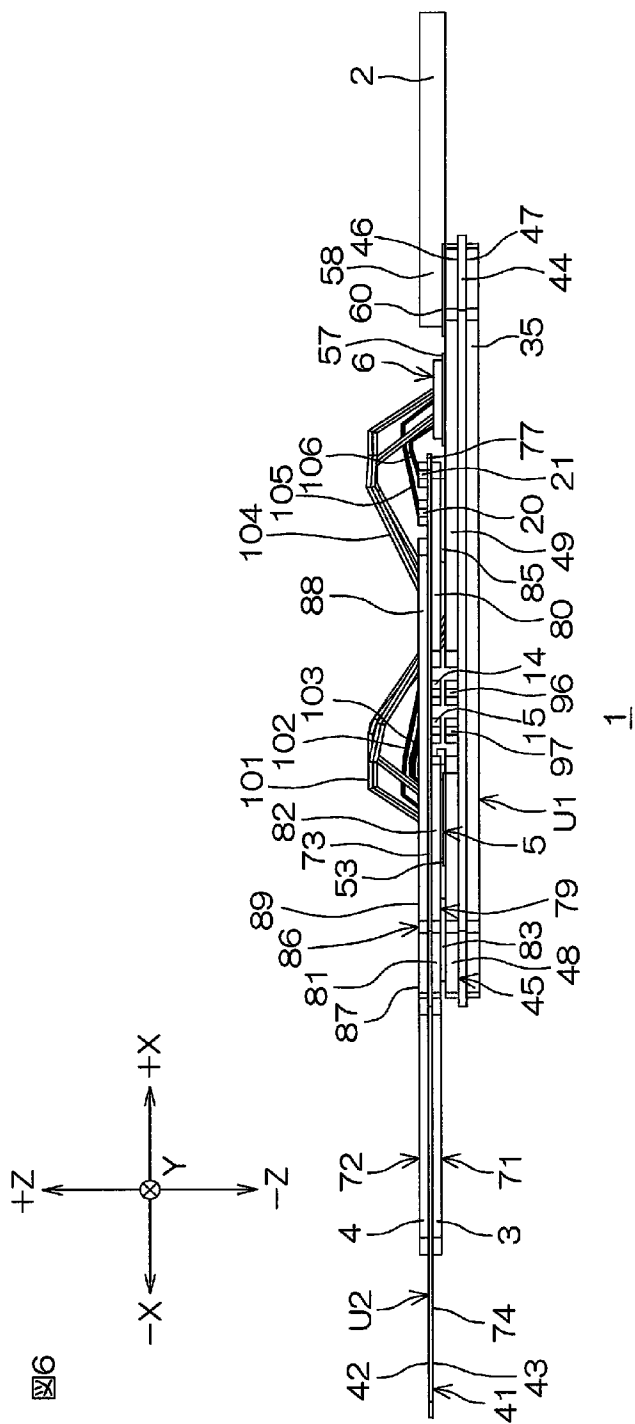
[図4]



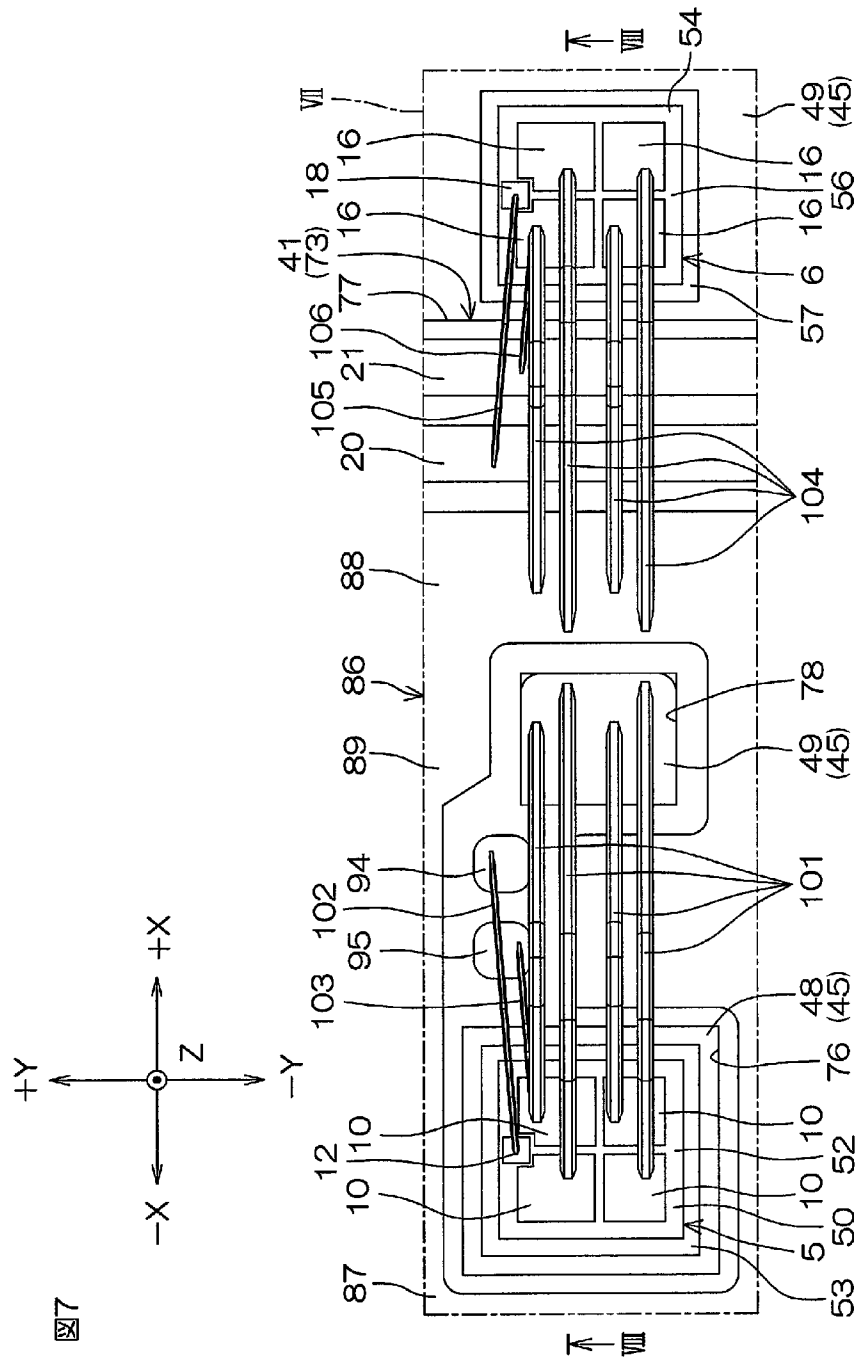
[圖5]



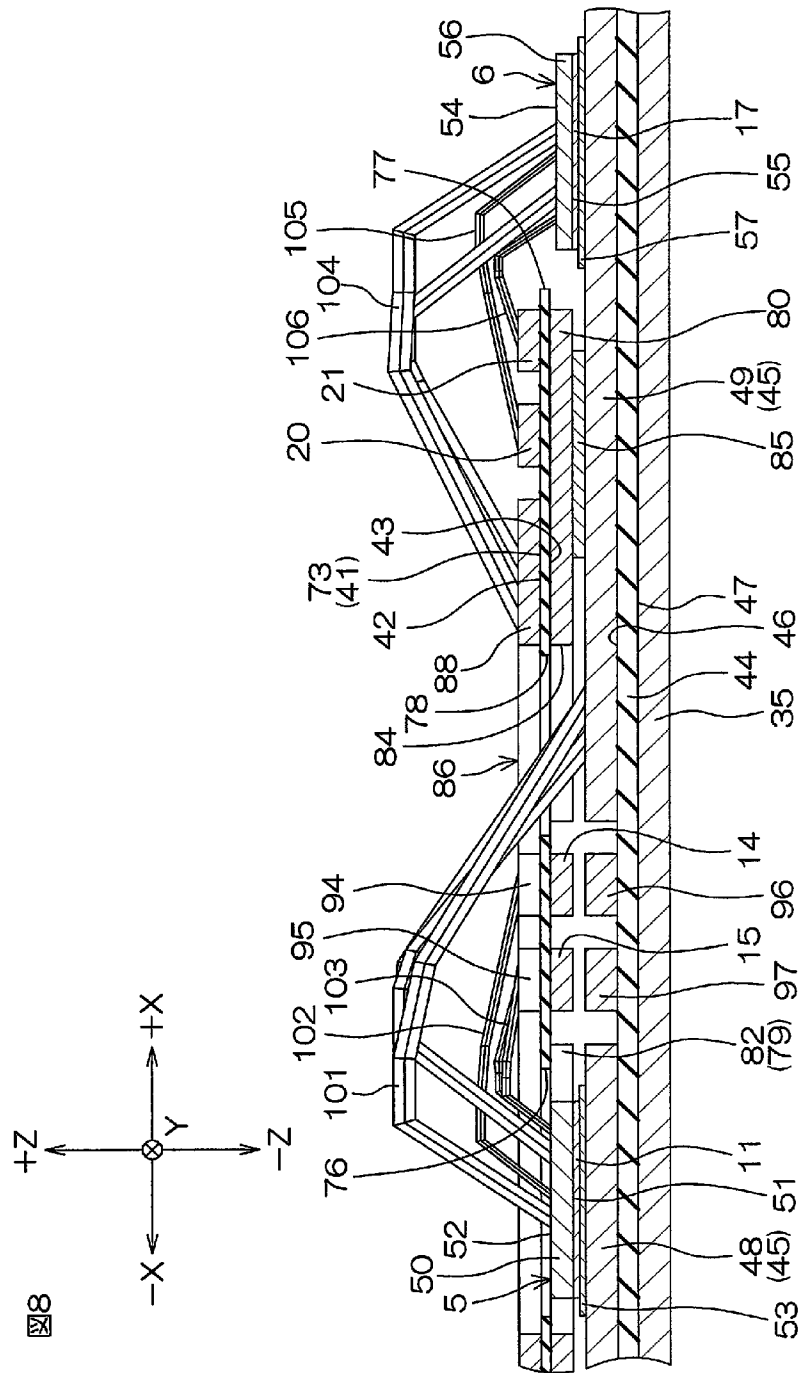
[図6]



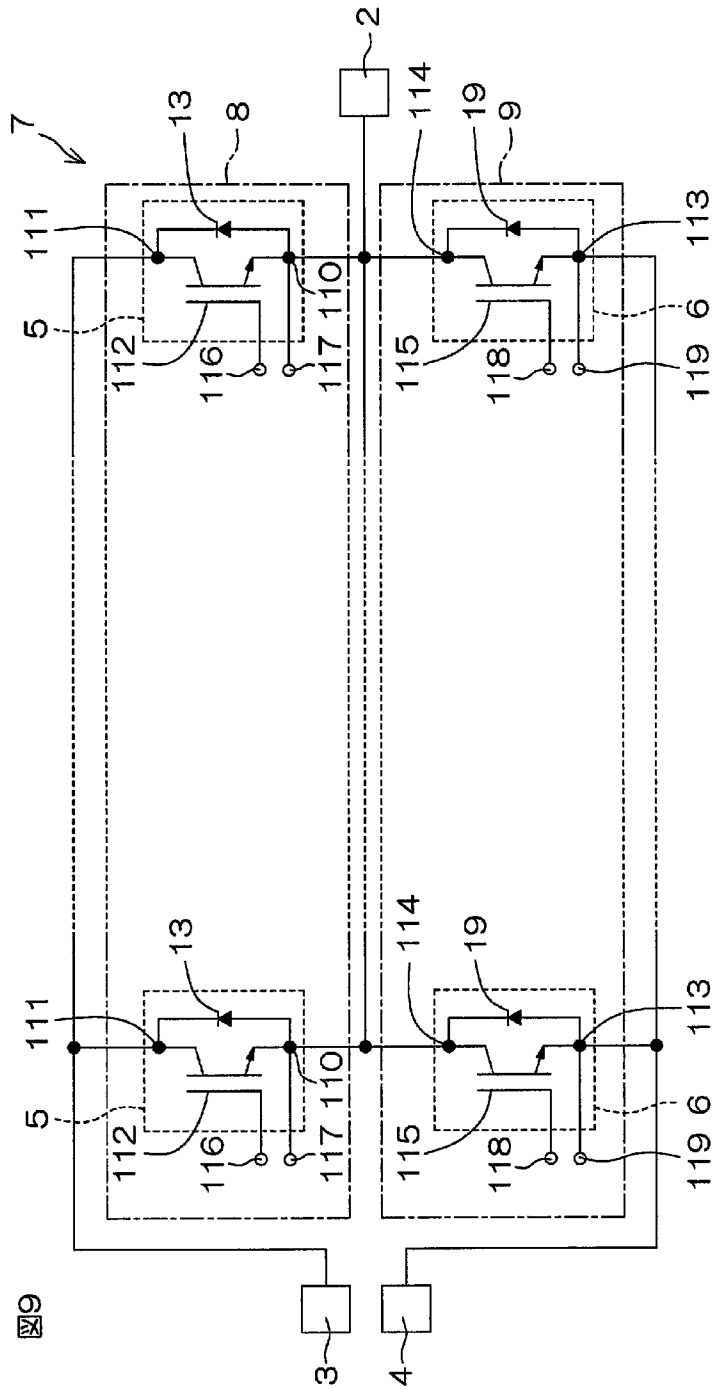
[図7]



[図8]



[図9]





**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2017/020303

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L25/00-25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-102578 A (Hitachi, Ltd.), 15 April 1997 (15.04.1997), paragraphs [0001], [0060] to [0096]; fig. 4, 5 (Family: none)	1-4, 6-8, 11-21 5, 9, 10
Y A	JP 6-21323 A (Mitsubishi Electric Corp.), 28 January 1994 (28.01.1994), paragraph [0038]; fig. 1 & US 5471089 A column 10, lines 22 to 43; fig. 1 & EP 578108 A1	1-4, 6-8, 11-21 5, 9, 10

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 July 2017 (31.07.17)	Date of mailing of the international search report 15 August 2017 (15.08.17)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/020303

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-11338 A (Denso Corp.), 20 January 2014 (20.01.2014), paragraphs [0027] to [0052], [0061] to [0063]; fig. 2A to 6E, 8 & US 2015/0131232 A1 paragraphs [0072] to [0098], [0106] to [0108]; fig. 2A to 6E, 8 & WO 2014/002442 A1 & CN 104412383 A	12-21 5, 9, 10
Y A	JP 2013-125848 A (Rohm Co., Ltd.), 24 June 2013 (24.06.2013), paragraphs [0001], [0066] to [0072], [0093] to [0094], [0102] to [0103]; fig. 11 to 17, 24, 27 & WO 2013/089242 A1	16-21 5, 9, 10
Y A	JP 2011-176087 A (Meidensha Corp.), 08 September 2011 (08.09.2011), paragraphs [0001] to [0002], [0015] to [0016], [0038], [0040] (Family: none)	19-21 5, 9, 10
Y A	WO 2014/034411 A1 (Mitsubishi Electric Corp.), 06 March 2014 (06.03.2014), paragraphs [0053] to [0057] & US 2015/0223316 A1 paragraphs [0058] to [0062] & EP 2889902 A1 & KR 10-2015-0038364 A & CN 104603934 A	19-21 5, 9, 10
A	US 2013/0075932 A1 (INFINEON TECHNOLOGIES AG), 28 March 2013 (28.03.2013), fig. 1, 6 & DE 102011083223 A1 & CN 103021967 A	1-21

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L25/00-25/18, H02M7/48		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2017年 日本国実用新案登録公報 1996-2017年 日本国登録実用新案公報 1994-2017年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 9-102578 A（株式会社日立製作所）1997.04.15, 段落0001,0060-0096, 図4,5（ファミリーなし）	1-4,6-8, 11-21 5,9,10
Y A	JP 6-21323 A（三菱電機株式会社）1994.01.28, 段落0038, 図1 & US 5471089 A, 第10欄第22-43行, FIG.1 & EP 578108 A1	1-4,6-8, 11-21 5,9,10
☑ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 31.07.2017	国際調査報告の発送日 15.08.2017	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 木下 直哉 電話番号 03-3581-1101 内線 3551	5D 3858

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-11338 A (株式会社デンソー) 2014. 01. 20, 段落 0027-0052, 0061-0063, 図 2A-6E, 8 & US 2015/0131232 A1, 段落 0072-0098, 0106-0108, FIGS. 2A-6E, 8 & WO 2014/002442 A1 & CN 104412383 A	12-21 5, 9, 10
Y A	JP 2013-125848 A (ローム株式会社) 2013. 06. 24, 段落 0001, 0066-0072, 0093-0094, 0102-0103, 図 11-17, 24, 27 & WO 2013/089242 A1	16-21 5, 9, 10
Y A	JP 2011-176087 A (株式会社明電舎) 2011. 09. 08, 段落 0001-0002, 0015-0016, 0038, 0040 (ファミリーなし)	19-21 5, 9, 10
Y A	WO 2014/034411 A1 (三菱電機株式会社) 2014. 03. 06, 段落 0053-0057 & US 2015/0223316 A1, 段落 0058-0062 & EP 2889902 A1 & KR 10-2015-0038364 A & CN 104603934 A	19-21 5, 9, 10
A	US 2013/0075932 A1 (INFINEON TECHNOLOGIES AG) 2013. 03. 28, FIGS. 1, 6 & DE 102011083223 A1 & CN 103021967 A	1-21