

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4869464号
(P4869464)

(45) 発行日 平成24年2月8日 (2012. 2. 8)

(24) 登録日 平成23年11月25日 (2011. 11. 25)

(51) Int. Cl.

F I

HO 1 L 21/336 (2006. 01)

HO 1 L 29/786 (2006. 01)

GO 2 F 1/1368 (2006. 01)

HO 1 L 29/78 6 1 6 A

GO 2 F 1/1368

HO 1 L 29/78 6 1 2 B

請求項の数 14 (全 49 頁)

(21) 出願番号	特願平11-368296	(73) 特許権者	000153878
(22) 出願日	平成11年12月24日 (1999. 12. 24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2000-243975 (P2000-243975A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成12年9月8日 (2000. 9. 8)	(72) 発明者	山崎 舜平
審査請求日	平成18年12月21日 (2006. 12. 21)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願平10-371203		半導体エネルギー研究所内
(32) 優先日	平成10年12月25日 (1998. 12. 25)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内

前置審査

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 の回路と第 2 の回路を有する半導体装置において、
前記第 1 の回路は第 1 の n チャネル型薄膜トランジスタを有し、
前記第 2 の回路は第 2 の n チャネル型薄膜トランジスタを有し、
前記第 1 の n チャネル型薄膜トランジスタは、第 1 の島状半導体層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に導電層から成る第 1 のゲート電極を有し、
前記第 2 の n チャネル型薄膜トランジスタは、第 2 の島状半導体層上に前記ゲート絶縁膜を有し、前記ゲート絶縁膜上に前記導電層から成る第 2 のゲート電極を有し、
前記第 1 の島状半導体層は、
第 1 のチャネル形成領域と、一導電型の第 1 の不純物領域と、一導電型の第 3 の不純物領域と、
前記第 1 のチャネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれた一導電型の第 2 の不純物領域と、
前記第 1 のチャネル形成領域と前記一導電型の第 3 の不純物領域とに挟まれた一導電型の第 4 の不純物領域と、を有し、
前記第 2 の島状半導体層は、
第 2 のチャネル形成領域と、一導電型の第 5 の不純物領域と、一導電型の第 7 の不純物領域と、
前記第 2 のチャネル形成領域と前記一導電型の第 5 の不純物領域とに挟まれた一導電型

の第 6 の不純物領域と、

前記第 2 のチャンネル形成領域と前記一導電型の第 7 の不純物領域とに挟まれた一導電型の第 8 の不純物領域と、を有し、

前記一導電型の第 2 の不純物領域は、前記第 1 のゲート電極と重なっている第 1 の領域と、前記第 1 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型の第 4 の不純物領域は、前記第 1 のゲート電極と重なっている第 1 の領域と、前記第 1 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型の第 6 の不純物領域は、前記第 2 のゲート電極と重なっている第 1 の領域と、前記第 2 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型の第 8 の不純物領域は、前記第 2 のゲート電極と重なり、

10

前記一導電型の第 2 の不純物領域、前記一導電型の第 4 の不純物領域、前記一導電型の第 6 の不純物領域、及び前記一導電型の第 8 の不純物領域の不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であり、

前記一導電型の第 1 の不純物領域、前記一導電型の第 3 の不純物領域、前記一導電型の第 5 の不純物領域、及び前記一導電型の第 7 の不純物領域の不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項 2】

第 1 の回路と第 2 の回路を有する半導体装置において、

前記第 1 の回路は第 1 の n チャンネル型薄膜トランジスタを有し、

前記第 2 の回路は第 2 の n チャンネル型薄膜トランジスタを有し、

20

前記第 1 の n チャンネル型薄膜トランジスタは、第 1 の島状半導体層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に導電層から成る第 1 のゲート電極を有し、

前記第 2 の n チャンネル型薄膜トランジスタは、第 2 の島状半導体層上に前記ゲート絶縁膜を有し、前記ゲート絶縁膜上に前記導電層から成る第 2 のゲート電極を有し、

前記第 1 の島状半導体層は、

第 1 のチャンネル形成領域と、一導電型の第 1 の不純物領域と、一導電型の第 3 の不純物領域と、

前記第 1 のチャンネル形成領域と前記一導電型の第 1 の不純物領域とに挟まれた一導電型の第 2 の不純物領域と、

前記第 1 のチャンネル形成領域と前記一導電型の第 3 の不純物領域とに挟まれた一導電型の第 4 の不純物領域と、を有し、

30

前記第 2 の島状半導体層は、

第 2 のチャンネル形成領域と、一導電型の第 5 の不純物領域と、一導電型の第 7 の不純物領域と、

前記第 2 のチャンネル形成領域と前記一導電型の第 5 の不純物領域とに挟まれた一導電型の第 6 の不純物領域と、

前記第 2 のチャンネル形成領域と前記一導電型の第 7 の不純物領域とに挟まれた一導電型の第 8 の不純物領域と、を有し、

前記一導電型の第 2 の不純物領域は、前記第 1 のゲート電極と重なっている第 1 の領域と、前記第 1 のゲート電極と重ならない第 2 の領域とを有し、

40

前記一導電型の第 4 の不純物領域は、前記第 1 のゲート電極と重なり、

前記一導電型の第 6 の不純物領域は、前記第 2 のゲート電極と重なっている第 1 の領域と、前記第 2 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型の第 8 の不純物領域は、前記第 2 のゲート電極と重なっている第 1 の領域と、前記第 2 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型の第 2 の不純物領域、前記一導電型の第 4 の不純物領域、前記一導電型の第 6 の不純物領域、及び前記一導電型の第 8 の不純物領域の不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であり、

前記一導電型の第 1 の不純物領域、前記一導電型の第 3 の不純物領域、前記一導電型の第 5 の不純物領域、及び前記一導電型の第 7 の不純物領域の不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

50

$10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項3】

第1の回路と第2の回路を有する半導体装置において、

前記第1の回路は第1のnチャネル型薄膜トランジスタを有し、画素マトリクス回路であり、

前記第2の回路は第2のnチャネル型薄膜トランジスタを有し、シフトレジスタ回路またはバッファ回路であり、

前記第1のnチャネル型薄膜トランジスタは、第1の島状半導体層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に導電層から成る第1のゲート電極を有し、

前記第2のnチャネル型薄膜トランジスタは、第2の島状半導体層上に前記ゲート絶縁膜を有し、前記ゲート絶縁膜上に前記導電層から成る第2のゲート電極を有し、

前記第1の島状半導体層は、

第1のチャネル形成領域と、一導電型の第1の不純物領域と、一導電型の第3の不純物領域と、

前記第1のチャネル形成領域と前記一導電型の第1の不純物領域とに挟まれた一導電型の第2の不純物領域と、

前記第1のチャネル形成領域と前記一導電型の第3の不純物領域とに挟まれた一導電型の第4の不純物領域と、を有し、

前記第2の島状半導体層は、

第2のチャネル形成領域と、一導電型の第5の不純物領域と、一導電型の第7の不純物領域と、

前記第2のチャネル形成領域と前記一導電型の第5の不純物領域とに挟まれた一導電型の第6の不純物領域と、

前記第2のチャネル形成領域と前記一導電型の第7の不純物領域とに挟まれた一導電型の第8の不純物領域と、を有し、

前記一導電型の第2の不純物領域は、前記第1のゲート電極と重なっている第1の領域と、前記第1のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第4の不純物領域は、前記第1のゲート電極と重なっている第1の領域と、前記第1のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第6の不純物領域及び前記一導電型の第8の不純物領域は、前記第2のゲート電極と重なり、

前記一導電型の第2の不純物領域、前記一導電型の第4の不純物領域、前記一導電型の第6の不純物領域、及び前記一導電型の第8の不純物領域の不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であり、

前記一導電型の第1の不純物領域、前記一導電型の第3の不純物領域、前記一導電型の第5の不純物領域、及び前記一導電型の第7の不純物領域の不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、前記第1の回路及び前記第2の回路のうち少なくとも一方はpチャネル型薄膜トランジスタを有することを特徴とする半導体装置。

【請求項5】

請求項3において、前記第1の回路はpチャネル型薄膜トランジスタを有することを特徴とする半導体装置。

【請求項6】

請求項5において、前記pチャネル型薄膜トランジスタには、発光層を有する素子が接続されていることを特徴とする半導体装置。

【請求項7】

請求項4乃至請求項6のいずれか一項において、前記pチャネル型薄膜トランジスタは、第3の島状半導体層上に前記ゲート絶縁膜を有し、前記ゲート絶縁膜上に前記導電層が

10

20

30

40

50

ら成る第3のゲート電極を有し、

前記第3の島状半導体層は、第3のチャンネル形成領域と、前記第3のチャンネル形成領域に接する一導電型とは反対の導電型の第9の不純物領域と、前記第3のチャンネル形成領域に接する一導電型とは反対の導電型の第10の不純物領域と、を有し、

前記一導電型とは反対の導電型の第9の不純物領域及び前記一導電型とは反対の導電型の第10の不純物領域は、前記第3のゲート電極と重ならないことを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項7のいずれか一項において、前記導電層は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物であることを特徴とする半導体装置。

10

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記半導体装置は、液晶表示装置、EL表示装置、またはイメージセンサであることを特徴とする半導体装置。

【請求項10】

請求項1乃至請求項9のいずれか一項において、前記半導体装置は、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、または携帯型情報端末から選ばれた一つであることを特徴とする半導体装置。

20

【請求項11】

第1の島状半導体層を有する第1の回路と、第2の島状半導体層と第3の島状半導体層とを有する第2の回路と、を有する半導体装置の作製方法において、

絶縁表面を有する基板上に半導体層を形成し、

前記半導体層の一部を除去して少なくとも前記第1の島状半導体層と前記第2の島状半導体層と前記第3の島状半導体層とを形成し、

前記第1の島状半導体層と前記第2の島状半導体層と前記第3の島状半導体層とに接してゲート絶縁膜を形成し、

一導電型の不純物元素を前記第1の島状半導体層の選択された領域と前記第2の島状半導体層の選択された領域とに添加して、前記第1の島状半導体層に第2の不純物領域と第4の不純物領域と、前記第2の島状半導体層に第6の不純物領域と第8の不純物領域と、を形成し、

30

前記ゲート絶縁膜に接して導電層を形成し、

前記導電層から前記第3の島状半導体層の第3のチャンネル形成領域に重なる第3のゲート電極を形成し、

前記一導電型とは反対の導電型の不純物元素を、前記第3の島状半導体層の選択された領域に添加して、前記第3のチャンネル形成領域に接する第9の不純物領域と、前記第3のチャンネル形成領域に接する第10の不純物領域と、を形成し、

前記導電層から、前記第1の島状半導体層の第1のチャンネル形成領域と前記第2の不純物領域の一部と前記第4の不純物領域の一部とに重なる第1のゲート電極と、前記第2の島状半導体層の第2のチャンネル形成領域と前記第6の不純物領域の一部と前記第8の不純物領域の一部とに重なる第2のゲート電極と、を形成し、

40

前記一導電型の不純物元素を前記第1の島状半導体層の選択された領域と前記第2の島状半導体層の選択された領域とに添加して、前記第1の島状半導体層に第1の不純物領域と第3の不純物領域と、前記第2の島状半導体層に第5の不純物領域と第7の不純物領域と、を形成し、

前記一導電型の第2の不純物領域は、前記第1のゲート電極と重なっている第1の領域と、前記第1のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第4の不純物領域は、前記第1のゲート電極と重なっている第1の領域と、前記第1のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第6の不純物領域は、前記第2のゲート電極と重なっている第1の領域

50

と、前記第2のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第8の不純物領域は、前記第2のゲート電極と重なり、

前記一導電型とは反対の導電型の第9の不純物領域及び前記一導電型とは反対の導電型の第10の不純物領域は、前記第3のゲート電極と重ならず、

前記一導電型の第2の不純物領域、前記一導電型の第4の不純物領域、前記一導電型の第6の不純物領域、及び前記一導電型の第8の不純物領域の不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であり、

前記一導電型の第1の不純物領域、前記一導電型の第3の不純物領域、前記一導電型の第5の不純物領域、及び前記一導電型の第7の不純物領域の不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置の作製方法。

10

【請求項12】

第1の島状半導体層を有する第1の回路と、第2の島状半導体層と第3の島状半導体層とを有する第2の回路と、を有する半導体装置の作製方法において、

絶縁表面を有する基板上に半導体層を形成し、

前記半導体層の一部を除去して少なくとも前記第1の島状半導体層と前記第2の島状半導体層と前記第3の島状半導体層とを形成し、

前記第1の島状半導体層と前記第2の島状半導体層と前記第3の島状半導体層とに接してゲート絶縁膜を形成し、

一導電型の不純物元素を前記第1の島状半導体層の選択された領域と前記第2の島状半導体層との選択された領域とに添加して、前記第1の島状半導体層に第2の不純物領域と第4の不純物領域と、前記第2の島状半導体層に第6の不純物領域と第8の不純物領域と、を形成し、

20

前記ゲート絶縁膜に接して導電層を形成し、

前記導電層から、前記第1の島状半導体層の第1のチャンネル形成領域と前記第2の不純物領域の一部と前記第4の不純物領域の一部とに重なる第1のゲート電極と、前記第2の島状半導体層の第2のチャンネル形成領域と前記第6の不純物領域の一部と前記第8の不純物領域の一部とに重なる第2のゲート電極と、前記第3の島状半導体層の第3のチャンネル形成領域に重なる第3のゲート電極と、を形成し、

前記一導電型の不純物元素を前記第1の島状半導体層の選択された領域と前記第2の島状半導体層の選択された領域とに添加して、前記第1の島状半導体層に第1の不純物領域と第3の不純物領域と、前記第2の島状半導体層に第5の不純物領域と第7の不純物領域と、を形成し、

30

前記一導電型とは反対の導電型の不純物元素を、前記第3の島状半導体層の選択された領域に添加して、前記第3のチャンネル形成領域に接する第9の不純物領域と、前記第3のチャンネル形成領域に接する第10の不純物領域と、を形成し、

前記一導電型の第2の不純物領域は、前記第1のゲート電極と重なっている第1の領域と、前記第1のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第4の不純物領域は、前記第1のゲート電極と重なっている第1の領域と、前記第1のゲート電極と重ならない第2の領域とを有し、

前記一導電型の第6の不純物領域は、前記第2のゲート電極と重なっている第1の領域と、前記第2のゲート電極と重ならない第2の領域とを有し、

40

前記一導電型の第8の不純物領域は、前記第2のゲート電極と重なり、

前記一導電型とは反対の導電型の第9の不純物領域及び前記一導電型とは反対の導電型の第10の不純物領域は、前記第3のゲート電極と重ならず、

前記一導電型の第2の不純物領域、前記一導電型の第4の不純物領域、前記一導電型の第6の不純物領域、及び前記一導電型の第8の不純物領域の不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であり、

前記一導電型の第1の不純物領域、前記一導電型の第3の不純物領域、前記一導電型の第5の不純物領域、及び前記一導電型の第7の不純物領域の不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置の作製方法。

50

【請求項 1 3】

第 1 の島状半導体層を有する第 1 の回路と、第 2 の島状半導体層と第 3 の島状半導体層とを有する第 2 の回路と、を有する半導体装置の作製方法において、

絶縁表面を有する基板上に半導体層を形成し、

前記半導体層の一部を除去して少なくとも前記第 1 の島状半導体層と前記第 2 の島状半導体層と前記第 3 の島状半導体層とを形成し、

前記第 1 の島状半導体層と前記第 2 の島状半導体層と前記第 3 の島状半導体層とに接してゲート絶縁膜を形成し、

一導電型の不純物元素を、前記第 3 の島状半導体層の選択された領域に添加して、第 9 の不純物領域と第 10 の不純物領域と、を形成し、

10

前記一導電型とは反対の導電型の不純物元素を前記第 1 の島状半導体層の選択された領域と前記第 2 の島状半導体層の選択された領域とに添加して、前記第 1 の島状半導体層に第 2 の不純物領域と第 4 の不純物領域と、前記第 2 の島状半導体層に第 6 の不純物領域と第 8 の不純物領域と、を形成し、

前記ゲート絶縁膜に接して導電層を形成し、

前記導電層から、前記第 1 の島状半導体層の第 1 のチャンネル形成領域と前記第 2 の不純物領域の一部と前記第 4 の不純物領域の一部とに重なる第 1 のゲート電極と、前記第 2 の島状半導体層の第 2 のチャンネル形成領域と前記第 6 の不純物領域の一部と前記第 8 の不純物領域の一部とに重なる第 2 のゲート電極と、前記第 3 の島状半導体層の第 3 のチャンネル形成領域と第 9 の不純物領域の一部と第 10 の不純物領域の一部とに重なる第 3 のゲート電極と、を形成し、

20

前記一導電型とは反対の導電型の不純物元素を前記第 1 の島状半導体層の選択された領域と前記第 2 の島状半導体層の選択された領域とに添加して、前記第 1 の島状半導体層に第 1 の不純物領域と第 3 の不純物領域と、前記第 2 の島状半導体層に第 5 の不純物領域と第 7 の不純物領域と、を形成し、

前記一導電型とは反対の第 2 の不純物領域は、前記第 1 のゲート電極と重なっている第 1 の領域と、前記第 1 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型とは反対の第 4 の不純物領域は、前記第 1 のゲート電極と重なっている第 1 の領域と、前記第 1 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型とは反対の第 6 の不純物領域は、前記第 2 のゲート電極と重なっている第 1 の領域と、前記第 2 のゲート電極と重ならない第 2 の領域とを有し、

30

前記一導電型とは反対の第 8 の不純物領域は、前記第 2 のゲート電極と重なり、

前記一導電型の導電型の第 9 の不純物領域は、前記第 3 のゲート電極と重なっている第 1 の領域と、前記第 3 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型の導電型の第 10 の不純物領域は、前記第 3 のゲート電極と重なっている第 1 の領域と、前記第 3 のゲート電極と重ならない第 2 の領域とを有し、

前記一導電型とは反対の第 2 の不純物領域、前記一導電型とは反対の第 4 の不純物領域、前記一導電型とは反対の第 6 の不純物領域、及び前記一導電型とは反対の第 8 の不純物領域の不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であり、

前記一導電型とは反対の第 1 の不純物領域、前記一導電型とは反対の第 3 の不純物領域、前記一導電型とは反対の第 5 の不純物領域、及び前記一導電型とは反対の第 7 の不純物領域の不純物元素の濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であることを特徴とする半導体装置の作製方法。

40

【請求項 1 4】

請求項 1 1 乃至請求項 1 3 のいずれか一項において、前記導電層は、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo) から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物で形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

50

【発明の属する技術分野】

本発明は絶縁表面を有する基板上に薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置および電気光学装置を搭載した電子機器の構成に関する。

【0002】

尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0003】**【従来の技術】**

薄膜トランジスタ（以下、TFTと記す）から成る大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置や密着型イメージセンサはその代表例である。

【0004】

TFTはその構造や作製方法によって分類することができる。特に、結晶構造を有する半導体膜を活性層にしたTFT（結晶質TFT）は電界効果移動度が高いことから、いろいろな機能回路を形成することが可能であった。

【0005】

尚、本願明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含むものであり、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【0006】

アクティブマトリクス型液晶表示装置には、機能ブロックごとにnチャネル型TFTで構成される画素マトリクス回路（画素部ともいう）や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの集積回路が一枚の基板上に形成された。

【0007】

また、密着型イメージセンサでは、サンプルホールド回路、シフトレジスタ回路、マルチプレクサ回路などの集積回路がTFTを用いて形成されていた。

【0008】

これらの回路はそれぞれにおいて動作条件が必ずしも同一でないので、当然TFTに要求される特性も少なからず異なっていた。

【0009】

例えば、画素部はnチャネル型TFTから成るスイッチ素子と補助の信号蓄積容量を設けた構成であり、液晶に電圧を印加して駆動させるものである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が採用されている。従って、要求されるTFTの特性は、漏れ電流を十分低減させておく必要があった。

【0010】

また、バッファ回路は高い駆動電圧が印加されるため、耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流を十分確保する必要があった。

【0011】

しかし、結晶質TFTのオフ電流は高くなりやすいといった問題点があった。そして、結晶質TFTは信頼性の面で依然LSIなどに用いられるMOSトランジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質TFTにはオン電流の低下といった劣化現象が観測されることがあった。この原因はホットキャリア効果であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられていた。

【0012】

TFTの構造には、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られてい

10

20

30

40

50

る。この構造はチャネル領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。

【0013】

LDD構造はさらにゲート電極との位置関係により、ゲート電極とオーバーラップするGOLD (Gate-drain Overlapped LDD) 構造や、ゲート電極とオーバーラップしないLDD構造などがある。GOLD構造は、ドレイン近傍の高電界を緩和してホットキャリア効果を防ぎ、信頼性を向上させることができた。例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTF Tと比べ、きわめて優れた信頼性が得られることが確認されている。

10

【0014】

【発明が解決しようとする課題】

しかしながら、GOLD構造では通常のLDD構造に比べてオフ電流が大きくなってしまいう問題があり、大面積集積回路においてすべてのTF Tをその構造で形成することは必ずしも好ましくなかった。例えば、画素部を構成するnチャネル型TF Tでは、オフ電流が増加すると、消費電力が増えたり画像表示に異常が現れたりするので、GOLD構造の結晶質TF Tをそのまま適用することは好ましくなかった。

【0015】

また、LDD構造は直列抵抗の増加により、オン電流が低下してしまうことが問題であった。オン電流はTF Tのチャネル幅などにより自由に設計できるものではあるが、例えば、バッファ回路を構成するTF TにオフセットTF Tを設ける必要は必ずしもなかった。

20

【0016】

本発明は、アクティブマトリクス型液晶表示装置やイメージセンサに代表される大面積集積回路を有する半導体装置において、機能回路ごとに最適な構造のTF Tを提供することを課題とする。また、そのようなTF Tを同一基板上に同一工程で形成する方法を提供することを課題としている。

【0017】

本発明はこのような課題を解決するための技術であり、MOSトランジスタと同等かそれ以上の信頼性が得られる結晶質TF Tを実現することを目的としている。そして、そのような結晶質TF Tでさまざまな機能回路を形成した大面積集積回路を有する半導体装置の信頼性を高めることを目的としている。

30

【0018】

【課題を解決するための手段】

本発明は上記課題を解決するために、LDD構造を有するTF Tにおいて、そのLDD領域がゲート電極とオーバーラップする領域と、オーバーラップしない領域とが一つのTF Tに設ける構造とした。

【0019】

また、本発明はアクティブマトリクス型液晶表示装置やイメージセンサに代表される大面積集積回路を有する半導体装置において、それぞれの機能回路ごとに最適な構造のTF Tを実現するために、LDD領域がゲート電極とオーバーラップする領域と、オーバーラップしない領域との比をそれぞれのTF Tで異ならせることを可能としている。

40

【0020】

このような構成とするために、nチャネル型TF Tは非自己整合的（ノンセルフアライン）に、一方pチャネル型TF Tは自己整合的（セルフアライン）に形成する工程とした。

【0021】

従って本発明の構成は、絶縁表面を有する基板上に、半導体層とゲート絶縁膜とゲート電極と、そのゲート電極に接続したゲート配線とを有する半導体装置において、ゲート電極と、ゲート配線は第1の導電層から成り、前記半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記一導電型の第1の不純物領域とに

50

挟まれ、かつ、前記チャネル形成領域に接する一導電型の第2の不純物領域と、を有し、前記一導電型の第2の不純物領域の一部は、前記ゲート絶縁膜を介して、前記ゲート電極と重なっている構造を有している。

【0022】

本発明に適用される、前記第1の導電層は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物を使用するものである。また、第2の導電層は、アルミニウム（Al）、銅（Cu）、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物に代表される低抵抗導電性材料である。

【0023】

そして、本発明は、nチャネル型薄膜トランジスタで形成された画素部と、nチャネル型薄膜トランジスタと、pチャネル型薄膜トランジスタと、で形成されたCMOS回路を有する半導体装置に適用することができる。

【0024】

しかし、前記CMOS回路において、pチャネル型TFTには、本発明構成を必ずしも適用する必要はない。

【0025】

本発明の他の構成は、一つの画素に、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを有する半導体装置において、前記nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタのゲート電極と、該ゲート電極に接続するゲート配線とは、ゲート絶縁膜に接した第1の導電層から成り、前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記一導電型の第1の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第2の不純物領域とを有し、前記一導電型の第2の不純物領域の一部は、前記ゲート電極と重なっていて、前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、一導電型とは反対の導電型の第3の不純物領域とを有し、前記第3の不純物領域は、前記ゲート電極の外側に設けられていることを特徴としている。

【0026】

或いは、一つの画素に、nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタとを有する半導体装置において、前記nチャネル型薄膜トランジスタとpチャネル型薄膜トランジスタのゲート電極と、該ゲート電極に接続するゲート配線とは、ゲート絶縁膜に接した第1の導電層から成り、前記nチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記一導電型の第1の不純物領域とに挟まれ、かつ、前記チャネル形成領域に接する一導電型の第2の不純物領域とを有し、前記一導電型の第2の不純物領域の一部は、前記ゲート電極と重なっていて、前記pチャネル型薄膜トランジスタの半導体層は、チャネル形成領域と、一導電型とは反対の導電型の第3の不純物領域とを有し、前記第3の不純物領域の一部は、前記ゲート電極と重なっていることを特徴としている。

【0027】

また、本発明の構成は、絶縁表面を有する基板上に、半導体層を形成する工程と前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、前記第1の導電層から前記第2の島状半導体層に重なる第2のゲート電極を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程と、前記第1の導電層から前記第1の島状半導体層に重なる第1のゲート電極を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第1の不純物領域を形成する工程とを有している。

10

20

30

40

50

【0028】

また、本発明の他の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、前記第1の導電層から前記第1の島状半導体層に重なる第1のゲート電極と前記第2の島状半導体層に重なる第2のゲート電極とを形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第1の不純物領域を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程とを有している。

10

【0029】

また、本発明の他の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、前記第1の導電層から前記第1の島状半導体層に重なる第1のゲート電極と前記第2の島状半導体層に重なる第2のゲート電極とを形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第1の不純物領域を形成する工程とを有している。

20

【0030】

また、本発明の他の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第1の不純物領域を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記ゲート絶縁膜に接して、第1の導電層を形成する工程と、前記第1の導電層から前記第1の島状半導体層に重なる第1のゲート電極と前記第2の島状半導体層に重なる第2のゲート電極とを形成する工程と、を有している。

30

【0031】

また、本発明の他の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第1の不純物領域を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記ゲート絶縁膜に接して第1の導電層を形成する工程と、前記第1の導電層から前記第2の島状半導体層に重なる第2のゲート電極を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程と、前記第1の導電層から、前記第1の島状半導体層に重なる第1のゲート電極を形成する工程とを有している。

40

【0032】

また、本発明の他の構成は、絶縁表面を有する基板上に半導体層を形成する工程と、前記半導体層の一部を除去して少なくとも第1の島状半導体層と、第2の島状半導体層とを形成する工程と、前記第1の島状半導体層と第2の島状半導体層とに接してゲート絶縁膜を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添

50

加して第1の不純物領域を形成する工程と、一導電型とは反対の導電型の不純物元素を前記第2の島状半導体層の選択された領域に添加して第3の不純物領域を形成する工程と、一導電型の不純物元素を前記第1の島状半導体層の選択された領域に添加して第2の不純物領域を形成する工程と、前記ゲート絶縁膜に接して、第1の導電層を形成する工程と、前記第1の導電層から前記第1の島状半導体層に重なる第1のゲート電極と、前記第2の島状半導体層に重なる第2のゲート電極とを形成する工程と、を有している。

【0033】

上記発明の構成において、前記第1の導電層は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物で形成されることが望ましい。

10

【0034】

【発明の実施の形態】

〔実施形態1〕

本発明の実施形態を図1と図2により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0035】

基板101はガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。勿論、石英基板をもちいることも可能である。

20

【0036】

そして、基板101のTFTが形成される主表面には、窒化シリコン膜から成る下地膜102と、酸化シリコン膜から成る下地膜103が形成される。これらの下地膜はプラズマCVD法やスパッタ法で形成されるものであり、基板101からTFTに有害な不純物が半導体層へ拡散することを防ぐために設けてある。そのために、窒化シリコン膜からなる下地膜102を20～100nm、代表的には50nmの厚さに形成し、さらに酸化シリコン膜からなる下地膜103を50～500nm、代表的には150～200nmの厚さに形成すれば良い。

【0037】

勿論、下地膜を窒化シリコン膜からなる下地膜102または、酸化シリコン膜からなる下地膜103のどちらか一方のみで形成しても良いが、TFTの信頼性を考慮すると2層構造とすることが最も望ましかった。

30

【0038】

下地膜103に接して形成される半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体を、レーザーアニール法や熱処理による固相成長法で結晶化された、結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体を適用することも可能である。ここで適用できる半導体材料は、シリコン(Si)、ゲルマニウム(Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

40

【0039】

または、基板101上に形成する半導体層は、単結晶シリコン層を形成したSOI(Silicon On Insulators)基板としても良い。SOI基板にはその構造や作製方法によっていくつかの種類が知られているが、代表的には、SIMOX(Separation by Implanted Oxygen)、ELTRAN(Epitaxial Layer Transfer:キャノンの登録商標)基板、Smart-Cut(SOITEC社の登録商標)などを使用することができる。勿論、その他のSOI基板を使用することも可能である。

【0040】

半導体層は10～100nm、代表的には50nmの厚さとして形成されるものである。プラズマCVD法で作製される非晶質半導体膜には10～40atom%の割合で膜中に水素

50

が含まれているが、結晶化の工程に先立って400～500℃の熱処理の工程を行い水素を膜中から脱離させて含有水素量を5atom%以下としておくことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0041】

また、下地膜と非晶質半導体膜とは同じ成膜法で形成可能であるので、下地膜102と下地膜103と、さらに半導体層を連続形成すると良い。それぞれの膜が形成された後、その表面が大气雰囲気に触れないことにより、その表面の汚染を防ぐことができる。その結果、TFTの特性バラツキを発生させる要因の一つをなくすことができた。

【0042】

非晶質半導体膜を結晶化する工程は、公知のレーザーアニール技術または熱アニールの技術を用いれば良い。また、触媒元素を用いた熱アニールの技術により結晶質半導体膜を用いることもできる。さらに、触媒元素を用いた熱アニールの技術により形成された結晶質半導体膜に対して、ゲッタリングの工程を加えて、前記触媒元素を除去すると優れたTFT特性を得ることができる。

【0043】

こうして形成された結晶質半導体膜を、第1のフォトリソマスクを使用して、公知のパターニング法によりレジストマスクを形成し、ドライエッチング法により第2の島状半導体層104と、第1の島状半導体層105を形成した。

【0044】

次に、第2の島状半導体層104と、第1の島状半導体層105との表面に、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜106を形成する。ゲート絶縁膜106は、プラズマCVD法やスパッタ法で形成し、その厚さを10～200nm、好ましくは50～150nmとして形成すれば良い。(図1(A))

【0045】

そして、第2のフォトリソマスクにより、第2の島状半導体層104と、第1の島状半導体層105のチャンネル形成領域を覆うレジストマスク107、108を形成した。このとき、配線を形成する領域にもレジストマスク109を形成しておいても良い。

【0046】

そして、n型を付与する不純物元素を添加することにより第2の不純物領域を形成する工程を行った。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜106を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そして、半導体層にリンが添加された領域110、111が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである。(図1(B))

【0047】

レジストマスクを除去するためには、アルカリ性の市販の剥離液を用いても良いが、アッシング法を用いると効果的であった。アッシング法は酸化雰囲気中でプラズマを形成し、そこに硬化したレジストをさらして除去する方法であるが、その雰囲気中に酸素の他に水蒸気を添加しておくとも効果的であった。

【0048】

そして、ゲート絶縁膜106の表面に第1の導電層112を形成した。第1の導電層112は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて形成する。そして、第1の導電層107の厚さは10～100nm、好ましくは150～400nmで形成すれば良い。(図1(C))

【0049】

例えば、W₂O₃、Ta₂N₅、MoTa₂N₃、WSix(x=2.4<X<2.7)などの化合物を用いること

10

20

30

40

50

ができる。

【0050】

Ta、Ti、Mo、Wなどの導電性材料は、AlやCuに比べ抵抗率が高いが、作製する回路の面積との関係で、 100 cm^2 程度までならば問題なく使用することができた。

【0051】

次に、第3のフォトマスクによりレジストマスク113、114、115、116を形成した。レジストマスク113は、pチャネル型TFTのゲート電極を形成するためのものであり、レジストマスク115、116は、ゲート配線およびゲートバスラインを形成するためのものであった。また、レジストマスク114は第1の島状半導体層の全面を覆って形成され、次の工程において、不純物が添加されるのを阻止するマスクとするために設けられた。

10

【0052】

第1の導電層はドライエッチング法により不要な部分が除去され、第2のゲート電極117と、ゲート配線119と、ゲートバスライン120が形成された。ここで、エッチング後残渣が残っている場合には、アッシング処理すると良かった。

【0053】

そして、レジストマスク113、114、115、116をそのまま残して、pチャネル型TFTが形成される第2の島状半導体層104の一部に、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドープ法で添加した。ここでも加速電圧を 80 keV として、 $2 \times 10^{20}\text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図1(D)に示すようにボロンが高濃度に添加された第3の不純物領域121、122が形成された。

20

【0054】

図1(D)で設けられたレジストマスクを除去した後、第4のフォトマスクを用いてレジストマスク123、124、125を形成した。第4のフォトマスクはnチャネル型TFTのゲート電極を形成するためのものであり、ドライエッチング法により第1のゲート電極126が形成された。このとき第1のゲート電極126は、第2の不純物領域110、111の一部とゲート絶縁膜を介して重なるように形成された。(図1(E))

30

【0055】

そして、レジストマスク123、124、125を完全に除去した後、第5のフォトマスクによりレジストマスク129、130、131を形成した。レジストマスク130は第1のゲート電極126とを覆って、さらに第2の不純物領域110、111の一部と重なる形で形成されたものであった。レジストマスク130は、LDD領域のオフセット量を定めるものであった。

【0056】

また、ここでレジストマスク130を使用してゲート絶縁膜の一部を除去して、第1の不純物領域が形成される半導体層の表面を露出させておいても良い。このようにすると、次の工程で実施されるn型を付与する不純物元素を添加する工程を効果的に実施することができる。

40

【0057】

そして、n型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。そして、ソース領域となる第1の不純物領域132とドレイン領域となる第1の不純物領域133が形成された。ここでは、フォスフィン(PH_3)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜106を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定した。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}\text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20}\text{ atoms/cm}^3$ とした。(図2(A))

【0058】

50

そして、ゲート絶縁膜 106、第 1 および第 2 のゲート電極 126、117、ゲート配線 127、ゲートバスライン 128 の表面に第 1 の層間絶縁膜 134、135 を形成した。第 1 の層間絶縁膜 134 は窒化シリコン膜であり、50 nm の厚さで形成された。また第 1 の層間絶縁膜 135 は酸化シリコン膜であり、950 nm の厚さに形成された。

【0059】

ここで形成された窒化シリコン膜から成る第 1 の層間絶縁膜 134 は次の熱処理の工程を行うために必要なものであった。これは第 1 および第 2 のゲート電極 126、117、ゲート配線 127、ゲートバスライン 128 の表面が酸化することを防ぐために効果的であった。

【0060】

熱処理の工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法（RTA 法）で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下にかくれる領域まで活性化させることは困難であった。従って、ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において 300～700℃、好ましくは 350～550℃、ここでは 450℃、2 時間の処理を行った。

【0061】

この熱処理の工程において、窒素雰囲気中に 3～90% の水素を添加しておいても良い。また、熱処理の工程の後に、さらに 3～100% の水素雰囲気中で 150～500℃、好ましくは 300～450℃ で 2～12 時間の水素化処理の工程を行うと良い。または、150～500℃、好ましくは 200～450℃ の基板温度で水素プラズマ処理をしても良い。いずれにしても、水素が半導体層中やその界面に残留する欠陥を補償することにより、TFT の特性を向上させることができた。

【0062】

第 1 の層間絶縁膜 134、135 はその後、第 6 のフォトマスクを用い、所定のレジストマスクを形成した後、エッチング処理によりそれぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、第 2 の導電層を形成し、第 7 のフォトマスクを用いたパターニングの工程によりソース電極 136、137 とドレイン電極 138 を形成した。図示していないが、本実施例ではこの電極第 2 の導電層を、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の電極として用いた。

【0063】

以上の工程で、p チャネル型 TFT は自己整合的（セルフアライン）に形成され、n チャネル型 TFT は非自己整合的（ノンセルフアライン）に形成された。

【0064】

CMOS 回路の n チャネル型 TFT にはチャネル形成領域 142、第 1 の不純物領域 145、146、第 2 の不純物領域 143、144 が形成された。ここで、第 2 の不純物領域は、ゲート電極とオーバーラップする領域（GOLD 領域）143a、144a と、ゲート電極とオーバーラップしない領域（LDD 領域）143b、144b がそれぞれ形成された。そして、第 1 の不純物領域 145 はソース領域として、第 1 の不純物領域 146 はドレイン領域となった。

【0065】

一方、p チャネル型 TFT は、チャネル形成領域 139、第 3 の不純物領域 140、141 が形成された。そして、第 3 の不純物領域 140 はソース領域として、第 3 の不純物領域 141 はドレイン領域となった。（図 2（B））

【0066】

また、図 2（C）はインバータ回路の上面図を示し、TFT 部分の A-A' 断面構造、ゲート配線部分の B-B' 断面構造、ゲートバスライン部分の C-C' 断面構造は、図 2（

10

20

30

40

50

B)と対応している。本発明において、ゲート電極とゲート配線とゲートバスラインとは、第1の導電層から形成されている。

【0067】

図1と図2では、nチャネル型TFETとpチャネル型TFETとを相補的組み合わせて成るCMOS回路を例にして示したが、nチャネル型TFETを用いたNMOS回路や、液晶表示装置の画素部に本願発明を適用することもできる。

【0068】

[実施形態2]

本発明の実施形態を図3と図4により説明する。ここでは、nチャネル型TFETとpチャネル型TFETを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0069】

まず、実施形態1と同様にして、基板301上に、窒化シリコン膜から成る下地膜302と、酸化シリコン膜から成る下地膜303と、第1の島状半導体層305、第2の島状半導体層304、ゲート絶縁膜306とが形成された。(図3(A))

【0070】

そして、第2のフォトリソマスクにより、第2の島状半導体層304と、第1の島状半導体層305のチャンネル形成領域を覆うレジストマスク307、308を形成した。このとき、配線を形成する領域にもレジストマスク309を形成しておいても良い。

【0071】

そして、n型を付与する不純物元素を添加することにより第2の不純物領域を形成する工程を行った。ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。第1の島状半導体層305に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、半導体層にリンが添加された領域310、311が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである。(図3(B))

【0072】

そして、ゲート絶縁膜306の表面に第1の導電層312を形成した。第1の導電層312は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて形成する。そして、第1の導電層312の厚さは100～1000nm、好ましくは150～400nmで形成すれば良い。(図3(C))

【0073】

次に、第3のフォトリソマスクによりレジストマスク313、314、315、316を形成した。そしてこのレジストマスクを用い、ドライエッチング法により第1の導電層312の一部を除去して、第1のゲート電極318と、第2のゲート電極317と、ゲート配線319と、ゲートバスライン320とが形成された。(図3(D))

【0074】

そして、レジストマスク313、314、315、316を完全に除去した後、第4のフォトリソマスクによりレジストマスク321、322、323を形成した。レジストマスク322は第1のゲート電極318とを覆って、さらに第2の不純物領域310、311の一部と重なる形で形成されたものであった。レジストマスク322は、LDD領域のオフセット量を決めるものであった。

【0075】

そして、n型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。そして、ソース領域となる第1の不純物領域325とドレイン領域となる第1の不純物領域324が形成された。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程でも、ゲート絶縁膜106を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定した。この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³とするのが好ましく、ここでは 1×10^{20} atoms/cm³とした。(図3(E))

【0076】

次に、第5のフォトマスクによりレジストマスク326、327、328を形成して、pチャネル型TFTが形成される第2の島状半導体層304の一部に、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドープ法で添加した。ここでも加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図4(A)に示すようにボロンが高濃度に添加された第3の不純物領域329、330が形成された。

【0077】

そして、ゲート絶縁膜306、第1および第2のゲート電極318、317、ゲート配線319、ゲートバスライン320の表面に第1の層間絶縁膜329、330を形成した。第1の層間絶縁膜329は窒化シリコン膜であり、50nmの厚さで形成された。また第1の層間絶縁膜330は酸化シリコン膜であり、950nmの厚さに形成された。

【0078】

以降、実施形態1と同様に、熱処理の工程を行い、ソース電極331、332、ドレイン電極333を形成して、CMOS回路のnチャネル型TFTにはチャンネル形成領域337、第1の不純物領域340、341、第2の不純物領域338、339が形成された。ここで、第2の不純物領域は、ゲート電極とオーバーラップする領域(GOLD領域)338a、339aと、ゲート電極とオーバーラップしない領域(LDD領域)338b、339bがそれぞれ形成された。そして、第1の不純物領域340はソース領域として、第1の不純物領域341はドレイン領域となった。

【0079】

一方、pチャネル型TFTは、チャンネル形成領域334、ソース領域となる第3の不純物領域335、ドレイン領域となる第3の不純物領域336が形成された。(図4(B))

【0080】

また、図4(C)はインバータ回路の上面図を示し、TFT部分のA-A'断面構造、ゲート配線部分のB-B'断面構造、ゲートバスライン部分のC-C'断面構造は、図4(B)と対応している。本発明において、ゲート電極とゲート配線とゲートバスラインとは、第1の導電層から形成されている。

【0081】

図3と図4では、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせて成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素部に本願発明を適用することもできる。

【0082】

[実施形態3]

本発明のTFTの構成を図26を用いてさらに詳細に説明する。尚、ここでは図26における各符号は、図1および図2の各符号と対応させて用いている。LDD領域である第2の不純物領域は、第1のゲート電極126とオーバーラップする第2の不純物領域144aと、オーバーラップしない第2の不純物領域144bとに分けることができる。即ち、ゲート電極とオーバーラップするLDD領域(Lov)とオーバーラップしないLDD領域(Loff)が形成されている。

【0083】

LDD領域においてLovとLoffの長さは実施形態1で示したように3枚のフォトマスクを用いたパターンニングにより容易に実施可能である。実施形態1で示した工程では、第2のフォトマスクでレジストマスクを形成し、n型を付与するドーピング工程により第2の不純物領域が形成される。この領域の一部がLDD領域となる。そして第4のフォトマスクにより、第1のゲート電極が形成され、この時LDDのオーバーラップ領域(Lov)が形成される。さらに第5のフォトマスクで形成されるレジストマスクによりLDD領域(Loff)が形成された。

【0084】

しかし、この3枚のフォトマスクは、ドーピング工程において、レジストマスクを形成する目的の他に、ゲート電極をパターンニングするためのマスクでもあり、これらの機能を兼用したものであった。

【0085】

従って、 L_{ov} と L_{off} との長には設計の自由度が与えられ、作製するTFTのサイズとの兼ね合いの中で任意に設定することができた。これは、大面積集積回路においてそれぞれの機能回路ごとに駆動電圧の異なるTFTを作製するような場合、きわめて有益な方法であった。図26にはその一例として、アクティブマトリクス型液晶表示装置のロジック回路部、バッファ回路部、アナログスイッチ部、および画素部に使用するTFTの設計値の一例を示す。このとき、それぞれのTFTの駆動電圧を考慮して、チャンネル長はもとより、ゲート電極とオーバーラップする第2の不純物領域144aとゲート電極とオーバーラップしない第2の不純物領域143bの長さを適宜設定することができた。

10

【0086】

例えば、液晶表示装置のドライバ回路のシフトレジスタ回路のTFTや、バッファ回路のTFTは基本的にオン特性が重視されるので、いわゆるGOLD構造だけでも良く、ゲート電極とオーバーラップしない第2の不純物領域144bは必ずしも設ける必要はなかった。しかし設ける場合は駆動電圧を考慮して L_{off} の値を $0.5 \sim 3 \mu m$ の範囲で設定すれば良かった。耐圧を考慮すればゲート電極とオーバーラップしない第2の不純物領域143bの値は、駆動電圧が高くなるにしたがって大きくすることが望ましかった。

20

【0087】

また、サンプリング回路や、画素部に設けるTFTはオフ電流の増加を防ぐため、例えば、チャンネル長が $3 \mu m$ の場合、ゲート電極とオーバーラップする第2の不純物領域143aを $1.5 \mu m$ とし、ゲート電極とオーバーラップしない第2の不純物領域143bを $1.5 \mu m$ とすれば良かった。勿論、本発明はここで示す設計値に限定されるものでなく、適宜決定すれば良いものである。

【0088】

一方、pチャンネル型TFTには、チャンネル形成領域、ソース領域、ドレイン領域だけを形成すれば良かった。勿論、本発明のnチャンネル型TFTと同様の構造としても良いが、pチャンネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャンネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本発明の構造をpチャンネル型TFTに適用しても何ら問題はない。

30

【0089】

[実施形態4]

本発明の実施形態を図5により説明する。ここでは、nチャンネル型TFTとpチャンネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0090】

まず、実施形態1と同様にして、図1(A)の状態の基板を形成する。そして、第2のフォトマスクにより、レジストマスク501、502、503を形成した。

40

【0091】

そして、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドーピングで添加した。ここでも加速電圧を $80 keV$ として、 $2 \times 10^{20} atoms/cm^3$ の濃度にボロンを添加した。そして、図5(A)に示すようにボロンが高濃度に添加された第3の不純物領域504、505が形成された。

【0092】

次に、第3のフォトマスクを用い、レジストマスク506、507、508を形成し、第1の島状半導体層の選択された領域にn型を付与する不純物元素を添加して、第2の不純物領域を形成する工程を行った。ここでは、リンを用い、フォスフィン(PH_3)を用い

50

たイオンドープ法で行った。ここで添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、半導体層にリンが添加された領域509、510が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである。(図5(B))

【0093】

そして、ゲート絶縁膜106の表面に、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて第1の導電層511を形成した。そして、第1の導電層511の厚さは100～1000nm、好ましくは150～400nmで形成すれば良い。(図5(C))

【0094】

次に、第4のフォトリソマスクによりレジストマスク512、513、514、515を形成した。そしてこのレジストマスクを用い、ドライエッチング法により第1の導電層511の一部を除去して、第1のゲート電極517と、第2のゲート電極516と、ゲート配線518と、ゲートバスライン519とが形成された。(図5(D))

【0095】

そして、第5のフォトリソマスクによりレジストマスク520、521、522を形成した。レジストマスク521は第1のゲート電極517を覆って、さらに第2の不純物領域509、510の一部と重なる形で形成されたものであった。レジストマスク521は、LDD領域のオフセット量を決めるものであった。

【0096】

そして、n型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。そして、ソース領域となる第1の不純物領域524とドレイン領域となる第1の不純物領域523が形成された。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行った。この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm³とするのが好ましく、ここでは 1×10^{20} atoms/cm³とした。(図5(E))

【0097】

以降、実施形態1と同様に、熱処理の工程を行い、ソース電極527、528、ドレイン電極529を形成して、CMOS回路のnチャネル型TFTにはチャネル形成領域533、第1の不純物領域536、537、第2の不純物領域534、535が形成された。ここで、第2の不純物領域は、ゲート電極とオーバーラップする領域(GOLD領域)534a、535aと、ゲート電極とオーバーラップしない領域(LDD領域)534b、535bがそれぞれ形成された。そして、第1の不純物領域536はソース領域として、第1の不純物領域537はドレイン領域となった。一方、pチャネル型TFTは、チャネル形成領域530、ソース領域となる第3の不純物領域531、ドレイン領域となる第3の不純物領域532が形成された。(図5(F))

【0098】

[実施形態5]

本発明の実施形態を図6により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0099】

まず、実施形態1と同様にして、図1(A)の状態の基板を形成する。そして、第2のフォトリソマスクにより、レジストマスク601、602、603を形成した。

【0100】

そして、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドープ法で添加した。加速電圧を80keVとして、 2×10^{20} atoms/cm³の濃度にボロンを添加した。そして、図6(A)に示すようにボロンが高濃度に添加された第3の不純物領域604、605が形成された。

【0101】

そして、第3のフォトマスクによりレジストマスク606、607、608を形成した。そして、第1の島状半導体層105にn型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。ソース領域となる第1の不純物領域610とドレイン領域となる第1の不純物領域609が形成された。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行った。この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atoms/cm}^3$ とした。(図6(B))

【0102】

次に、第4のフォトマスクを用い、レジストマスク611、612、613を形成し、第1の島状半導体層105の選択された領域にn型を付与する不純物元素を添加して、第2の不純物領域を形成する工程を行った。ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。ここで添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{atoms/cm}^3$ とした。そして、半導体層にリンが添加された領域614、615が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである。(図6(C))

【0103】

そして、ゲート絶縁膜106の表面に、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて第1の導電層616を形成した。そして、第1の導電層616の厚さは100～1000nm、好ましくは150～400nmで形成すれば良い。(図6(D))

【0104】

次に、第5のフォトマスクによりレジストマスク617、618、619、620を形成した。そしてドライエッチング法により第1の導電層616の一部を除去して、第1のゲート電極622と、第2のゲート電極621と、ゲート配線623と、ゲートバスライン624とが形成された。(図6(E))

【0105】

以降、実施形態1と同様に、熱処理の工程を行い、ソース電極627、628、ドレイン電極629を形成して、CMOS回路のnチャネル型TFTにはチャネル形成領域633、第1の不純物領域636、637、第2の不純物領域634、635が形成された。ここで、第2の不純物領域は、ゲート電極とオーバーラップする領域(GOLD領域)634a、635aと、ゲート電極とオーバーラップしない領域(LDD領域)634b、635bがそれぞれ形成された。そして、第1の不純物領域636はソース領域として、第1の不純物領域637はドレイン領域となった。一方、pチャネル型TFTは、チャネル形成領域630、ソース領域となる第3の不純物領域631、ドレイン領域となる第3の不純物領域632が形成された。(図6(F))

【0106】

[実施形態6]

本発明の実施形態を図7により説明する。ここでは、nチャネル型TFTとpチャネル型TFTを同一基板上に作製し、CMOS回路の基本構成であるインバータ回路を形成する実施形態について説明する。

【0107】

まず、実施形態1と同様にして、図1(A)の状態の基板を形成する。そして、第2のフォトマスクにより、レジストマスク701、702、703を形成した。

【0108】

そして最初に、n型を付与する不純物元素を第1の島状半導体層105に選択的に添加して、第1の不純物領域を形成した。ここでは、フォスフィン(PH₃)を用いたイオンドープ法で行った。この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atoms/cm}^3$ とした。そして半導体層にリンが添加された領域704、705が形成された。(図7(A))

【0109】

次に、第3のフォトマスクを用い、レジストマスク706、707、708を形成し、第

10

20

30

40

50

1の島状半導体層の選択された領域にn型を付与する不純物元素を添加して、第2の不純物領域を形成する工程を行った。ここで添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ の範囲にするのが好ましく、代表的には $1 \times 10^{18} \text{atoms/cm}^3$ とすると良い。そして、半導体層にリンが添加された領域709、710が形成された。ここで形成された第2の不純物領域の一部は、LDD領域として機能するものである。(図7(B))

【0110】

そして、ゲート絶縁膜106の表面に、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用いて第1の導電層711を形成した。そして、第1の導電層711の厚さは100～1000nm、好ましくは150～400nmで形成すれば良い。(図7(C))

10

【0111】

次に、第4のフォトリソマスクを使用してレジストマスク712、713、714を形成した。レジストマスク712は、第2のゲート電極を形成するためのものであり、レジストマスク713は第1の島状半導体層の全面を覆って形成され、次の工程において、不純物が添加されるのを阻止するマスクとするために設けられた。

【0112】

第1の導電層はドライエッチング法により不要な部分が除去され、第2のゲート電極715が形成された。そして、pチャネル型TFTが形成される第2の島状半導体層104の一部に、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。添加されたp型を付与する不純物元素はボロンであり、 $2 \times 10^{20} \text{atoms/cm}^3$ の濃度に添加した。そして、図7(D)に示すようにボロンが高濃度に添加された第3の不純物領域718、719が形成された。

20

【0113】

次に、第5のフォトリソマスクによりレジストマスク718、719、720、721を形成した。そしてこのレジストマスクを用い、ドライエッチング法により第1の導電層716および717の一部を除去して、第1のゲート電極722と、ゲート配線723と、ゲートバスライン721とが形成された。(図7(E))

【0114】

以降、実施形態1と同様に、熱処理の工程を行い、ソース電極727、728、ドレイン電極729を形成して、CMOS回路のnチャネル型TFTにはチャネル形成領域733、第1の不純物領域736、737、第2の不純物領域734、735が形成された。ここで、第2の不純物領域は、ゲート電極とオーバーラップする領域(GOLD領域)734a、735aと、ゲート電極とオーバーラップしない領域(LDD領域)734b、735bがそれぞれ形成された。そして、第1の不純物領域736はソース領域として、第1の不純物領域737はドレイン領域となった。一方、pチャネル型TFTは、チャネル形成領域730、ソース領域となる第3の不純物領域731、ドレイン領域となる第3の不純物領域732が形成された。(図7(F))

30

【0115】

[実施形態7]

まず、実施形態1と同様にして、図1(A)の状態の基板を形成する。そして、第2のフォトリソマスクにより、レジストマスク801、802、803を形成した。

40

【0116】

そして最初に、n型を付与する不純物元素を第1の島状半導体層105に選択的に添加して、第1の不純物領域を形成した。ここでは、フォスフィン(PH_3)を用いたイオンドーピング法で行った。この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{atoms/cm}^3$ とした。そして半導体層にリンが添加された領域804、805が形成された。(図8(A))

【0117】

次に、第3のフォトリソマスクにより、レジストマスク806、807、808を形成し、p型を付与する不純物元素を添加して第3の不純物領域を形成する工程を行った。ここでは

50

ボロンをその不純物元素として、ジボラン (B_2H_6) を用いてイオンドープ法で添加した。ここでも加速電圧を 80 keV として、 $2 \times 10^{20}\text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図 8 (B) に示すようにボロンが高濃度に添加された第 3 の不純物領域 809、810 が形成された。

【0118】

次に、第 3 のフォトマスクを用い、レジストマスク 811、812、813 を形成し、第 1 の島状半導体層の選択された領域に n 型を付与する不純物元素を添加して、第 2 の不純物領域を形成する工程を行った。ここでは、リンを用い、フォスフィン (PH_3) を用いたイオンドープ法で行った。ここで添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}\text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18}\text{ atoms/cm}^3$ とした。そして、半導体層にリンが添加された領域 814、815 が形成された。ここで形成された第 2 の不純物領域の一部は、LDD 領域として機能するものである。(図 8 (C))

10

【0119】

そして、ゲート絶縁膜 106 の表面に、Ta、Ti、Mo、W から選ばれた元素を主成分とする導電性材料を用いて第 1 の導電層 816 を形成した。そして、第 1 の導電層 816 の厚さは $100 \sim 1000\text{ nm}$ 、好ましくは $150 \sim 400\text{ nm}$ で形成すれば良い。(図 8 (C))

【0120】

次に、第 4 のフォトマスクによりレジストマスク 817、818、819、820 を形成した。そしてこのレジストマスクを用い、ドライエッチング法により第 1 の導電層 816 の一部を除去して、第 1 のゲート電極 822 と、第 2 のゲート電極 821 と、ゲート配線 823 と、ゲートバスライン 824 とが形成された。(図 8 (E))

20

【0121】

以降、実施形態 1 と同様に、熱処理の工程を行い、ソース電極 827、828、ドレイン電極 829 を形成して、CMOS 回路の n チャネル型 TFT にはチャンネル形成領域 833、第 1 の不純物領域 836、837、第 2 の不純物領域 834、835 が形成された。ここで、第 2 の不純物領域は、ゲート電極とオーバーラップする領域 (GOLD 領域) 834a、835a と、ゲート電極とオーバーラップしない領域 (LDD 領域) 834b、835b がそれぞれ形成された。そして、第 1 の不純物領域 836 はソース領域として、第 1 の不純物領域 837 はドレイン領域となった。一方、p チャネル型 TFT は、チャンネル形成領域 830、ソース領域となる第 3 の不純物領域 831、ドレイン領域となる第 3 の不純物領域 832 が形成された。(図 8 (F))

30

【0122】

[実施形態 8]

まず、実施形態 1 と同じ工程に従い図 1 (E) に示す状態を得た。そして図 9 (A) に示すように、レジストマスク 901、902、903 を形成した。レジストマスク 902 は n チャネル型 TFT の第 1 のゲート電極 126 と、第 2 の不純物領域の一部を覆う形で形成され、LDD を形成するためのものであるが、ここでは n チャネル型 TFT のドレイン側のみ形成されるようにした。LDD は漏れ電流の増加を防ぐが、それはドレイン側だけに設けるだけでも十分効果を得ることができた。(図 9 (A))

40

【0123】

以降の工程は実施形態 1 と同様にして行うことで、図 9 (B) に示す CMOS 回路が形成された。そして、n チャネル型 TFT にはチャンネル形成領域 914、第 1 の不純物領域 917、918、第 2 の不純物領域 915、916 が形成された。ここで、第 2 の不純物領域 916 は、第 1 のゲート電極とオーバーラップする領域 (GOLD 領域) 916a と、オーバーラップしない領域 (LDD 領域) 916b が形成された。そして、第 1 の不純物領域 917 はソース領域として、第 1 の不純物領域 918 はドレイン領域となった。

【0124】

[実施形態 9]

本実施形態を図 10 を用いて説明する。最初に実施形態 1 と同じ工程に従い、図 5 (C)

50

に示す状態を得た。

【0125】

そして、フォトリソマスクを使用して、レジストマスク1012、1013、1014、1015を形成し、ドライエッチング法により第1の導電層511の一部を除去した。その後、レジストマスクをそのまま使用して、n型を付与する第2のドーピング工程を行い、半導体層104、105にリンが添加された領域1010、1011、1020、1021が形成された。(図10(A))

【0126】

ここでレジストマスクをアッシングおよびアルカリ性の剥離液を使用して完全に除去した。そして再度フォトリソ膜を形成し、裏面からの露光によるパターニングの工程を行った。このとき、ゲート電極、ゲート配線、およびゲートバスラインのパターンがフォトリソマスクと同じ役割を果たし、レジストマスク1022、1023、1024、1025がそれぞれのパターン上に形成された。裏面からの露光は直接光と散乱光を利用して行うもので、光強度や露光時間などの露光条件の調節により、図10(B)に示すようにレジストマスクをゲート電極上の内側に形成することができた。

【0127】

そして、ドライエッチング法によりゲート電極、ゲート配線、およびゲートバスラインの一部を除去することにより、第1のゲート電極1002、第2のゲート電極1001、ゲート配線1003、ゲートバスライン1004が形成された。

【0128】

以降の工程は実施形態5と同様にして行うことで、図10(C)に示すCMOS回路が形成された。そして、nチャネル型TFTにはチャネル形成領域1034、第1の不純物領域1037、1038、第2の不純物領域1035、1036が形成された。ここで、第2の不純物領域は、第1のゲート電極とオーバーラップする領域(GOLD領域)1035a、1036aと、オーバーラップしない領域(LDD領域)1035b、1036bとが形成された。そして、第1の不純物領域1037はソース領域として、第1の不純物領域1038はドレイン領域となった。

【0129】

【実施例】

[実施例1]

本実施例では、本願発明の構成を図11～図13を用い、画素部とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

【0130】

図11において、基板1101には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板1101のTFTが形成される表面に、下地膜1102をプラズマCVD法やスパッタ法で形成した。下地膜1102は図示していないが、窒化シリコン膜を25～100nm、ここでは50nmの厚さに、酸化シリコン膜を50～300nm、ここでは150nmの厚さに形成した。また、下地膜1102は、窒化シリコン膜や窒化酸化シリコン膜のみを用いても良い。

【0131】

下地膜1102は上記材料の他に、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される第1の酸化窒化シリコン膜を10～100nmの厚さに形成し、その上に SiH_4 、 N_2O から作製される第2の酸化窒化シリコン膜を100～200nmの厚さに積層形成した2層構造としても良い。

【0132】

第1の酸化窒化シリコン膜は平行平板型のプラズマCVD法を用いて形成する。第1の酸化窒化シリコン膜は、 SiH_4 を10SCCM、 NH_3 を100SCCM、 N_2O を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、第2の酸化窒化シリコン膜は、 SiH_4 を4SCCM、 N_2O を400SCCM、として反応室に導入し、基板温度400℃、反応圧力40Pa、放電電力密

10

20

30

40

50

度 0.41 W/cm^2 、放電周波数 60 MHz とした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。また、第1の酸化窒化シリコン膜は基板を中心に考えて、その内部応力が引張り応力となるように形成する。第2の酸化窒化シリコン膜も同様な方向に内部応力を持たせるが、第1の酸化窒化シリコン膜よりも絶対値で比較して小さい応力となるようにすると良い。

【0133】

次に、この下地膜1102の上に 50 nm の厚さの、非晶質シリコン膜をプラズマCVD法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは $400 \sim 550^\circ\text{C}$ で数時間加熱して脱水素処理を行い、含有水素量を $5 \text{ atom\%}$ 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法

10

【0134】

ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作製されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。下地膜を形成後、一旦大気雰囲気さらされない工程にすることにより、表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができた。

【0135】

非晶質シリコン膜を結晶化する工程は、公知のレーザーアニール技術または熱アニールの技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成した。

20

【0136】

尚、本実施例では半導体層を非晶質シリコン膜から結晶質シリコン膜を形成したが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0137】

こうして形成された結晶質シリコン膜を第1のフォトマスクを使用してパターニングし、島状の半導体層1103、1104、1105を形成した。

【0138】

次に、島状の半導体層1103、1104、1105を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜1106を形成した。ゲート絶縁膜1106は、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を $10 \sim 200 \text{ nm}$ 、好ましくは $50 \sim 150 \text{ nm}$ の厚さで形成すれば良い。ここでは 100 nm の厚さに形成した。(図11(A))

30

【0139】

そして、第2のフォトマスクにより、半導体層1103と、半導体層1104、1105のチャンネル形成領域を覆うレジストマスク1107、1108、1109、1110、1111を形成した。このとき、配線を形成する領域にもレジストマスク1109を形成しておいても良い。

【0140】

そして、n型を付与する不純物元素を添加して第2の不純物領域を形成する工程を行った。ここでは、リンを用い、フォスフィン (PH_3)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜1106を通してその下の半導体層にリンを添加するために、加速電圧は 65 keV に設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そして、半導体層にリンが添加された領域1112、1113、1114、1115、1116が形成された。ここで形成されたリンが添加された領域の一部は、LDD領域として機能する第2の不純物領域とされるものである。(図11(B))

40

【0141】

その後、レジストマスクを除去して、第1の導電層1117を全面に形成した。第1の導電層1117は、Ta、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料を用

50

いる。そして、第1の導電層1117の厚さは100～1000nm、好ましくは150～400nmで形成しておけば良い。ここではTaをスパッタ法で形成した。(図11(C))

【0142】

第1の導電層にTa膜を用いる場合にはスパッタ法で形成することが可能である。Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 α 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。しかし、Ta_N膜は α 相に近い結晶構造を持つので、この上にTa膜を形成すれば α 相のTa膜が容易に得られる。従って、図示しないが第1の導電膜の下に10～50nmの厚さでTa_N膜を形成しておいても良い。同様に図示しないが、第1の導電膜の下に2～20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、第1の導電膜または第2の導電膜が微量に含有するアルカリ金属元素がゲート絶縁膜1106に拡散するのを防ぐことができる。いずれにしても、第1の導電膜は抵抗率を10～50 $\mu\Omega\text{cm}$ の範囲ですることが好ましい。

10

【0143】

その他に、W膜を用いることも可能であり、その場合はWをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N₂)ガスを導入してW膜を200nmの厚さに形成する。また、W膜を六フッ化タングステン(WF₆)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20 $\mu\Omega\text{cm}$ を実現することができる。

20

【0144】

次に、第3のフォトリソマスクによりレジストマスク1118、1119、1120、1121、1122、1123を形成した。第4のフォトリソマスクは、pチャネル型TFTのゲート電極と、CMOS回路および画素部のゲート配線、ゲートバスラインを形成するためのものであった。nチャネル型TFTのゲート電極は後の工程で形成するため、第1の導電層1117が半導体層1104上の全面で残るようにレジストマスク1119、1123を形成した。

30

【0145】

第1の導電層はドライエッチング法により不要な部分を除去した。TaのエッチングはCF₄とO₂の混合ガスにより行われた。そして、ゲート電極1124と、ゲート配線1126、1128と、ゲートバスライン1127が形成された。

【0146】

そして、レジストマスク1118、1119、1120、1121、1122、1123をそのまま残して、pチャネル型TFTが形成される半導体層1103の一部に、p型を付与する不純物元素を添加するの工程を行った。ここではボロンをその不純物元素として、ジボラン(B₂H₆)を用いてイオンドーブ法で添加した。ここでも加速電圧を80keVとして、 $2\times 10^{20}\text{atoms/cm}^3$ の濃度にボロンを添加した。そして、図12(A)に示すようにボロンが高濃度に添加された第3の不純物領域1130、1131が形成された。

40

【0147】

図12(A)で設けられたレジストマスクを除去した後、新たに第4のフォトリソマスクによりレジストマスク1124、1125、1126、1127、1128、1129、1130を形成した。第4のフォトリソマスクはnチャネル型TFTのゲート電極を形成するため

50

のものであり、ドライエッチング法によりゲート電極1131、1132、1133が形成された。このときゲート電極1131、1132、1133は第2の不純物領域1112、1113、1114、1115、1116の一部と重なるように形成された。(図12(B))

【0148】

そして、レジストマスクを完全に除去した後、新たなレジストマスク1135、1136、1137、1138、1139、1140、1141を形成した。レジストマスク1136、1139、1140はnチャネル型TFTのゲート電極1131、1132、1133と、第2の不純物領域の一部を覆う形で形成されるものであった。ここで、レジストマスク1136、1139、1140は、LDD領域のオフセット量を決めるものであった。

10

【0149】

そして、n型を付与する不純物元素を添加して第1の不純物領域を形成する工程を行った。そして、ソース領域となる第1の不純物領域1143、1144とドレイン領域となる第1の不純物領域1142、1145、1146が形成された。ここでは、フォスフィン(PH_3)を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜1106を通してその下の半導体層にリンを添加するために、加速電圧は80keVに設定した。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。(図12(C))

20

【0150】

図12(C)までの工程が終了したら、第1の層間絶縁膜1147、1148を形成する工程を行った。最初に窒化シリコン膜1147を50nmの厚さに成膜した。窒化シリコン膜1147はプラズマCVD法で形成され、 SiH_4 を5SCCM、 NH_3 を40SCCM、 N_2 を100SCCM導入して0.7Torr、300Wの高周波電力を投入した。そして、続いて第1の層間絶縁膜1148として酸化シリコン膜をTEOSを500SCCM、 O_2 を50SCCM導入し1Torr、200Wの高周波電力を投入して950nmの厚さに成膜した。(図13)

【0151】

そして、熱処理の工程を行った。熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要があった。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行えば良い。ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において300~700℃、好ましくは350~550℃、ここでは450℃、2時間の処理を行った。

30

【0152】

第1の層間絶縁膜1147、1148はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極1149、1150、1151とドレイン電極1152、1153を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の電極として用いた。

40

【0153】

以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域1157、第1の不純物領域1160、1161、第2の不純物領域1158、1159が形成された。ここで、第2の不純物領域は、ゲート電極とオーバーラップする領域(GOLD領域)1158a、1159a、ゲート電極とオーバーラップしない領域(LDD領域)1158b、1159bがそれぞれ形成された。そして、第1の不純物領域1160はソース領域として、第1の不純物領域1161はドレイン領域となった。

【0154】

pチャネル型TFTは、チャネル形成領域1154、第3の不純物領域1155、115

50

6が形成された。そして、第3の不純物領域1155はソース領域として、第3の不純物領域1156はドレイン領域となった。

【0155】

また、画素部のnチャネル型TFETはマルチゲート構造であり、チャネル形成領域1162、1163と第1の不純物領域1168、1169、1145と第2の不純物領域1164、1165、1166、1167が形成された。ここで第2の不純物領域は、ゲート電極と重なる領域1164a、1165a、1166a、1167aと重ならない領域1164b、1165b、1166b、1167bとが形成された。

【0156】

こうして図13に示すように、基板1101上にCMOS回路と、画素部が形成されたアクティブマトリクス基板が作製された。また、画素部のnチャネル型TFETのドレイン側には、第2の不純物領域と同じ濃度でn型を付与する不純物元素が添加された、低濃度不純物領域1170、ゲート絶縁膜1106、保持容量電極1171とが形成され、画素部に設けられる保持容量が同時に形成された。

【0157】

〔実施例2〕

本実施例では、実施例1において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱アニール法により形成する例を示す。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0158】

ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図18に示す。まず基板1801に酸化シリコン膜1802を設け、その上に非晶質シリコン膜1803を形成した。さらに、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層1804を形成した。(図18(A))

【0159】

次に、500℃、1時間の脱水素工程の後、500～650℃で4～12時間、例えば550℃、8時間の熱処理を行い、結晶質シリコン膜1805を形成した。こうして得られた結晶質シリコン膜1805は非常に優れた結晶性を有した。(図18(B))

【0160】

また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本願発明に適用した場合について、図19で説明する。

【0161】

まず、ガラス基板1901に酸化シリコン膜1902を設け、その上に非晶質シリコン膜1903、酸化シリコン膜1904を連続的に形成した。この時、酸化シリコン膜1904の厚さは150nmとした。

【0162】

次に酸化シリコン膜1904をパターニングして、選択的に開孔部1905を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層1906が形成され、ニッケル含有層1906は開孔部1905の底部のみで非晶質シリコン膜1902と接触した。(図19(A))

【0163】

次に、500～650℃で4～24時間、例えば570℃、14時間の熱処理を行い、結晶質シリコン膜1907を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜1907は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図19(B))

【0164】

尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも、ゲル

10

20

30

40

50

マンニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、といった元素を用いても良い。

【0165】

以上のような技術を用いて結晶質半導体膜（結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む）を形成し、パターニングを行えば、結晶質TFTの半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製されたTFTは、優れた特性が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明のTFT構造を採用することで、本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

【0166】

10

[実施例3]

本実施例は、実施例1で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例を示す。本実施例ではその方法として、特開平10-247735号公報、特開平10-135468号公報または特開平10-135469号公報に記載された技術を用いた。

【0167】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

20

【0168】

本実施例の構成について図20を用いて説明する。ここではコーニング社の1737基板に代表される無アルカリガラス基板を用いた。図20(A)では、実施例3で示した結晶化の技術を用いて、下地2002、結晶質シリコン膜2003が形成された状態を示している。そして、結晶質シリコン膜2003の表面にマスク用の酸化シリコン膜2004が150nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。

そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域2005が設けられた。

30

【0169】

この状態で、窒素雰囲気中で550~800℃、5~24時間、例えば600℃、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域2005がゲッターリングサイトとして働き、結晶質シリコン膜2003に残存していた触媒元素はリンが添加された領域2005に偏析させることができた。

【0170】

そして、マスク用の酸化シリコン膜2004と、リンが添加された領域2005とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま実施例1で示した本願発明のTFTの半導体層として使用することができた。

40

【0171】

[実施例4]

本実施例では、実施例1で示した本願発明のTFTを作製する工程において、半導体層とゲート絶縁膜を形成する他の実施形態を示す。そして、本実施例の構成を図21で説明する。

【0172】

ここでは、少なくとも700~1100℃程度の耐熱性を有する基板が必要であり、石英基板2101が用いられた。そして実施例2及び実施例3で示した技術を用い、結晶質半導体が形成され、これをTFTの半導体層にするために、島状にパターニングして半導体

50

層 2102、2103 を形成した。そして、半導体層 2102、2103 を覆って、ゲート絶縁膜 2104 を酸化シリコンを主成分とする膜で形成した。本実施例では、プラズマ CVD 法で窒化酸化シリコン膜を 70 nm の厚さで形成した。(図 21 (A))

【0173】

そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。本実施例では、950℃、30分とした。尚、処理温度は700～1100℃の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良かった。(図 21 (B))

【0174】

その結果、本実施例の条件では、半導体層 2102、2103 とゲート絶縁膜 2104 との界面で熱酸化膜が形成され、ゲート絶縁膜 2107 が形成された。また、ハロゲン雰囲気での酸化の過程で、ゲート絶縁膜 2104 と半導体層 2102、2103 に含まれる不純物で、特に金属不純物元素はハロゲンと化合物を形成し、気相中に除去することができた。

10

【0175】

以上の工程で作製されたゲート絶縁膜 2107 は、絶縁耐圧が高く半導体層 2105、2106 とゲート絶縁膜 2107 の界面は非常に良好なものであった。本願発明の TFT の構成を得るためには、以降の工程は実施例 1 に従えば良かった。

【0176】

[実施例 5]

本実施例では、実施例 2 で示した方法で結晶質半導体膜を形成し、実施例 1 で示す工程でアクティブマトリクス基板を作製方法において、結晶化の工程で使用した触媒元素をゲッタリングにより除去する例を示す。まず、実施例 1 において、図 11 (A) で示される半導体層 1103、1104、1105 は、触媒元素を用いて作製された結晶質シリコン膜であった。このとき、結晶化の工程で用いられた触媒元素が半導体層中に残存するので、ゲッタリングの工程を実施することが望ましかった。

20

【0177】

ここでは、図 12 (B) に示す工程までそのまま実施した。そして、図 22 に示すように、新たなレジストマスク 2201、1136、1137、1138、1139、1140 を形成した。そして、n 型を付与する不純物添加により第 1 の不純物領域を形成する工程を行った。そして、半導体層にリンが添加された領域 2202、2203、1142、1143、1144、1145、1146 が形成された。(図 22 (A))

30

【0178】

ここで、リンが添加された領域 2202、2203 にはすでに p 型を付与する不純物元素であるボロンが添加されているが、このときリン濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ であり、ボロンに対して 1/2 程度の濃度で添加されるので、p チャネル型 TFT の特性には何ら影響を及ぼさなかった。

【0179】

この状態で、窒素雰囲気中で 400～800℃、1～24 時間、例えば 500℃、12 時間の加熱処理の工程を行った。この工程により、添加された n 型及び p 型を付与する不純物元素を活性化することができた。さらに、前記リンが添加されている領域がゲッタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができた。その結果、チャネル形成領域から触媒元素を除去することができた。(図 22 (B))

40

【0180】

図 22 (B) の工程が終了したら、以降の工程は実施例 1 の工程に従い、アクティブマトリクス基板を作製することができた。

【0181】

[実施例 6]

本実施例では、実施例 1 で作製されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を図 14 で説明する。

【0182】

50

図13の状態のアクティブマトリクス基板に対して、パッシベーション膜1401を形成した。パッシベーション膜1401は、窒化シリコン膜で50nmの厚さで形成した。さらに、有機樹脂からなる第2の層間絶縁膜1402を約1000nmの厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0183】

さらに第3の層間絶縁膜を形成した。第3の層間絶縁膜1404は、ポリイミドなどの有機樹脂膜で形成した。そして、第3の層間絶縁膜1404と第2の層間絶縁膜1402、パッシベーション膜1401にドレイン電極1153に達するコンタクトホールを形成し、画素電極1405を形成した。画素電極1405は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成し、画素電極1405を形成した。

【0184】

次に、図15に示すように、配向膜1501を第3の層間絶縁膜1404と画素電極1405との表面に形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板1502には、透明導電膜1503と、配向膜1504とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0185】

上記の工程を経て、画素部と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料1508を注入し、封止剤（図示せず）によって完全に封止した。よって図15に示すアクティブマトリクス型液晶表示装置が完成した。

【0186】

次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図16と図17を用いて説明する。図16は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板1101上に形成された、画素部1601と、走査（ゲート）線駆動回路1603と、信号（ソース）線駆動回路1604で構成される。画素部の画素TF1600はnチャネル型TF1600であり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査（ゲート）線駆動回路1603と、信号（ソース）線駆動回路1604はそれぞれゲート配線1703とソース配線1704で画素部1601に接続されている。

【0187】

図17は画素部1601の上面図であり、ほぼ1画素の上面図である。画素部にはnチャネル型TF1600が設けられている。ゲート配線1702に連続して形成されるゲート電極1702は、図示されていないゲート絶縁膜を介してその下の半導体層1701と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、画素TF1600のドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量1707が形成されている。また、図17で示すA-A'、およびB-B'に沿った断面構造は、図15に示す画素部の断面図に対応している。

【0188】

本実施例では、画素TF1600をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願

10

20

30

40

50

発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0189】

[実施例7]

図23は、実施例6で示したアクティブマトリクス型液晶表示装置の回路構成の一例を示す。本実施例のアクティブマトリクス型液晶表示装置は、ソース信号線側駆動回路2301、ゲート信号線側駆動回路(A)2307、ゲート信号線側駆動回路(B)2311、プリチャージ回路2312、画素部2306を有している。

【0190】

ソース信号線側駆動回路2301は、シフトレジスタ回路2302、レベルシフタ回路2303、バッファ回路2304、サンプリング回路2305を備えている。

【0191】

また、ゲート信号線側駆動回路(A)2307は、シフトレジスタ回路2308、レベルシフタ回路2309、バッファ回路2310を備えている。ゲート信号線側駆動回路(B)2311も同様な構成である。

【0192】

ここで、それぞれの回路の駆動電圧の一例を示すと、シフトレジスタ回路2302、2308は10～16Vであり、レベルシフタ回路2303、2309、バッファ回路2304、2310、サンプリング回路2305画素部2306は14～16Vであった。サンプリング回路2305画素部2306は印加される電圧の振幅であり、通常極性反転された電圧が交互に印加されていた。

【0193】

本発明は、nチャネル型TFTの駆動電圧を考慮して、LDD領域となる第2の不純物領域の長さを同一基板上で異ならしめることが容易であり、それぞれの回路を構成するTFTに対して、最適な形状を同一工程で作り込むことができた。

【0194】

図24(A)はシフトレジスタ回路のTFTの構成例を示している。シフトレジスタ回路のnチャネル型TFTはシングルゲートであり、ドレイン側にのみLDD領域となる第2の不純物領域が設けられている。ここで、ゲート電極とオーバーラップするLDD領域(GOLD領域)206aとオーバーラップしないLDD領域206bの長さは、例えば、図26に従えば良く、206aを2.0μm、206bを1.0μmとして形成することができる。

【0195】

図24(B)はレベルシフタ回路、バッファ回路のTFTの構成例を示している。これらの回路のnチャネル型TFTはダブルゲートとしてあり、ドレイン側にLDD領域となる第2の不純物領域が設けられている。例えば、ゲート電極とオーバーラップするLDD領域(GOLD領域)205a、205cの長さを2.5μmとし、オーバーラップしないLDD領域205b、205dの長さを2.5μmとすることができる。

【0196】

図24(C)はサンプリング回路のTFTの構成例を示している。この回路のnチャネル型TFTはシングルゲートであるが、極性反転されるために、ソース側およびドレイン側の両方にLDD領域となる第2の不純物領域が設けられている。ゲート電極とオーバーラップするLDD領域(GOLD領域)205aと206a、及びオーバーラップしないLDD領域205bと206bの長さは、それぞれ等しくすることが好ましく、例えば、ゲート電極とオーバーラップするLDD領域(GOLD領域)205aと206aを1.5μm、オーバーラップしないLDD領域205bと206bの長さを1.0μmとすることができる。

【0197】

図24(D)は画素部の構成例を示している。この回路のnチャネル型TFTはマルチゲ

10

20

30

40

50

ートであるが、極性反転されるために、ソース側およびドレイン側の両方にLDD領域となる第2の不純物領域が設けられている。例えば、ゲート電極とオーバーラップするLDD領域（GOLD領域）205a、205b、206a、206cを1.5μm、オーバーラップしないLDD領域206b、206dの長さを1.5μmとすることができる。

【0198】

[実施例8]

本実施例では、本発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図25、図33、図34で説明する。

【0199】

このような半導体装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図25、図33、図34に示す。

【0200】

図25（A）は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0201】

図25（B）はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0202】

図25（C）はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0203】

図25（D）はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0204】

図25（E）は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク（MD）やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本発明はこの適用することができる。

【0205】

図33（A）はパーソナルコンピュータであり、本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。

【0206】

図33（B）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9701、表示装置9702、スピーカ部9703、記録媒体9704、操作スイッチ9705で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0207】

図33（C）はデジタルカメラであり、本体9801、表示装置9802、接眼部9803、操作スイッチ9804、受像部（図示しない）で構成される。

【0208】

10

20

30

40

50

図 3 4 (A) はフロント型プロジェクターであり、表示装置 3 6 0 1、スクリーン 3 6 0 2 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0 2 0 9】

図 3 4 (B) はリア型プロジェクターであり、本体 3 7 0 1、表示装置 3 7 0 2、ミラー 3 7 0 3、スクリーン 3 7 0 4 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0 2 1 0】

なお、図 3 4 (C) は、図 3 4 (A) 及び図 3 4 (B) 中における表示装置 3 6 0 1、3 7 0 2 の構造の一例を示した図である。表示装置 3 6 0 1、3 7 0 2 は、光源光学系 3 8 0 1、ミラー 3 8 0 2、3 8 0 4 ~ 3 8 0 6、ダイクロイックミラー 3 8 0 3、プリズム 3 8 0 7、液晶表示装置 3 8 0 8、位相差板 3 8 0 9、投射光学系 3 8 1 0 で構成される。投射光学系 3 8 1 0、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 3 4 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

10

【0 2 1 1】

また、図 3 4 (D) は、図 3 4 (C) 中における光源光学系 3 8 1 0 の構造の一例を示した図である。本実施例では、光源光学系 3 8 1 0 は、リフレクター 3 8 1 1、光源 3 8 1 2、レンズアレイ 3 8 1 3、3 8 1 4、偏光変換素子 3 8 1 5、集光レンズ 3 8 1 6 で構成される。なお、図 3 4 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。また、本発明はその他にも、イメージセンサや E L 型表示素子に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

20

【0 2 1 2】

[実施例 9]

本実施例では、本発明を用いて E L (エレクトロルミネッセンス) 表示パネル (E L 表示装置ともいう) を作製した例について説明する。

【0 2 1 3】

図 2 7 (A) は本発明を用いた E L 表示パネルの上面図である。図 2 7 (A) において、1 0 は基板、1 1 は画素部、1 2 はデータ線側駆動回路、1 3 は走査線側駆動回路であり、それぞれの駆動回路は配線 1 4 ~ 1 6 を経て F P C 1 7 に至り、外部機器へと接続される。

30

【0 2 1 4】

このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてシール材 1 9 を設ける。そして、対向板 8 0 で封止する。対向板 8 0 はガラス板またはプラスチック板を用いても良い。シール 1 9 の外側にはさらに接着剤 8 1 が設けられ、基板 1 0 と対向板 8 0 とを強固に接着すると共に、貼合わせ端面からの水分などが侵入して内部の素子が腐蝕することを防ぐ。こうして基板 1 0 と対向板 8 0 との間に密閉空間を形成する。このとき、E L 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。

40

【0 2 1 5】

さらに、基板 1 0 と対向板 8 0 との間には封止樹脂 8 3 が充填されている。封止樹脂 8 3 にはシリコン系、エポキシ系、アクリル系、フェノール系などから選ばれた有機樹脂材料を用いる。これにより E L 素子の水分等による劣化を防ぐ効果を向上させる。

【0 2 1 6】

また、図 2 7 (B) は本実施例の E L 表示パネルの断面構造であり、基板 1 0、下地膜 2 1 の上に駆動回路用 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を組み合わせた C M O S 回路を図示している。) 2 2 及び画素部用 T F T 2 3 (但し、ここでは E L 素子への電流を制御する T F T だけ図示している。) が形成されている。駆動回

50

路用TFT22としては、実施例1で示した駆動回路用のnチャンネル型TFTまたはpチャンネル型TFTを用いれば良い。また、画素部用TFT23には図2に示したnチャンネル型TFTまたはpチャンネル型TFTを用いれば良い。

【0217】

本発明を用いて駆動回路用TFT22、画素部用TFT23が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）26の上に画素部用TFT23のドレインと電氣的に接続する透明導電膜でなる画素電極27を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極27を形成したら、絶縁膜28を形成し、画素電極27上に開口部を形成する。

10

【0218】

次に、EL層29を形成する。EL層29は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0219】

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。

20

勿論、単色発光のEL表示装置とすることもできる。

【0220】

EL層29を形成したら、その上に陰極30を形成する。陰極30とEL層29の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層29と陰極30を連続成膜するか、EL層29を不活性雰囲気で形成し、大気解放しないで陰極30を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

30

【0221】

なお、本実施例では陰極30として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層29上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極30は31で示される領域において配線16に接続される。配線16は陰極30に所定の電圧を与えるための電源供給線であり、導電性ペースト材料32を介してFPC17に接続される。

【0222】

31に示された領域において陰極30と配線16とを電氣的に接続するために、層間絶縁膜26及び絶縁膜28にコンタクトホールを形成する必要がある。これらは層間絶縁膜26のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜28のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜28をエッチングする際に、層間絶縁膜26まで一括でエッチングしても良い。この場合、層間絶縁膜26と絶縁膜28が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

40

【0223】

また、配線16はシール19と基板10との間を隙間（但し接着剤81で塞がれている。）を通してFPC17に電氣的に接続される。なお、ここでは配線16について説明したが、他の配線14、15も同様にしてシーリング材18の下を通してFPC17に電氣的に接続される。

50

【0224】

以上のような構成でなるEL表示パネルにおいて、本願発明を用いることができる。ここで画素部のさらに詳細な断面構造を図28に、上面構造を図29(A)に、回路図を図29(B)に示す。図28、図29(A)及び図29(B)では共通の符号を用いるので互いに参照すれば良い。

【0225】

図28において、基板2401上に設けられたスイッチング用TF T 2402は本発明（例えば、実施形態1で図2で示したTF T）のnチャネル型TF Tを用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTF Tが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも良い。或いは、また、本発明のpチャネル型TF Tを用いて形成しても構わない。

10

【0226】

また、電流制御用TF T 2403は本願発明のnチャネル型TF Tを用いて形成される。このとき、スイッチング用TF T 2402のドレイン配線35は配線36によって電流制御用TF Tのゲート電極37に電氣的に接続されている。また、38で示される配線は、スイッチング用TF T 2402のゲート電極39a、39bを電氣的に接続するゲート配線である。

20

【0227】

このとき、電流制御用TF T 2403が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TF TはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TF Tのドレイン側に、ゲート絶縁膜を介してゲート電極にオーバーラップするようにLDD領域を設ける本願発明の構造は極めて有効である。

【0228】

また、本実施例では電流制御用TF T 2403をシングルゲート構造で図示しているが、複数のTF Tを直列につなげたマルチゲート構造としても良い。さらに、複数のTF Tを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

30

【0229】

また、図29(A)に示すように、電流制御用TF T 2403のゲート電極37となる配線は2404で示される領域で、電流制御用TF T 2403のドレイン配線40と絶縁膜を介して重なる。このとき、2404で示される領域ではコンデンサが形成される。このコンデンサ2404は電流制御用TF T 2403のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線（電源線）2501に接続され、常に一定の電圧が加えられている。

【0230】

スイッチング用TF T 2402及び電流制御用TF T 2403の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

40

【0231】

また、43は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TF T 2403のドレインに電氣的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

50

【0232】

また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層44が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0233】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

10

【0234】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0235】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

20

【0236】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0237】

本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFEの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

30

【0238】

陽極47まで形成された時点でEL素子2405が完成する。なお、ここでいうEL素子2405は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図29（A）に示すように画素電極43は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

40

【0239】

ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0240】

以上のように本願発明のEL表示パネルは図28のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFEと、ホットキャリア注入に強い電流制御用TFEとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL

50

表示パネルが得られる。

【0241】

なお、本実施例の構成は、実施形態1～6及び実施例1～6の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0242】

[実施例10]

本実施例では、実施例11に示した画素部において、EL素子2405の構造を反転させた構造について説明する。説明には図30を用いる。なお、図29(A)の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

10

【0243】

図30において、電流制御用TFT2601は本願発明のpチャネル型TFTを用いて形成される。作製プロセスは実施例1を参照すれば良い。

【0244】

本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0245】

そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子2602が形成される。

20

【0246】

本実施例の場合、発光層53で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。本実施例のような構造とする場合、電流制御用TFT2601はpチャネル型TFTで形成することが好ましい。

【0247】

なお、本実施例の構成は、実施形態1～6及び実施例1～6の構成と自由に組み合わせて実施することが可能である。また、実施例18の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

30

【0248】

[実施例11]

本実施例では、図29(B)に示した回路図とは異なる構造の画素とした場合の例について図31に示す。なお、本実施例において、2701はスイッチング用TFT2702のソース配線、2703はスイッチング用TFT2702のゲート配線、2704は電流制御用TFT、2705はコンデンサ、2706、2708は電流供給線、2707はEL素子とする。

【0249】

図31(A)は、二つの画素間で電流供給線2706を共通とした場合の例である。即ち、二つの画素が電流供給線2706を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

40

【0250】

また、図31(B)は、電流供給線2708をゲート配線2703と平行に設けた場合の例である。なお、図31(B)では電流供給線2708とゲート配線2703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線2708とゲート配線2703とで専有面積を共有させることができるため、画素部をさらに高精細化するこ

50

とができる。

【0251】

また、図31(C)は、図31(B)の構造と同様に電流供給線2708をゲート配線2703と平行に設け、さらに、二つの画素を電流供給線2708を中心に線対称となるように形成する点に特徴がある。また、電流供給線2708をゲート配線2703のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0252】

なお、本実施例の構成は、実施例11または12の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

10

【0253】

[実施例12]

実施例11に示した図29(A)、図29(B)では電流制御用TFT2403のゲートにかかる電圧を保持するためにコンデンサ2404を設ける構造としているが、コンデンサ2404を省略することも可能である。

【0254】

実施例13の場合、電流制御用TFT2403として図28に示すような本願発明のnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極(と重なるように設けられたLDD領域)を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ2404の代わりとして積極的に用いる点に特徴がある。

20

【0255】

この寄生容量のキャパシタンスは上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0256】

また、図31(A)、(B)、(C)の構造においても同様にコンデンサ2705を省略することは可能である。

【0257】

なお、本実施例の構成は、実施形態1～6及び実施例1～6の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

30

【0258】

[実施例13]

実施例7で示したの液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

40

【0259】

等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図32に示す。図32に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図32に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺

50

田らの”Half-V字スイッチングモードFLCD”、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの”強誘電性液晶による時分割フルカラーLCD”、液晶第3巻第3号第190頁に詳しい。

【0260】

図32に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0261】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。

10

【0262】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0263】

なお、このような無しきい値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

20

【0264】

[実施例14]

実施形態1~9または実施例1~5に記載されたTFETの安定性はDC(直流)バイアスストレス試験から評価した。試験条件はドレイン電圧(V_d)を1V一定とし、ゲートに一定の電圧を1分間印加して、その前後のドレイン電流、電界効果移動度などの変化を調べた。ゲートに印加する電圧は0~7Vまで変化させた。ホットキャリア効果によりTFETが劣化する場合には、この試験によりオン電流や電界効果移動度などの諸特性が低下する。測定に用いたTFETは、チャンネル長8μm、チャンネル幅8μmであり、LDDとしてLovを2μm、Loffを1.5μm設けた構造を用いた。

30

【0265】

図35は上記構造のnチャンネル型TFETのゲート電圧(V_g)対ドレイン電流(I_d)の特性(サンプルNo.S665-14)であり、ドレイン電圧は1Vと8Vを印加した2つの条件で測定した値を示している。図35の特性は代表例であり、本発明のTFETはその代表特性として、オン領域の特性として、電界効果移動度が90~300cm²/V·sec、ドレイン電流($V_d=1V$ 、 $V_g=1V$ 印加時の電流)が 1×10^{-5} ~ $1 \times 10^{-3}A$ が得られている。

【0266】

図36は上記DCバイアスストレス試験の結果であり、ドレイン電流($V_d=1V$ 印加時)と電界効果移動度(最大値)のゲートバイアスに対する変化率を示している。図36(A)はドレイン電流の結果であり殆ど変化していないことを示している。図36(B)は電界効果移動度であり、ここではその最大値を記載しているが、変化率は5%以下であり、いずれにしても極めて優れた安定性を示しており、ホットキャリア効果による劣化がないことを示している。

40

【0267】

また、図35で示したようにオフ領域のドレイン電流(オフ電流)はゲートに印加する電圧が0~-20Vの範囲において $1 \times 10^{-9}A$ 以下であり、このような低い値はLoffを設けることにより始めて達成できるものである。

【0268】

以上のように、TFETにLDD領域(第2の不純物領域)をゲート電極とオーバーラップ

50

する領域とオーバーラップしない領域とで形成することにより、ホットキャリア効果による劣化を防ぎ、かつ、オフ領域のドレイン電流を低減させることが可能となることが確認できた。

【0269】

【発明の効果】

本願発明を実施することで、安定した結晶質TFT動作を得ることができた。その結果、結晶質TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素部や、その周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐える液晶表示装置を得ることができた。

【0270】

また、本発明によれば、nチャネル型TFTのチャネル形成領域とドレイン領域との間に形成される第2の不純物領域において、その第2の不純物領域がゲート電極とオーバーラップする領域（GOLD領域）とオーバーラップしない領域（LDD領域）の長さを容易に作り分けることが可能である。具体的には、TFTの駆動電圧に応じて第2の不純物領域がゲート電極とオーバーラップする領域（GOLD領域）とオーバーラップしない領域（LDD領域）の長さを決めることも可能であり、このことは、同一基板内において異なる駆動電圧でTFT動作させる場合に、それぞれの駆動電圧に応じたTFTを同一工程で作製することを可能とした。

【図面の簡単な説明】

【図1】 TFTの作製工程を示す断面図。

【図2】 TFTの作製工程を示す断面図とCMOS回路の平面図。

【図3】 TFTの作製工程を示す断面図。

【図4】 TFTの作製工程を示す断面図とCMOS回路の平面図。

【図5】 TFTの作製工程を示す断面図。

【図6】 TFTの作製工程を示す断面図。

【図7】 TFTの作製工程を示す断面図。

【図8】 TFTの作製工程を示す断面図。

【図9】 TFTの作製工程を示す断面図。

【図10】 TFTの作製工程を示す断面図。

【図11】 アクティブマトリクス基板の作製工程を示す図。

【図12】 アクティブマトリクス基板の作製工程を示す図。

【図13】 アクティブマトリクス基板の作製工程を示す図。

【図14】 液晶表示装置の作製工程を示す図。

【図15】 液晶表示装置の断面図。

【図16】 アクティブマトリクス基板の斜視図。

【図17】 画素部の画素構造を説明する上面図。

【図18】 結晶質シリコン膜の作製工程を示す図。

【図19】 結晶質シリコン膜の作製工程を示す図。

【図20】 結晶質シリコン膜の作製工程を示す図。

【図21】 結晶質シリコン膜の作製工程を示す図。

【図22】 TFTの作製工程を示す断面図。

【図23】 アクティブマトリクス型液晶表示装置の一実施形態の回路ブロック図。

【図24】 本発明のTFTの構成を示す図。

【図25】 半導体装置の一例を示す図。

【図26】 本発明のゲート電極とLDD領域の関係を説明する図。

【図27】 EL表示装置の構成を示す上面図及び断面図。

【図28】 EL表示装置の画素部の断面図。

【図29】 EL表示装置の画素部の上面図と回路図。

【図30】 EL表示装置の画素部の断面図。

【図31】 EL表示装置の画素部の回路図。

10

20

30

40

50

【図 3 2】 反強誘電性混合液晶の光透過率特性の一例を示す図。

【図 3 3】 半導体装置の一例を示す図。

【図 3 4】 半導体装置の一例を示す図。

【図 3 5】 ゲート電圧 (V_g) 対ドレイン電流 (I_d) の特性を示す図。

【図 3 6】 DC バイアスストレス試験の結果を示す図。

【符号の説明】

5 1 7、6 2 2、7 2 2、8 2 2・・・第 1 のゲート電極

5 1 6、6 2 1、7 1 5、8 2 1・・・第 2 のゲート電極

5 1 8、6 2 3、7 2 3、8 2 3・・・ゲート配線

5 1 9、6 2 4、7 2 4、8 2 4・・・ゲートバスライン

5 2 7、5 2 8、6 2 7、6 2 8、7 2 7、7 2 8、8 2 7、8 2 8・・・ソース電極

5 2 9、6 2 9、7 2 9、8 2 9・・・ドレイン電極

5 3 0、5 3 3、6 3 0、6 3 3、7 3 0、7 3 3、8 3 0、8 3 3・・・チャネル形成領域

5 3 1、5 3 2、6 3 1、6 3 2、7 3 1、7 3 2、8 3 1、8 3 2・・・第 3 の不純物領域

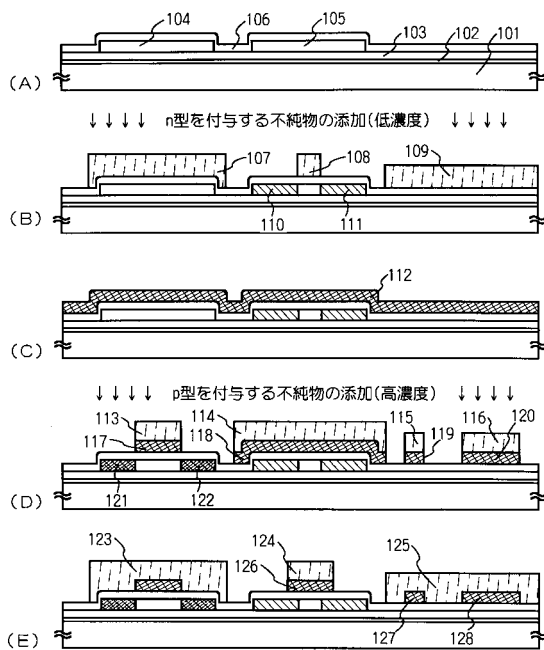
5 3 6、5 3 7、6 3 6、6 3 7、7 3 6、7 3 7、8 3 6、8 3 7・・・第 1 の不純物領域

5 3 4、5 3 5、6 3 4、6 3 5、7 3 4、7 3 5、8 3 4、8 3 5・・・第 2 の不純物領域

10

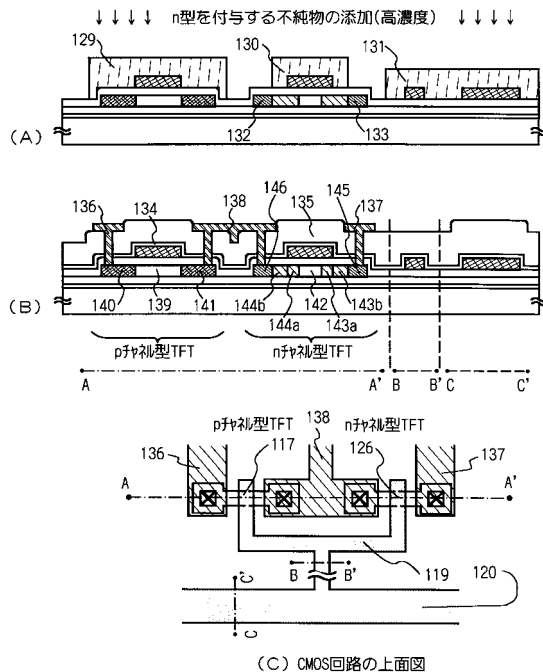
20

【図 1】



101:基板、102:下地膜(SiN)、103:下地膜(SiO₂)、104、105:半導体層、
106:ゲート絶縁膜、107~109、113~116、123~125:レジスタマスク、
117:第2のゲート電極、126:第1のゲート電極、127:配線電極、128:ゲートバスライン

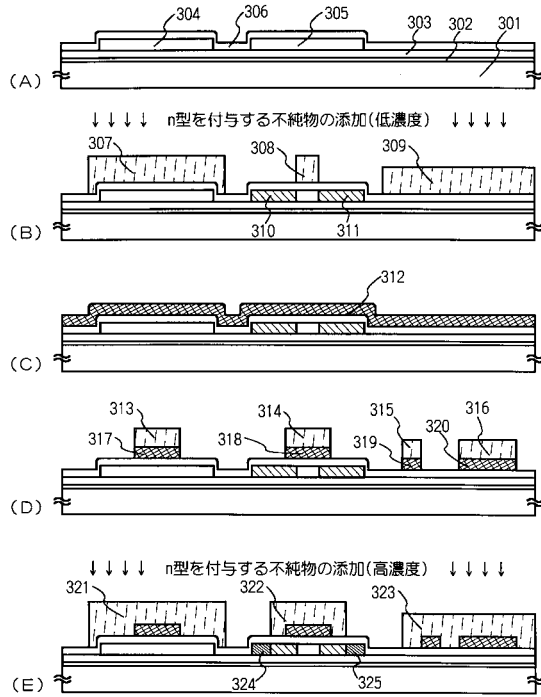
【図 2】



129、130、131:レジスタマスク、134:第1の層間絶縁膜(SiN)、
135:第1の層間絶縁膜(SiO₂)、136、137:ソース電極、138:ドレイン電極、
139、142:チャネル形成領域、140:第3の不純物領域(ソース)、
141:第3の不純物領域(ドレイン)、143、144:第2の不純物領域(LDD)、
145:第1の不純物領域、146:第1の不純物領域(ドレイン)

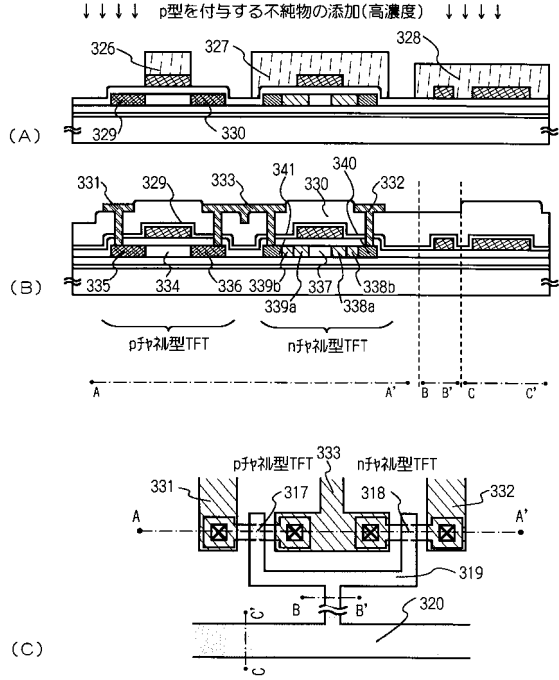
(C) CMOS回路の上面図

【図 3】



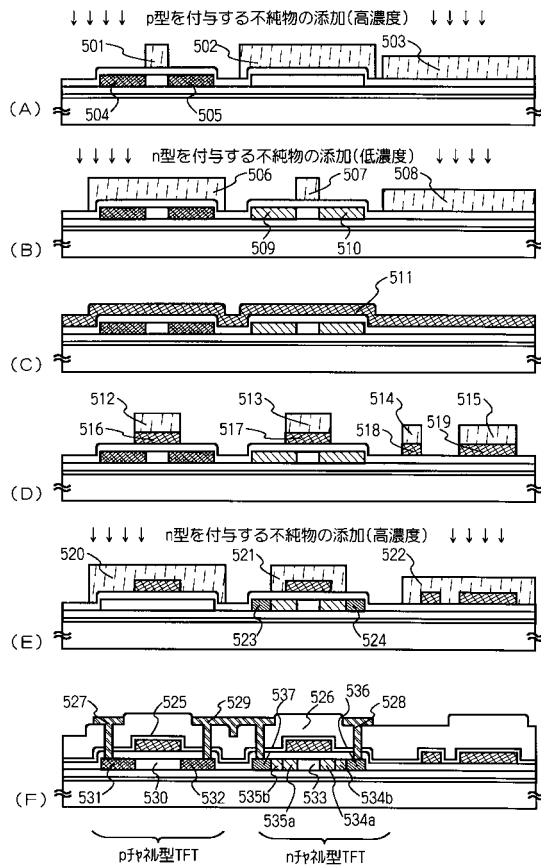
301:基板、302:下地膜(SiN)、303:下地膜(SiO₂)、304、305:半導体層、
306:ゲート絶縁膜、307~309:レジストマスク、313~316:レジストマスク、
317:第2のゲート電極、318:第1のゲート電極、319:ゲート配線、
320:ゲートバースライ、321~323:レジストマスク

【図 4】

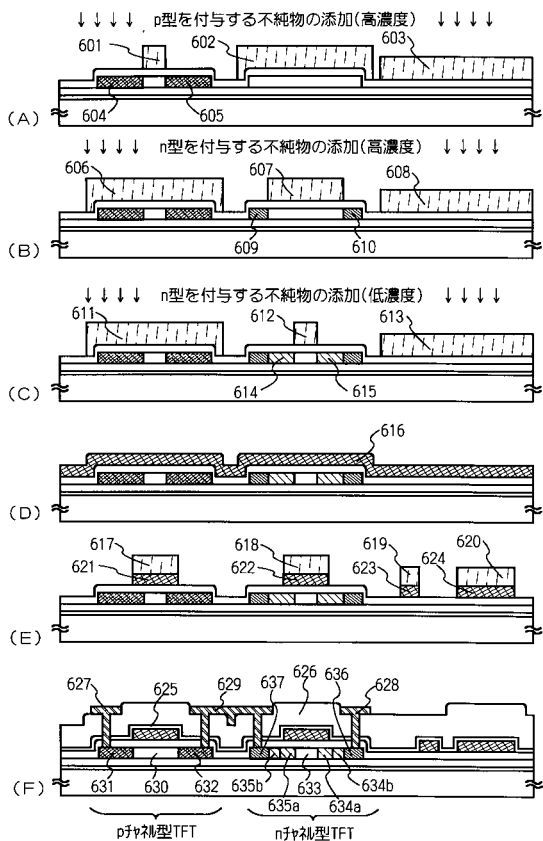


326~328:レジストマスク、329:第1の層間絶縁膜(SiN)、
330:第1の層間絶縁膜(SiO₂)、331、332:ソース電極、333:ドレイン電極、
334、337:チャネル形成領域、335:第3の不純物領域(トリス)、
336:第3の不純物領域(トリス)、338、339:第2の不純物領域(トリス)、
340:第1の不純物領域(トリス)、341:第1の不純物領域(トリス)

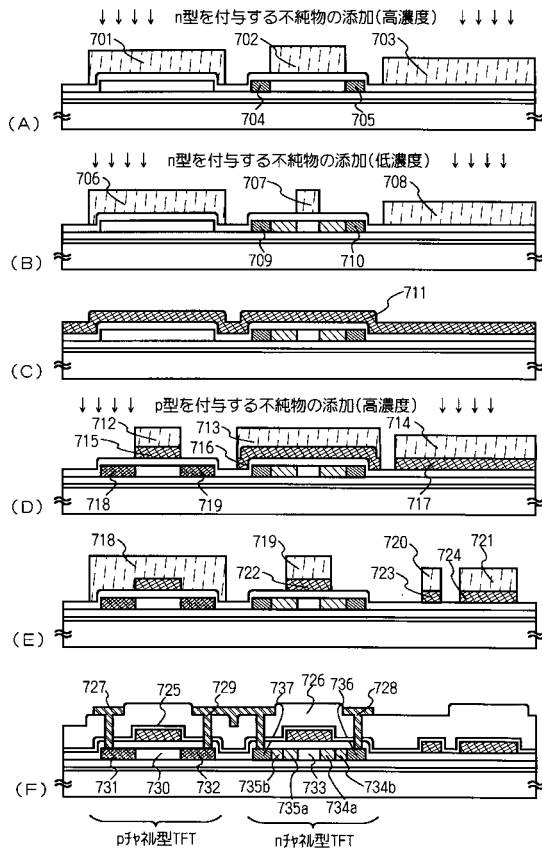
【図 5】



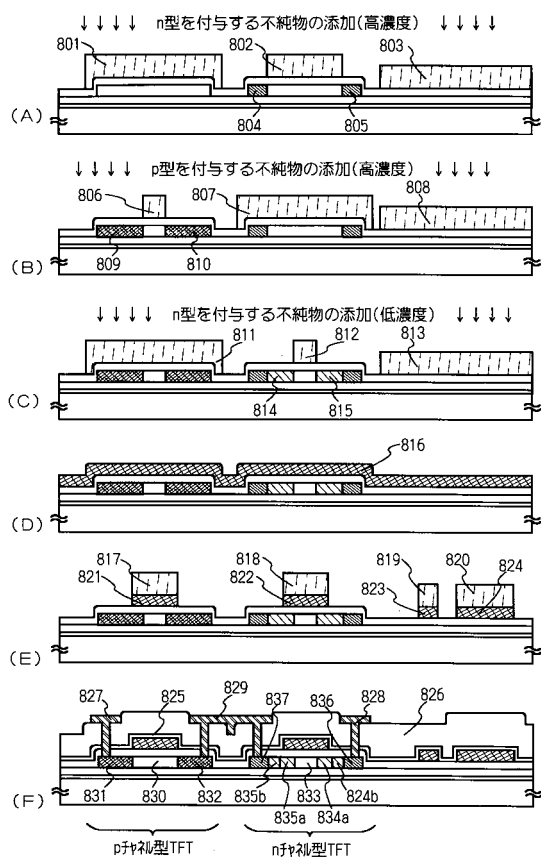
【図 6】



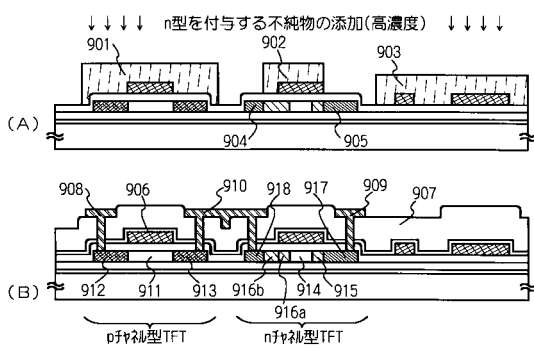
【図 7】



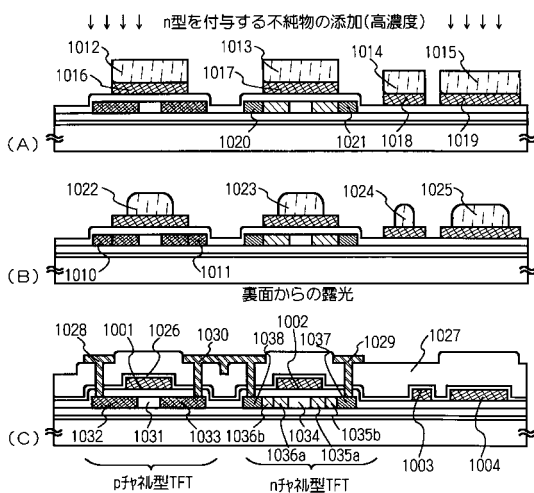
【図 8】



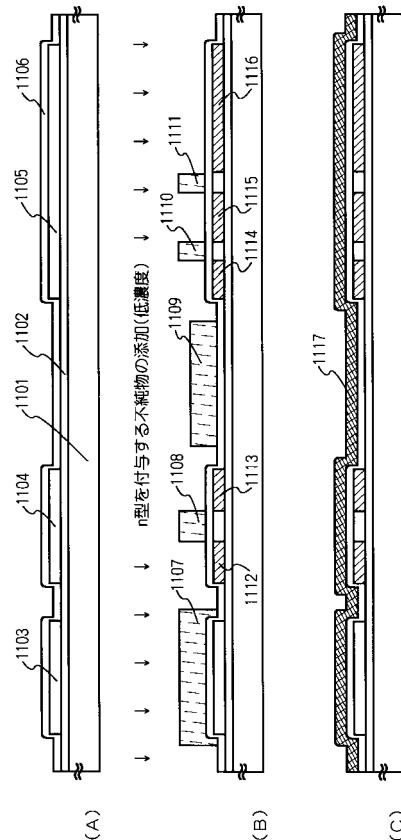
【図 9】



【図 10】

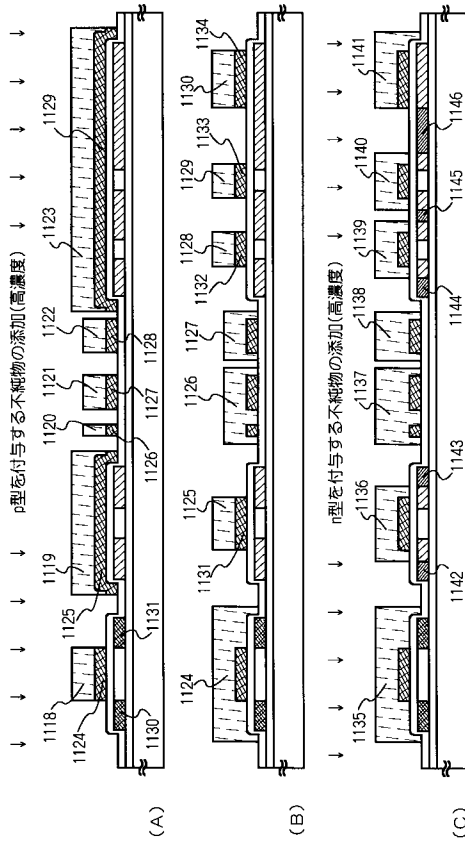


【図 11】

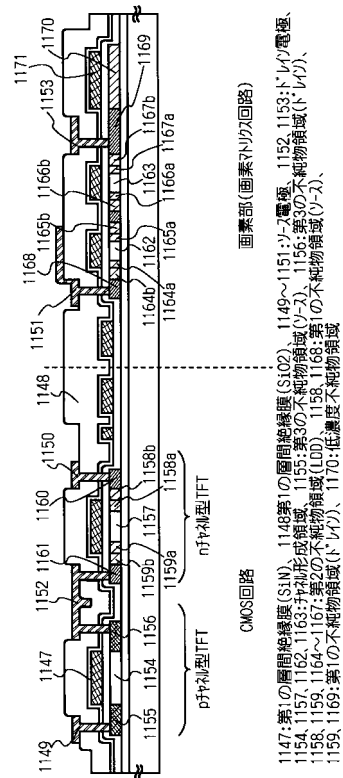


1101: 基板、1102: 下地膜、1103~1105: 半導体層、1107~1111: シズマツ

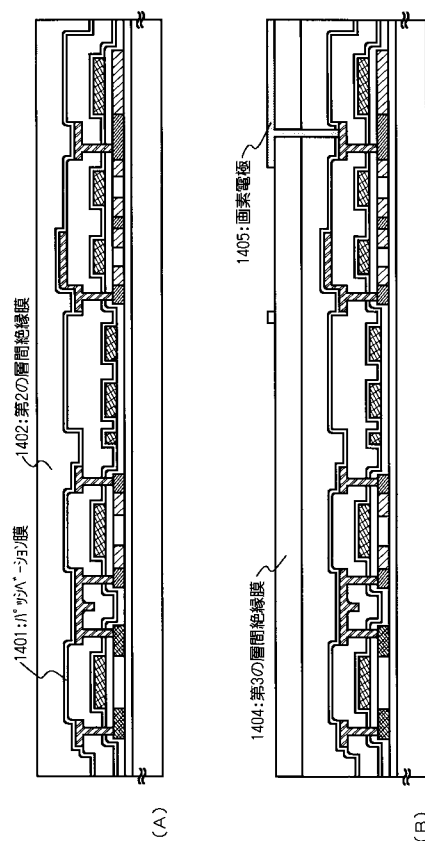
【図 1 2】



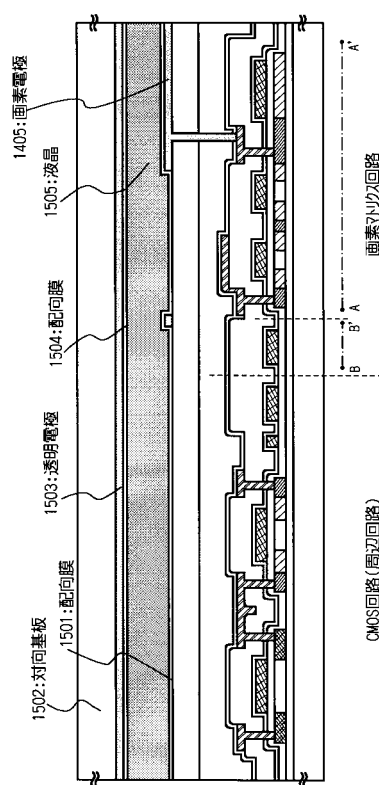
【 図 1 3 】



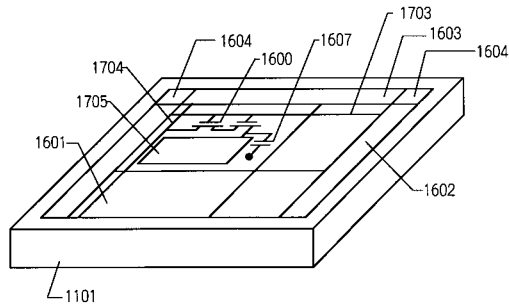
【図 14】



【図 15】



【図 16】

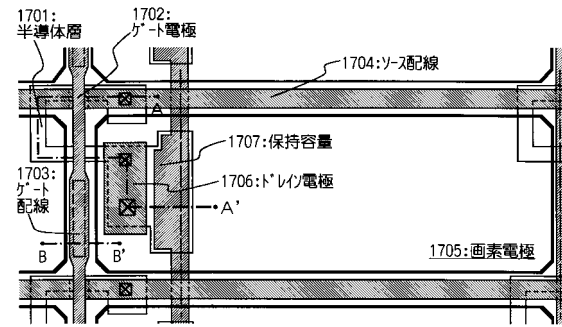


1101:基板

1600:画素TFT、1601:画素部、1602:走査(ゲート)線駆動回路、
1603:信号(ソース)線駆動回路、1604:ドレイン回路

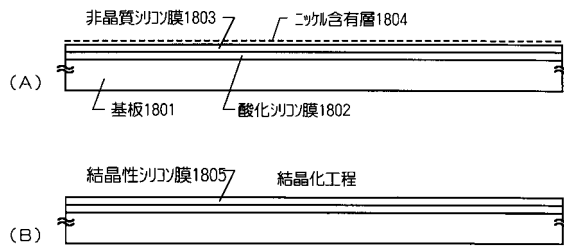
1703:ゲート配線、1704:ソース配線、1705:画素電極、1707:保持容量

【図 17】

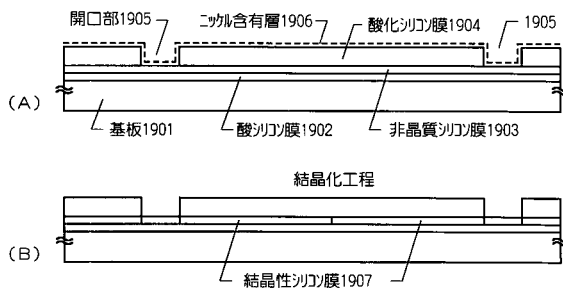


画素部(画素ミキサ回路)上面図

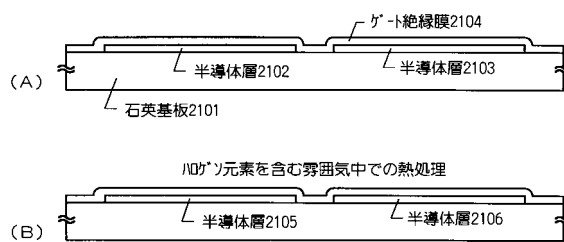
【図 18】



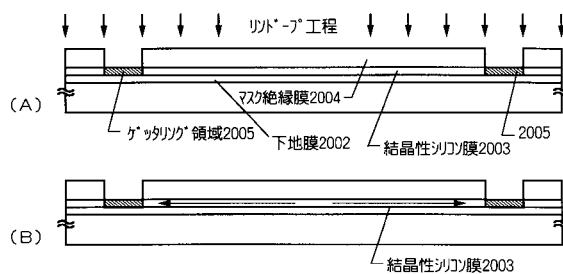
【図 19】



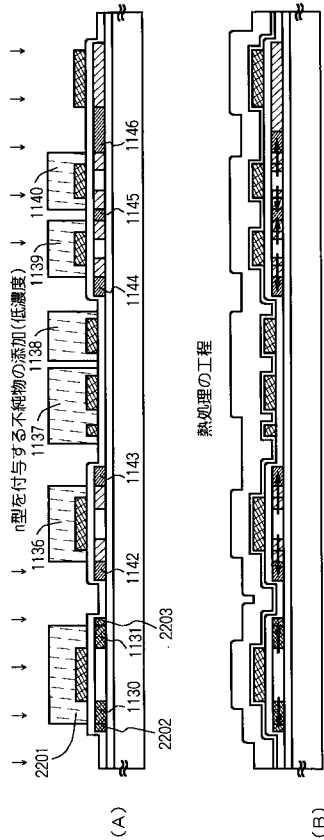
【図 21】



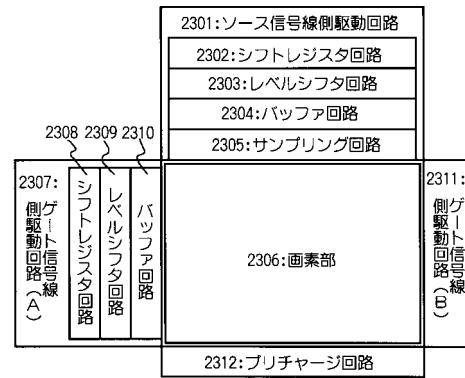
【図 20】



【図 2 2】

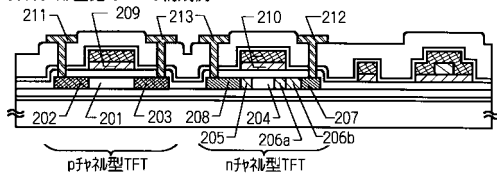


【図 2 3】

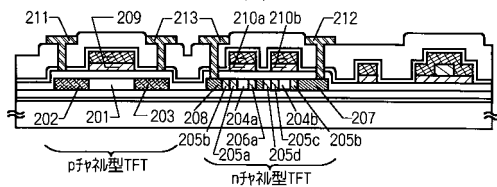


【図 2 4】

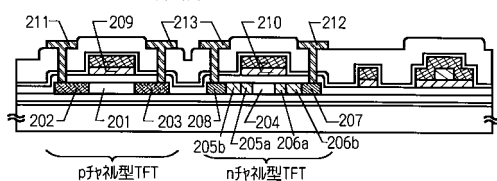
(A) シフトレジスタ回路のTFTの構成例



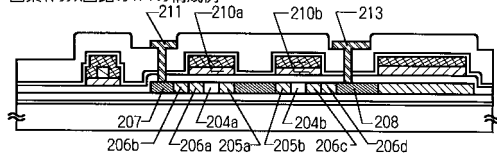
(B) レベルシフト回路、バッファ回路のTFTの構成例



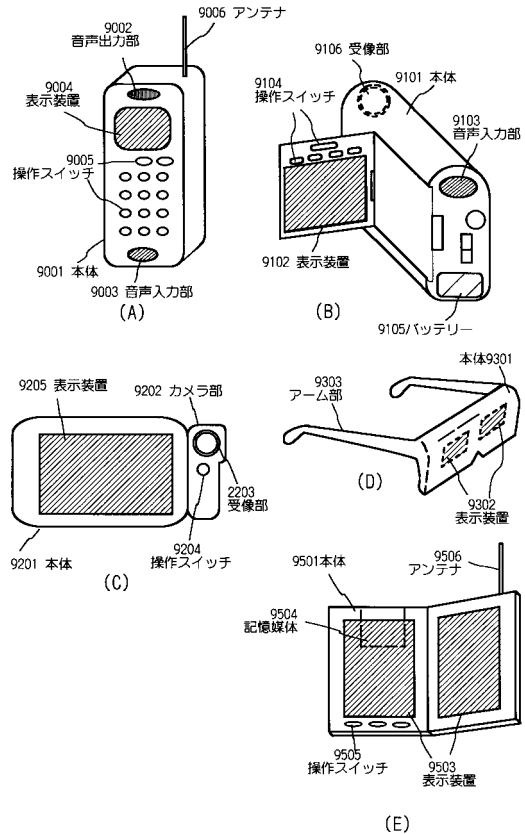
(C) サンプル回路のTFTの構成例



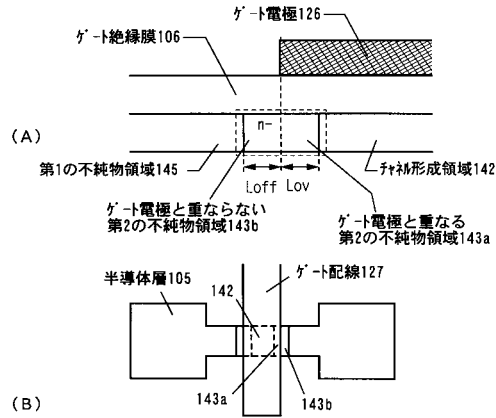
(D) 画素マトリクス回路のTFTの構成例



【図 2 5】



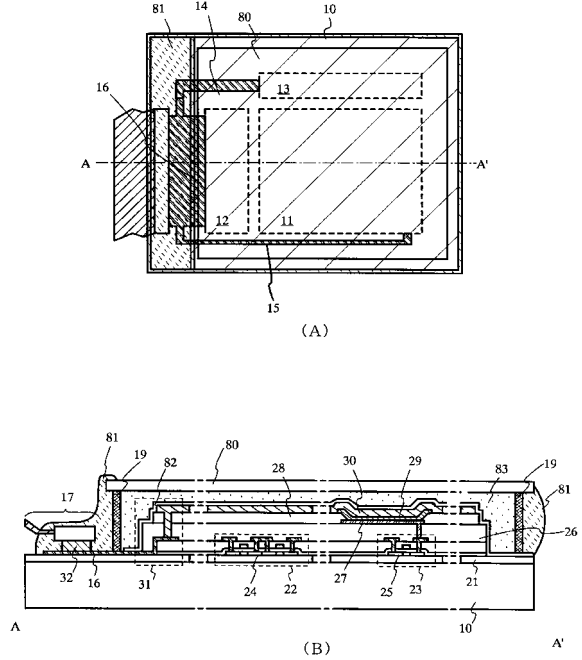
【図 26】



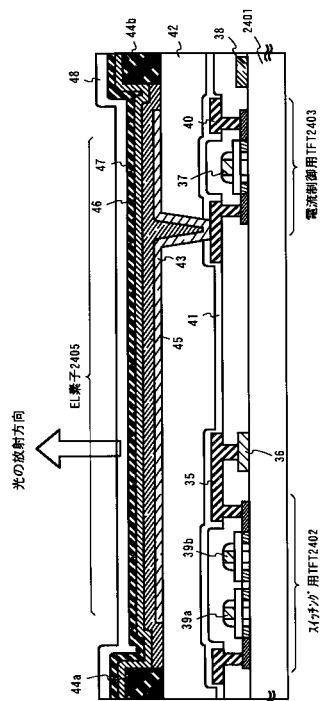
設計値の一例

	TFT電源電圧	チャネル長 μm	$L_{ov}\mu\text{m}$	$L_{off}\mu\text{m}$
ドライバ	(16 $\pm$ 2)V系	5.0 $\pm$ 1.5	2.5 $\pm$ 0.3	2.5 $\pm$ 0.5
バッファ回路部TFT	(20 $\pm$ 3)V系	5.0 $\pm$ 2.0	3.0 $\pm$ 0.5	3.0 $\pm$ 0.5
ドライバ	(5 $\pm$ 1)V系	3.0 $\pm$ 1.0	0.5 $\pm$ 0.3	0.5 $\pm$ 0.3
シフトレジスタ回路部TFT	(10 $\pm$ 1)V系	3.5 $\pm$ 1.0	2.0 $\pm$ 0.3	1.0 $\pm$ 0.5
アドレスレジスタ部TFT	(16 $\pm$ 2)V系	3.0 $\pm$ 1.0	1.5 $\pm$ 0.5	1.5 $\pm$ 0.5
画素回路部TFT	(16 $\pm$ 2)V系	3.0 $\pm$ 1.0	1.5 $\pm$ 0.5	1.5 $\pm$ 0.5

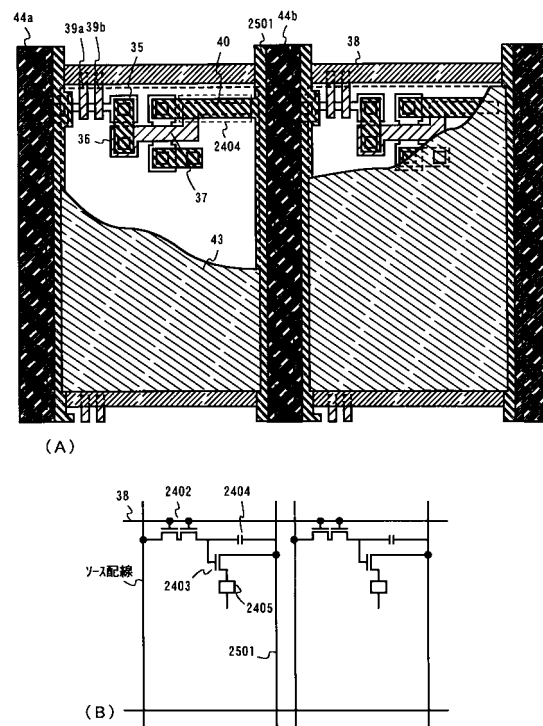
【図 27】



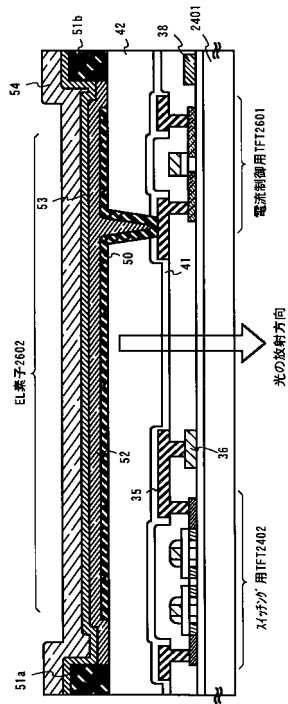
【図 28】



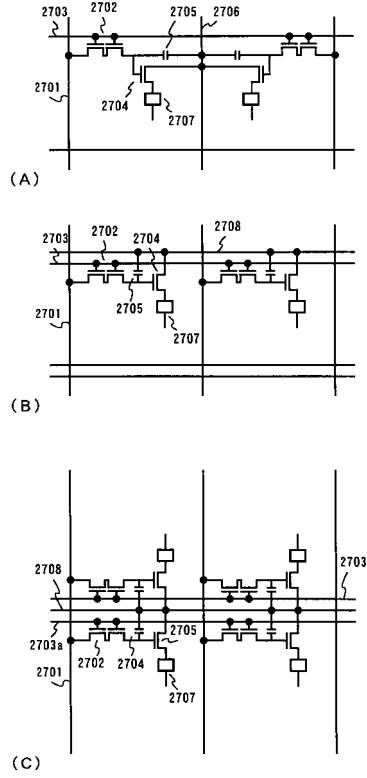
【図 29】



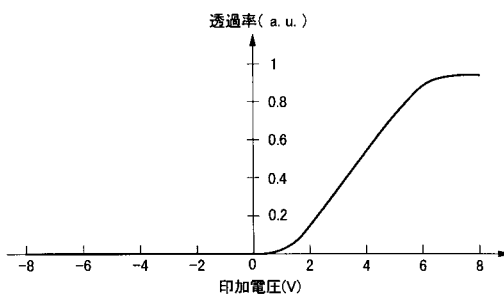
【図 30】



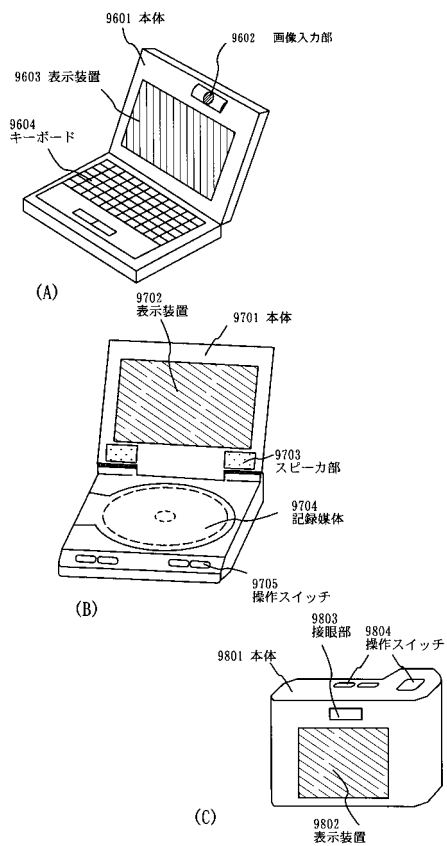
【図 31】



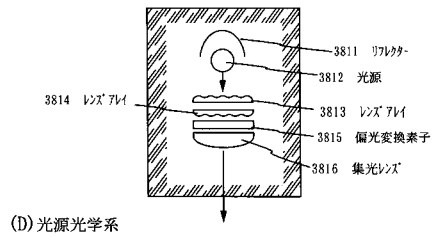
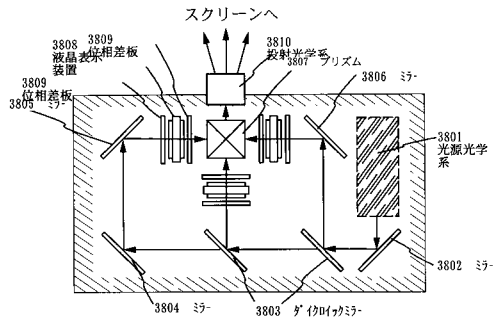
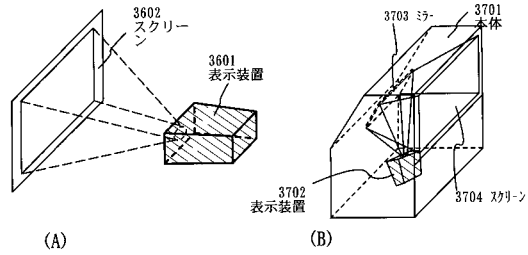
【図 32】



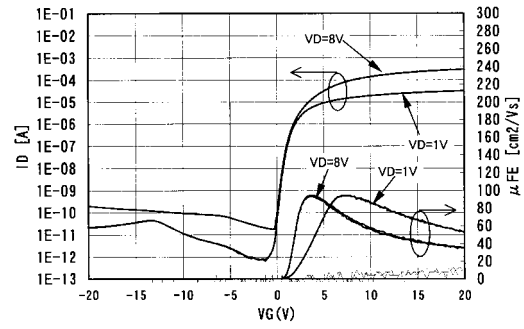
【図 33】



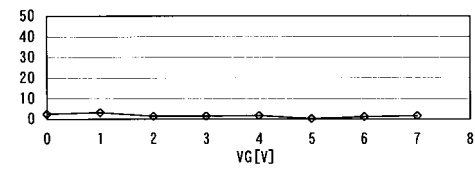
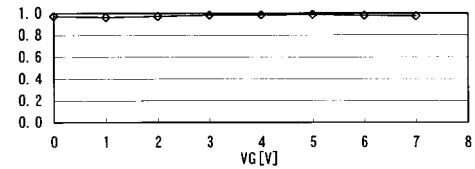
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

- (56)参考文献 特開平06-260499 (JP, A)
特開平08-032080 (JP, A)
国際公開第95/003629 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G09F 9/30
H01L 21/336
H01L 29/786