

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6142783号
(P6142783)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月19日(2017.5.19)

(51) Int.Cl.

G06F 12/00 (2006.01)

F 1

G 06 F 12/00 5 7 1 B

請求項の数 5 (全 20 頁)

(21) 出願番号 特願2013-242943 (P2013-242943)
 (22) 出願日 平成25年11月25日 (2013.11.25)
 (65) 公開番号 特開2015-103008 (P2015-103008A)
 (43) 公開日 平成27年6月4日 (2015.6.4)
 審査請求日 平成28年8月4日 (2016.8.4)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100094525
 弁理士 土井 健二
 (74) 代理人 100094514
 弁理士 林 恒徳
 (72) 発明者 豊田 雄太
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 細江 広治
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】メモリコントローラ、情報処理装置及びメモリコントローラの制御方法

(57) 【特許請求の範囲】

【請求項 1】

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と、
 前記ライトリクエストとライトデータ又は前記リードリクエストを、送信バスを介して
 メモリに送出する送信部と、
 前記リードリクエストに対応するリードデータを、受信バスを介して前記メモリから受
 信する受信部と、

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち、

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送
 出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バ
 スを介して受信開始する第1の受信時間が、前記リードリクエストを前記ライトリクエス
 トとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より遅く
 ならない場合、前記ライトリクエストとライトデータを前記リードリクエストより先に前
 記送信部から送信バスに送出する第1の処理を行い、

前記第1の受信時間が前記第2の受信時間より遅くなる場合、前記リードリクエストを前
 記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処
 理を行うリクエスト調停部と有するメモリコントローラ。

【請求項 2】

請求項 1において、

10

20

前記送信部は，クロックに同期して，前記ライトリクエストとライトバースト長のライトデータ又は前記リードリクエストを前記送信バスを介して前記メモリに送出し，

前記受信部は，前記クロックに同期して，前記メモリから前記受信バスを介してリードバースト長の前記リードデータを受信し，

前記リクエスト調停部は，前記リードリクエストを前記送信部から送出するたびに，前記送出するリードリクエストに対応するリードデータ受信時に前記リードデータが前記受信バスを占有するリードデータ受信サイクル数を加算し，カウント値が0でない場合に前記クロックのサイクル毎に1減算するカウンタを有し，

前記リクエスト調停部は，

前記カウンタのカウント値が，前記ライトリクエストとライトバースト長のライトデータを前記送信部から送出するときの前記送信バスを占有するライト送信サイクル数以上の場合，前記第1の処理を行い，

前記カウンタのカウント値が前記ライト送信サイクル数未満の場合，前記第2の処理を行うメモリコントローラ。

【請求項3】

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と，

前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と，

前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部と，

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち，

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より基準時間以上遅くならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から送信バスに送出する第1の処理を行い，

前記第1の受信時間が前記第2の受信時間より前記基準時間以上遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処理を行うリクエスト調停部とを有するメモリコントローラ。

【請求項4】

メモリへのライトリクエスト及びリードリクエストを発行するプロセッサコアと，

前記プロセッサコアが発行する前記ライトリクエスト及びリードリクエストを受信して，前記ライトリクエストまたはリードリクエストを送信バスに送出するメモリコントローラとを有し，

前記メモリコントローラは，

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と，

前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と，

前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部と，

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち，

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より遅くならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から前記送信バスに送出する第1の処理を行い，

10

20

30

40

50

前記第1の受信時間が前記第2の受信時間より遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から前記送信バスに送出する第2の処理を行うリクエスト調停部とを有する情報処理装置。

【請求項5】

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と，前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と，前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部とを有するメモリコントローラの制御方法であって，

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち，

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より遅くならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から送信バスに送出する第1の処理を行い，

前記第1の受信時間が前記第2の受信時間より遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処理を行なうメモリコントローラの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は，メモリコントローラ，情報処理装置及びメモリコントローラの制御方法に関する。

【背景技術】

【0002】

メモリコントローラは，プロセッサなどの演算処理装置内に内蔵され，または演算処理装置の外部に設けられ，DRAM (Dynamic Random Access Memory)などのメインメモリへのアクセスを制御する。

【0003】

情報処理装置のメインメモリとして，従来のDRAMモジュールに代わる素子として，HMC(Hybrid Memory Cube)等に代表されるような，DRAMコントローラチップを内蔵したメモリモジュールの開発が行われている。このようなメモリモジュールは，プロセッサ側のメモリコントローラと高速シリアルバスで接続されている。高速シリアルバスは，送信シリアルバスと受信シリアルバスとを有し，プロセッサ側からのアクセスを要求するリクエストコマンドが送信シリアルバスを介してメモリモジュールに送信される。ライトリクエストの場合は，そのライトリクエストコマンドに加えてライトデータが送信シリアルバスを介して送出される。一方，リードリクエストの場合は，リードリクエストコマンドが送信シリアルバスを介して送出され，レイテンシ後に，メモリモジュールから読み出されたリードデータが受信シリアルバスを介してプロセッサ側に返信される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-180656号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記の高速シリアルバスの構成においてメモリアクセスを理論的に最大スループットに近づけるためには，プロセッサ側のメモリコントローラが，送信シリアルバスと受信シリ

10

20

30

40

50

アルバスを効率的に占有するようにリクエストコマンドを発行することが望ましい。

【0006】

しかしながら、上記の高速シリアルバスは、送信シリアルバスには、リードコマンドと、ライトデータ付きのライトコマンドとが混在して送出され、一方、受信シリアルバスにはリードデータが返信されるという制約を有する。そのため、メモリコントローラがライトコマンドを優先して送出するとリードコマンドを送出することができず、逆に、リードコマンドを優先して送出するとライトコマンドの送出が行われず、理論的に最大スループットで制御することは容易ではない。

【0007】

そこで、本発明の目的は、メモリアクセスのスループットを向上させたメモリコントローラ、情報処理装置及びメモリコントローラの制御方法を提供することにある。10

【課題を解決するための手段】

【0008】

本実施の形態の第1の側面は、受信したライトリクエストとリードリクエストを保持するリクエスト保持部と、

前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と、

前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部と、

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち、20

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が、前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より遅くならない場合、前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から送信バスに送出する第1の処理を行い、

前記第1の受信時間が前記第2の受信時間より遅くなる場合、前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処理を行うリクエスト調停部と有するメモリコントローラである。30

【発明の効果】

【0009】

第1の側面によれば、メモリアクセスのスループットを向上させることができる。

【図面の簡単な説明】

【0010】

【図1】本実施の形態におけるメモリコントローラとプロセッサとメインメモリの構成を示す図である。

【図2】本実施の形態におけるライトリクエスト時のメモリコントローラの動作を示す図である。

【図3】本実施の形態におけるリードリクエスト時のメモリコントローラの動作を示す図である。40

【図4】本実施の形態におけるメモリコントローラの構成図である。

【図5】本実施の形態におけるリクエスト調停部の調停制御を示すフローチャート図である。

【図6】リクエスト受信順に送出する場合のメモリコントローラの動作を示す図である。

【図7】リードリクエストをライトリクエストに優先して送出する場合のメモリコントローラの動作を示す図である。

【図8】本実施の形態におけるメモリコントローラのリクエスト調停動作を示す図である。

【図9】本実施の形態におけるメモリコントローラのリクエスト調停を説明する図である50

。

【図10】本実施の形態におけるメモリコントローラのリクエスト調停を説明する図である。

【図11】カウンタCnがリセットされる場合を説明する図である。

【発明を実施するための形態】

【0011】

図1は、本実施の形態におけるメモリコントローラとプロセッサとメインメモリの構成を示す図である。図1の例では、プロセッサ1は、プロセッサコア10と、キャッシュユニット20と、メモリコントローラ30とを有する。

【0012】

プロセッサコア10は、例えば、命令フェッチ回路11と、フェッチした命令をデコードするデコーダ12と、デコードした命令を実行する実行部13とを有する。一般に、命令の実行時には、プロセッサコア10は、メインメモリ2からデータをフェッチしてレジスタに格納し、命令に対応する演算を実行し、演算結果をメインメモリ2に書き込む。

【0013】

キャッシュユニット20は、キャッシュコントローラ21とキャッシュメモリ22とを有する。キャッシュコントローラ21は、プロセッサコア10からのメインメモリへのアクセスリクエスト、即ち、ライトリクエストまたはリードリクエストに応答して、キャッシュヒットするか否か判定し、キャッシュヒットミスした場合に、メモリコントローラ30にライトリクエストまたはリードリクエストを発行する。

【0014】

メモリコントローラ30は、発行されたライトリクエストまたはリードリクエストを受信して、図示しないリクエスト保持部で保持し、メインメモリ2に送信シリアルバス(送信バス)T-BUSを介してライトリクエストまたはリードリクエストを送出する。そして、メモリコントローラ30は、メインメモリから受信シリアルバス(受信バス)R-BUSを介してリードリクエストに対応するリードデータを受信する。メモリコントローラ30は、ライトリクエストを送出する場合は、後述するとおり、ライトリクエストにライトデータを附加して送出する。

【0015】

図2は、本実施の形態におけるライトリクエスト時のメモリコントローラの動作を示す図である。メインメモリ2は、例えばDRAMモジュールであり、DRAMコントローラ3と、DRAMメモリと、それらを接続するアドレス及びデータ配線5とを有する。

【0016】

メモリコントローラ30は、ライトリクエストをメインメモリ2に送出する場合、ライトリクエストのヘッダW-REQと、そのライトリクエストでライトするデータ群WDATAとからなる9個のライトパケット群40を、送信シリアルバス(送信バス)T-BUSに送出する。

【0017】

ライトリクエストのヘッダW-REQは、例えば、メモリアドレスと、バースト長と、ライトリクエストとを有するパケットである。ライトリクエストのヘッダW-REQとライトデータ群WDATAのパケットは、例えば64ビット長である。図2の例では、バースト長が8であり、それに伴い、8個のデータのパケットWDATAがヘッダW-REQに続いてシリアルに送出される。

【0018】

送信シリアルバス(送信バス)T-BUSは64ビット幅を有し、64ビットのパケットがクロックに同期して送出される。したがって、図2の9個のライトパケット群40は、9クロックサイクルの間、送信シリアルバスT-BUSを占有する。また、ライトリクエスト時は、受信シリアルバス(受信バス)R-BUSは占有されない。

【0019】

メインメモリ2内のDRAMコントローラ3は、ライトリクエストのヘッダW-REQに応答して、DRAM4に、例えばアクティブコマンドとロウアドレスを供給し、その後ライトコマン

10

20

30

40

50

ドとコラムアドレス及びライトデータを供給する。

【0020】

図3は、本実施の形態におけるリードリクエスト時のメモリコントローラの動作を示す図である。メモリコントローラ30は、リードリクエストをメインメモリ2に送出する場合、リードリクエストのヘッダR-REQを、送信シリアルバス(送信バス)T-BUSに送出する。リードリクエストのヘッダR-REQは、ライトリクエストのヘッダと同様に、メモリアドレスと、バースト長と、リードリクエストとを有する64ビットのパケットである。したがって、リードリクエストのヘッダのパケットR-REQは、1クロックサイクルの間、送信シリアルバスT-BUSを占有する。

【0021】

一方、メモリコントローラ30は、リードリクエストのヘッダR-REQを送出してからレイテンシLa経過後に、リード応答ヘッダR-RESとそれに後続するメインメモリ2から読み出された8バースト長のリードデータ群RDATAを有する9個のリード応答パケット群42を、受信シリアルバス(受信バス)R-BUSを介して受信開始する。リードデータ群RDATAも64ビットのパケットである。メインメモリ2内のDRAMコントローラ3は、クロックに同期してリード応答パケット群42を送信するので、9個のリード応答パケット群42は、9クロックサイクルの間、受信シリアルバスR-BUSを占有する。

【0022】

以上のとおり、ライトリクエストなら、そのライトリクエストのヘッダW-REQと8個のライトデータWDATAのパケット群40が、送信シリアルバス(送信バス)T-BUSを占有する。一方、リードリクエストなら、そのリードリクエストのヘッダR-REQのパケット41が送信シリアルバスT-BUSを1クロックサイクル占有し、レイテンシ経過後に8個のリードデータRDATAのパケット群42が受信シリアルバスR-BUSを占有する。なお、上記のバースト長8は一例であり、バースト長は固定であっても変動であってもよい。

【0023】

そこで、ライトリクエスト発行時に送信バスT-BUSを占有するクロックサイクル数をTw、リードリクエスト発行後リードデータ受信時に受信バスR-BUSを占有するクロックサイクル数をTr、リードリクエスト発行時のリードリクエスト送出からリードデータを受信開始するまでの平均レイテンシをLaとそれぞれ定義する。上記の例では、バースト長が8であるので、Tw=9、Tr=9であり、リードリクエストのヘッダR-REQが送信バスT-BUSを占有するクロックサイクル数は1である。また、平均レイテンシLaは、一例としてLa=20とする。

【0024】

メインメモリ2は、図2、3で説明したとおり、DRAMメモリコントローラ3が、DRAM4内の図示しない複数のメモリブロックに、リードリクエストに対応するアクティブコマンドとリードコマンドを出力する。したがって、連続する複数のリードリクエストのアドレスが同じメモリブロックに重なると、レイテンシは長くなる傾向になり、重ならないと短くなる傾向になる。そこで、本実施の形態では、平均レイテンシLaを利用してリクエスト調停を行う。但し、リードリクエストのレイテンシが正確に判定できる場合は、そのレイテンシを利用してリクエスト調停を行っても良い。

【0025】

図4は、本実施の形態におけるメモリコントローラ30の構成図である。メモリコントローラ30は、受信したライトリクエストとリードリクエストを保持するリクエスト保持部31と、ライトリクエストとライトデータ又は前記リードリクエストを送信バス(送信シリアルバス)T-BUSを介してメモリ2に送出する送信部(リクエスト送信部)TXと、リードリクエストに対応するリードデータを受信バス(受信シリアルバス)R-BUSを介してメモリ2から受信する受信部(リクエスト受信部)RXと、ライトリクエストとリードリクエストのいずれを先に送出するかを調停するリクエスト調停部32とを有する。

【0026】

リクエスト調停部32は、例えば、リクエスト保持部31が保持する送出待ちのライト

10

20

30

40

50

リクエストとリードリクエストのうち，ライトリクエストを先に送出してもその後に送出されるリードリクエストに対応するリードデータの受信開始時間が，リードリクエストを先に送出した場合と同じ場合は，ライトリクエストを優先して送出する。一方，リクエスト調停部32は，ライトリクエストを先に送出してその後リードリクエストを送出した場合に，そのリードリクエストに対応するリードデータの受信開始時間が，リードリクエストを先に送出した場合より遅れる場合は，リードリクエストを優先して送出する。

【0027】

別の言い方をすれば，リクエスト調停部32は，原則としてリードリクエストが送出待ち状態であればライトリクエストに優先して送出するよう調停する。但し，複数のリードリクエストを送出した結果，受信バスR-BUSがそれらリードリクエストのリードデータのパケット群42により受信バスR-BUSが長時間にわたり占有されてしまい，次のリードリクエストより先にライトリクエストを送出しても，次のリードリクエストのリードデータの受信開始時間がライトリクエストを優先したことにより遅れることがない場合は，ライトリクエストを優先して送出するよう調停する。これにより，原則リードリクエストを優先して送出することで受信バスをR-BUSの占有状態を最適化でき，更にライトリクエストを先に送出してもリードデータの受信時間が同じ場合はライトリクエストを先に送出することで，ライトリクエストの送出が遅れることを回避できる。

【0028】

図5は，本実施の形態におけるリクエスト調停部の調停制御を示すフローチャート図である。リクエスト調停部32は，リクエスト保持部31がライトリクエストとリードリクエストを同時に保持しているいずれのリクエストも送出対象になっているかを判定する(S10)。リクエスト調停部32は，リードリクエストのみが送出対象であれば(S10のRのみ)，そのリードリクエストを選択してリクエスト送信部TXから送出させる(S11)。一方，リクエスト調停部32は，ライトリクエストのみが送出対象であれば(S10のWのみ)，そのライトリクエストを選択してリクエスト送信部TXから送出させる(S12)。

【0029】

リードリクエストとライトリクエストがいずれも送出対象としてリクエスト保持部31に保持されている場合は(S10のYES)，リクエスト調停部32は，ライトリクエストを先に送出してもリードリクエストに対応するリードデータの受信開始時間が，リードリクエストを先に送出した場合と同じであるか否か，別の言い方をすれば，ライトリクエストを先に送出してもリードリクエストに対応するリードデータの受信開始時間が遅くならないか否かを判定する(S13)。

【0030】

ライトリクエストを先に送出してもリードリクエストに対応するリードデータの受信開始時間が，リードリクエストを先に送出した場合と同じである場合は(S13のYES)，リクエスト調停部32は，ライトリクエストを選択して，リードリクエストに優先して先にライトリクエストをリクエスト送信部TXに出力し，送信バスT-BUSに送出させる(S14)。受信開始時間が同じではなく(S13のNO)，リードデータの受信開始時間が遅くなる場合は，リクエスト調停部32は，リードリクエストを選択して，ライトリクエストに優先して先にリードリクエストをリクエスト送信部TXに出力し，送信バスT-BUSに送出させる(S15)。

。

【0031】

以上のように，リクエスト調停部による調停制御では，リードリクエスト間及びライトリクエスト間それぞれでは，ファーストインファーストアウトで出し，リードリクエストとライトリクエストが競合する場合は，原則リードリクエストを優先して出し，ライトリクエストを先に送出してもリードデータの受信開始時間が遅れない場合にライトリクエストを優先して先に送出する。

【0032】

より具体的にリクエスト調停制御を説明すると，次のとおりである。

【0033】

10

20

30

40

50

すなわち，リクエスト調停部32は，リクエスト保持部31が保持する送出待ちのライトリクエストとリードリクエストのうち，ライトリクエストとライトデータをリードリクエストより先に送信バスT-BUSに送出した場合にリードリクエストに対応するリードデータをメモリ2から受信バスR-BUSを介して受信する第1の受信時間が，リードリクエストをライトリクエストとライトデータより先に送信バスT-BUSに送出する場合における第2の受信時間より遅くならない場合に，ライトリクエストとライトデータをリードリクエストより先にリクエスト送信部TXから送信バスT-BUSに送出する第1の処理を行う。また，リクエスト調停部32は，第1の受信時間が第2の受信時間より遅くなる場合に，リードリクエストをライトリクエストとライトデータより先にリクエスト送信部TXから送信バスT-BUSに送出する第2の処理を行う。

10

【0034】

図4に示されたメモリコントローラ30のより具体的な構成は以下のとおりである。

【0035】

メモリコントローラ30内のリクエスト保持部31は，プロセッサコア側から受信するライトリクエストまたはリードリクエストを受信してライトリクエストとリードリクエストの種別を判別して，ライトリクエストならライトキュー保持部WQに保持させ，リードリクエストならリードキュー保持部RQに保持させるリクエスト処理部31を有する。

【0036】

更に，リクエスト保持部31は，ライトキュー保持部WQとリードキュー保持部RQとを有し，それらは，共に，FIFO(First-In-First-Out)方式で記憶するバッファである。したがって，ライトリクエスト間では，プロセッサコア側から受信した順番にメインメモリ2に送出され，同様に，リードリクエスト間では，プロセッサコア側から受信した順番にメインメモリ2に送出される。

20

【0037】

リクエスト調停部32は，ライトキュー保持部WQとリードキュー保持部RQそれぞれの先頭のライトリクエストとリードリクエストを調停して，いずれを先に送信バスT-BUSから送出するかを選択する。リクエスト調停部32で選択されたリクエストは，リクエスト送信部TXから，送信シリアルバスT-BUSに，ライトリクエストのパケット群40として送出されるか，またはリードリクエストのヘッダR-REQのパケット41として送出される。

【0038】

30

リクエスト調停部32は，ライトキュー保持部WQとリードキュー保持部RQそれぞれの先頭のライトリクエストとリードリクエストのうちいずれかを先に送出すべきかを判定する調停制御部34と，調整制御部34が先に送出すると判定したライトリクエストまたはリードリクエストを選択してリクエスト送信部TXに出力するリクエストセレクタ33とを有する。図中，R/Wは選択信号である。

【0039】

リクエスト調停部32の調停制御部34は，前述した方法でライトリクエストとリードリクエストのいずれを先に送出するかを調停する。調整制御部34の具体的な構成は，リードリクエストを送出した時に，リクエスト送信部TXからのリードリクエスト送出信号Routeに応答して，受信バス占有サイクル数Trを加算し，カウンタ値Cnが0でないときにクロックCLKに同期してクロックサイクル毎に1減算するCnカウンタ35を有すると共に，Cnカウンタ35のカウンタ値Cnと送信バス占有サイクル数Twとを比較する比較器36とを有する。

40

【0040】

そして，比較器36は，カウント値Cnが送信バス占有サイクル数Tw以上(Cn > Tw)であれば，ライトリクエストをリードリクエストに優先して選択し，Cn < Twが成立しない場合は，リードリクエストをライトリクエストに優先して選択する。比較器36がライトリクエストを選択したら，リクエストセレクタ33がライトキュー保持部WQ内のライトリクエストを選択して，リクエスト送信部TXにライトリクエストのパケット群40を送信バスT-BUSに送出させる。一方，比較器36がリードリクエストを選択したら，リクエストセレ

50

クタ 3 3 がリードキュー保持部RQ内のリードリクエストを選択して、リクエスト送信部TXにリードリクエストのヘッダパケット4 1を送信バスT-BUSに送出させる。リクエスト送信部TXがリードリクエストのヘッダパケット4 1を送出するタイミングで出力するリードリクエスト送出信号Routに応答して、アンドゲート3 7を介してCnカウンタ3 5にTrが加算される。

【0041】

次に、メモリコントローラ3 0によるリクエスト調停について図を参照して説明する。この説明により、上記のCn Trによるリクエスト調停の原理が理解される。

【0042】

図6は、リクエスト受信順に送出する場合のメモリコントローラの動作を示す図である。
前提として、リードリクエストを送出してからリードデータの受信開始までの時間であるレイテンシLaの平均時間をLa=20、ライトリクエストのパケット群が送信バスを占有する時間TwをTw=9、リードリクエストに対応するリードデータのパケット群が受信バスを占有する時間TrをTr=9とする。つまり、ライトリクエストもリードリクエストもバースト長が8の例である。そして、リクエスト保持部3 1には、R1,W1,W2,R2,R3,R4の順番でリクエストを既に受信し保持しているものとする。なお、Rは受信リクエスト、Wはライトリクエストである。

【0043】

図6の例では、メモリコントローラ3 0のリクエスト調停部3 2が、リクエストを受信順に送信バスT-BUSに送出する調停を行う。したがって、(1)クロックCLK=1でリードリクエストR1のヘッダ4 1が送信バスT-BUSに送出され、レイテンシLa_R1=20のクロックCLK=21から9サイクル(Tr=9)の間、リードデータが受信バスを占有する。そして、(2)クロックCLK=2でライトリクエストW1が送信バスT-BUSに送出され、クロックCLK=2から9サイクル(Tw=9)の間、ライトリクエストのヘッダとライトデータのパケット群が送信バスT-BUSを占有する。

【0044】

さらに、(3)クロックCLK=11から9サイクル、次のライトリクエストW2のパケット群が、送信バスT-BUSを占有する。その後、(4)クロックCLK=20からリードリクエストR2、R3、R4が連続して送信バスT-BUSに送出され、リードレイテンシLa=20後のクロックCLK=40からリードリクエストR2のリードデータが9サイクルの間受信バスR-BUSを占有し、クロックCLK=49,58からリードリクエストR3、R4のリードデータがそれぞれ9サイクルの間受信バスR-BUSを占有する。

【0045】

図6のようにリクエストを受信順に送出すると、クロックCLK=2~19において、ライトリクエストW1,W2を送出する18サイクルの間リードリクエストを送出できないので、リードリクエストR2,R3,R4の送出がCLK=20-22と遅れて、それぞれのレイテンシLa_R2,La_R3,La_R4後にならないとリードデータを受信できない。

【0046】

プロセッサコアは、一般に、データをメインメモリからフェッチし、演算し、演算結果をメインメモリにライトバックする。したがって、データのライトよりもデータのリード(データフェッチ)を優先して実行させ、できるだけ遅延なくリードデータを取得することが望ましい。そのため、図6の例では、CLK=30-39の期間50で受信バスR-BUSに空きが発生しているので、スループットが低下している。

【0047】

図7は、リードリクエストをライトリクエストに優先して送出する場合のメモリコントローラの動作を示す図である。前提条件は、図6と同じである。プロセッサコアのデータフェッチ、演算、演算結果のライトバックという一般的な処理の順番を考慮すると、図7のようにリードリクエストをライトリクエストに優先して送出して受信バッファに空きサイクルが発生しないようにするのが望ましい。

【0048】

10

20

30

40

50

リードリクエスト優先にすると、図7に示されるとおり、CLK=1-4でリードリクエストR1,R2,R3,R4が先に送出され、その後、クロックCLK=5からライトリクエストW1のパケット群が送出され、CLK=14からライトリクエストW2のパケット群が送出される。そして、リードリクエストR1のレイテンシLa_R1後のクロックCLK=21から4つのリードリクエストに対するリードデータ群が連続して受信バスR-BUSを占有する。したがって、受信バスR-BUSには空きサイクルは発生しない。

【0049】

ただし、リードリクエストを優先したため、ライトリクエストW1,W2がいつまでも送出されないことになる。

【0050】

しかも、リードリクエストR1に対するリードデータは、レイテンシLa_R1後のCLK=21から受信開始するが、R2に対するリードデータはレイテンシLa_R2に8サイクル加えたクロックCLK=30から受信開始し、R3の場合はLa_R3に16サイクル加えたクロックCLK=39から受信開始し、R4の場合はLa_R4に24サイクル加えたクロックCLK=47から受信開始している。このことは、たとえリードリクエストを優先して送出しても、複数のリードリクエストを連続して送出すると、受信バスR-BUSの占有状態が長期化して、受信開始まで長い時間待たされることを意味する。したがって、そのリードデータの長い待ち時間の間にライトリクエストを先に送出しても、リードリクエストの受信開始時間は同じになる場合があることを意味する。

【0051】

図8は、本実施の形態におけるメモリコントローラのリクエスト調停動作を示す図である。また、図9、10は、本実施の形態におけるメモリコントローラのリクエスト調停を説明する図である。前提条件は、図6、7と同じである。

【0052】

図5に示したとおり、本実施の形態でのリクエスト調停では、リードリクエストとライトリクエストがリクエスト保持部31に保持され送出を待っている場合は、リードリクエストを優先して送出した場合のリードデータの受信開始時間と、ライトリクエストを優先して送出しその後リードリクエストを送出した場合のリードデータの受信開始時とを比較し、ライトリクエストを優先して送出してもリードデータの受信開始時間が同じである場合は、ライトリクエストを先に送出した後にリードリクエストを送出する。この原理に基づいて、リクエスト調停動作を説明する。

【0053】

[CLK=1でR1かW1かの調停]

リクエスト調停部32は、まず、リードリクエストR1とライトリクエストW1のいずれを先に送出するかについて判定する。この段階では、リードリクエストR1をCLK=1で送出するとそのレイテンシLa_R1=20後のCLK=21からリードデータを受信開始できるので、当然にリードリクエストR1をライトリクエストW1より先に送出するよう調停する。すなわち、図8では、CLK=1でリードリクエストR1が送出されている。

【0054】

[CLK=2でR2かW1かの調停]

次に、リクエスト調停部32は、CLK=2において、リードリクエストR2とライトリクエストW1のいずれを先に送出するかについて判定する。この判定方法が、図9に示されている。図9には、リードリクエストR2を先に送出する場合R2と、ライトリクエストW1を先に送出した後にリードリクエストR2を送出する場合W1/R2とが示されている。

【0055】

リードリクエストR2を先に送出する場合R2は、クロックCLK=2でリードリクエストR2のヘッダ41を送信バスT-BUSに送出すると、レイテンシLa_R2にCLK=22-29の8サイクルを加えたCLK=30から受信バスR-BUSにリードデータが受信開始する。このCLK=22-29の8サイクルは、クロックCLK=2でのカウンタCnのカウント値に等しい。つまり、このCLK=22-29の8サイクルは、リードリクエストR1のリードデータが受信バスR-BUSの占有を完了するま

10

20

30

40

50

でのクロックサイクル ($La_R1 + Tr$) と, CLK=2で送出したリードリクエストR2のレイテンシ La_R2 から CLK=1 から CLK=2までの経過クロック数 CLK(1) を加えたクロックサイクル ($La_R2 + CLK(1)$)との差分であり, 次のとおりである。

$$(La_R1 + Tr) - (La_R2 + CLK(1)) \quad (\text{式 } 1)$$

リードリクエストR1のレイテンシ La_R1 と R2 の La_R2 とが等しい ($La_R1 = La_R2 = 20$) とすると, 上記の式1は, 次の通りである。

$$(La_R1 + Tr) - (La_R2 + CLK(1)) = Tr - CLK(1) \quad (\text{式 } 2)$$

この式2は, リードリクエストR1のリードデータが受信バスR-BUSを占有するサイクル $Tr = 9$ から, リードリクエストR1送出後次のリードリクエストR2を送出するまでに経過したクロックサイクル1を減じたカウンタ Cn のカウント値に等しい。

$$Cn = Tr - CLK(1) \quad (\text{式 } 3)$$

このカウント値 Cn は, 図9中の破線5 1 (CLK=22-28)のクロックサイクルを意味する。

【0056】

一方, ライトリクエストW1を先に送出した後にリードリクエストR2を送出する場合 W1/R2 は, CLK=2でライトリクエストW1のパケット群4 0を送出するとリードリクエストR2は CLK=11で送出されるので, それからレイテンシ La_R2 後の CLK=31 からリードデータを受信開始することになる。この受信開始時間 CLK=31 は, リードリクエストR2を先に送出した場合の受信開始時間 CLK=30 より遅れる。それに伴い, 受信バスR-BUSには1サイクルの空サイクルが発生することになる。つまり, R2を先に送出する場合は, R1, R2が連続して送出されるため, R2に対するリードデータの受信開始は, R1のリードデータの受信が完了した後になる。

【0057】

そこで, リクエスト調停部3 2は, 図9中破線5 1で示した, R2を先に送出した場合の R2のレイテンシ La_R2 経過後からR1のリードデータの受信が完了する時間までのサイクル数 Cn が, ライトリクエストW1による送信バスT-BUSの占有サイクル Tw 以上 ($Cn - Tw$) か否かを判定する。 $Cn - Tw$ が YES であればライトリクエストW1を先に送出してリードリクエストR2の送出がサイクル Tw 遅くなてもリードデータ受信開始は遅れない。一方, NO であればライトリクエストW1を挿入するとリードデータ受信開始が遅れるので, リードリクエストR2を先に送出する。

【0058】

図9の例では, カウンタ Cn は, CLK=1でR1の送出により $Cn=9$ になり, CLK=2で $Cn=8$ になっているので, $Cn - Tw$ が NO となり, リードリクエストR2が先に送出される。すなわち, 図8に示されるとおり, CLK=2ではリードリクエストR2がW1より先に送出される。

【0059】

このように, カウンタ Cn は, リードリクエストが送出されると Tr 追加され, カウント値が0でなければクロック CLK に同期して1ずつ減算する。よって, カウンタ Cn のカウント値は, $La_R1 = La_R2$ とすれば, 判定時 CLK=2 からレイテンシ La_R2 経過時 (CLK=20) と, 判定時 CLK=2 で送出済みリードリクエストのリードデータによる受信バスR-BUS占有状態が終了する時 (CLK=29)との間のサイクル数 (図9中破線矢印5 1のサイクル数) を意味する。

【0060】

[CLK=3でR3かW1かの調停]

次に, リクエスト調停部3 2は, CLK=3において, リードリクエストR3とライトリクエストW1のいずれを先に送出するかについて判定する。この判定方法が, 図10に示されている。図10には, リードリクエストR3を先に送出する場合R3と, ライトリクエストW1を先に送出した後にリードリクエストR3を送出する場合W1/R3とが示されている。

【0061】

リードリクエストR3を先に送出する場合は, クロック CLK=3 でリードリクエストR3のヘッダ4 1を送信バスT-BUSに送出すると, レイテンシ La_R3 に矢印5 2で示す16サイクルを加えた CLK=39 から受信バスR-BUSにリードデータが受信開始する。この16サイクルは, リードリクエストR1, R2のレイテンシ La_R1, La_R2 と R3の La_R3 とが等しい ($La_R1 = La_R2 =$

10

20

30

40

50

$La_R3=20$)とすると、リードリクエストR1,R2のリードデータが受信バスR-BUSを占有するサイクル $2Tr=18$ から、リードリクエストR1後R3を送出するまでに経過したクロックサイクル2を減じたカウンタCnのカウント値に等しい。

【0062】

一方、ライトリクエストW1を先に送出した後にリードリクエストR3を送出する場合W1/R3は、CLK=3でライトリクエストW1のパケット群40を送出することにより、リードリクエストR3はCLK=12で送出され、それからレイテンシ La_R3 経過後であってR1,R2のリードデータの受信バスR-BUS占有状態が完了した後のCLK=39からR3のリードデータを受信開始することになる。この受信開始時間CLK=39は、リードリクエストR3を先に送出した場合の受信開始時間CLK=39と同じであり、遅れることはない。したがって、図8に示したように、リクエスト調停部31は、ライトリクエストW1を先に送出するよう調停する。10

【0063】

上記の調停を、カウンタCnのカウント値で説明すると、図10に示されるとおり、CLK=3でのカウンタCnのカウント値は $Cn=16$ に減じられている。したがって、CLK=3の判定時では、 $Cn=16 Tr=9$ はYESとなる。つまり、リードリクエストR3を先に送出した場合は、CLK=3からレイテンシ $La_R3=20$ 経過後さらにサイクル $Cn=16$ 後のCLK=39からしかR3に対するリードデータを受信開始できないので、R3の前にW1を送出しても、リードデータの受信開始時間はCLK=39と同じであることを意味している。したがって、ライトリクエストW1が先に送出される。

【0064】

[CLK=12でR3かW2かの調停]

次に、図8に示されるように、リクエスト調停部32は、CLK=12でR3かW2かの判定を行う。CLK=12ではカウント値が $Cn=7$ に減っているので、 $Cn=7 Tr=9$ はNOとなり、リードリクエストR3が先に送出される。

【0065】

[CLK=13でR4かW2かの調停]

次に、図8に示されるように、リクエスト調停部32は、CLK=13で、R4かW2かの判定を行う。CLK=13ではカウント値が $Cn=15$ に増加しているので、 $Cn=15 Tr=9$ はYESとなり、ライトリクエストW2が先に送出される。

【0066】

図8に示されるように、本実施の形態のリクエスト調停方法によれば、受信バスR-BUSにできるだけ空きサイクルが生じないように、リードリクエストの送出を優先的に行うが、連続してリードリクエストが送出されると受信バスR-BUSを占有する時間が長くなり送出するリードリクエストのリードデータ受信開始時間が遅くなる。したがって、この遅れのサイクル数Cnがライトリクエスト送出による送信バスT-BUSの占有サイクルTw以上であれば、ライトリクエストをリードリクエストに優先して送出する。この判断は、カウンタCnのカウント値が占有サイクルTw以上か否かによって行うことができる。30

【0067】

図11は、カウンタCnがリセットされる場合を説明する図である。図11の例は、リクエスト保持部31が、CLK=1の時にリードリクエストR1のみを保持し、その後一定のクロックサイクル後のCLK=11でR2,R3,W1,W1,R4を保持する場合を前提にしている。40

【0068】

リクエスト調停部32は、CLK=1で送出待ちの唯一のリードリクエストR1を送出する。したがって、 $Cn=9$ になる。そして、カウント値Cnはクロックサイクル毎に減じられCLK=10で0になる。したがって、それ以上カウント値が減じられることはない。

【0069】

その後、CLK=11でリードリクエストR2が送出されると、カウント値Cnが新たにTr=9加算されて、新たにクロックサイクル毎に減じられることになる。

【0070】

このように、リードリクエストが連続して送出されない場合でも、カウンタCnのカウン50

ト値は0になるとリセットされ、後続するリードリクエストの送出で再度Tr=9が加算されて新たにカウントダウンを開始するので、カウンタCnのカウント値は適切にリクエスト調停の判定のために維持される。

【0071】

[第2の実施の形態]

第2の実施の形態でのリクエスト調停部31の調停方法では、Cn+D Tw (Dは許容できるリードデータ受信遅延量)がYESならライトリクエストWを先に送出し、NOならリードリクエストRを先に送出する。ここで、Dは許容できるリードデータ受信遅延量に設定され、例えばD=2などである。Cn+D TwがYESの場合はリードデータの受信開始時間の遅れが許容遅延時間D以内になるので、ライトリクエストWの送出を行い、NOなら遅れが許容遅延時間Dを超えるのでリードリクエストRの送出を行う。10

【0072】

リクエスト調停部32がこの許容可能遅延時間Dを適応制御することで、リードリクエストの優先度の度合いまたはライトリクエストの遅延の度合いを適応制御することができる。つまり、リクエスト調停部32は、受信バスR-BUSにリードデータの占有状態が空き状態になる許容遅延時間Dを適切に設定することで、上記の適応制御を行う。

【0073】

[第3の実施の形態]

第1の実施の形態では、リードリクエストとライトリクエストのバースト長が8と固定であることを前提にして、Tr=9, Tw=9で判定した。それに対して、第3の実施の形態では、選択対象のリードリクエストのバースト長が固定でなく変動する場合、及び/又はライトリクエストのバースト長が固定でなく変動する場合にも対応できるようにする。20

【0074】

すなわち、第3の実施の形態では、Tr=バースト長 + 1, Tw=バースト長 + 1で、リードリクエスト送出時にカウンタCnにTrを加算し、Cn Twの判定を行うようにする。このようにすることで、バースト長が可変の場合にも、本実施の形態のリクエスト調停の判定を行うことができる。

【0075】

第3の実施の形態においても、第2の実施の形態のように許容遅延時間Dを考慮してリクエスト調停の判定をおこなってもよい。30

【0076】

以上説明したとおり、本実施の形態によれば、メモリコントローラとメインメモリとの間を送信シリアルバスT-BUSと受信シリアルバスR-BUSで接続する構成において、理論上最大のスループットでリードリクエストとライトリクエストの送出制御を行うことができる。

【0077】

以上の実施の形態をまとめると、次の付記のとおりである。

【0078】

(付記1)

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と、40
前記ライトリクエストとライトデータ又は前記リードリクエストを、送信バスを介してメモリに送出する送信部と、

前記リードリクエストに対応するリードデータを、受信バスを介して前記メモリから受信する受信部と、

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち、

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が、前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より遅く50

ならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から送信バスに送出する第1の処理を行い，
前記第1の受信時間が前記第2の受信時間より遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処理を行うリクエスト調停部と有するメモリコントローラ。

【0079】

(付記2)

付記1において，

前記送信部は，クロックに同期して，前記ライトリクエストとライトバースト長のライトデータ又は前記リードリクエストを前記送信バスを介して前記メモリに送出し，

10

前記受信部は，前記クロックに同期して，前記メモリから前記受信バスを介してリードバースト長の前記リードデータを受信し，

前記リクエスト調停部は，前記リードリクエストを前記送信部から送出するたびに，前記送出するリードリクエストに対応するリードデータ受信時に前記リードデータが前記受信バスを占有するリードデータ受信サイクル数を加算し，カウント値が0でない場合に前記クロックのサイクル毎に1減算するカウンタを有し，

前記リクエスト調停部は，

前記カウンタのカウント値が，前記ライトリクエストとライトバースト長のライトデータを前記送信部から送出するときの前記送信バスを占有するライト送信サイクル数以上の場合，前記第1の処理を行い，

20

前記カウンタのカウント値が前記ライト送信サイクル数未満の場合，前記第2の処理を行うメモリコントローラ。

【0080】

(付記3)

付記1または2において，

前記リクエスト保持部は，前記ライトリクエストを受信順に保持し前記受信順に出力するライトリクエストキュー保持部と，前記リードリクエストを受信順に保持し前記受信順に出力するリードリクエストキュー保持部とを有し，

前記リクエスト調停部は，前記ライトリクエストキュー保持部の先頭のライトリクエストと，前記リードリクエストキュー保持部の先頭のリードリクエストのいずれを先に送出するかを調停するメモリコントローラ。

30

【0081】

(付記4)

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と，

前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と，

前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部と，

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち，

40

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より基準時間以上遅くならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から送信バスに送出する第1の処理を行い，

前記第1の受信時間が前記第2の受信時間より前記基準時間以上遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処理を行うリクエスト調停部と有するメモリコントローラ。

【0082】

50

(付記 5)

付記 4 において ,

前記送信部は , クロックに同期して , 前記ライトリクエストとライトバースト長のライトデータ又は前記リードリクエストを前記送信バスを介して前記メモリに送出し ,

前記受信部は , 前記クロックに同期して , 前記メモリから前記受信バスを介してリードバースト長の前記リードデータを受信し ,

前記リクエスト調停部は , 前記リードリクエストを前記送信部から送出するたびに , 前記送出するリードリクエストに対応するリードデータ受信時に前記リードデータが前記受信バスを占有するリードデータ受信サイクル数を加算し , カウント値が 0 でない場合に前記クロックのサイクル毎に 1 減算するカウンタを有し ,

10

前記リクエスト調停部は , 前記カウンタのカウント値に前記基準時間のクロックサイクル数を加算した値が , 前記ライトリクエストとライトバースト長のライトデータを前記送信部から送出するときの前記送信バスを占有するライト送信サイクル数以上の場合に , 前記第 1 の処理を行い ,

前記カウンタのカウント値に前記基準時間のクロックサイクル数を加算した値が前記ライト送信サイクル数未満の場合に , 前記第 2 の処理を行うメモリコントローラ。

【 0083 】

(付記 6)

メモリへのライトリクエスト及びリードリクエストを発行するプロセッサコアと ,

20

前記プロセッサコアが発行する前記ライトリクエスト及びリードリクエストを受信して , 前記ライトリクエストまたはリードリクエストを送信バスに送出するメモリコントローラとを有し ,

前記メモリコントローラは ,

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と ,

前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と ,

前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部と ,

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち ,

30

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第 1 の受信時間が , 前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第 2 の受信時間より遅くならない場合 , 前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から前記送信バスに送出する第 1 の処理を行い ,

前記第 1 の受信時間が前記第 2 の受信時間より遅くなる場合 , 前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から前記送信バスに送出する第 2 の処理を行うリクエスト調停部とを有する

情報処理装置。

40

【 0084 】

(付記 7)

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と , 前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と , 前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部とを有するメモリコントローラの制御方法であって ,

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち ,

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バ

50

スを介して受信開始する第1の受信時間が，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より遅くならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信部から送信バスに送出する第1の処理を行い，

前記第1の受信時間が前記第2の受信時間より遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信部から送信バスに送出する第2の処理を行うメモリコントローラの制御方法。

【0085】

(付記8)

受信したライトリクエストとリードリクエストを保持するリクエスト保持部と，前記ライトリクエストとライトデータ又は前記リードリクエストを送信バスを介してメモリに送出する送信部と，前記リードリクエストに対応するリードデータを受信バスを介して前記メモリから受信する受信部とを有するメモリコントローラの制御方法であって，

前記リクエスト保持部が保持する送出待ちのライトリクエストとリードリクエストのうち，

前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出したときに前記リードリクエストに対応するリードデータを前記メモリから前記受信バスを介して受信開始する第1の受信時間が，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出したときにおける第2の受信時間より基準時間以上遅くならない場合，前記ライトリクエストとライトデータを前記リードリクエストより先に前記送信バスに送出する第1の処理を行い，

前記第1の受信時間が前記第2の受信時間より前記基準時間以上遅くなる場合，前記リードリクエストを前記ライトリクエストとライトデータより先に前記送信バスに送出する第2の処理を行うメモリコントローラの制御方法。

【符号の説明】

【0086】

1：プロセッサ（情報処理装置）

10：プロセッサコア

30：メモリコントローラ

T-BUS：送信シリアルバス（送信バス）

R-BUS：受信シリアルバス（受信バス）

31：リクエスト保持部

32：リクエスト調停部

35：Cnカウンタ

Cn：カウント値

Tw：ライトリクエスト及びライトデータの送信バス占有クロックサイクル数

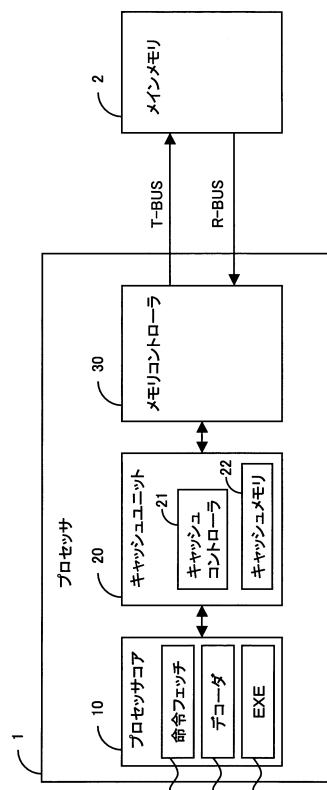
Tr：リードデータの受信バス占有クロックサイクル数

10

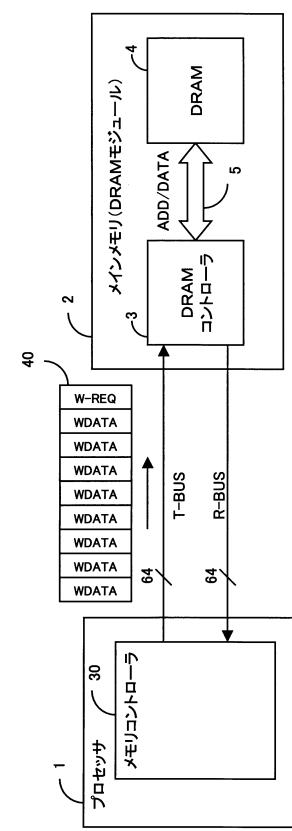
20

30

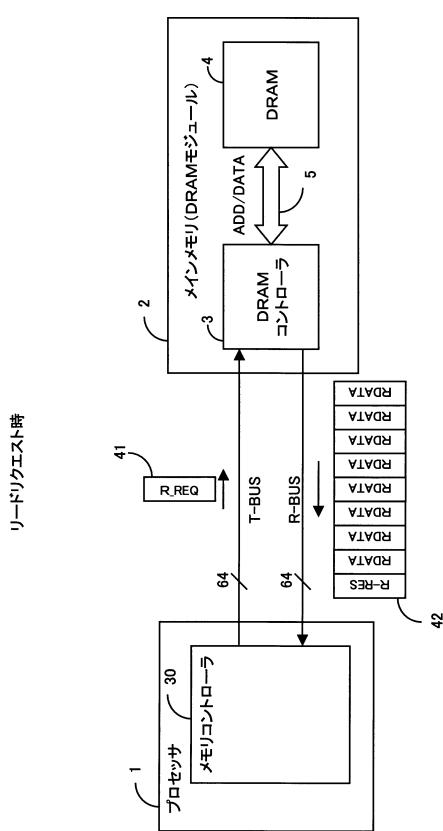
【 叁 1 】



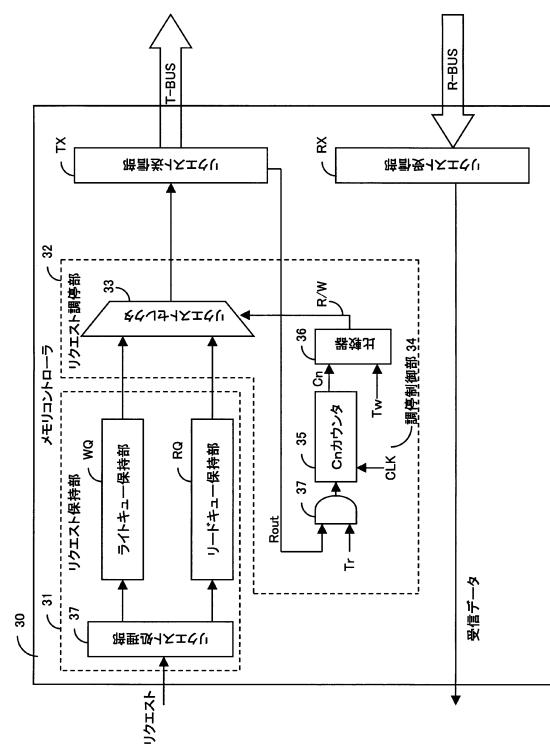
【 四 2 】



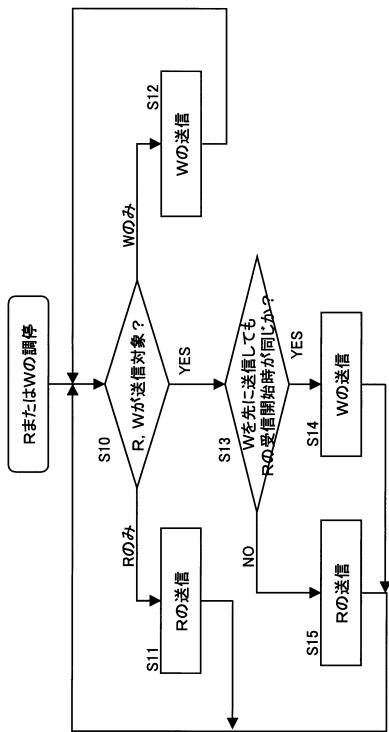
【図3】



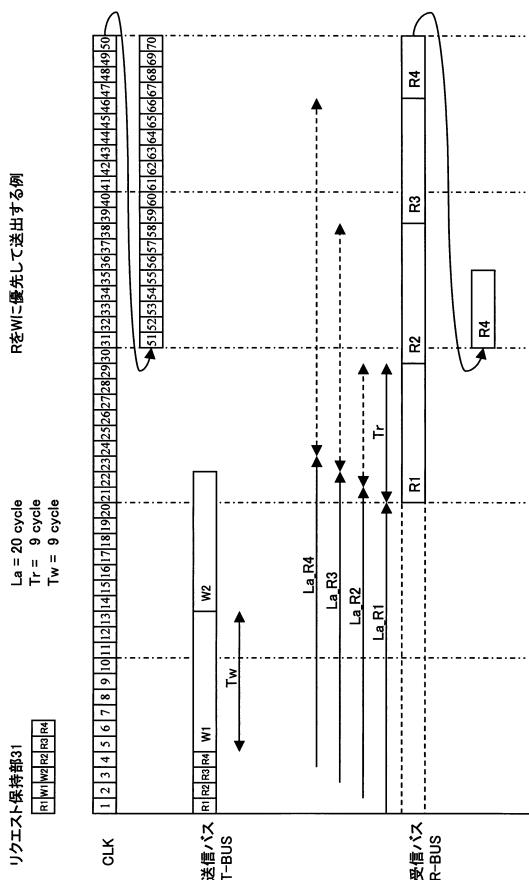
【 四 4 】



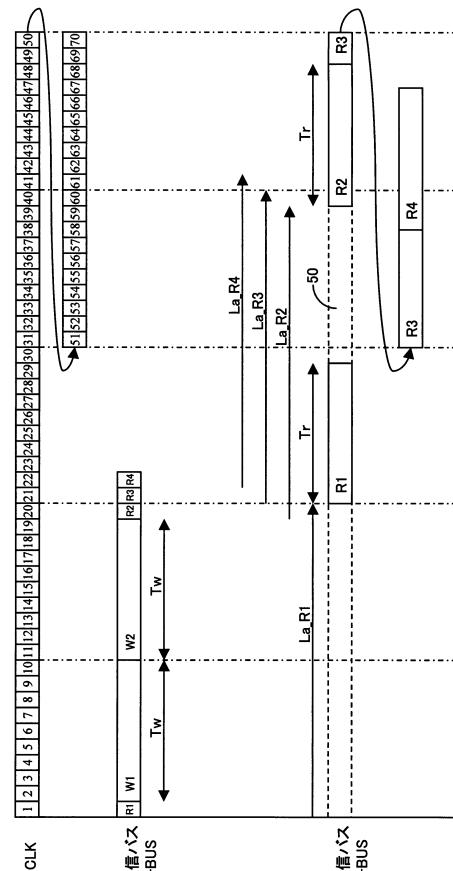
【図5】



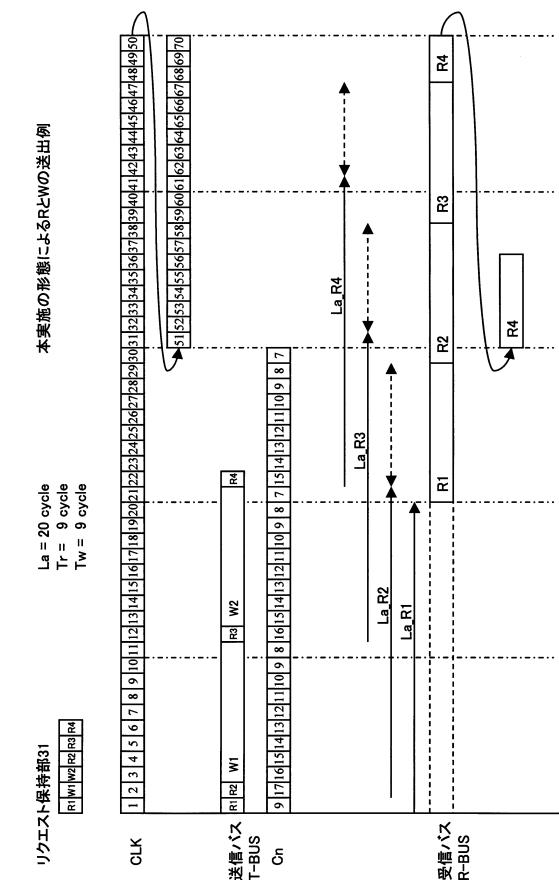
【 四 7 】



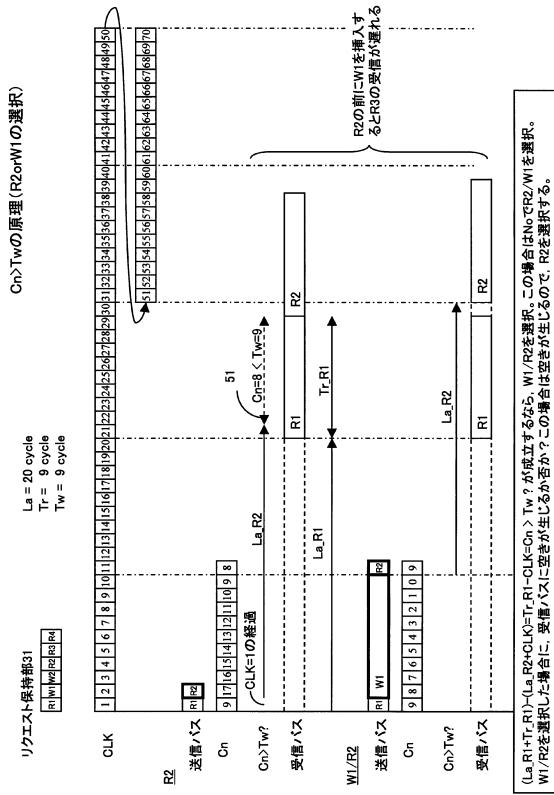
【 四 6 】



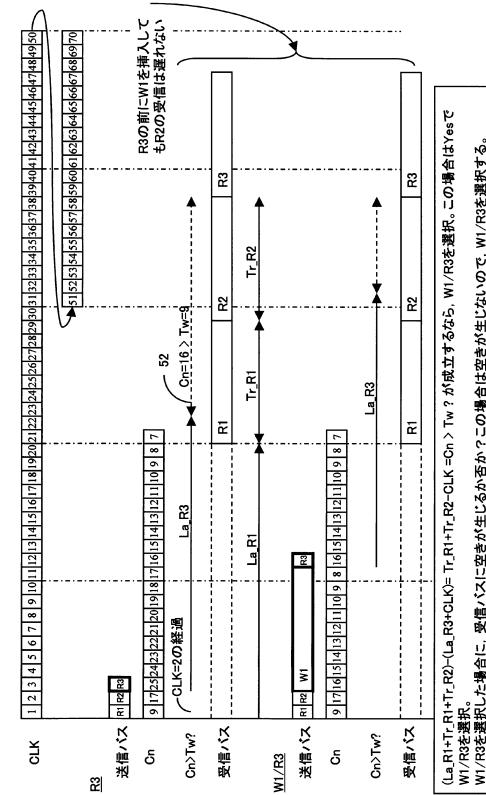
【 义 8 】



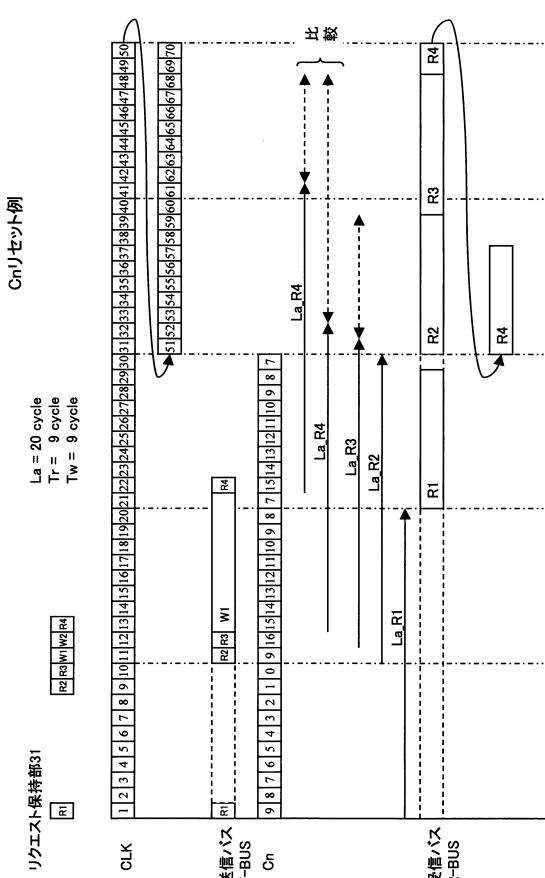
【 図 9 】



【図10】



【図 1 1】



フロントページの続き

(72)発明者 常世田 明夫
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72)発明者 相原 正寿
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72)発明者 須賀 誠
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 後藤 彰

(56)参考文献 特開2003-271445(JP,A)
特開2010-218170(JP,A)
特開2013-020450(JP,A)
米国特許出願公開第2007/0204076(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12 / 00