

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 5 月 16 日 (16.05.2019)



(10) 国际公布号
WO 2019/090657 A1

(51) 国际专利分类号:
G06F 11/10 (2006.01)

中国广东省深圳南山区西丽大学城学苑大道1068号, Guangdong 518060 (CN)。

(21) 国际申请号: PCT/CN2017/110364

(74) 代理人: 深圳青年人专利商标代理有限公司 (SHENZHEN YOUTH PATENT AND TRADEMARK AGENCY LTD.); 中国广东省深圳市罗湖区深南东路 5045 号深业中心大厦 2502-2503, Guangdong 518010 (CN)。

(22) 国际申请日: 2017 年 11 月 10 日 (10.11.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳先进研究院 (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY) [CN/CN]; 中国广东省深圳市南山区西丽大学城学苑大道1068号, Guangdong 518055 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(72) 发明人: 邵翠萍(SHAO, Cuiping); 中国广东省深圳南山区西丽大学城学苑大道1068号, Guangdong 518060 (CN)。 李慧云(LI, Huiyun); 中国广东省深圳南山区西丽大学城学苑大道1068号, Guangdong 518060 (CN)。 王峥(WANG, Zheng);

(54) Title: PROTECTION METHOD, DEVICE, AND EQUIPMENT FOR MEMORY FAULT TOLERANCE AND STORAGE MEDIUM

(54) 发明名称: 一种存储器容错保护方法、装置、设备及存储介质

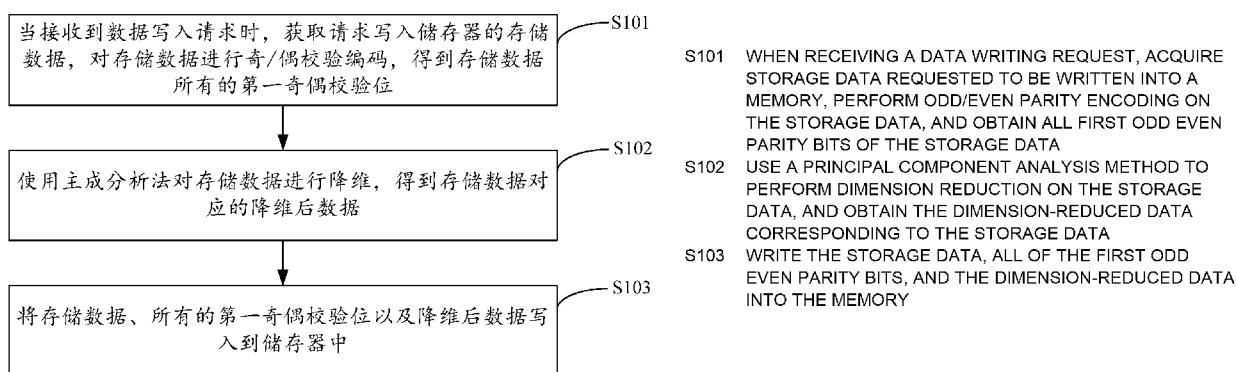


图 1

(57) Abstract: A protection method, device, and equipment for memory fault tolerance and a storage medium; the method comprises: when receiving a data writing request, acquiring storage data requested to be written into a memory, performing odd/even parity encoding on the storage data, and obtaining all of the odd even parity bits of the storage data (S101); using a principal component analysis method to perform dimension reduction on the storage data, and obtaining dimension-reduced data corresponding to the storage data (S102); and writing the storage data, all of the odd even parity bits, and the dimension-reduced data into the memory (S103). Thus, the data written into the memory is optimized, and the probability of errors occurring when reading data in the memory is reduced.

(57) 摘要: 一种存储器容错保护方法、装置、设备及存储介质, 该方法包括: 当接收到数据写入请求时, 获取请求写入存储器的存储数据, 对存储数据进行奇/偶校验编码, 得到存储数据所有的奇偶校验位 (S101), 使用主成分分析法对存储数据进行降维, 得到存储数据对应的降维后数据 (S102), 将存储数据、所有的奇偶校验位以及降维后数据写入到存储器中 (S103), 从而优化了写入到存储器中的数据, 进而降低存储器中数据读出时发生错误的概率。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

一种存储器容错保护方法、装置、设备及存储介质

技术领域

5 本发明属于计算机技术领域，尤其涉及一种存储器容错保护方法、装置、设备及存储介质。

背景技术

存储器控制器是嵌入式系统中的核心部件之一，处理器运行的程序及程序
10 所需的计算数据均是通过请求存储器控制器从存储器中取得，存储器的容错能力在一定程度上决定了嵌入式系统的应用范围，对处理器的可靠性至关重要。

针对单粒子翻转（Single Event Upset，简称 SEU）问题，除了从物理上防御和基于电路的加固外，三模冗余（Triple Modular Redundancy，简称 TMR）和检错纠错码（Error Correcting Code，简称 ECC）是最常用的两种方法。TMR
15 技术通过将同一份信息保存在三份物理存储空间中，读取的时候比较三份内容，取两个一致的值是真值，从而提高读取的准确性。这种方案可以纠正每位错误，甚至一个数据全错，也能得到正确的结果，而且读取速度快，只是需要增加较多的硬件元器件。ECC 技术是目前用于存储系统可靠性的常用技术。

TMR 是一种常见的硬件冗余技术，其原理是在相同的一组硬件单元上同时
20 发生错误的概率要比在单一硬件单元上发生错误的概率小，基本方法是将所需容错的硬件单元增加到三倍或更多，并将各个单元的输出连接到一个表决器上，由表决器选择所有硬件单元中的绝大多数输出值作为整体的输出值。这种方法可以容忍并纠正多位错误，但是硬件开销非常大。

ECC 有多种编码技术，不同的编码技术有不同的检错和纠错能力。例如，
25 奇偶校验码只能检测出一个码字中的一位或奇数位错，但是不能定位错误，因而也就不能纠正错误；汉明码可以纠正一少字中任何一位错误，检测出两位错

误。还有许多其它高阶的 ECC 编码算法，例如 BCH 码，RS 码等，可以检测和纠正一个码字中的多位错误，但是算法复杂，面积和延迟开销也更大，并且当发生类似 MBU 这种多位错误的时候，高阶编码技术也不能保证准确定位错误位置。具体来讲，每增加一位错误的检测，编码算法的复杂度和硬件开销都急剧增加。所以到目前为止，在存储器容错编码中用的最广泛的仍然是纠二检一码。

发明内容

本发明的目的在于提供一种存储器容错保护方法、装置、设备及存储介质，旨在解决由于现有技术硬件开销和时延太大、错误的检测和纠正效率不高，导致存储器数据读取速度较慢的问题。

一方面，本发明提供了一种存储器容错保护方法，所述方法包括下述步骤：

当接收到数据写入请求时，获取请求写入存储器的存储数据，对所述存储数据进行奇/偶校验编码，得到所述存储数据所有的第一奇偶校验位；

使用主成分分析法对所述存储数据进行降维，得到所述存储数据对应的降维后数据；

将所述存储数据、所述所有的第一奇偶校验位以及所述降维后数据写入到所述存储器中。

另一方面，本发明提供了一种存储器容错保护装置，所述装置包括：

第一编码单元，用于当接收到数据写入请求时，获取请求写入存储器的存储数据，对所述存储数据进行奇/偶校验编码，得到所述存储数据所有的第一奇偶校验位；

数据降维单元，用于使用主成分分析法对所述存储数据进行降维，得到所述存储数据对应的降维后数据；以及

数据写入单元，用于将所述存储数据、所述所有的第一奇偶校验位以及所述降维后数据写入到所述存储器中。

另一方面，本发明还提供了一种存储设备，包括存储器、处理器以及存储在所述存储器中并可在所述处理器上运行的计算机程序，所述处理器执行所述计算机程序时实现如所述存储器容错保护方法的步骤。

5 另一方面，本发明还提供了一种计算机可读存储介质，所述计算机可读存储介质存储有计算机程序，所述计算机程序被处理器执行时实现如所述存储器容错保护方法的步骤。

本发明当接收到数据写入请求时，获取请求写入存储器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的奇偶校验位，使用主成分分析法对存储数据进行降维，得到存储数据对应的降维后数据，将存储数据、所有
10 的奇偶校验位以及降维后数据写入到存储器中，从而优化了写入到存储器中的数据，进而降低存储器中数据读出时发生错误的概率。

附图说明

图 1 是本发明实施例一提供的存储器容错保护方法的实现流程图；

15 图 2 是本发明实施例二提供的存储器容错保护方法的实现流程图；

图 3 是本发明实施例三提供的存储器容错保护装置的结构示意图；

图 4 是本发明实施例四提供的存储器容错保护装置的结构示意图；以及

图 5 是本发明实施例五提供的存储设备的结构示意图。

20 具体实施方式

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

以下结合具体实施例对本发明的具体实现进行详细描述：

25 实施例一：

图 1 示出了本发明实施例一提供的存储器容错保护方法的实现流程，为了

便于说明，仅示出了与本发明实施例相关的部分，详述如下：

在步骤 S101 中，当接收到数据写入请求时，获取请求写入储存器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的第一奇偶校验位。

本发明实施例适用于储存器，尤其适用于可读写储存器，以方便进行储存器容错保护。在本发明实施例中，当接收到用户的数据写入请求时，首先获取请求写入储存器的存储数据对应的矩阵，然后根据矩阵对存储数据进行奇/偶校验编码（矩阵每一行每一列上的数据就对应一个奇偶校验位），得到存储数据所有的第一奇偶校验位，为了便于描述，在这里将存储数据的奇偶校验位记为第一奇偶校验位。奇/偶校验包含奇校验和偶校验两种校验。奇校验（Odd Parity）所约定的编码规律是让整个校验码（包含有效信息和校验位）中“1”的个数为奇数，而偶校验（Even Parity）约定的编码规律是让整个校验码中“1”的个数为偶数。被校验数据可能是奇性（“1”的个数为奇数）的，也可能是偶性的，所以奇、偶两种校验都只需配一个校验码，就可以使整个校验码满足指定的奇偶性要求。奇偶校验位可以为“0”或者“1”，奇偶校验位取“0”还是“1”的原则是：若是奇校验，则连同校验位在内编码里含“1”的个数共有奇数个；若是偶校验，则连同校验位在内编码里含“1”的个数是偶数个。

在步骤 S102 中，使用主成分析法对存储数据进行降维，得到存储数据对应的降维后数据。

在本发明实施例中，使用主成分析法对存储数据做降维变换，得到存储数据对应的降维后数据，以方便在后续数据保护过程中仅对变换后的低维数据进行保护，从而优化数据保护过程，进而降低硬件开销和时延。

优选地，在使用主成分析法对存储数据进行降维时，首先获取存储数据对应的原始矩阵 X ，计算原始矩阵 X 每一维度上的均值 $\bar{x}_j$ ，并计算原始矩阵 X 的协方差矩阵 Σ ，接着获取协方差矩阵的特征值 λ_i ， $i = 1, 2, \dots, M * N$ ，计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR，根据贡献率 CR 确定降维后的维度 d ，根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值，将原始矩阵 X 投

影到 d 个特征值对应的线性子空间中,得到原始矩阵 X 对应的 d 维降维矩阵 Y_d , 从而在降维的同时, 提高降维后数据的准确性。其中, 原始矩阵 X 为 $N \times M$ 矩阵, N 为样本个数, M 为样本维度, j 为列标。

进一步优选地, 在计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR , 根据贡献率 CR 确定降维后的维度 d 时, 首先获取由协方差矩阵的特征值 λ_i 构

成的对角阵 $\Lambda = \begin{bmatrix} \lambda_1 & 0 & 0 \\ 0 & \ddots & 0 \\ 0 & 0 & \lambda_D \end{bmatrix}$, 然后计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵

的贡献率 $CR = \frac{\sum_{i=1}^d \lambda_i}{\sum_{i=1}^D \lambda_i}$, 最后, 判断计算得到的贡献率 CR 是否大于预设阈值, 当

贡献率 CR 大于预设阈值时, 满足条件的最小的 d 即为满足要求的新的维度 d 。

具体地, 预设阈值可以根据对数据准确性的要求进行设置, 例如, 可以设置为

95% 或者 99% 等。

具体地, $Y_d = U_d(X - \bar{X})^T$, Y_d 为降维后数据, 为 $d \times N$ 维的矩阵 (N 为样本个数, d 为降维之后的维度), $U_d = (u_1, \dots, u_d)^T$ 是对应于 Λ 中最大的 d 个特征值对应的特征向量, Y_d 即为低维空间中的数据表达, $\bar{X}$ 为与 X 维度相同的矩阵, 每列上的值相同, 为 X 对应维度上的均值。例如, 对于 M 维的数据 X , 则 $\bar{X}$ 由每一维度上的均值 $\bar{x}_1, \bar{x}_2, \bar{x}_3 \dots \bar{x}_M$ 组成。

进一步优选地, 在根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值时, 在特征值 λ_i 中按照从大到小的顺序选择 d 个特征值, 从而提高后续计算的准确性。

在步骤 S103 中, 将存储数据、所有的第一奇偶校验位以及降维后数据写入到存储器中。

在本发明实施例中, 得到存储数据对应的降维后数据之后, 将存储数据、所有的第一奇偶校验位以及降维后数据写入到存储器中, 从而优化了写入到存储器中的数据, 进而降低存储器中数据读出时发生错误的概率。

实施例二:

图 2 示出了本发明实施例二提供的存储器容错保护方法的实现流程, 为了

便于说明，仅示出了与本发明实施例相关的部分，详述如下：

在步骤 S201 中，当接收到数据写入请求时，获取请求写入储存器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的第一奇偶校验位。

本发明实施例适用于储存器，尤其适用于可读写储存器，以方便进行储存器容错保护。在本发明实施例中，当接收到用户的数据写入请求时，首先获取请求写入储存器的存储数据对应的矩阵，然后根据矩阵对存储数据进行奇/偶校验编码（矩阵每一行每一列上的数据就对应一个奇偶校验位），得到存储数据所有的第一奇偶校验位，为了便于描述，在这里将存储数据的奇偶校验位记为第一奇偶校验位。奇/偶校验包含奇校验和偶校验两种校验。奇校验（Odd Parity）所约定的编码规律是让整个校验码（包含有效信息和校验位）中“1”的个数为奇数，而偶校验（Even Parity）约定的编码规律是让整个校验码中“1”的个数为偶数。被校验数据可能是奇性（“1”的个数为奇数）的，也可能是偶性的，所以奇、偶两种校验都只需配一个校验码，就可以使整个校验码满足指定的奇偶性要求。奇偶校验位可以为“0”或者“1”，奇偶校验位取“0”还是“1”的原则是：若是奇校验，则连同校验位在内编码里含“1”的个数共有奇数个；若是偶校验，则连同校验位在内编码里含“1”的个数是偶数个。

在步骤 S202 中，使用主成分析法对存储数据进行降维，得到存储数据对应的降维后数据。

在本发明实施例中，使用主成分析法对存储数据做降维变换，得到存储数据对应的降维后数据，以方便在后续数据保护过程中仅对变换后的低维数据进行保护，从而优化数据保护过程，进而降低硬件开销和时延。

优选地，在使用主成分析法对存储数据进行降维时，首先获取存储数据对应的原始矩阵 X ，计算原始矩阵 X 每一维度上的均值 $\bar{x}_j$ ，并计算原始矩阵 X 的协方差矩阵 Σ ，接着获取协方差矩阵的特征值 λ_i ， $i = 1, 2, \dots, M * N$ ，计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR，根据贡献率 CR 确定降维后的维度 d ，根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值，将原始矩阵 X 投

影到 d 个特征值对应的线性子空间中,得到原始矩阵 X 对应的 d 维降维矩阵 Y_d , 从而在降维的同时, 提高降维后数据的准确性。其中, 原始矩阵 X 为 $N \times M$ 矩阵, N 为样本个数, M 为样本维度, j 为列标。

进一步优选地, 在计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR , 根据贡献率 CR 确定降维后的维度 d 时, 首先获取由协方差矩阵的特征值 λ_i 构

成的对角阵 $\Lambda = \begin{bmatrix} \lambda_1 & 0 & 0 \\ 0 & \ddots & 0 \\ 0 & 0 & \lambda_D \end{bmatrix}$, 然后计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵

的贡献率 $CR = \frac{\sum_{i=1}^d \lambda_i}{\sum_{i=1}^D \lambda_i}$, 最后, 判断计算得到的贡献率 CR 是否大于预设阈值, 当

贡献率 CR 大于预设阈值时, 满足条件的最小的 d 即为满足要求的新的维度 d 。

具体地, 预设阈值可以根据对数据准确性的要求进行设置, 例如, 可以设置为

95% 或者 99% 等。

具体地, $Y_d = U_d(X - \bar{X})^T$, Y_d 为降维后数据, 为 $d \times N$ 维的矩阵 (N 为样本个数, d 为降维之后的维度), $U_d = (u_1, \dots, u_d)^T$ 是对应于 Λ 中最大的 d 个特征值对应的特征向量, Y_d 即为低维空间中的数据表达, $\bar{X}$ 为与 X 维度相同的矩阵, 每列上的值相同, 为 X 对应维度上的均值。例如, 对于 M 维的数据 X , 则 $\bar{X}$ 由每一维度上的均值 $\bar{x}_1, \bar{x}_2, \bar{x}_3 \dots \bar{x}_M$ 组成。

进一步优选地, 在根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值时, 在特征值 λ_i 中按照从大到小的顺序选择 d 个特征值, 从而提高后续计算的准确性。

在步骤 S203 中, 将存储数据、所有的第一奇偶校验位以及降维后数据写入到存储器中。

在本发明实施例中, 得到存储数据对应的降维后数据之后, 将存储数据、所有的第一奇偶校验位以及降维后数据写入到存储器中, 从而优化了写入到存储器中的数据, 进而降低存储器中数据读出时发生错误的概率。

在步骤 S204 中, 当接收到数据读出请求时, 从存储器中获取读出请求对应的存储数据以及存储数据对应的所有的第一奇偶校验位。

在本发明实施例中，当接收到数据读出请求时，首先根据数据读出请求从存储器中获取读出请求对应的存储数据以及存储数据对应的所有的第一奇偶校验位，以用于后续的数据错误判断。

在步骤 S205 中，对获取的存储数据进行奇/偶校验编码，得到存储数据的
5 第二奇偶校验位。

在本发明实施例中，对获取的存储数据进行奇/偶校验编码，得到存储数据所有的第二奇偶校验位。其中，对同一数据，第一奇偶校验位与第二奇偶校验位相同。

在步骤 S206 中，根据第一奇偶校验位和第二奇偶校验位，判断存储数据是
10 否发生错误，是则执行步骤 S207，否则执行步骤 S208。

在步骤 S207 中，当存储数据发生错误时，从存储器中获取存储数据对应的降维后数据，对降维后数据进行数据恢复，并输出恢复得到的数据。

在本发明实施例中，如果第一奇偶校验位与对应的第二奇偶校验位不全相同，则说明存储数据出错，此时，从存储器中获取存储数据对应的降维后数据，
15 对降维后数据进行数据恢复，以恢复出不失真的高维数据，然后输出恢复得到的不失真高维数据，从而提高了读取数据的准确性。

优选地，在对降维后数据进行数据恢复时，根据公式 $X = (U_d^T Y_d)^T + \bar{X}$ 进行数据恢复，从而提高了数据恢复过程的准确性。

在步骤 S208 中，当存储数据未发生错误时，直接从存储器中获取存储数据
20 并输出。

在本发明实施例中，首先，采用降维方法对存储数据进行降维编码，简化了存储复杂度，其次，通过降维后的低维数据恢复原始数据，不会受到原始数据的错误分布的限制，降低了低维数据发生错误的概率，从而在不增加硬件开销的情况下仍然能够检测和纠正多位错误。再者，本发明实施例采用奇偶检验
25 位判断预读取的数据是否有错，如果没有错误则直接解码读取，如果有错误才对低维的数据做恢复处理，恢复得到不失真的高维数据，这样，保证了只在数

据出错时做数据恢复，提高了数据读取速度。

实施例三：

图 3 示出了本发明实施例三提供的存储器容错保护装置的结构，为了便于说明，仅示出了与本发明实施例相关的部分，其中包括：

- 5 第一编码单元 31，用于当接收到数据写入请求时，获取请求写入储存器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的第一奇偶校验位。

在本发明实施例中，当接收到用户的数据写入请求时，通过第一编码单元 31 首先获取请求写入储存器的存储数据对应的矩阵，然后根据矩阵对存储数据
10 进行奇/偶校验编码（矩阵每一行每一列上的数据就对应一个奇偶校验位），得到存储数据所有的第一奇偶校验位，为了便于描述，在这里将存储数据的奇偶校验位记为第一奇偶校验位。奇/偶校验包含奇校验和偶校验两种校验。奇校验（Odd Parity）所约定的编码规律是让整个校验码（包含有效信息和校验位）中“1”的个数为奇数，而偶校验（Even Parity）约定的编码规律是让整个校验码
15 中“1”的个数为偶数。被校验数据可能是奇性（“1”的个数为奇数）的，也可能是偶性的，所以奇、偶两种校验都只需配一个校验码，就可以使整个校验码满足指定的奇偶性要求。奇偶校验位可以为“0”或者“1”，奇偶校验位取“0”还是“1”的原则是：若是奇校验，则连同校验位在内编码里含“1”的个数共有奇数个；若是偶校验，则连同校验位在内编码里含“1”的个数是偶数个。

- 20 数据降维单元 32，用于使用主成分分析法对存储数据进行降维，得到存储数据对应的降维后数据。

在本发明实施例中，通过数据降维单元 32 使用主成分分析法对存储数据做降维变换，得到存储数据对应的降维后数据，以方便在后续数据保护过程中仅对变换后的低维数据进行保护，从而优化数据保护过程，进而降低硬件开销和时
25 延。

优选地，在使用主成分分析法对存储数据进行降维时，首先获取存储数据对

应的原始矩阵 X ，计算原始矩阵 X 每一维度上的均值 $\bar{x}_j$ ，并计算原始矩阵 X 的协方差矩阵 Σ ，接着获取协方差矩阵的特征值 λ_i ， $i = 1, 2, \dots, M * N$ ，计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR ，根据贡献率 CR 确定降维后的维度 d ，根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值，将原始矩阵 X 投影到 d 个特征值对应的线性子空间中，得到原始矩阵 X 对应的 d 维降维矩阵 Y_d ，从而在降维的同时，提高降维后数据的准确性。其中，原始矩阵 X 为 $N * M$ 矩阵， N 为样本个数， M 为样本维度， j 为列标。

进一步优选地，在计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR ，根据贡献率 CR 确定降维后的维度 d 时，首先获取由协方差矩阵的特征值 λ_i 构成的

10 成的对角阵 $\Lambda = \begin{bmatrix} \lambda_1 & 0 & 0 \\ 0 & \ddots & 0 \\ 0 & 0 & \lambda_D \end{bmatrix}$ ，然后计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵

的贡献率 $CR = \frac{\sum_{i=1}^d \lambda_i}{\sum_{i=1}^D \lambda_i}$ ，最后，判断计算得到的贡献率 CR 是否大于预设阈值，当贡献率 CR 大于预设阈值时，满足条件的最小的 d 即为满足要求的新的维度 d 。具体地，预设阈值可以根据对数据准确性的要求进行设置，例如，可以设置为 95% 或者 99% 等。

15 具体地， $Y_d = U_d(X - \bar{X})^T$ ， Y_d 为降维后数据，为 $d * N$ 维的矩阵（ N 为样本个数， d 为降维之后的维度）， $U_d = (u_1, \dots, u_d)^T$ 是对应于 Λ 中最大的 d 个特征值对应的特征向量， Y_d 即为低维空间中的数据表达， $\bar{X}$ 为与 X 维度相同的矩阵，每列上的值相同，为 X 对应维度上的均值。例如，对于 M 维的数据 X ，则 $\bar{X}$ 由每一维度上的均值 $\bar{x}_1, \bar{x}_2, \bar{x}_3 \dots \bar{x}_M$ 组成。

20 进一步优选地，在根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值时，在特征值 λ_i 中按照从大到小的顺序选择 d 个特征值，从而提高后续计算的准确性。

数据写入单元 33，用于将存储数据、所有的第一奇偶校验位以及降维后数据写入到存储器中。

25 在本发明实施例中，得到存储数据对应的降维后数据之后，通过数据写入

单元 33 将存储数据、所有的第一奇偶校验位以及降维后数据写入到存储器中，从而优化了写入到存储器中的数据，进而降低存储器中数据读出时发生错误的概率。

在本发明实施例中，存储器容错保护装置的各单元可由相应的硬件或软件单元实现，各单元可以为独立的软、硬件单元，也可以集成为一个软、硬件单元，在此不用以限制本发明。

实施例四：

图 4 示出了本发明实施例四提供的存储器容错保护装置的结构，为了便于说明，仅示出了与本发明实施例相关的部分，其中包括：

10 第一编码单元 41，用于当接收到数据写入请求时，获取请求写入存储器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的第一奇偶校验位。

在本发明实施例中，当接收到用户的数据写入请求时，通过第一编码单元 41 首先获取请求写入存储器的存储数据对应的矩阵，然后根据矩阵对存储数据进行奇/偶校验编码（矩阵每一行每一列上的数据就对应一个奇偶校验位），得到存储数据所有的第一奇偶校验位，为了便于描述，在这里将存储数据的奇偶校验位记为第一奇偶校验位。奇/偶校验包含奇校验和偶校验两种校验。奇校验（Odd Parity）所约定的编码规律是让整个校验码（包含有效信息和校验位）中“1”的个数为奇数，而偶校验（Even Parity）约定的编码规律是让整个校验码中“1”的个数为偶数。被校验数据可能是奇性（“1”的个数为奇数）的，也可能是偶性的，所以奇、偶两种校验都只需配一个校验码，就可以使整个校验码满足指定的奇偶性要求。奇偶校验位可以为“0”或者“1”，奇偶校验位取“0”还是“1”的原则是：若是奇校验，则连同校验位在内编码里含“1”的个数共有奇数个；若是偶校验，则连同校验位在内编码里含“1”的个数是偶数个。

25 数据降维单元 42，用于使用主成分分析法对存储数据进行降维，得到存储数据对应的降维后数据。

在本发明实施例中,通过降维编码单元 42 使用主成分分析法对存储数据做降维变换,得到存储数据对应的降维后数据,以方便在后续数据保护过程中仅对变换后的低维数据进行保护,从而优化数据保护过程,进而降低硬件开销和时延。

5 优选地,在使用主成分分析法对存储数据进行降维时,首先获取存储数据对应的原始矩阵 X , 计算原始矩阵 X 每一维度上的均值 $\bar{x}_j$, 并计算原始矩阵 X 的协方差矩阵 Σ , 接着获取协方差矩阵的特征值 λ_i , $i = 1, 2 \dots, M * N$, 计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR , 根据贡献率 CR 确定降维后的维度 d , 根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值, 将原始矩阵 X 投
10 影到 d 个特征值对应的线性子空间中, 得到原始矩阵 X 对应的 d 维降维矩阵 Y_d , 从而在降维的同时, 提高降维后数据的准确性。其中, 原始矩阵 X 为 $N * M$ 矩阵, N 为样本个数, M 为样本维度, j 为列标。

进一步优选地, 在计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵的贡献率 CR , 根据贡献率 CR 确定降维后的维度 d 时, 首先获取由协方差矩阵的特征值 λ_i 构成的对角阵 $\Lambda = \begin{bmatrix} \lambda_1 & 0 & 0 \\ 0 & \ddots & 0 \\ 0 & 0 & \lambda_D \end{bmatrix}$, 然后计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵
15

的贡献率 $CR = \frac{\sum_{i=1}^d \lambda_i}{\sum_{i=1}^D \lambda_i}$, 最后, 判断计算得到的贡献率 CR 是否大于预设阈值, 当贡献率 CR 大于预设阈值时, 满足条件的最小的 d 即为满足要求的新的维度 d 。具体地, 预设阈值可以根据对数据准确性的要求进行设置, 例如, 可以设置为 95% 或者 99% 等。

20 具体地, $Y_d = U_d(X - \bar{X})^T$, Y_d 为降维后数据, 为 $d * N$ 维的矩阵 (N 为样本个数, d 为降维之后的维度), $U_d = (u_1, \dots, u_d)^T$ 是对应于 Λ 中最大的 d 个特征值对应的特征向量, Y_d 即为低维空间中的数据表达, $\bar{X}$ 为与 X 维度相同的矩阵, 每列上的值相同, 为 X 对应维度上的均值。例如, 对于 M 维的数据 X , 则 $\bar{X}$ 由每一维度上的均值 $\bar{x}_1, \bar{x}_2, \bar{x}_3 \dots \bar{x}_M$ 组成。

25 进一步优选地, 在根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值时,

在特征值 λ_i 中按照从大到小的顺序选择 d 个特征值，从而提高后续计算的准确性。

数据写入单元 43，用于将存储数据、所有的第一奇偶校验位以及降维后数据写入到储存器中。

- 5 在本发明实施例中，得到存储数据对应的降维后数据之后，通过数据写入单元 43 将存储数据、所有的第一奇偶校验位以及降维后数据写入到储存器中，从而优化了写入到储存器中的数据，进而降低储存器中数据读出时发生错误的概率。

- 10 数据获取单元 44，用于当接收到数据读出请求时，从储存器中获取读出请求对应的存储数据以及存储数据对应的所有的第一奇偶校验位。

在本发明实施例中，当接收到数据读出请求时，通过数据获取单元 44 首先根据数据读出请求从储存器中获取读出请求对应的存储数据以及存储数据对应的所有的第一奇偶校验位，以用于后续的数据错误判断。

- 15 第二编码单元 45，用于对获取的存储数据进行奇/偶校验编码，得到存储数据的第二奇偶校验位。

在本发明实施例中，通过第二编码单元 45 对存储数据进行奇/偶校验编码，得到存储数据的第二奇偶校验位。其中，对同一数据，第一奇偶校验位与第二奇偶校验位相同。

- 20 错误判断单元 46，用于根据第一奇偶校验位和第二奇偶校验位，判断存储数据是否发生错误。

第一输出单元 47，用于当存储数据发生错误时，从储存器中获取存储数据对应的降维后数据，对降维后数据进行数据恢复，并输出恢复得到的数据。

- 25 在本发明实施例中，如果第一奇偶校验位与对应的第二奇偶校验位不全相同，则说明存储数据出错，此时，通过第一输出单元 47 从储存器中获取存储数据对应的降维后数据，对降维后数据进行数据恢复，以恢复出不失真的高维数据，然后输出恢复得到的不失真高维数据，从而提高了读取数据的准确性。

优选地，在对降维后数据进行数据恢复时，根据公式 $X = (U_d^T Y_d)^T + \bar{X}$ 进行数据恢复，从而提高了数据恢复过程的准确性。

第二输出单元 48，用于当存储数据未发生错误时，直接从存储器中获取存储数据并输出。

5 因此，优选地，该数据降维单元 42 包括：

原始矩阵获取单元 421，用于获取存储数据对应的原始矩阵 X ，原始矩阵 X 为 $N \times M$ 矩阵，其中， N 为样本个数， M 为样本维度；

协方差计算单元 422，用于计算原始矩阵 X 每一维度上的均值 $\bar{x}_j$ ，并计算原始矩阵 X 的协方差矩阵 Σ ，其中， j 为列标；

10 维度确定单元 423，用于获取协方差矩阵 Σ 的特征值 λ_i ，计算特征值 λ_i 对应的特征向量 u_i 对原始矩阵 X 的贡献率 CR ，根据贡献率 CR 确定降维后的维度 d ；
以及

降维矩阵获取单元 424，用于根据降维后的维度 d 从特征值 λ_i 中选择 d 个特征值，将原始矩阵 X 投影到 d 个特征值对应的线性子空间中，得到原始矩阵
15 X 对应的 d 维降维矩阵 Y_d 。

在本发明实施例中，存储器容错保护装置的各单元可由相应的硬件或软件单元实现，各单元可以为独立的软、硬件单元，也可以集成为一个软、硬件单元，在此不用以限制本发明。

实施例五：

20 图 5 示出了本发明实施例五提供的存储设备的结构，为了便于说明，仅示出了与本发明实施例相关的部分。

本发明实施例的存储设备 5 包括处理器 50、存储器 51 以及存储在存储器 51 中并可在处理器 50 上运行的计算机程序 52。该处理器 50 执行计算机程序 52 时实现上述各个存储器容错保护方法实施例中的步骤，例如图 1 所示的步骤 S101 至 S103、图 2 所示的步骤 S201 至 S208。或者，处理器 50 执行计算机程序 52 时实现上述各装置实施例中各单元的功能，例如，图 3 所示单元 31 至 33、
25

图 4 所示单元 41 至 48 的功能。

在本发明实施例中，该处理器 50 执行计算机程序 52 时实现上述各个存储器容错保护方法实施例中的步骤时，当接收到数据写入请求时，获取请求写入存储器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的奇偶校验位，使用主成分分析法对存储数据进行降维，得到存储数据对应的降维后数据，将存储数据、所有的奇偶校验位以及降维后数据写入到存储器中，从而优化了写入到存储器中的数据，进而降低存储器中数据读出时发生错误的概率。

该存储设备 5 中处理器 50 在执行计算机程序 52 时实现的步骤具体可参考实施例一中方法的描述，在此不再赘述。

实施例六：

在本发明实施例中，提供了一种计算机可读存储介质，该计算机可读存储介质存储有计算机程序，该计算机程序被处理器执行时实现上述各个存储器容错保护方法实施例中的步骤，例如，图 1 所示的步骤 S101 至 S103、图 2 所示的步骤 S201 至 S208。或者，该计算机程序被处理器执行时实现上述各装置实施例中各单元的功能，例如，图 3 所示单元 31 至 33、图 4 所示单元 41 至 48 的功能。

在本发明实施例中，当接收到数据写入请求时，获取请求写入存储器的存储数据，对存储数据进行奇/偶校验编码，得到存储数据所有的奇偶校验位，使用主成分分析法对存储数据进行降维，得到存储数据对应的降维后数据，将存储数据、所有的奇偶校验位以及降维后数据写入到存储器中，从而优化了写入到存储器中的数据，进而降低存储器中数据读出时发生错误的概率。该计算机程序被处理器执行时实现的存储器容错保护方法进一步可参考前述方法实施例中步骤的描述，在此不再赘述。

本发明实施例的计算机可读存储介质可以包括能够携带计算机程序代码的任何实体或装置、记录介质，例如，ROM/RAM、磁盘、光盘、闪存等存储器。

以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发

明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权 利 要 求 书

1、一种存储器容错保护方法，其特征在于，所述方法包括下述步骤：

当接收到数据写入请求时，获取请求写入存储器的存储数据，对所述存储数据进行奇/偶校验编码，得到所述存储数据所有的第一奇偶校验位；

5 使用主成分分析法对所述存储数据进行降维，得到所述存储数据对应的降维后数据；

将所述存储数据、所述所有的第一奇偶校验位以及所述降维后数据写入到所述存储器中。

2、如权利要求 1 所述的方法，其特征在于，所述方法还包括：

10 当接收到数据读出请求时，从所述存储器获取所述数据读出请求对应的所述存储数据以及所述存储数据对应的所有的第一奇偶校验位；

对所述存储数据进行奇/偶校验编码，得到所述存储数据所有的第二奇偶校验位；

15 根据所述第一奇偶校验位和所述第二奇偶校验位，判断所述存储数据是否发生错误；

当所述存储数据发生错误时，从所述存储器获取所述存储数据对应的降维后数据，对所述降维后数据进行数据恢复，并输出所述恢复得到的数据。

3、如权利要求 2 所述的方法，其特征在于，所述方法还包括：

20 当所述存储数据未发生错误时，直接从所述存储器中获取所述存储数据并输出。

4、如权利要求 1 所述的方法，其特征在于，使用主成分分析法对所述存储数据进行降维的步骤，包括：

获取所述存储数据对应的原始矩阵 X ，所述原始矩阵 X 为 $N \times M$ 矩阵，所述 N 为样本个数，所述 M 为样本维度；

25 计算所述原始矩阵 X 每一维度上的均值 $\bar{x}_j$ ，并计算所述原始矩阵 X 的协方

差矩阵 Σ ，所述j为列标；

获取所述协方差矩阵 Σ 的特征值 λ_i ，计算所述特征值 λ_i 对应的特征向量 u_i 对所述原始矩阵X的贡献率CR，根据所述贡献率CR确定降维后的维度d；

根据所述降维后的维度d从所述特征值 λ_i 中选择d个特征值，将所述原始矩阵X投影到所述d个特征值对应的线性子空间中，得到所述原始矩阵X对应的d维降维矩阵 Y_d 。

5、一种存储器容错保护装置，其特征在于，所述装置包括：

第一编码单元，用于当接收到数据写入请求时，获取请求写入储存器的存储数据，对所述存储数据进行奇/偶校验编码，得到所述存储数据所有的第一奇偶校验位；

数据降维单元，用于使用主成分分析法对所述存储数据进行降维，得到所述存储数据对应的降维后数据；以及

数据写入单元，用于将所述存储数据、所述所有的第一奇偶校验位以及所述降维后数据写入到所述储存器中。

6、如权利要求5所述的装置，其特征在于，所述装置还包括：

数据获取单元，用于当接收到数据读出请求时，从所述储存器获取所述数据读出请求对应的所述存储数据以及所述存储数据对应的所有的第一奇偶校验位；

第二编码单元，用于对所述存储数据进行奇/偶校验编码，得到所述存储数据所有的第二奇偶校验位；

错误判断单元，用于根据所述第一奇偶校验位和所述第二奇偶校验位，判断所述存储数据是否发生错误；以及

第一输出单元，用于当所述存储数据发生错误时，从所述储存器获取所述存储数据对应的降维后数据，对所述降维后数据进行数据恢复，并输出所述恢复得到的数据。

7、如权利要求6所述的装置，其特征在于，所述装置还包括：

第二输出单元，用于当所述存储数据未发生错误时，直接从所述存储器中获取所述存储数据并输出。

8、如权利要求 5 所述的装置，其特征在于，所述数据降维单元包括：

原始矩阵获取单元，用于获取所述存储数据对应的原始矩阵 X ，所述原始
5 矩阵 X 为 $N \times M$ 矩阵，所述 N 为样本个数，所述 M 为样本维度；

协方差计算单元，用于计算所述原始矩阵 X 每一维度上的均值 $\bar{x}_j$ ，并计算
所述原始矩阵 X 的协方差矩阵 Σ ，所述 j 为列标；

维度确定单元，用于获取所述协方差矩阵 Σ 的特征值 λ_i ，计算所述特征值 λ_i
对应的特征向量 u_i 对所述原始矩阵 X 的贡献率 CR ，根据所述贡献率 CR 确定降
10 维后的维度 d ；以及

降维矩阵获取单元，用于根据所述降维后的维度 d 从所述特征值 λ_i 中选择
 d 个特征值，将所述原始矩阵 X 投影到所述 d 个特征值对应的线性子空间中，
得到所述原始矩阵 X 对应的 d 维降维矩阵 Y_d 。

9、一种存储设备，包括存储器、处理器以及存储在所述存储器中并可在所
15 述处理器上运行的计算机程序，其特征在于，所述处理器执行所述计算机程序
时实现如权利要求 1 至 4 任一项所述方法的步骤。

10、一种计算机可读存储介质，所述计算机可读存储介质存储有计算机程
序，其特征在于，所述计算机程序被处理器执行时实现如权利要求 1 至 4 任一
项所述方法的步骤。

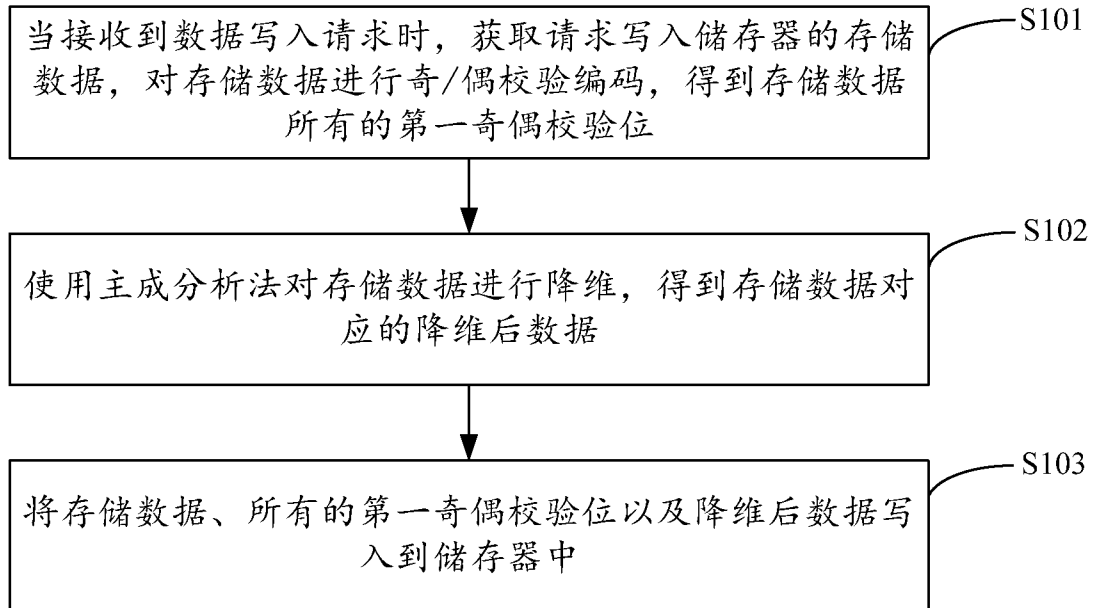


图 1

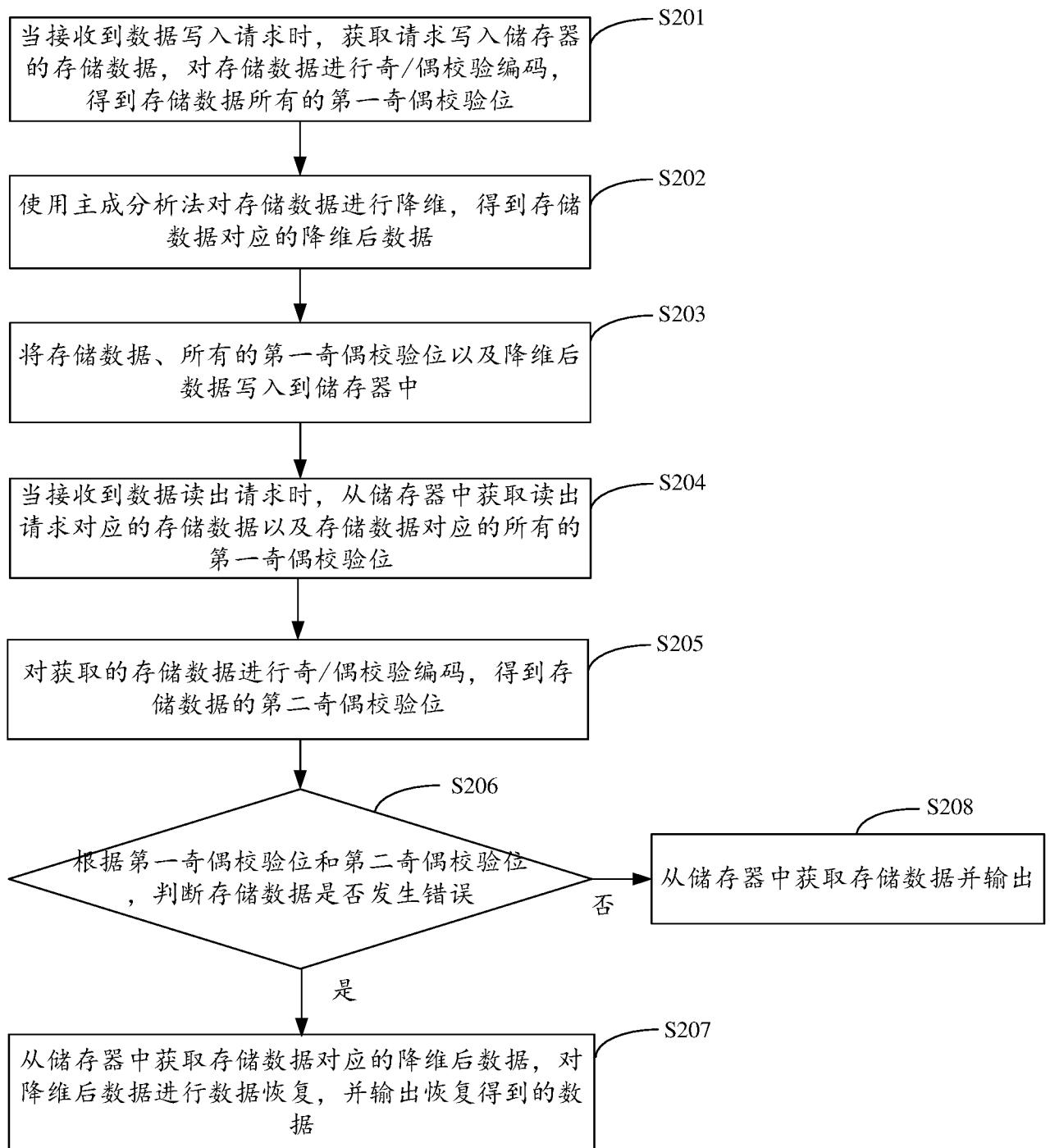


图 2

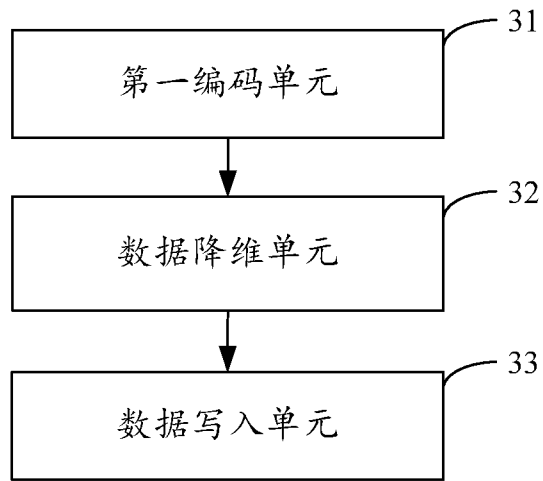


图 3

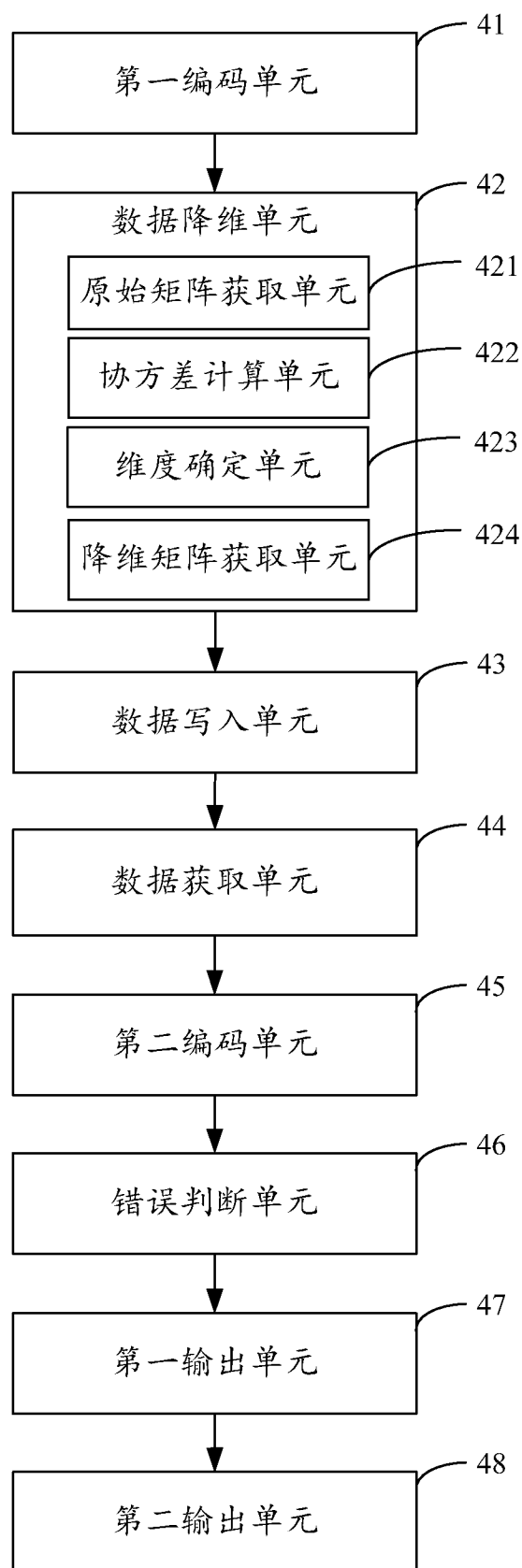


图 4

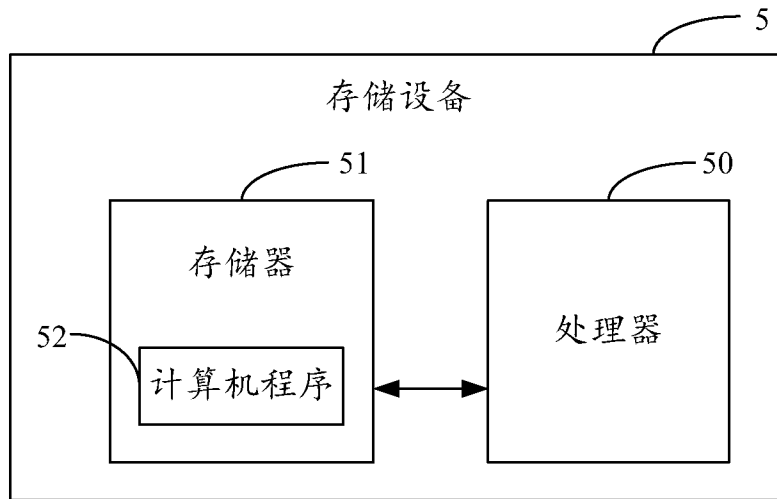


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/110364

A. CLASSIFICATION OF SUBJECT MATTER

G06F 11/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 纠错, 检错, 校验, 奇偶, 存储, 储存, 主成分分析, 主分量分析, 降维, 保护, 容错, 读, 写, 第二, ECC, error, correct, odd, even, store, PCA, dimension, reduction, protect, fault, tolerant, read, write, second

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101123123 A (FUJITSU LIMITED) 13 February 2008 (13.02.2008), description, page 5, paragraphs 3 and 4	1-10
A	CN 103870808 A (NO. 710 RESEARCH INSTITUTE OF CHINA SHIPBUILDING INDUSTRY CORPORATION) 18 June 2014 (18.06.2014), entire document	1-10
A	CN 105991230 A (REALTEK SEMICONDUCTOR CORP.) 05 October 2016 (05.10.2016), entire document	1-10
A	CN 102609677 A (BEIJING DIGITAL FINGERPASS SOFTWARE CO., LTD.) 25 July 2012 (25.07.2012), entire document	1-10
A	US 2010174969 A1 (STMICROELECTRONICS, INC.) 08 July 2010 (08.07.2010), entire document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 July 2018	Date of mailing of the international search report 10 August 2018
---	--

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
YANG, Liqing
Telephone No. (86-10) 53961433

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/110364

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101123123 A	13 February 2008	KR 20080013755 A	13 February 2008
		JP 2008041171 A	21 February 2008
		US 2008034270 A1	07 February 2008
CN 103870808 A	18 June 2014	None	
CN 105991230 A	05 October 2016	TW 201629981 A	16 August 2016
		US 2016241273 A1	18 August 2016
CN 102609677 A	25 July 2012	None	
US 2010174969 A1	08 July 2010	None	

国际检索报告

国际申请号

PCT/CN2017/110364

A. 主题的分类 G06F 11/10(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, EPODOC, CNPAT, CNKI, IEEE: 纠错, 检错, 校验, 奇偶, 存储, 储存, 主成分分析, 主分量分析, 降维, 保护, 容错, 读, 写, 第二, ECC, error, correct, odd, even, store, PCA, dimension, reduction, protect, fault, tolerant, read, write, second		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101123123 A (富士通株式会社) 2008年 2月 13日 (2008 - 02 - 13) 说明书第5页第3-4段	1-10
A	CN 103870808 A (中国船舶重工集团公司第七一〇研究所) 2014年 6月 18日 (2014 - 06 - 18) 全文	1-10
A	CN 105991230 A (瑞昱半导体股份有限公司) 2016年 10月 5日 (2016 - 10 - 05) 全文	1-10
A	CN 102609677 A (北京数字指通软件技术有限公司) 2012年 7月 25日 (2012 - 07 - 25) 全文	1-10
A	US 2010174969 A1 (STMICROELECTRONICS, INC.) 2010年 7月 8日 (2010 - 07 - 08) 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2018年 7月 31日		2018年 8月 10日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		杨庆丽 电话号码 86-(10)-53961433

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/110364

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101123123	A	2008年 2月 13日	KR	20080013755	A	2008年 2月 13日
				JP	2008041171	A	2008年 2月 21日
				US	2008034270	A1	2008年 2月 7日
CN	103870808	A	2014年 6月 18日	无			
CN	105991230	A	2016年 10月 5日	TW	201629981	A	2016年 8月 16日
				US	2016241273	A1	2016年 8月 18日
CN	102609677	A	2012年 7月 25日	无			
US	2010174969	A1	2010年 7月 8日	无			

表 PCT/ISA/210 (同族专利附件) (2015年1月)