



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **227 580 A1**4(51) H 03 K 5/153
H 03 M 1/12

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 K / 268 028 0	(22)	05. 10. 84	(44)	18. 09. 85
------	-----------------------	------	------------	------	------------

(71)	VEB Zentrum Wissenschaft und Technik, 8060 Dresden, PSF 969, DD
(72)	Krauspe, Bodo, Dipl.-Ing., DD

(54) Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung und kann als Kanalbelegungsanzeige bei digitalen Übertragungssystemen angewendet werden. Ziel der Erfindung ist es, eine einfache und zuverlässige Schaltungsanordnung zur Auswertung analoger Eingangssignale bei Analog/Digital-Umsetzung anzugeben, welche mit geringerem Aufwand im Verhältnis zu bekannten analogen Signalverarbeitungsschaltungen auskommt. Es besteht die Aufgabe, die bekannten analogen Schaltungsanordnungen zur Auswertung des Eingangssignals durch eine digitale Schaltungsanordnung, bei vorhandenen digital kodierten Signalen zu ersetzen. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß einem Analog/Digital-Umsetzer eingangsseitig eine Stabilisierungsschaltung zur genauen Stabilisierung der Gleichspannungskomponente des analogen Eingangssignals vorgeschaltet ist. Ausgangsseitig des Analog/Digital-Umsetzers erfolgt die Auswertung derart, daß zunächst ein niederwertiges Bit und ein höherwertiges Bit abgegriffen werden und einer nachgeschalteten Auswerteschaltung, in Form einer logischen Verknüpfung, zugeführt werden. Der logischen Verknüpfung ist nachfolgend ein Monoflop zugeordnet, an dessen Ausgang die Anzeige des entsprechenden Zustandes des analogen Eingangssignals in Form von Anzeigeelementen oder einer zusätzlichen Verwertungsschaltung erfolgen kann.



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **227 580 A1**4(51) H 03 K 5/153
H 03 M 1/12

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 K / 268 028 0	(22)	05.10.84	(44)	18.09.85
------	-----------------------	------	----------	------	----------

(71)	VEB Zentrum Wissenschaft und Technik, 8060 Dresden, PSF 969, DD
(72)	Krauspe, Bodo, Dipl.-Ing., DD

(54) **Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung**

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung und kann als Kanalbelegungsanzeige bei digitalen Übertragungssystemen angewendet werden. Ziel der Erfindung ist es, eine einfache und zuverlässige Schaltungsanordnung zur Auswertung analoger Eingangssignale bei Analog/Digital-Umsetzung anzugeben, welche mit geringerem Aufwand im Verhältnis zu bekannten analogen Signalverarbeitungsschaltungen auskommt. Es besteht die Aufgabe, die bekannten analogen Schaltungsanordnungen zur Auswertung des Eingangssignals durch eine digitale Schaltungsanordnung, bei vorhandenen digital kodierten Signalen zu ersetzen. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß einem Analog/Digital-Umsetzer eingangsseitig eine Stabilisierungsschaltung zur genauen Stabilisierung der Gleichspannungskomponente des analogen Eingangssignals vorgeschaltet ist. Ausgangsseitig des Analog/Digital-Umsetzers erfolgt die Auswertung derart, daß zunächst ein niederwertiges Bit und ein höherwertiges Bit abgegriffen werden und einer nachgeschalteten Auswerteschaltung, in Form einer logischen Verknüpfung, zugeführt werden. Der logischen Verknüpfung ist nachfolgend ein Monoflop zugeordnet, an dessen Ausgang die Anzeige des entsprechenden Zustandes des analogen Eingangssignals in Form von Anzeigeelementen oder einer zusätzlichen Verwertungsschaltung erfolgen kann.

eiten

Zur PS Nr. *227 580*

ist eine Zweitschrift erschienen.

(Teilweise bestätigt gem. § 18 Abs. 1 d. Änd.Ges.z. Pat.Ges.)

Erfindungsansprüche:

1. Schaltungsanordnung zum Erkennen analoger Eingangssignale bei Analog/Digital-Umsetzung bestehend aus einem Analog/Digital-Umsetzer mit vorgeschalteter Sample & Hold-Stufe sowie zugehöriger Takterzeugung, **gekennzeichnet dadurch**, daß das analoge Eingangssignal mit einer Stabilisierungsschaltung der Gleichspannungskomponente verbunden ist, die nachfolgend über die Sample & Hold-Stufe auf den Analog/Digital-Umsetzer (ADU) geführt ist und daß ausgangsseitig des Analog/Digital-Umsetzers (ADU) ein höherwertiges Bit und ein niederwertiges Bit mit einer Auswertelogik und nachgeschalteter Anzeige oder Verwertungsschaltung verbunden ist.
2. Schaltungsanordnung zum Erkennen analoger Eingangssignale bei Analog/Digital-Umsetzung gemäß Punkt 1, **gekennzeichnet dadurch**, daß das niederwertige Bit und das höherwertige Bit je auf einen Eingang eines NAND-, NOR-, AND- oder OR-Gatters geführt wird, dessen dritter Eingang entweder mit dem DATA READY-Ausgang des Analog/Digital-Umsetzers (ADU) oder der Betriebsspannung verbunden ist und daß der Ausgang des NAND- oder NOR-Gatters mit einer Auswerteschaltung sowie nachgeschalteter Anzeige oder Verwertungsschaltung verbunden ist.
3. Schaltungsanordnung zum Erkennen analoger Eingangssignale bei Analog/Digital-Umsetzung mit einem Analog/Digital-Umsetzer ohne Sample & Hold-Stufe, **gekennzeichnet dadurch**, daß das analoge Eingangssignal mit einer Stabilisierungsschaltung der Gleichspannungskomponente verbunden ist, die nachfolgend auf den Analog/Digital-Umsetzer (ADU) geführt ist und daß ausgangsseitig des Analog/Digital-Umsetzers (ADU) ein höherwertiges Bit und ein niederwertiges Bit mit einer Auswertelogik und nachgeschalteter Anzeige oder Verwertungsschaltung verbunden ist.
4. Schaltungsanordnung zum Erkennen analoger Eingangssignale bei Analog/Digital-Umsetzung gemäß Punkt 3, **gekennzeichnet dadurch**, daß das niederwertige Bit und das höherwertige Bit je auf einen Eingang eines NAND-, AND-, NOR- oder OR-Gatters geführt ist und daß der Ausgang des NAND-, AND-, NOR- oder OR-Gatters mit einer Auswerteschaltung sowie nachgeschalteter Anzeige oder Verwertungsschaltung verbunden ist.
5. Schaltungsanordnung zum Erkennen analoger Eingangssignale bei Analog/Digital-Umsetzung gemäß Punkt 1 oder 3, **gekennzeichnet dadurch**, daß die NAND-, AND-, NOR- und/oder OR-Gatter logisch miteinander verknüpft und über eine Auswerteschaltung mit einer nachfolgenden Anzeige oder Verwertungsschaltung verbunden sind.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Erkennung analoger Eingangssignale bei Analog/Digital-Umsetzung und kann als Kanalbelegungsanzeige bei digitalen Übertragungssystemen angewendet werden, wobei Analogsignale des gesamten Frequenzspektrums, welche in digital kodierte Signale gewandelt werden, erfaßt sind.

Charakteristik der bekannten technischen Lösungen

Es sind Überwachungsschaltungen von Impulsfolgen bekannt, welche Abweichungen von der normalen Arbeitsweise sofort anzeigen bzw. den laufenden Prozeß unverzüglich stoppen. Da es bei einer Impulsfolge von Anfang an nicht sicher ist, bei welchem Signalzustand der Ausfall eintritt, werden Überwachungsschaltungen benötigt, welche auf beide Signalzustände (Low und High) reagieren. Derartige Schaltungen arbeiten nach dem Prinzip des periodischen Umladens eines Kondensators, wobei dessen Ladezustand durch einen Amplitudendiskriminator ständig überwacht wird. Dabei sind zwei unabhängige Diskriminatoren angeordnet, deren Ausgangssignale in einem NAND-Gatter verknüpft sind, wobei ein Diskriminator den Ausfall nach einer High/Low-Flanke und der andere Diskriminator den Ausfall nach einer Low/High-Flanke anzeigt. Aus der DD-PS 210377 ist eine weitere Schaltungsanordnung zur Überwachung digitaler Impulsfolgen bekannt. Bei dieser Lösung wird von dem Prinzip eines zu einem Kondensator parallel geschalteten Schalters, der von der zu überwachenden Impulsfolge gesteuert wird und einer nachgeschalteten Schwellwertschaltung ausgegangen.

Bei beiden Schaltungsanordnungen ist nachteilig, daß sie nur zur Überwachung serieller Impulsfolgen geeignet sind und keine Erkennung von Daten gestatten. Es ist lediglich ein Erkennen bestimmter Datengruppen möglich. Ändern sich diese Datengruppen, so muß auch die entsprechende Schaltungsanordnung, insbesondere durch entsprechende Kondensatordimensionierung angepaßt werden.

Weiterhin ist aus der DD-PS 151517 eine Schaltungsanordnung zur Pegelüberwachung, insbesondere zur Kontrolle und Überwachung bestimmter Grenzwerte von Strömen und Spannungen bekannt. Dabei sollen die Hysterese vom eingestellten Arbeitspunkt eines Operationsverstärkers sowie der Einfluß der unterschiedlichen Operationsverstärker-Sättigungsspannungen und der Betriebsspannungsschwankungen vermieden werden. Hierbei handelt es sich um eine analoge Überwachungsschaltung, wobei in Abhängigkeit von einer zu überwachenden Eingangsspannung an einem Operationsverstärker das Überschreiten eines oberen Ansprechpunktes angezeigt und ein unterer Ansprechpunkt festgelegt wird, bei dessen Unterschreiten durch die Eingangsspannung der Operationsverstärker wieder in den Ausgangszustand umschaltet.

Nachteilig ist, daß auch diese Schaltungsanordnung nur eine rein analoge Signalerkennung ermöglicht d. h., die Signale werden auf analogem Wege erkannt. Hinzu kommt, daß Analogschaltungen relativ aufwendig sind, um die notwendige Konstanz der Schaltschwellen zu gewährleisten.

Eine Signalerkennung für analog/digital gewandelte Signale ist nicht möglich.

Ziel der Erfindung

Es ist Ziel der Erfindung, eine einfache und zuverlässige Schaltungsanordnung zur Auswertung analoger Eingangssignale bei Analog/Digital-Umsetzung anzugeben, welche mit geringerem Aufwand im Verhältnis zu bekannten analogen Signalverarbeitungsschaltungen auskommt.

Wesen der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, die bekannten analogen Schaltungsanordnungen zur Auswertung des Eingangssignals bei Analog/Digital-Umsetzung durch eine digitale Schaltungsanordnung zu ersetzen, bei vorhandenen digital kodierten Signalen.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß einem Analog/Digital-Umsetzer eingangsseitig eine Stabilisierungsschaltung zur genauen Stabilisierung der Gleichspannungskomponente des analogen Eingangssignals vorgeschaltet ist.

Ausgangsseitig des Analog/Digital-Umsetzers erfolgt die Auswertung derart, daß zunächst ein niederwertiges Bit und ein höherwertiges Bit abgegriffen werden und einer nachgeschalteten Auswerteschaltung, in Form einer logischen Verknüpfung, zugeführt werden. Der logischen Verknüpfung ist nachfolgend ein Monoflop zugeordnet, an dessen Ausgang die Anzeige des entsprechenden Zustandes des analogen Eingangssignals in Form von Anzeigeelementen (z. B. LED) oder einer zusätzlichen Verwertungsschaltung erfolgen kann.

Das niederwertige Bit wird nach der geringsten anzuzeigenden analogen Signalamplitude ausgewählt derart, daß eine kleine Amplitude ein niederwertigeres Bit erfordert. Ausgegangen wird dabei von der Mittenspannung, welche durch die Stabilisierung der Gleichspannungskomponente festgelegt wird. Bei Auslenkung des analogen Eingangssignals kommt es zu einer Änderung der Zustände der ausgangsseitigen Bit des Analog/Digital-Umsetzers. Jeweils ein höherwertiges und ein niederwertiges Bit ergeben, über eine logische Schaltung verknüpft, das Kriterium, welches zur Auswertung und Aussage über den Zustand des analogen Eingangssignals herangezogen und angezeigt wird. Die Art der logischen Verknüpfung zur Auswertung erfolgt in Abhängigkeit vom zuvor definierten Ausgangszustand des höherwertigsten Bit.

Ausführungsbeispiel

Die Erfindung soll an nachstehendem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

Fig. 1: Blockschaltbild der Analog/Digital-Umsetzer-Schaltung mit einem Analog/Digital-Umsetzer bei sukzessiver Approximation oder kaskadierter Umwandlung

Fig. 2: Blockschaltbild der Analog/Digital-Umsetzer-Schaltung mit einem Analog/Digital-Umsetzer bei Parallelumsetzung

Fig. 3a: Beispiel der Auswertung mittels NAND-Gatter und Anzeige

Fig. 3b: Beispiel der Auswertung mittels NOR-Gatter und Anzeige

Gemäß Fig. 1 gelangt das analoge Eingangssignal bei einem nach dem Verfahren der sukzessiven Approximation oder einer kaskadierten Umwandlung arbeitender Analog/Digital-Umsetzer zunächst zu einer genauen Stabilisierungsschaltung der Gleichspannungskomponente und anschließend über eine Sample & Hold-Stufe zum Analog/Digital-Umsetzer ADU. Der Analog/Digital-Umsetzer ADU und die Sample & Hold-Stufe sind getaktet. Die Stabilisierung der Gleichspannungskomponente kann über einen an sich bekannten Spannungsteiler erfolgen. Ausgangsseitig des Analog/Digital-Umsetzers ADU werden ein niederwertiges Bit (LSB) und ein höherwertiges Bit (MSB) sowie der DATA READY-Ausgang des Analog/Digital-Umsetzers ADU zur Auswertung und Anzeige nach Fig. 3a oder 3b herangezogen. Der DATA READY-Ausgang ist weiterhin auf die Takterzeugung geführt. Bei Analog/Digital-Umsetzung mit einem Analog/Digital-Umsetzer bei Parallelumsetzung gemäß Fig. 2 entfällt die Sample & Hold-Stufe. Das analoge Eingangssignal gelangt über eine Stabilisierungsschaltung der Gleichspannungskomponente auf den Analog/Digital-Umsetzer ADU. Ausgangsseitig des Analog/Digital-Umsetzers ADU werden ein niederwertiges Bit (LSB) und ein höherwertiges Bit (MSB) auf eine Auswerte- und Anzeigeschaltung nach Fig. 3a oder 3b geführt.

In Abhängigkeit vom zuvor definierten Ausgangszustand des höchstwertigen Bit (MSB) gibt es drei Möglichkeiten der Auswertung:

1. Wenn der Ausgangszustand des höchstwertigen Bit (MSB) als HIGH definiert wird, erfolgt die Auswertung über ein NAND- oder AND-Gatter gemäß Fig. 3a.
2. Wenn der Ausgangszustand des höchstwertigen Bit (MSB) als LOW definiert wird, erfolgt die Auswertung über ein NOR- oder OR-Gatter gemäß Fig. 3b.
3. Kombinationen der Auswertelogik aus NAND/AND- und NOR/OR-Gatter.

Bei Aufbau der Auswertelogik mittels NAND-Gatter gemäß Fig. 3a werden eingangsseitig jeweils ein höherwertiges Bit (MSB) und ein niederwertiges Bit (LSB) angelegt. Je nach Arbeitsweise des Analog/Digital-Umsetzers ADU wird der 3. Eingang des NAND-Gatters bei einem Analog/Digital-Umsetzer mit Parallelumsetzung mit der Betriebsspannung (Stellung a) oder bei einem Analog/Digital-Umsetzer mit sukzessiver Approximation mit dem DATA READY-Ausgang des Analog/Digital-Umsetzers (Stellung b) belegt. Ausgangsseitig des NAND-Gatters ist ein Monoflop angeordnet, mit nachgeschalteter Anzeige.

Bei Aufbau der Auswertelogik mittels NOR-Gatter gemäß Fig. 3b werden eingangsseitig jeweils ein höherwertiges Bit (MSB) und ein niederwertiges Bit (LSB) angelegt. Je nach Arbeitsweise des Analog/Digital-Umsetzers entfällt der 3. Eingang des NOR-Gatters oder er wird bei einem Analog/Digital-Umsetzer mit Parallelumsetzung mit der Betriebsspannung invertiert (Stellung a) bzw. bei einem Analog/Digital-Umsetzer mit sukzessiver Approximation mit dem DATA READY-Ausgang des Analog/Digital-Umsetzers (Stellung b) belegt. Ausgangsseitig des NOR-Gatters ist ein Monoflop angeordnet mit nachgeschalteter Anzeige. Sollte bei Verwendung von höherwertigen Bit nicht das höchstwertige Bit (MSB) verwendet werden, so muß bei den gezeigten Beispielen zwischen der Abtastung und der logischen Verknüpfung eine Negation erfolgen. Es besteht weiterhin die Möglichkeit, als Auswertelogik eine Kombination von NAND/AND- und NOR/OR-Gatter zu verwenden. Identisch umgeformte Verknüpfungen sind weiterhin verwendbar. Andererseits sind ebenfalls logische Verknüpfungen wie Inhibition, Implikation usw. einsetzbar.

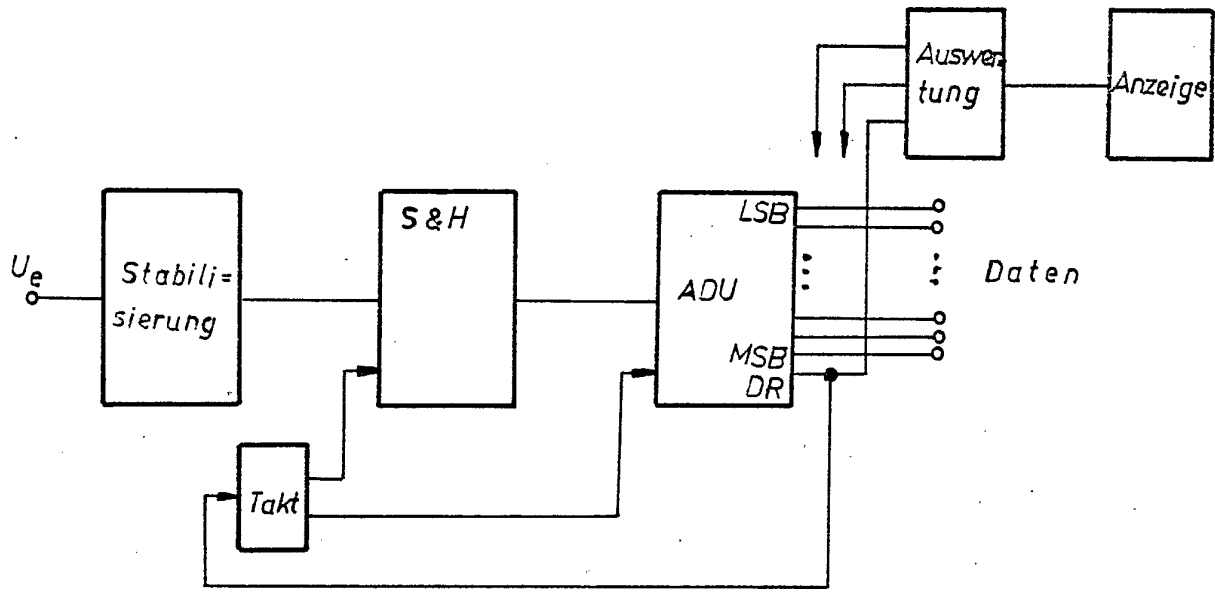


Fig. 1

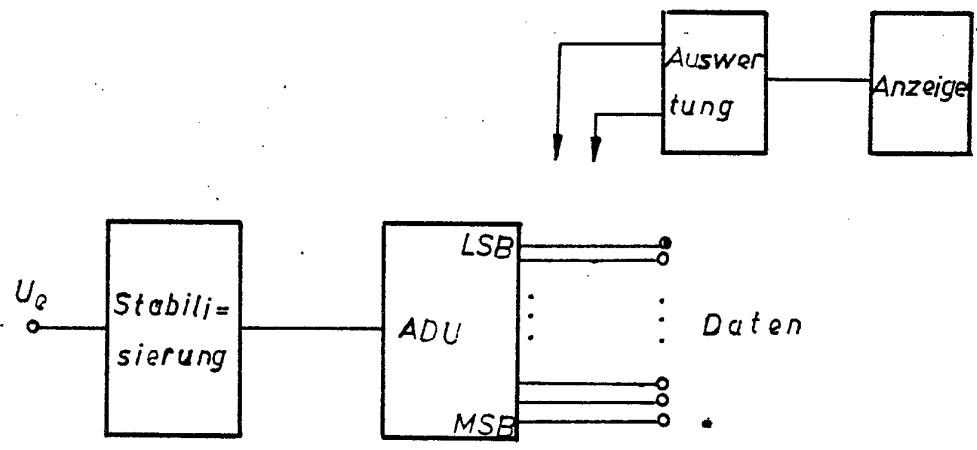


Fig. 2

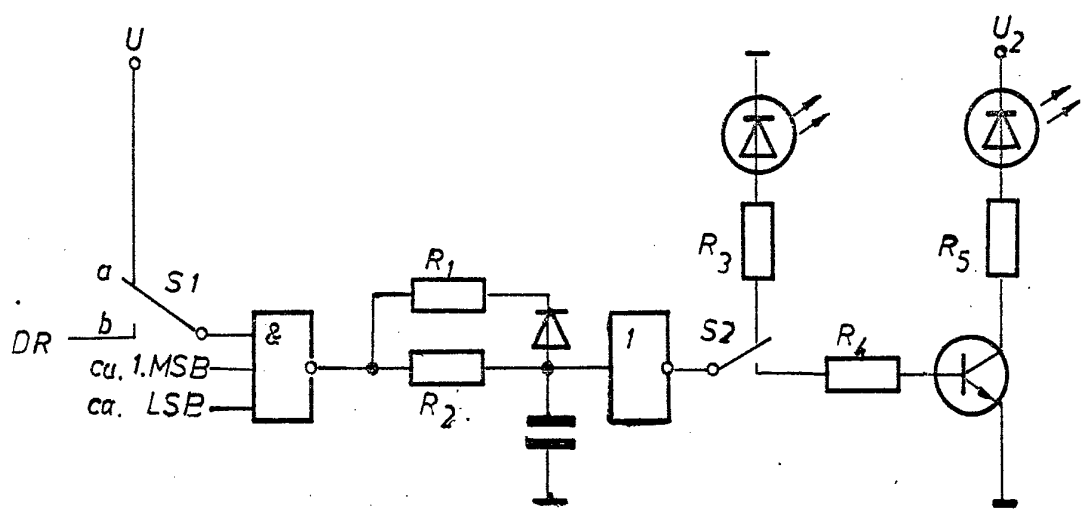


Fig. 3a

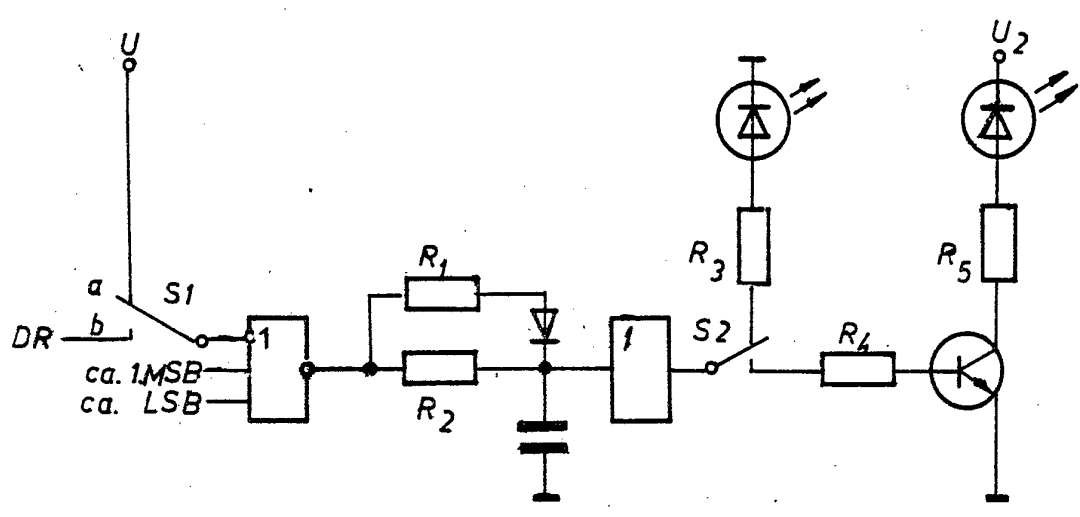


Fig. 3b