



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G11C 11/15 (2006.01)

G11C 11/02 (2006.01)

(11) 공개번호 10-2007-0058364

(43) 공개일자 2007년06월08일

(21) 출원번호 10-2006-0121278

(22) 출원일자 2006년12월04일

심사청구일자 없음

(30) 우선권주장 JP-P-2005-00349790 2005년12월02일 일본(JP)
JP-P-2006-00222046 2006년08월16일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자 호소미 마사노리
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
가노 히로시
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
히고 유타카
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
벳쇼 가즈히로
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
야마모토 데쓰야
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
오모리 히로유키
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
야마네 가즈따까
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
오이시 유키
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내
야마기시 하지메
일본 도쿄도 시나가와꾸 기따시나가와 6쵸메 7-35 소니 가부시끼가이
샤 내

(74) 대리인 구영창
장수길
이중희

전체 청구항 수 : 총 12 항

(54) 기억 소자 및 메모리

(57) 요약

정보를 안정되게 유지할 수 있는 기억 소자를 제공한다. 정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖고, 이 기억층에 대하여, 중간층을 개재하여 자화 고정층이 형성되어 적층막이 형성되고, 적층 방향으로 전류를 흘림으로써, 기억층의 자화의 방향이 변화되어, 기억층에 대하여 정보의 기록이 행하여지고, 기억 소자를 구성하는 적층막 중, 적어도 기억층에서, 평면 패턴(31)의 장축 LX의 단부의 곡률 반경 R이, $R \leq 100\text{nm}$ 를 만족하는 기억 소자를 구성한다.

대표도

도 2

특허청구의 범위

청구항 1.

정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖고,

상기 기억층에 대하여, 중간층을 개재하여 자화 고정층이 형성되어 적층막이 형성되고,

적층 방향으로 전류를 흘림으로써, 상기 기억층의 자화의 방향이 변화되어, 상기 기억층에 대하여 정보의 기록이 행하여지는 기억 소자로서,

상기 기억 소자를 구성하는 상기 적층막 중, 적어도 상기 기억층에서, 평면 패턴의 장축의 단부의 곡률 반경 R이,

$R \leq 100\text{nm}$ 를 만족하는 것을 특징으로 하는 기억 소자.

청구항 2.

제1항에 있어서,

상기 중간층이 산화 마그네슘으로 이루어지는 것을 특징으로 하는 기억 소자.

청구항 3.

제1항에 있어서,

상기 곡률 반경 R과, 상기 평면 패턴의 단축의 길이 W가, $R \leq W/2$ 의 관계를 만족하는 것을 특징으로 하는 기억 소자.

청구항 4.

제1항에 있어서,

상기 평면 패턴은, 장축의 길이와 단축의 길이의 비인 어스펙트비가 1.5 이상인 것을 특징으로 하는 기억 소자.

청구항 5.

제1항에 있어서,

상기 곡률 반경 R 과, 상기 평면 패턴의 장축의 길이 L 이, $L/24 \leq R$ 의 관계를 만족하는 것을 특징으로 하는 기억 소자.

청구항 6.

제1항에 있어서,

상기 평면 패턴의 단축의 길이가 175nm 이하인 것을 특징으로 하는 기억 소자.

청구항 7.

정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖는 기억 소자와,

상호 교차하는 2종류의 배선을 구비하고,

상기 기억 소자는, 상기 기억층에 대하여, 중간층을 개재하여 자화 고정층이 형성되어 적층막이 형성되며, 적층 방향으로 전류를 흘림으로써, 상기 기억층의 자화의 방향이 변화되어, 상기 기억층에 대하여 정보의 기록이 행하여지고, 상기 기억 소자를 구성하는 상기 적층막 중, 적어도 상기 기억층에서, 평면 패턴의 장축의 단부의 곡률 반경 R 이, $R \leq 100\text{nm}$ 를 만족하는 구성이며,

상기 2종류의 배선의 교점 부근 또한 상기 2종류의 배선 사이에, 상기 기억 소자가 배치되며,

상기 2종류의 배선을 통하여, 상기 기억 소자에 상기 적층 방향의 전류가 흐르는 것을 특징으로 하는 메모리.

청구항 8.

제7항에 있어서,

상기 기억 소자의 상기 중간층이 산화 마그네슘으로 이루어지는 것을 특징으로 하는 메모리.

청구항 9.

제7항에 있어서,

상기 기억 소자는, 상기 곡률 반경 R 과, 상기 평면 패턴의 단축의 길이 W 가, $R \leq W/2$ 의 관계를 만족하는 것을 특징으로 하는 메모리.

청구항 10.

제7항에 있어서,

기억 소자의 상기 평면 패턴은, 장축의 길이와 단축의 길이의 비인 어스펙트비가 1.5 이상인 것을 특징으로 하는 메모리.

청구항 11.

제7항에 있어서,

상기 기억 소자는, 상기 곡률 반경 R과, 상기 평면 패턴의 장축의 길이 L이, $L/24 \leq R$ 의 관계를 만족하는 것을 특징으로 하는 메모리.

청구항 12.

제7항에 있어서,

상기 기억 소자의 상기 평면 패턴의 단축의 길이가 175nm 이하인 것을 특징으로 하는 메모리.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전류를 흘림으로써 기억층의 자화의 방향을 변화시키는 기억 소자 및 이 기억 소자를 갖는 메모리에 관한 것으로, 불휘발성 메모리에 적용하기에 적합한 것이다.

컴퓨터 등의 정보 기기에서는, 랜덤 액세스 메모리로서, 동작이 고속이고, 고밀도인 DRAM이 널리 사용되고 있다.

그러나, DRAM은 전원을 끄면 정보가 지워지는 휘발성 메모리이기 때문에, 정보가 지워지지 않는 불휘발의 메모리가 요망되고 있다.

그리고, 불휘발 메모리의 후보로서, 자성체의 자화로 정보를 기록하는 자기 랜덤 액세스 메모리(MRAM)가 주목받아, 개발이 진행되고 있다(예를 들면 비특허 문헌 1 참조).

MRAM은, 거의 직교하는 2종류의 어드레스 배선(워드선, 비트선)에 각각 전류를 흘려, 각 어드레스 배선으로부터 발생하는 전류 자장에 의해, 어드레스 배선의 교점에 있는 자기 기억 소자의 자성층의 자화를 반전하여 정보의 기록을 행하는 것이다.

또한, 정보의 판독에는, 자기 기억 소자의 기억층의 자화의 방향에 따라서 저항이 변화되는, 소위 자기 저항 효과(MR 효과)를 이용한다.

여기서, 일반적인 MRAM의 모식도(사시도)를, 도 12에 도시한다.

실리콘 기판 등의 반도체 기체(110)의 소자 분리층(102)에 의해 분리된 부분에, 각 메모리 셀을 선택하기 위한 선택용 트랜지스터를 구성하는, 드레인 영역(108), 소스 영역(107), 및 게이트 전극(101)이, 각각 형성되어 있다.

또한, 게이트 전극(101)의 상방에는, 도면 중 전후 방향으로 연장되는 워드선(105)이 형성되어 있다.

드레인 영역(108)은, 도면 중 좌우의 선택용 트랜지스터에 공통되게 형성되어 있고, 이 드레인 영역(108)에는, 배선(109)이 접속되어 있다.

그리고, 워드선(105)과, 상방에 배치된, 도면 중 좌우 방향으로 연장되는 비트선(106) 사이에, 자화의 방향이 반전되는 기억층을 갖는 자기 기억 소자(103)가 배치되어 있다. 이 자기 기억 소자(103)는, 예를 들면 자기 터널 접합 소자(MTJ 소자)에 의해 구성된다.

또한, 자기 기억 소자(103)는, 수평 방향의 바이패스선(111) 및 상하 방향의 콘택트층(104)을 개재하여, 소스 영역(107)에 전기적으로 접속되어 있다.

워드선(105) 및 비트선(106)에 각각 전류를 흘림으로써, 전류 자계를 자기 기억 소자(103)에 인가하고, 이에 의해 자기 기억 소자(103)의 기억층의 자화의 방향을 반전시켜서, 정보의 기록을 행할 수 있다.

그리고, MRAM 등의 자기 메모리에서, 기록한 정보를 안정되게 유지하기 위해서는, 정보를 기록하는 자성층(기억층)이, 일정한 보자력을 갖고 있는 것이 필요하다.

한편, 기록된 정보를 재기입하기 위해서는, 어드레스 배선에 어느 정도의 전류를 흘려야만 한다.

그런데, MRAM을 구성하는 소자의 미세화에 따라, 자화의 방향을 반전시키는 전류값이 증대되는 경향을 나타내는 반면, 어드레스 배선도 가늘어지기 때문에, 충분한 전류가 흐르지 않게 된다.

따라서, 보다 적은 전류로 자화 반전이 가능한 구성으로서, 스핀 주입에 의한 자화 반전을 이용하는 구성의 자기 메모리가 주목받고 있다(예를 들면, 특허 문헌 1 참조).

스핀 주입에 의한 자화 반전이란, 자성체 안을 통과해서 스핀 편극된 전자를, 다른 자성체에 주입함으로써, 다른 자성체에서 자화 반전을 일으키게 하는 것이다.

예를 들면, 거대 자기 저항 효과 소자(GMR 소자)나 자기 터널 접합 소자(MTJ 소자)에 대하여, 그 막면에 수직인 방향으로 전류를 흘림으로써, 이들 소자 중 적어도 일부의 자성층의 자화의 방향을 반전시킬 수 있다.

그리고, 스핀 주입에 의한 자화 반전은, 소자가 미세화되어도, 적은 전류로 자화 반전을 실현할 수 있는 이점을 갖고 있다.

또한, 전술한 스핀 주입에 의한 자화 반전을 이용하는 구성의 자기 메모리의 모식도를 도 10 및 도 11에 도시한다. 도 10은 사시도, 도 11은 단면도이다.

실리콘 기판 등의 반도체 기체(60)의 소자 분리층(52)에 의해 분리된 부분에, 각 메모리 셀을 선택하기 위한 선택용 트랜지스터를 구성하는, 드레인 영역(58), 소스 영역(57), 및 게이트 전극(51)이, 각각 형성되어 있다. 이 중, 게이트 전극(51)은, 도 10 중 전후 방향으로 연장되는 워드선을 겸하고 있다.

드레인 영역(58)은, 도 10 중 좌우의 선택용 트랜지스터에 공통되게 형성되어 있고, 이 드레인 영역(58)에는, 배선(59)이 접속되어 있다.

그리고, 소스 영역(57)과, 상방에 배치된, 도 10 중 좌우 방향으로 연장되는 비트선(56) 사이에, 스핀 주입에 의해 자화의 방향이 반전되는 기억층을 갖는 기억 소자(53)가 배치되어 있다.

이 기억 소자(53)는, 예를 들면 자기 터널 접합 소자(MTJ 소자)에 의해 구성된다. 도면 중 참조 부호 61 및 62는 자성층을 나타내고 있고, 2층의 자성층(61, 62) 중, 한 쪽의 자성층을 자화의 방향이 고정된 자화 고정층으로 하고, 다른 쪽의 자성층을 자화의 방향이 변화되는 자화 자유층 즉 기억층으로 한다.

또한, 기억 소자(53)는, 비트선(56)과, 소스 영역(57)에, 각각 상하의 콘택트층(54)을 개재해서 접속되어 있다. 이에 의해, 기억 소자(53)에 전류를 흘려, 스핀 주입에 의해 기억층의 자화의 방향을 반전시킬 수 있다.

이와 같은 스핀 주입에 의한 자화 반전을 이용하는 구성의 메모리의 경우, 도 12에 도시한 일반적인 MRAM과 비교하여, 전류 자계 발생용 배선(도 12의 참조 부호 105)이 불필요해지기 때문에, 디바이스 구조를 단순화할 수 있다라고 하는 특징도 갖고 있다.

또한, 스핀 주입에 의한 자화 반전을 이용함으로써, 외부 자계에 의해 자화 반전을 행하는 일반적인 MRAM과 비교하여, 소자의 미세화가 진행되어도, 기입 전류가 증대하지 않는다고 하는 이점이 있다.

발명이 이루고자 하는 기술적 과제

그런데, MRAM의 경우에는, 기억 소자와는 별도로 기입 배선(워드선이나 비트선)을 형성하고, 기입 배선에 전류를 흘려서 발생하는 전류 자계에 의해, 정보의 기입(기록)을 행하고 있다. 그 때문에, 기입 배선에, 기입에 필요로 되는 전류량을 충분히 흘릴 수 있다.

한편, 스핀 주입을 이용하는 구성의 메모리에서는, 기억 소자에 흘리는 전류에 의해 스핀 주입을 행하여, 기억층의 자화의 방향을 반전시킬 필요가 있다.

그리고, 이와 같이 기억 소자에 직접 전류를 흘려서 정보의 기입(기록)을 행하기 때문에, 기입을 행하는 메모리 셀을 선택하기 위해서, 기억 소자를 선택 트랜지스터와 접속하여 메모리 셀을 구성한다. 이 경우, 기억 소자에 흐르는 전류는, 선택 트랜지스터에 흘리는 것이 가능한 전류(선택 트랜지스터의 포화 전류)의 크기로 제한된다.

이 때문에, 선택 트랜지스터의 포화 전류 이하의 전류로 기입을 행할 필요가 있어, 스핀 주입의 효율을 개선하여, 기억 소자에 흘리는 전류를 저감할 필요가 있다.

또한, 판독 신호를 크게 하기 위해서는, 큰 자기 저항 변화율을 확보할 필요가 있고, 그를 위해서는, 기억층의 양측에 접하고 있는 중간층을 터널 절연층(터널 배리어층)으로 한 기억 소자의 구성으로 하는 것이 효과적이다.

이와 같이 중간층으로서 터널 절연층을 이용한 경우에는, 터널 절연층이 절연 파괴되는 것을 방지하기 위해서, 기억 소자에 흘리는 전류량에 제한이 생긴다. 이 관점에서, 스핀 주입시의 전류를 억제할 필요가 있다.

따라서, 스핀 주입에 의해 기억층의 자화의 방향을 반전시키는 구성의 기억 소자에서는, 스핀 주입 효율을 개선하여, 필요로 하는 전류를 줄일 필요가 있다.

스핀 주입에 의해 기억층의 자화의 방향을 반전시키기 위해서 필요로 되는, 기입 전류 임계값은, 예를 들면, 기억층에 두께가 2nm인 CoFeB 합금을 사용하고, 평면 패턴이 130nm×100nm인 대략 타원형의 거대 자기 저항 효과 소자(GMR 소자)에서, +측의 임계값 +I_c=+0.6mA이며, -측의 임계값 -I_c=-0.2mA이다. 또한, 이 때의 전류 밀도는 약 6×10⁶A/cm²이다(屋上の 저, 일본응용자기학회지, Vol.28, No.2, p.149, 2004년 참조).

또한, 예를 들면, 강자성층으로서 일반적인 CoFe를 기억층의 재료로 사용한 경우, 자화 반전을 발생시키기 위해서는, 대략 1×10⁷A/cm² 정도의 전류 밀도가 필요하다.

그리고, 전류 밀도가 전술한 값일 때에, 예를 들면 기억 소자의 크기가 90nm×130nm이다라고 하면, 기입 전류 임계값은, 대략 550μA로 된다.

여기서, SPICE 시뮬레이터에 의한 일반적인 선택 트랜지스터와 기억 소자를 접속한 경우에, 기억 소자의 소자 저항과 기억 소자에 흐르는 소자 전류와의 관계를 도 13에 나타낸다.

판독 신호의 크기를 생각하면, 소자 저항은 클수록 좋지만, 도 13으로부터, 소자 저항을 크게 하면 기억 소자에 흘릴 수 있는 전류가 작아진다.

그리고, 판독 특성을 충분히 확보하는 데 있어서 하한으로 추정되는 소자 저항 2.5kΩ의 경우를 생각하면, 도 13으로부터, 기억 소자에 흘릴 수 있는 전류의 상한은 약 400μA로 되기 때문에, 전술한 값으로부터 추가로 기입 전류 임계값을 30% 이상 저감시켜야만 하게 된다.

이 때문에, 판독 특성을 충분히 확보하기 위해서는, 더욱 더 기입 전류 임계값을 저감하는 것이 요구된다.

또한, 기입 전류 임계값을 감소시키기 위해서는, 기억층의 체적 및 포화 자화를 가능한 한 작게 하는 것이 바람직하다.

그런데, 기억층의 체적 및 포화 자화를 작게 하면, 기억 소자의 열 안정성이 감소하여, 동작이 불안정해진다고 하는 문제점이 있었다.

전술한 문제의 해결을 위해, 본 발명에서는, 정보를 안정되게 유지할 수 있는 기억 소자 및 이 기억 소자를 구비한 메모리를 제공하는 것이다.

발명의 구성

본 발명의 기억 소자는, 정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖고, 이 기억층에 대하여, 중간층을 개재하여 자화 고정층이 형성되어 적층막이 형성되고, 적층 방향으로 전류를 흘림으로써, 기억층의 자화의 방향이 변화되어, 기억층에 대하여 정보의 기록이 행하여지고, 기억 소자를 구성하는 적층막 중, 적어도 기억층에서, 평면 패턴의 장축의 단부의 곡률 반경 R이, $R \leq 100\text{nm}$ 를 만족하는 것이다.

본 발명의 메모리는, 정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖는 기억 소자와, 상호 교차하는 2종류의 배선을 구비하고, 기억 소자는 상기 본 발명의 기억 소자의 구성이며, 2종류의 배선의 교점 부근 또한 2종류의 배선 사이에 기억 소자가 배치되고, 이들 2종류의 배선을 통해서 기억 소자에 적층 방향의 전류가 흐르는 것이다.

전술한 본 발명의 기억 소자의 구성에 의하면, 정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖고, 이 기억층에 대하여, 중간층을 개재하여 자화 고정층이 형성되어 적층막이 형성되고, 적층 방향으로 전류를 흘림으로써, 기억층의 자화의 방향이 변화되어, 기억층에 대하여 정보의 기록이 행하여지므로, 적층 방향으로 전류를 흘림으로써 정보의 기록을 행할 수 있다. 이 때, 적층 방향으로 전류를 흘림으로써, 스핀 편극된 전자가 주입되어, 전술한 스핀 주입에 의한 정보의 기록이 행하여진다.

또한, 기억 소자를 구성하는 적층막 중, 적어도 기억층에서, 평면 패턴의 장축의 단부의 곡률 반경 R이, $R \leq 100\text{nm}$ 를 만족함으로써, 기억층의 보자력을 크게 할 수 있다. 이에 의해, 기억층의 열 등에 대한 안정성을 향상시킬 수 있기 때문에, 기억층에 기록된 정보를 안정되게 유지할 수 있다.

전술한 본 발명의 메모리의 구성에 의하면, 정보를 자성체의 자화 상태에 의해 유지하는 기억층을 갖는 기억 소자와, 상호 교차하는 2종류의 배선을 구비하고, 기억 소자는 상기 본 발명의 기억 소자의 구성이며, 2종류의 배선의 교점 부근 또한 2종류의 배선 사이에 기억 소자가 배치되고, 이들 2종류의 배선을 통해서 기억 소자에 적층 방향의 전류가 흐름으로써, 2종류의 배선을 통해서 기억 소자의 적층 방향으로 전류를 흘려서 스핀 주입에 의한 정보의 기록을 행할 수 있다.

또한, 기억 소자의 기억층에 기록된 정보를 안정되게 유지할 수 있다.

우선, 본 발명의 구체적인 실시 형태의 설명에 앞서, 본 발명의 개요에 대해서 설명한다.

본 발명은, 전술한 스핀 주입에 의해, 기억 소자의 기억층의 자화의 방향을 반전시켜서, 정보의 기록을 행하는 것이다. 기억층은, 강자성층 등의 자성체에 의해 구성되며, 정보를 자성체의 자화 상태(자화의 방향)에 의해 유지하는 것이다.

스핀 주입에 의해 자성층의 자화의 방향을 반전시키는 기본적인 동작은, 거대 자기 저항 효과 소자(GMR 소자) 혹은 터널 자기 저항 효과 소자(MTJ 소자)로 이루어지는 기억 소자에 대하여, 그 막면에 수직인 방향으로, 임의의 임계값 이상의 전류를 흘리는 것이다. 이 때, 전류의 극성(방향)은, 반전시키는 자화의 방향에 의존한다.

이 임계값보다도 절대값이 작은 전류를 흘린 경우에는, 자화 반전이 발생하지 않는다.

스핀 주입에 의해, 자성층의 자화의 방향을 반전시킬 때에, 필요로 되는 전류의 임계값(기입 전류 임계값) I_c 는, 현상론적으로, 하기의 수식식 1에 의해 나타내어진다(J.Z.Sun, Phys. Rev. B, Vol.62, p.570, 2000년 참조).

$$I_c = \frac{1}{\eta} \left(\frac{2e}{h} \right) \frac{\alpha}{|\cos \phi|} (a^2 I_m H_k M_s) \left(1 + \frac{2\pi M_s}{H_k} + \frac{H}{H_k} \right)$$

(단, α : 기억층의 텅핑 상수, H_k : 기억층의 면내 일축 이방성 자계, M_s : 기억층의 포화 자화, n : 스핀 주입 계수, a : 기억층의 반경, I_m : 기억층의 두께, H : 외부 인가 자계)

기입 임계값 전류 I_c 를 저감하기 위해서는, 상기 수학식 1 중의 각종 파라미터를 조정하면 양호하게 된다.

한편, 메모리로서의 성능을 유지한다고 하는 관점에서, 상기 각종 파라미터가 제약된다. 예를 들면, 수학식 1 중의 $(\alpha^2 I_m H_k M_s)$ 의 항은, 열 변동을 결정하는 항으로서 알려져 있고, 기입 임계값 전류 I_c 의 변동을 억제하여, 기입한 데이터의 장기 안정성을 확보하기 위해서는, 일정 이상의 값을 유지하여야만 하여, 임의의 일정값 이하로 작게 할 수는 없다. 이 때문에, 기억 소자의 크기나 기억층의 두께 I_m ·포화 자화 M_s 에는 하한이 존재하고, 이들 파라미터를 감소시킴으로써 기입 전류를 저감시키는 방법은, 임의의 곳에서 한계로 된다.

따라서, 본 발명에서는, 기억층의 평면 패턴을 연구함으로써, 기입한 데이터의 장기 안정성을 확보하는 것이다. 그리고, 기입 임계값 전류 I_c 를 저감하는 것도 가능하게 하는 것이다.

즉, 본 발명에서는, 자성체의 자화의 방향(자화 상태)을 정보로서 유지하는 기억층을 갖고, 기억층에 대하여, 중간층(절연층 또는 비자성 도전층)을 개재하여 자화의 방향이 고정된 자화 고정층을 형성하고, 이들 각 층을 포함하는 적층막을 형성하여, 기억 소자를 구성한다.

또한, 적층 방향으로 전류를 흘림으로써, 전술한 스핀 주입에 의해, 기억층을 구성하는 자성체의 자화의 방향을 반전시켜서, 기억층에 대하여 정보의 기록을 행한다.

그리고, 기억 소자를 구성하는 적층막 중, 적어도 기억층에서, 평면 패턴의 장축의 단부의 곡률 반경 R 이, $R \leq 100\text{nm}$ 를 만족하는 구성으로 한다.

이에 의해, 기억층의 보자력 H_c 가 커져, 기억층의 열 등에 대한 안정성을 향상시킬 수 있기 때문에, 기억층에 기록된 정보를 안정되게 유지할 수 있다.

또한, 기억층이 충분한 안정성을 갖기 때문에, 기억 소자의 패턴을 작게 해서 미세화를 도모하여도, 정보를 안정되게 유지하는 것이 가능하게 된다.

기억 소자의 미세화에 의해, 기억 소자를 이용한 메모리의 집적화를 진행시켜, 메모리의 소형화나 기억 용량의 증대를 도모하는 것이 가능하게 된다.

또한, 기억 소자의 미세화에 의해, 전술한 바와 같이, 스핀 주입에 의해 정보의 기록을 행하는 경우의, 기억층의 자화의 방향을 반전시키기 위해서 필요로 되는 기입 전류 임계값도 작게 하는 것이 가능하게 된다.

또한, 곡률 반경 R 이 작아짐으로써, 전술한 열 변동을 결정하는 항에서, 기억층의 반경 a 가 작아진다고 생각되지만, 그 한편으로 기억층의 면내 일축 이방성자계 H_k 가 증대하기 때문에, 열 변동을 결정하는 항의 크기를 유지하는 것이 가능하다. 그리고, 전술한 수학식으로부터 알 수 있는 바와 같이, 면내 일축 이방성자계 H_k 가 증대함으로써, 기입 전류 임계값을 작게 하는 것이 가능하다.

여기서, 기억 소자의 기억층의 평면 패턴의 각 형태를, 각각 도 2~도 4에 도시한다.

도 2에 도시하는 형태에서는, 기억 소자의 기억층의 평면 패턴(31)이, 4변 SR_1 , SR_2 , SR_3 , SR_4 를 갖는 마름모형 의사 형상으로 이루어진다. 또한, 각 변 SR_1 , SR_2 , SR_3 , SR_4 는, 기억층의 평면 패턴(31)과 마름모형 의사 형상의 장축 LX (일점쇄선으로 표시)와의 교점 BC , AD 및 상기 평면 패턴(31)과 마름모형 의사 형상의 단축 SX (일점쇄선으로 표시)와의 교점 AB , CD 를 연결하고 있다.

그리고, 마름모형 의사 형상을 구성하는 4개의 변 SR_1 , SR_2 , SR_3 , SR_4 는, 그 중앙부에 직선 부분을 갖고 있다.

또한, 이와 같은 평면 패턴(31)에서, 기억층의 자화 용이축 EA는, 마름모형 의사 형상의 장축 LX와 대략 평행하고, 기록층의 자화 곤란축 HA는, 마름모형 의사 형상의 단축 SX와 대략 평행하다.

평면 패턴(31)은, 마름모형 의사 형상의 장축 LX 및 단축 SX에 관해서 대략 선대칭이다.

그리고, 평면 패턴(31)은, 장축 LX의 단부(교점 AD 및 BC의 근방) 및 단축 SX의 단부(교점 AB 및 CD의 근방)에서 외형이 곡선 형상으로 되어 있고, 4변 SR_1 , SR_2 , SR_3 , SR_4 의 직선 부분에 의해, 곡선 형상의 부분이 매끄럽게 연결되어 있다.

또한, 장축 LX의 단부의 곡률 반경 R은, 단축 SX의 단부의 곡률 반경 R2와 비교하여, 충분히 작게 되어 있다($R < R2$).

도 2에서는, 평면 패턴(31)이 마름모형 의사 형상으로 되어 있고, 그 4변 SR_1 , SR_2 , SR_3 , SR_4 의 중앙부가 직선 부분으로 되어 있었지만, 도 3에 도시하는 바와 같이, 마름모형 의사 형상을 구성하는 4변 SR_1 , SR_2 , SR_3 , SR_4 가, 외측을 향하여, 중앙부가 만곡한 매끈한 곡선으로 이루어지는 구성으로 할 수도 있다.

평면 패턴(31)을 도 3에 도시하는 형상으로 한 경우에는, 장축 LX의 단부(교점 AD 및 BC의 근방) 및 단축 SX의 단부(교점 AB 및 CD의 근방)에서는, 도 2에 도시한 형상과, 곡률 반경 R, R2의 크기가 동일하게 되어 있다. 단, 곡률 반경 R, R2의 곡선 형상의 부분이 도 2에 도시한 형상보다도 좁게 되어 있다.

도 4에 도시하는 형상은, 평면 패턴(31)을 더욱 팽창시켜, 마름모형 의사 형상으로부터 대략 타원 형상으로 변화시킨 것이다.

이와 같이 평면 패턴(31)을 대략 타원 형상으로 하면, 장축 LX의 단부 및 단축 SX의 단부가 완만한 곡면 형상으로 된다. 이 때문에, 장축 LX 및 단축 SX가 동일한 것이고, 마름모형 의사 형상과 비교하면, 장축 LX의 단부 및 단축 SX의 단부의 곡률 반경 R, R2가 모두 커진다.

본 발명에서는, 도 2~도 4에 도시한 어느 쪽의 형상으로 하는 경우에도, 기억층의 평면 패턴(31)의 장축 LX의 단부의 곡률 반경 R이, $R \leq 100\text{nm}$ 를 만족하도록, 적층막에 대하여 패터닝을 행하여, 기억 소자를 형성한다.

또한, 본 발명에서는, 기억층의 평면 패턴의 상세한 형상은 특별히 문제되지 않는다.

그러나, 평면 패턴을 도 4에 도시하는 바와 같은 대략 타원 형상으로 하면, 장축 LX의 길이에 대한 장축 LX 단부의 곡률 반경 R의 비가 커진다.

이 때문에, 평면 패턴을 대략 타원 형상으로 하는 경우에는, 곡률 반경 R이 $R \leq 100\text{nm}$ 를 만족하도록, 장축 LX의 길이를 비교적 짧게 한다.

또한, 장축 LX 단부의 곡률 반경 R이, 단축 SX의 길이의 절반보다도 크면, 평면 패턴이 대략 타원 형상보다 더욱 팽창되어, 사각형에 가까운 형상으로 되어, 기억층의 자기 이방성이 작아져서 보자력 H_c 가 작아진다.

그 때문에, 바람직하게는, 장축 LX 단부의 곡률 반경 R과, 단축 SX의 길이 W가, $R \leq W/2$ 의 관계를 만족하도록 한다.

또한, 바람직하게는, 평면 패턴의 단축의 길이 W와 장축의 길이 L의 비인 어스펙트비(L/W)를, 1.5 이상으로 한다.

평면 패턴의 어스펙트비(단축의 길이 W와 장축의 길이 L과의 비 L/W)가 1.5 미만이면, 형상 자기 이방성이 얻어지는 만큼의 곡률 반경이 작은 영역을 형성하기 어려워지기 때문에, 곡률 반경 R을 작게 설정하는 효과가 작아진다.

또한, 평면 패턴의 어스펙트비(L/W)의 상한은, 자기 이방성의 관점에서는 특별히 규정되지 않는다. 단, 어스펙트비(L/W)가 4.0 이상으로 되면 보자력 H_c 가 포화하도록 되기 때문에, 자기 이방성에 의한 열 안정성 Δ 의 개선 효과보다도, 소자의 면적의 증대에 의한 전류 증대의 영향이 커진다. 그 때문에, 보다 바람직하게는, 평면 패턴의 어스펙트비(L/W)를, 1.5 이상, 4.0 이하로 설정한다.

평면 패턴의 장축 LX 단부의 곡률 반경 R에 대하여, 장축의 길이 L이 매우 커지면, 패턴 형성이 어려워질 뿐만 아니라, 평면 패턴의 형상이 마름모형이나 가늘고 긴 형상으로 된다. 평면 패턴의 형상이 마름모형이나 가늘고 긴 형상으로 된 경우, 장축 LX 단부에 자구나 자화의 소용돌이(vortex)가 발생하기 쉬워지기 때문에, 고저항 상태와 저저항 상태의 2차 사이의 중간 저항값을 취하거나, 불완전한 자화 반전의 원인으로 되거나 한다.

이와 같은 경우, 기억층의 자화 반전에 의한 정보의 기록을 행하기 위한, 전류 등의 조건이 엄격해진다.

따라서, 바람직하게는, 곡률 반경 R과, 장축의 길이 L이, $L/24 \leq R$ 의 관계를 만족하도록 한다.

기억층의 자화 반전에는 임의의 일정한 전류 밀도가 필요한 것과, 전술한 바와 같이 기억 소자에 흘릴 수 있는 전류량에는 상한이 있기 때문에, 평면 패턴의 면적이 작은 쪽이 바람직하다.

한편, 열안정성 Δ 의 확보의 관점에서, 기억층의 체적 및 자기 이방성의 확보도 필요하다.

이들의 상반하는 요망, 즉, 평면 패턴의 면적을 작게 하는 것과, 자기 이방성의 향상에 의해 Δ 값을 확보하는 것을, 양립시키기 위해서는, 평면 패턴의 단축의 길이 W를 작게 하면 된다. 바람직하게는, 평면 패턴의 단축의 길이 W를, 175nm 이하로 한다.

또한, 평면 패턴의 단축의 길이 W의 하한에 대해서는, 특성상의 제한보다도 제조 기술에 의한 제한이 크지만, 특수한 조건으로 제작된 극미세 기억 소자의 자기 특성과 Δ 값의 평가 실험을 행한 결과, 단축의 길이 W를 20nm 정도로 하면 충분한 자화가 얻어지지 않게 되었다. 따라서, 평면 패턴의 단축의 길이 W는, 20nm 이상으로 하는 것이 바람직하다. 단, 금후의 자성 재료 개발에 따라서는, 더욱 작게 하여도 자화가 얻어지게 될 가능성이 있다.

기억 소자의 그 밖의 구성은, 스핀 주입에 의해 정보를 기록하는 기억 소자의 종래의 구성과 마찬가지로 할 수 있다.

기억층은, 통상, 주로, Co, Fe, Ni, Gd 등의 강자성 재료로 구성되고, 이들 2종 이상의 합금을 하나의 층으로 하여, 일층 이상의 적층 상태에서 기억층이 형성된다.

각 강자성층에는, 포화 자화량 등의 자기 특성이나, 결정 구조(결정질, 비결정 구조, 아몰퍼스 구조)의 제어를 위해 합금 원소가 첨가된다. 예를 들면, CoFe합금, CoFeB 합금, Fe 합금 혹은 NiFe 합금을 주성분으로 하고, Gd 등의 자성 원소나, 다른 원소로서, B, C, N, Si, P, Al, Ta, Mo, Cr, Nb, Cu, Zr, W, V, Hf, Gd, Mn, Pd가 1종 혹은 복수 첨가된 재료를 이용할 수 있다. 또한, 예를 들면, Co에 Zr, Hf, Nb, Ta, Ti로부터 선택되는 1종류 이상의 원소를 첨가한 아몰퍼스 재료, CoMnSi, CoMnAl이나 CoCrFeAl 등의 호이슬러 재료를 이용할 수 있다.

또한, 재료 또는 조성 범위가 서로 다른 복수의 강자성층을 직접 적층시켜서 기억층을 구성하는 것도 가능하다. 또한, 강자성층과 연자성층을 적층시키거나, 연자성층을 개재하여 복수층의 강자성층을 적층시키거나 하는 것도 가능하다. 이와 같이 적층시킨 경우에도, 본 발명의 효과가 얻어진다.

또한, 기억층과 자화 고정층 사이의 비자성의 중간층으로서, 터널 절연층을 이용해서 자기 터널 접합(MTJ) 소자를 구성함으로써, 비자성 도전층을 이용해서 거대 자기 저항 효과(GMR) 소자를 구성한 경우와 비교하여, 자기 저항 변화율(MR비)을 크게 할 수 있어, 판독 신호 강도를 크게 할 수 있다.

터널 절연층의 재료로서는, 예를 들면, 산화 알루미늄($AlOx$)이나 산화 마그네슘(MgO) 등의 산화물을 이용할 수 있다.

그리고, 터널 절연층의 재료로서, 특히, 산화 마그네슘(MgO)을 이용함으로써, 지금까지 일반적으로 이용되어 온 산화 알루미늄을 이용한 경우보다도, 자기 저항 변화율(MR비)을 크게 할 수 있다.

일반적으로, 스핀 주입 효율은 MR비에 의존하여, MR비가 클수록, 스핀 주입 효율이 향상되어, 자화 반전 전류 밀도를 저감할 수 있다.

따라서, 중간층의 터널 절연층의 재료로서 산화 마그네슘을 이용함으로써, 스핀 주입에 의한 기입 임계값 전류를 저감할 수 있어, 적은 전류로 정보의 기입(기록)을 행할 수 있다. 또한, 판독 신호 강도를 크게 할 수 있다.

이에 의해, MR비(TMR비)를 확보하여, 스핀 주입에 의한 기입 임계값 전류를 저감할 수 있어, 적은 전류로 정보의 기입(기록)을 행할 수 있다. 또한, 판독 신호 강도를 크게 할 수 있다.

자화 고정층은, 강자성층에 의해서만, 혹은 반강자성층과 강자성층의 반강자성 결합을 이용함으로써, 그 자화의 방향이 고정된 구성으로 한다.

또한, 자화 고정층은, 단층의 강자성층으로 이루어지는 구성, 혹은 복수층의 강자성층이 비자성층을 개재하여 적층된 적층 페리 구조로 한다. 자화 고정층을 적층 페리 구조로 하였을 때에는, 자화 고정층의 외부 자계에 대한 감도를 저하시킬 수 있기 때문에, 외부 자계에 의한 자화 고정층의 불필요한 자화 변동을 억제하여, 기억 소자를 안정되게 동작시킬 수 있다. 또한, 각 강자성층의 막 두께를 조정할 수 있어, 자화 고정층으로부터의 누설 자계를 억제할 수 있다.

적층 페리 구조의 자화 고정층을 구성하는 강자성층의 재료로서는, Co, CoFe, CoFeB 등을 이용할 수 있다. 또한, 비자성층의 재료로서는, Ru, Re, Ir, Os 등을 이용할 수 있다.

반강자성층의 재료로서는, FeMn 합금, PtMn 합금, PtCrMn 합금, NiMn 합금, IrMn 합금, NiO, Fe₂O₃ 등의 자성체를 예로 들 수 있다.

또한, 이들 자성체에, Ag, Cu, Au, Al, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Hf, Ir, W, Mo, Nb 등의 비자성 원소를 첨가하여, 자기 특성을 조정하거나, 그 밖의 결정 구조나 결정성이나 물질의 안정성 등의 각종 물성을 조정하거나 할 수 있다.

또한, 기억 소자의 막 구성은, 기억층이 자화 고정층의 상층에 배치되는 구성에서도, 하층에 배치되는 구성에서도 전혀 문제는 없다.

또한, 기억 소자의 기억층에 기록된 정보를 판독하는 방법으로서, 기억 소자의 기억층에 얇은 절연막을 개재하여, 정보의 기준으로 되는 자성층을 형성하고, 절연층을 개재하여 흐르는 강자성 터널 전류에 의해 판독하여도 되고, 자기 저항 효과에 의해 판독하여도 된다.

계속하여, 본 발명의 구체적인 실시 형태에 대해서 설명한다.

도 1은, 본 발명의 일 실시 형태로서, 기억 소자의 개략 구성도(단면도)를 도시한다.

이 기억 소자(10)는, 하층으로부터, 기초층(11), 반강자성층(12), 강자성층(13), 비자성층(14), 강자성층(15), 터널 절연층(16), 기억층(17), 캡층(보호층)(18)이 적층되어 이루어진다.

또한, 적층된 각 층(11~18)은, 도시하지 않지만, 거의 동일한 평면 패턴으로 패턴닝되어 있다.

기억층(17)은, 자성체로 이루어지며, 정보를 자화 상태(기억층(17)의 자화 M1의 방향)에서 유지할 수 있도록 구성된다.

강자성층(13)·비자성층(14)·강자성층(15)의 3층에 의해, 적층 페리 구조의 자화 고정층(19)이 구성된다. 이 중, 강자성층(13)은 반강자성층(12)에 의해 자화 M13의 방향이 오른쪽 방향으로 고정되어 있다. 강자성층(15)의 자화 M15의 방향은, 강자성층(13)의 자화 M13의 방향과는 반평행인 왼쪽 방향으로 되어 있다.

또한, 이 강자성층(15)은, 기억층(17)에 대한 자화의 방향의 기준으로 되는 것이기 때문에, 참조층으로도 칭해진다.

자화 고정층(19)의 강자성층(13, 15)의 재료로서는, 특별히 문제되지 않지만, 철, 니켈, 코발트의 1종 혹은 2종 이상으로 이루어지는 합금 재료, 예를 들면 CoFe 합금을 이용할 수 있다. 또한 Nb, Zr 등의 전이 금속 원소나 B 등의 경원소를 함유시킬 수도 있다.

예를 들면, CoFe 합금에 붕소 B가 20~30원자% 첨가된 아몰퍼스(비정질)의 CoFeB를 이용하는 것도 가능하다.

또한, 특히, 자화 고정층(19)의 터널 절연층(16)에 접하는 강자성층(참조층)(15)에, CoFeB를 이용함으로써, 스핀 분극율을 크게 하여, 기억 소자(10)의 스핀 주입 효율을 향상할 수 있다. 이에 의해, 기억층(17)의 자화 M1의 방향을 반전 시키기 위한 전류를 더욱 저감할 수 있다.

터널 절연층(16)의 재료로서는, Al, Mg, Hf, Si 등의 산화물이나, 그 밖의 산화물, 질화물 등의 절연 재료를 이용할 수 있다.

특히, 터널 절연층(16)의 재료로서 산화 마그네슘(MgO)을 이용하면, 전술한 바와 같이, 큰 자기 저항 변화율(MR비)이 얻어진다.

기초층(11) 및 캡층(18) 사이에 전류를 흘림으로써, 스핀 주입에 의한 기억층(17)의 자화의 방향의 반전을 행할 수 있다.

캡층(18)으로부터 기초층(11)을 향해서, 즉 기억층(17)으로부터 강자성층(참조층)(15)을 향해서 전류를 흘리면, 강자성층(참조층)(15)으로부터 기억층(17)에 편극 전자가 주입되어, 기억층(17)의 자화의 방향이 참조층(15)의 자화의 방향과 평행하게 된다.

기초층(11)으로부터 캡층(18)을 향해서, 즉 참조층(15)으로부터 기억층(17)을 향해서 전류를 흘리면, 기억층(17)으로부터 참조층(15)에 편극 전자가 주입되어, 기억층(17)의 자화의 방향이 참조층(15)의 자화의 방향과 반평행하게 된다.

이와 같이 하여, 전류를 흘리는 방향에 의해, 기록하는 정보를 선택할 수 있다.

그리고, 강자성층(참조층)(15)의 자화의 방향과 기억층(17)의 자화의 방향이, 평행의 상태에서는 터널 절연층(16)을 통과하는 전류의 저항이 작아지고, 반평행의 상태에서는 터널 절연층(16)을 통과하는 전류의 저항이 커진다. 이를 이용하여, 저항값으로부터 기억층(17)에 기록된 정보의 내용을 판독할 수 있다.

또한, 판독 시에 흘리는 전류는, 스핀 주입에 의한 기억층(17)의 자화 반전이 발생하지 않도록, 반전 전류보다도 작게 한다.

본 실시 형태에서는, 특히, 기억층(17)을 포함하는 기억 소자(10)의 적층막의 평면 패턴이, 전술한 본 발명의 요건, 즉, 장축 LX의 단부의 곡률 반경 R(도 2~도 4 참조)이 $R \leq 100\text{nm}$ 를 만족하는 구성으로 한다.

이에 의해, 전술한 바와 같이, 기억층(17)의 보자력 Hc를 크게 할 수 있기 때문에, 기억층의 열 등에 대한 안정성을 향상시킬 수 있다.

본 실시 형태의 기억 소자(10)는, 기초층(11)으로부터 캡층(18)까지를 진공장치내에서 연속적으로 형성하고, 그 후 에칭 등의 가공에 의해 기억 소자(10)의 패턴을 형성함으로써, 제조할 수 있다.

또한, 본 실시 형태의 기억 소자(10)를 이용하여, 도 10에 도시한 메모리와 마찬가지로의 구성의 메모리를 구성할 수 있다.

즉, 기억 소자(10)를 2종류의 어드레스 배선의 교점 부근에 배치해서 메모리를 구성하고, 2종류의 어드레스 배선을 통해서 기억 소자(10)에 상하 방향(적층 방향)의 전류를 흘리고, 스핀 주입에 의해 기억층(17)의 자화의 방향을 반전시켜서, 기억 소자(10)에 정보의 기록을 행할 수 있다.

전술한 본 실시 형태의 기억 소자(10)의 구성에 의하면, 기억층(17)을 포함하는 기억 소자(10)의 적층막의 평면 패턴이, 장축 LX의 단부의 곡률 반경 R이 $R \leq 100\text{nm}$ 를 만족함으로써, 기억층(17)의 보자력 Hc를 크게 할 수 있다.

이에 의해, 기억층(17)의 열 등에 대한 안정성을 향상시킬 수 있어, 기억층(17)에 기록된 정보를 안정되게 유지할 수 있다.

즉, 정보의 유지 특성이 우수한 기억 소자(10)를 구성할 수 있다.

따라서, 본 실시 형태의 기억 소자(10)를 구비하여 메모리를 구성함으로써, 안정되게 동작하는, 신뢰성이 높은 메모리를 실현할 수 있다.

또한 본 실시 형태에 의하면, 기억층(17)이 충분한 안정성을 갖기 때문에, 기억 소자(10)의 패턴을 작게 하여 미세화를 도모하여도, 정보를 안정되게 유지하는 것이 가능하게 된다.

그리고, 기억 소자(10)의 미세화에 의해, 기억 소자(10)를 구비한 메모리의 집적화를 진행시켜, 메모리의 소형화나 기억 용량의 증대를 도모하는 것이 가능하게 된다.

또한, 기억 소자(10)의 미세화에 의해, 스핀 주입에 의해 정보의 기록을 행하는 경우의, 기억층(17)의 자화 M1의 방향을 반전시키기 위해서 필요로 되는 기입 전류 임계값 I_c 도 작게 하는 것이 가능하게 된다.

이에 의해, 정보의 기록에 필요한 전류량을 저감할 수 있기 때문에, 메모리 전체의 소비 전력을 저감하여, 종래에 없는 저 소비 전력의 메모리를 실현하는 것이 가능하게 된다.

또한, 전술한 실시 형태에서는, 기억 소자(10)를 구성하는 적층막(기억층(17)을 포함함)의 각 층(11~18)이 동일한 평면 패턴으로 형성되어 있는 경우를 설명하였지만, 본 발명에서는, 적어도 기억층의 평면 패턴이 전술한 조건을 만족하고 있으면, 다른 층의 평면 패턴이 전술한 조건을 만족하고 있지 않아도 상관없다.

예를 들면, 도 1에 도시한 기억 소자(10)에 대하여, 기초층(11)이나 반강자성층(12)을, 상층의 다른 각 층(13~18)보다도 큰 평면 패턴으로 형성한 구성이나, 캡층(18)을 기억층(17)과는 다른 평면 패턴으로 형성한 구성 등이 생각된다.

(실시예)

여기서, 본 발명의 기억 소자의 구성에서, 구체적으로 기억층의 치수나 조성 등을 설정하여, 특성이 어떻게 되는지 검토를 행하였다.

또한, 실제로는, 메모리에는, 도 10에 도시한 바와 같이, 기억 소자 이외에도 스위칭용 반도체 회로 등이 존재하지만, 여기서는, 기억층의 자기 저항 특성을 조사할 목적으로, 기억 소자만을 형성한 웨이퍼에 의해 검토를 행하였다.

<실험 1>

우선, 두께 0.575mm의 실리콘 기판 위에 두께 2 μ m의 열산화막을 형성하고, 도 1에 도시한 기억 소자(10)와 마찬가지로의 기억 소자를 형성하였다.

구체적으로는, 도 1에 도시한 구성의 기억 소자(10)에서, 기초층(11)을 막 두께 3nm의 Ta막, 반강자성층(12)을 막 두께 20nm의 PtMn막, 자화 고정층(19)을 구성하는 강자성층(13, 15)을 막 두께 2nm의 CoFe막, 적층 페리 구조의 자화 고정층(19)을 구성하는 비자성층(14)을 막 두께 0.8nm의 Ru막, 터널 절연층(16)을 막 두께 0.5nm의 Al막을 산화한 산화 알루미늄막, 기억층(17)을 막 두께 3nm의 $\text{Co}_{72}\text{Fe}_8\text{B}_{20}$ 막, 캡층(18)을 막 두께 5nm의 Ta막으로 선정하고, 또한 기초층(11)과 반강자성층(12) 사이에 도시하지 않은 막 두께 100nm의 Cu막(후술하는 워드선으로 되는 것)을 형성하여, 각 층을 형성하였다.

즉, 각 층의 재료 및 막 두께를, 하기의 구성(막 구성 1)으로 하여, 기억 소자(10)를 제작하였다.

막 구성 1 :

Ta(3nm)/Cu(100nm)/PtMn(20nm)/CoFe(2nm)/Ru(0.8nm)/CoFe(2nm)/Al(0.5nm)-Ox/ $\text{Co}_{72}\text{Fe}_8\text{B}_{20}$ (3nm)/Ta(5nm)

또한, 상기 막 구성에서, 합금 조성이 나타나 있지 않은 PtMn의 조성은 $\text{Pt}_{50}\text{Mn}_{50}$ (원자%)으로 하였다.

산화 알루미늄막으로 이루어지는 터널 절연층(16) 이외의 각 층은, DC 마그네트론 스퍼터법을 이용하여 성막하였다.

산화 알루미늄(Al-O_x)막으로 이루어지는 터널 절연층(16)은, 우선 금속 Al막을 DC 스퍼터법에 의해 0.5nm 퇴적시키고, 그 후에 산소/아르곤의 유량비를 1:1로 하여, 자연 산화법에 의해 금속 Al층을 산화시켰다. 산화 시간은 10분으로 하였다.

또한, 기억 소자(10)의 각 층을 성막한 후에, 자장 중 열처리 로에서, $10\text{kOe} \cdot 270^\circ\text{C} \cdot 4\text{시간}$ 의 열처리를 행하여, 반강자성층(12)의 PtMn막의 규칙화 열처리를 행하였다.

다음으로, 워드선 부분을 포토리소그래피에 의해 마스크한 후에, 워드선 이외의 부분의 적층막에 대하여 Ar 플라즈마에 의해 선택 에칭을 행함으로써, 워드선(하부 전극)을 형성하였다. 이 때에, 워드선 부분 이외에는, 기판의 깊이 5nm까지 에칭되었다.

그 후, 전자 빔 묘화 장치에 의해 기억 소자(10)의 패턴의 마스크를 형성하고, 적층막에 대하여 선택 에칭을 행하여, 기억 소자(10)를 형성하였다. 기억 소자(10) 부분 이외에는, 워드선의 Cu층 바로 위까지 에칭하였다.

다음으로, 기억 소자(10) 부분 이외를, 두께 100nm 정도의 Al_2O_3 의 스퍼터링에 의해 절연하였다.

그 후, 포토리소그래피를 이용하여, 상부 전극으로 되는 비트선 및 측정용 패드를 형성하여 기억 소자의 시료를 제작하여, 샘플 1의 기억 소자의 시료로 하였다.

그리고, 전술한 제조 방법에 의해, 기억 소자(10)의 평면 패턴의 장축단의 곡률 반경 R을 바꾼, 기억 소자(10)의 각 시료를 제작하였다.

장축단의 곡률 반경 R은, 31nm, 47nm, 53nm, 90nm, 120nm, 170nm의 6가지로 하였다.

또한, 각 시료의 평면 패턴에서, 장축 길이를 400nm로 하고, 단축 길이를 150nm로 하였다.

각 시료의 기억 소자(10)를 상방에서 본 현미경 사진을, 도 5에 도시한다.

장축단의 곡률 반경 R을 170nm로 한 경우에는, 이 곡률 반경 R이 단축 길이보다 크기 때문에, 사각형(직사각형)에 가까운 평면 패턴으로 되어 있다.

곡률 반경 R을 90nm로 한 경우에는, 거의 타원에 가까운 평면 패턴으로 되어 있다.

그리고, 곡률 반경 R을 작게 해 감에 따라, 장축단 부근이 좁혀진 형상으로 되는 것을 알 수 있다.

(기억층의 보자력의 측정)

각 시료의 기억 소자(10)에 대해서, 기억층(17)의 보자력 H_c 를 측정하였다.

도 5에 도시한, 기억 소자(10)를 상방에서 본 현미경 사진에 의해, 기억 소자(10)의 평면 패턴의 정확한 치수·형상을 구하고, 이 치수·형상과, 기억층(17)의 재료의 자기 특성(포화 자속 밀도 등)으로부터, 계산에 의해 기억층(17)의 보자력 H_c 를 얻었다.

결과로서, 기억 소자(10)의 패턴의 장축단의 곡률 반경 R과, 기억층(17)의 보자력 H_c 와의 관계를, 도 6에 도시한다.

도 6으로부터, 곡률 반경 R을 작게 하면, 보자력 H_c 를 크게 할 수 있는 것을 알 수 있다. 또한, 곡률 반경 $R=100\text{nm}$ 부근부터 보자력 H_c 의 증대가 커지는 것을 알 수 있다.

따라서, 곡률 반경 R을 $R \leq 100\text{nm}$ 를 만족하는 범위로 함으로써, 기억층(17)의 보자력 H_c 를 크게 하여, 기억층(17)의 열 등에 대한 안정성을 향상시킬 수 있는 것을 알 수 있다.

<실험 2>

실험 1과 마찬가지로의 제조 방법에 의해, 기억 소자(10)의 평면 패턴의 장축단의 곡률 반경 R과 어스펙트비를 바꾼, 기억 소자(10)의 각 시료를 제작하였다.

장축단의 곡률 반경 R을, 31nm, 47nm, 53nm, 90nm의 4가지로 하였다.

또한, 각 시료의 평면 패턴에서, 단축 길이 W를 120nm로 하고, 장축 길이 L을 145nm, 190nm, 240nm, 430nm, 525nm의 6개의 조건으로 하여, 어스펙트비(L/W)를 1.2, 1.6, 2.0, 2.8, 3.6, 4.4로 변화시켰다.

각 시료의 기억 소자(10)에 대해서, 기억층(17)의 보자력 Hc를 측정하였다.

측정 결과로서, 기억 소자(10)의 패턴의 어스펙트비(장축 길이 L/단축 길이 W)와, 기억층의 보자력 Hc와의 관계를, 도 7에 나타낸다.

이 실험 2의 각 시료는, W=120nm이기 때문에, 곡률 반경 R을 $R \leq W/2 = 60\text{nm}$ 를 만족하는 범위로 하는 것이 바람직하다.

도 7로부터, 곡률 반경 R을 이 조건을 만족하는 31nm, 47nm, 53nm로 한 경우에, R=90nm로 한 경우보다도, 보자력 Hc를 크게 할 수 있는 것을 알 수 있다.

또한, 도 7로부터, 어스펙트비를 1.5 이상으로 하면, 기억층(17)의 보자력 Hc를 크게 하여, 기억층(17)의 열 등에 대한 안정성을 향상시킬 수 있는 것을 알 수 있다.

또한, 도 7로부터, 어스펙트비를 4.0 이상으로 하면, 기억층(17)의 보자력 Hc가 포화하여, 거의 증대하지 않게 되는 것을 알 수 있다.

<실험 3>

실험 1과 마찬가지로의 제조 방법에 의해, 기억 소자(10)의 평면 패턴의 장축단의 곡률 반경 R을 바꾼, 기억 소자(10)의 각 시료를 제작하였다.

장축단의 곡률 반경 R은, 15nm, 22nm, 31nm, 53nm의 4가지로 하였다.

또한, 각 시료의 평면 패턴에서, 장축 길이를 400nm로 하고, 단축 길이를 150nm로 하였다.

각 시료의 기억 소자(10)에 대해서, 외부 자계에 대한 저항 변화의 연속적인 변화를 구하여, R-H 곡선을 얻었다.

각 시료에 대해서, 200개의 메모리 셀의 소자를 측정한 결과를, 도 8의 (A)~도 8의 (D)에 도시한다. 도 8의 각 도면에서는, 200개의 소자의 R-H 곡선을 중첩해서 표시하고 있고, 종축은 저저항 상태의 저항값을 기준으로 한 저항 변화율이며, 횡축은 외부 자계의 크기이다. 도 8의 (A)는 R=15nm의 경우를 도시하며, 도 8의 (B)는 R=22nm의 경우를 도시하며, 도 8의 (C)는 R=31nm의 경우를 도시하며, 도 8의 (D)는 R=53nm의 경우를 도시하고 있다.

도 8의 (A)로부터, 곡률 반경 R이 장축 길이 L의 1/24 이하로 되는 R=15nm인 경우에는, R-H 곡선에 흐트러짐이 발생하여, 고저항 상태와 저저항 상태 이외에 중간적인 저항값을 취하는 경우가 있는 것을 알 수 있다.

이와 같은 경우, 전술한 바와 같이, 기억층(17)의 자화 반전에 의한 정보의 기록을 행하기 위한, 전류 등의 조건이 엄격해진다.

도 8의 (B)~도 8의 (D)로부터, 곡률 반경 R이 장축 길이 L의 1/24 이상인, 그 외의 경우에는, 양호한 R-H 곡선이 얻어지고 있다.

따라서, 곡률 반경 R 및 장축 길이 L이, $L/24 \leq R$ 을 만족하는 범위로 함으로써, 안정된 R-H 곡선이 얻어지는 것을 알 수 있다.

<실험 4>

실험 1과 마찬가지로의 제조 방법에 의해, 기억 소자(10)의 평면 패턴의 장축 길이 L과 단축 길이 W를 바꾼, 기억 소자(10)의 각 시료를 제작하였다.

기억 소자(10)의 평면 패턴의 단축 길이 W 를 90nm, 120nm, 150nm, 180nm의 4가지로 하고, 각각 어스펙트비를 1.25, 2.0, 4.0의 3가지로 되도록 장축 길이 L 을 조정하여, 기억 소자(10)를 패터닝하였다. 즉, 합계 12종류의 평면 패턴으로 하였다.

또한, 각 시료의 평면 패턴에서, 장축단의 곡률 반경 R 은 31nm로 고정하였다.

각 시료의 기억 소자(10)에 대해서, 기억층(17)의 보자력 H_c 를 측정하였다.

측정 결과를, 도 9에 도시한다. 도 9의 횡축은 평면 패턴의 단축 길이 W 이며, 종축은 보자력 H_c 이며, 동일한 어스펙트비마다 선으로 연결되어 있다.

도 7에 도시한 바와 같이, 보자력 H_c 의 값은 어스펙트비를 4.0 이상으로 크게 하여도 포화하기 때문에, 도 9로부터, 보자력 H_c 의 값을 100[Oe] 이상 확보하기 위해서는, 단축 치수가, 어스펙트비 4.0에서 보자력 $H_c=100$ [Oe]으로 되는, 175nm 이하일 필요가 있는 것을 알 수 있다.

본 발명은, 전술한 실시 형태에 한정되는 것이 아니라, 본 발명의 요지를 일탈하지 않는 범위에서 기타 다양한 구성을 취할 수 있다.

발명의 효과

전술한 본 발명에 의하면, 기억 소자의 기억층이 열 등에 대하여 충분한 안정성을 갖기 때문에, 기억 소자가 정보의 유지 특성이 우수하다.

따라서, 안정되게 동작하는, 신뢰성이 높은 메모리를 실현할 수 있다.

또한, 기억층이 충분한 안정성을 갖기 때문에, 기억 소자의 패턴을 작게 하여 미세화를 도모하여도, 정보를 안정되게 유지하는 것이 가능하게 된다.

기억 소자의 미세화에 의해, 기억 소자를 이용한 메모리의 집적화를 진행시켜, 메모리의 소형화나 기억 용량의 증대를 도모하는 것이 가능하게 된다.

또한, 기억 소자의 미세화에 의해, 전술한 바와 같이, 스핀 주입에 의해 정보의 기록을 행하는 경우의, 기억층의 자화의 방향을 반전시키기 위해서 필요로 되는 기입 전류 임계값도 작게 하는 것이 가능하게 된다. 이에 의해, 정보의 기록에 필요한 전류량을 저감할 수 있기 때문에, 메모리 전체의 소비 전력을 저감하여, 종래에 없는 저소비 전력의 메모리를 실현하는 것이 가능하게 된다.

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태의 기억 소자의 개략 구성도(단면도).

도 2는 기억층의 평면 패턴의 형상을 도시하는 도면.

도 3은 기억층의 평면 패턴의 형상을 도시하는 도면.

도 4는 기억층의 평면 패턴의 형상을 도시하는 도면.

도 5는 각 시료의 기억 소자를 위에서 본 상태의 사진.

도 6은 평면 패턴의 장축단의 곡률 반경과 기억층의 보자력 H_c 와의 관계를 나타내는 도면.

도 7은 평면 패턴의 어스펙트비와 기억층의 보자력 H_c 와의 관계를 나타내는 도면.

도 8은 A~D 기억 소자의 R-H 곡선을 도시하는 도면.

도 9는 평면 패턴의 단축의 길이와 기억층의 보자력 H_c 와의 관계를 나타내는 도면.

도 10은 스핀 주입에 의한 자화 반전을 이용한 자기 메모리의 개략 구성도(사시도).

도 11은 도 10의 자기 메모리의 단면도.

도 12는 종래의 MRAM의 구성을 모식적으로 도시한 사시도.

도 13은 SPICE 시뮬레이터에 의한 일반적인 선택 트랜지스터와 기억 소자를 접속한 경우의, 소자 저항과 소자 전류의 관계를 나타내는 도면.

<도면의 주요 부분에 대한 간단한 설명>

10 : 기억 소자

11 : 기초층

12 : 반강자성층

13 : 강자성층

14 : 비자성층

15 : 강자성층(참조층)

16 : 터널 절연층

17 : 기억층

18 : 캡층(보호층)

19 : 자화 고정층

31 : (기억층의) 평면 패턴

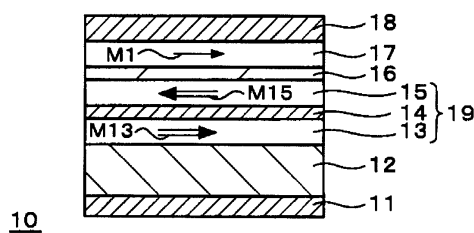
LX : 장축

SX : 단축

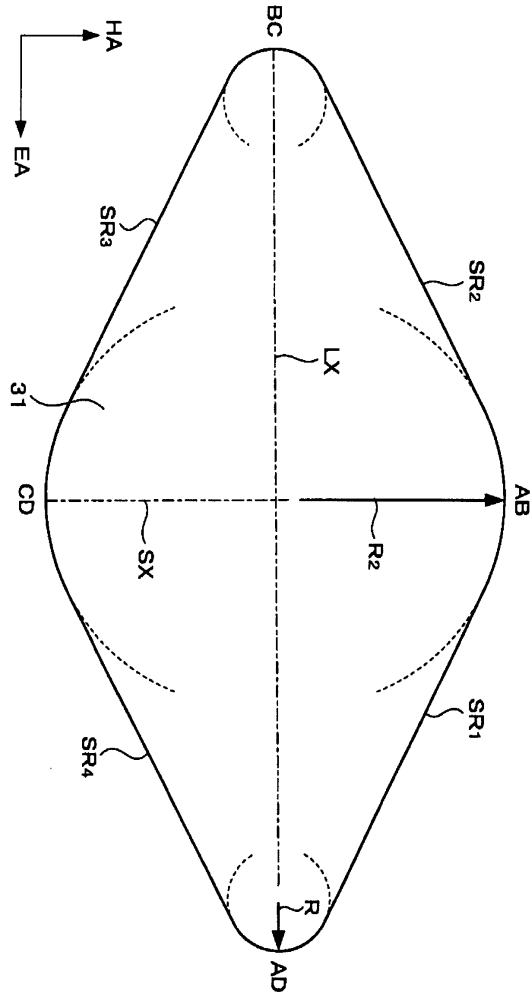
R, R1 : 곡률 반경

도면

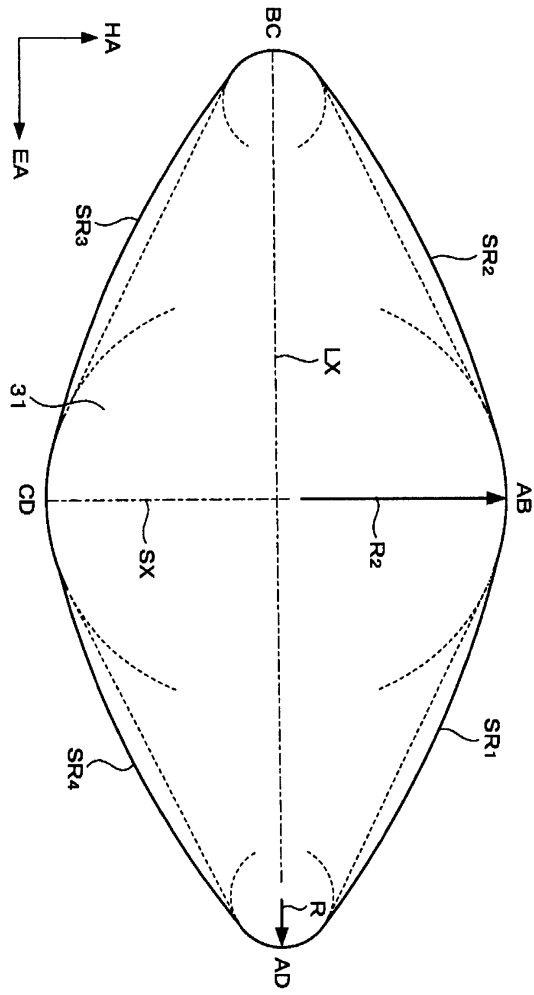
도면1



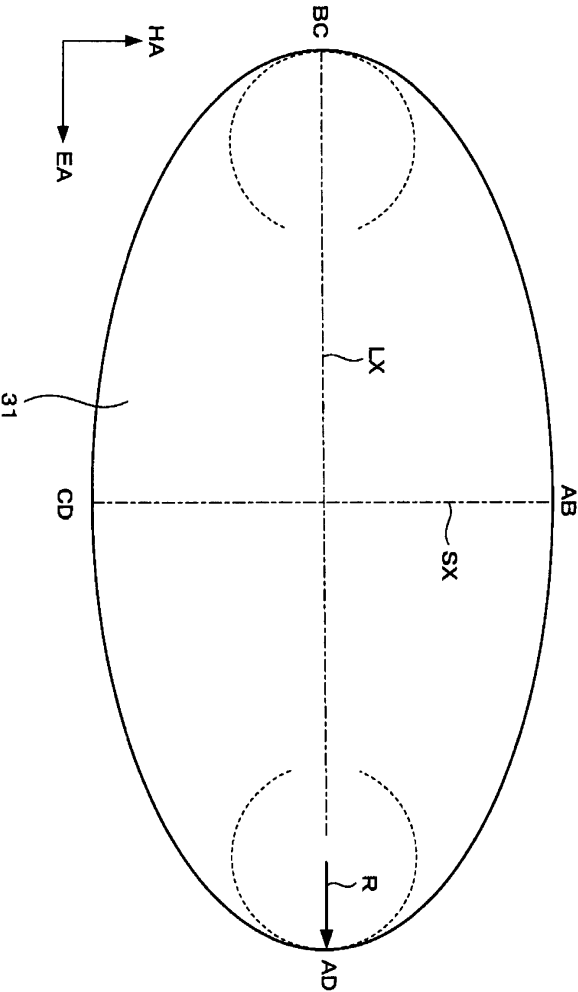
도면2



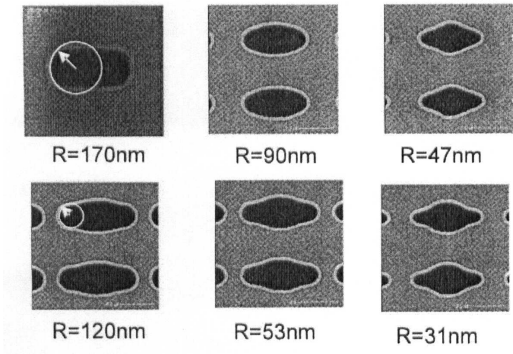
도면3



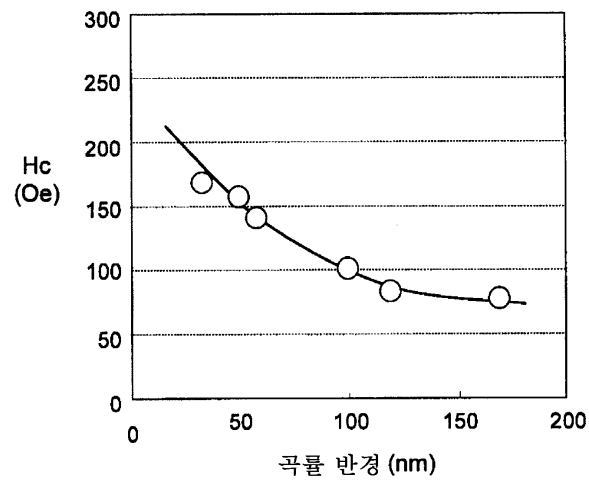
도면4



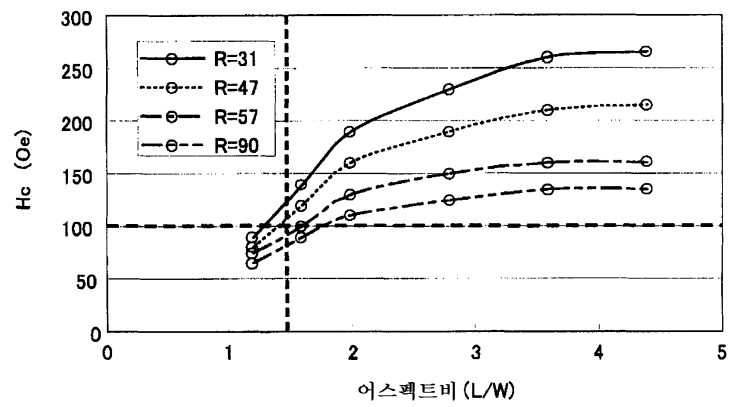
도면5



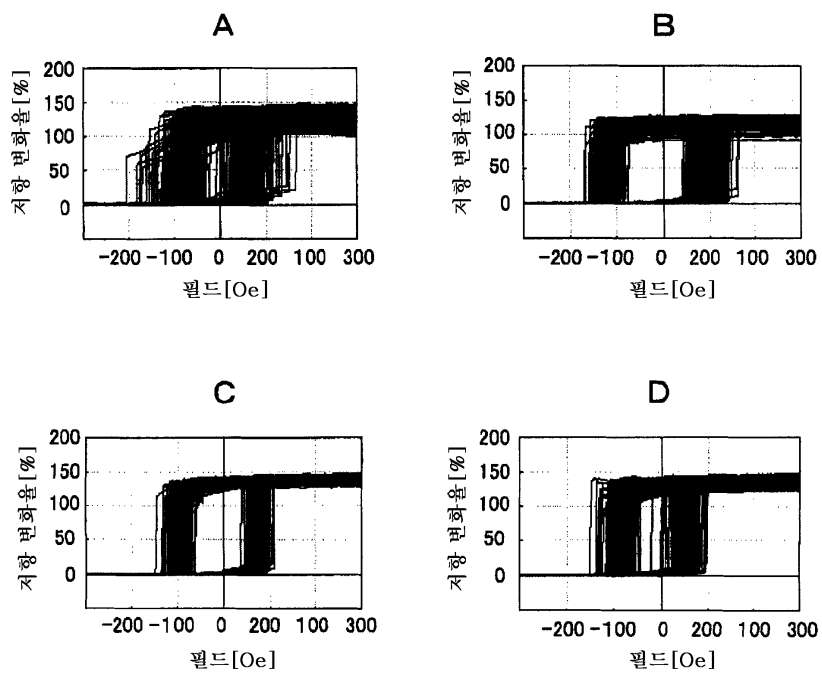
도면6



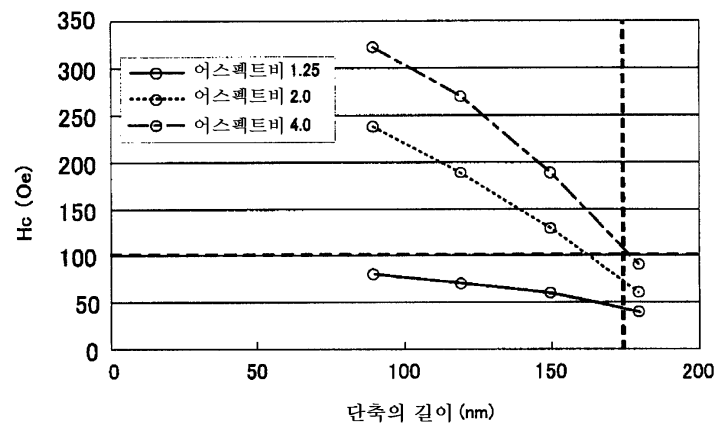
도면7



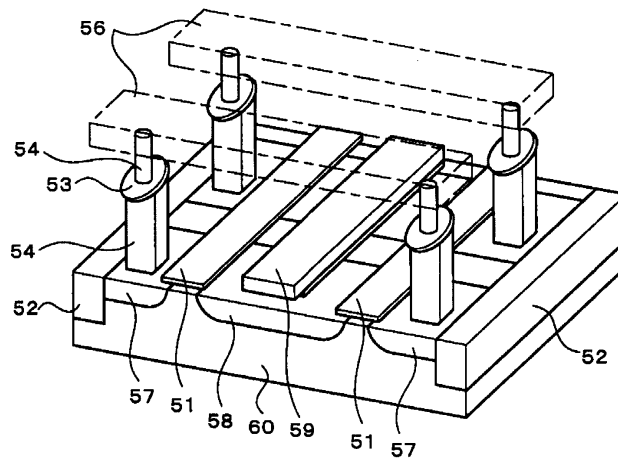
도면8



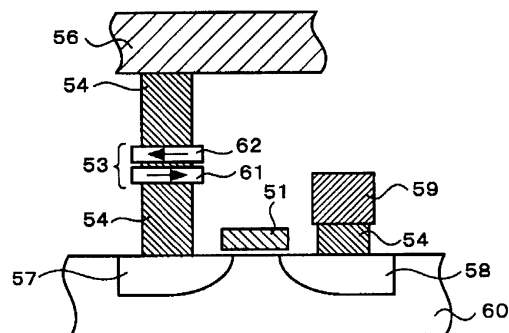
도면9



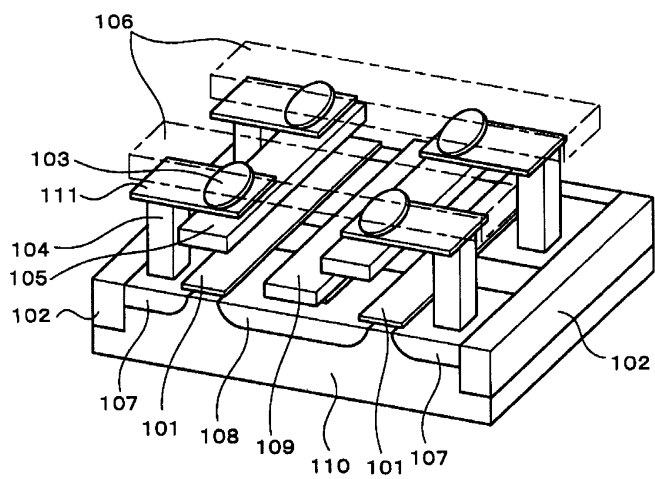
도면10



도면11



도면12



도면13

