



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I746146 B

(45)公告日：中華民國 110 (2021) 年 11 月 11 日

(21)申請案號：109130275

(22)申請日：中華民國 101 (2012) 年 05 月 17 日

(51)Int. Cl. : H01L23/535 (2006.01)

H01L23/538 (2006.01)

(30)優先權：2011/05/24 日本

2011-115634

2011/06/09 日本

2011-129190

(71)申請人：日商新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：藤井宣年 FUJII, NOBUTOSHI (JP)；香川惠永 KAGAWA, YOSHIHISA (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201106457A

CN 101996956A

JP 2011-54637A

US 2003/0148590A1

審查人員：邱青松

申請專利範圍項數：9 項 圖式數：20 共 65 頁

(54)名稱

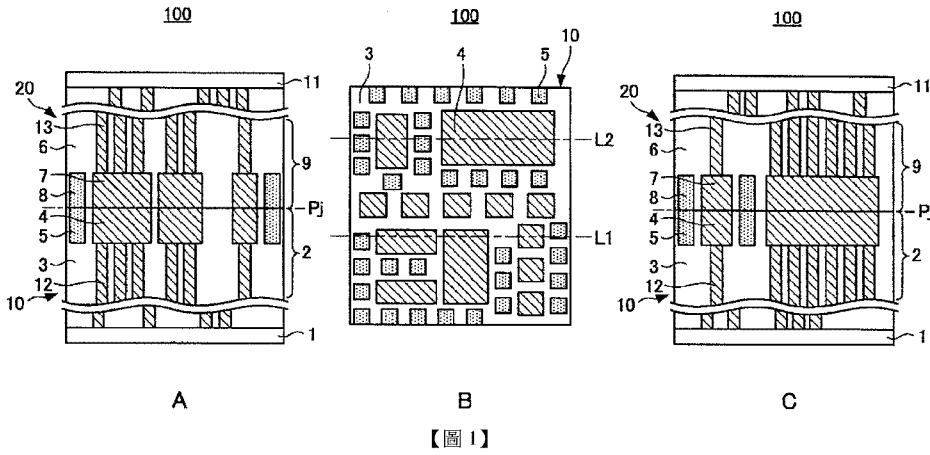
半導體裝置

(57)摘要

本發明提供一種具有可靠性更高之接合面之半導體裝置。第 1 半導體裝置包含：第 1 配線層，其包含：第 1 層間絕緣膜；埋入於該第 1 層間絕緣膜內，且一表面與第 1 層間絕緣膜之一表面位於同一面上之第 1

電極墊；及埋入於第 1 層間絕緣膜內，且一表面與第 1 層間絕緣膜之一表面位於同一面上，並配設於第 1 電極墊的周圍之第 1 虛設電極；及第 2 配線層，其包含：位於第 1 層間絕緣膜的第 1 電極墊之一表面側之第 2 層間絕緣膜；埋入於第 2 層間絕緣膜內，且一表面與第 2 層間絕緣膜的第 1 層間絕緣膜側之表面位於同一表面，且接合於第 1 電極墊上之第 2 電極墊；及一表面與第 2 層間絕緣膜的第 1 層間絕緣膜側之表面位於同一面上，並配設於第 2 電極墊的周圍，且接合於第 1 虛設電極上之第 2 虛設電極。第 2 半導體裝置具備：第 1 半導體部，其具有形成於接合界面側的表面且在第 1 方向上延伸之第 1 電極；及第 2 半導體部，其具有於上述接合界面與第 1 電極接合且在與第 1 方向交叉之第 2 方向上延伸之第 2 電極，且於上述接合界面與第 1 半導體部貼合而設置。

指定代表圖：



【圖 1】

符號簡單說明：

- 1:基板
- 2:第 1 配線層
- 3:層間絕緣膜
- 4:第 1 電極墊
- 5:虛設電極
- 6:層間絕緣膜
- 7:第 2 電極墊
- 8:虛設電極
- 9:第 2 配線層
- 10:第 1 半導體構件
- 11:基板
- 12:通道
- 13:通道
- 20:第 2 半導體構件
- 100:半導體裝置
- L1:線
- L2:線
- Pj:接合面



I746146

【發明摘要】**【中文發明名稱】**

半導體裝置

【中文】

本發明提供一種具有可靠性更高之接合面之半導體裝置。第1半導體裝置包含：第1配線層，其包含：第1層間絕緣膜；埋入於該第1層間絕緣膜內，且一表面與第1層間絕緣膜之一表面位於同一面上之第1

電極墊；及埋入於第1層間絕緣膜內，且一表面與第1層間絕緣膜之一表面位於同一面上，並配設於第1電極墊的周圍之第1虛設電極；及第2配線層，其包含：位於第1層間絕緣膜的第1電極墊之一表面側之第2層間絕緣膜；埋入於第2層間絕緣膜內，且一表面與第2層間絕緣膜的第1層間絕緣膜側之表面位於同一表面，且接合於第1電極墊上之第2電極墊；及一表面與第2層間絕緣膜的第1層間絕緣膜側之表面位於同一面上，並配設於第2電極墊的周圍，且接合於第1虛設電極上之第2虛設電極。第2半導體裝置具備：第1半導體部，其具有形成於接合界面側的表面且在第1方向上延伸之第1電極；及第2半導體部，其具有於上述接合界面與第1電極接合且在與第1方向交叉之第2方向上延伸之第2電極，且於上述接合界面與第1半導體部貼合而設置。

【指定代表圖】

圖1A-1C

【代表圖之符號簡單說明】

1:基板

2:第1配線層

- 3:層間絕緣膜
- 4:第1電極墊
- 5:虛設電極
- 6:層間絕緣膜
- 7:第2電極墊
- 8:虛設電極
- 9:第2配線層
- 10:第1半導體構件
- 11:基板
- 12:通道
- 13:通道
- 20:第2半導體構件
- 100:半導體裝置
- L1:線
- L2:線
- Pj:接合面

【發明說明書】

【中文發明名稱】

半導體裝置

【技術領域】

本技術係關於一種接合而積層2個以上的半導體構件之半導體裝置。

【先前技術】

先前，在例如貼合半導體構件彼此而製作3維集積電路等之情形下，有使用直接接合設置於半導體構件的貼合面之Cu電極彼此之方法(例如，參照專利文獻1、專利文獻4及專利文獻5)。例如，在下述專利文獻1中，揭示有由Cu電極(焊墊)接合形成有受光元件之第1基板與形成有周邊電路之第2基板之方法。在該方法中，藉由使設置於各者之半導體構件上之Cu電極與層間絕緣膜在同一面上平坦化並貼合，而接合對向之Cu電極彼此及層間絕緣膜彼此。

但，在半導體構件彼此之電性連接中，要使設置於各者之半導體構件上之Cu電極彼此直接接觸，且以可接合的程度確保接合面的平坦性有其困難。例如，在利用CMP (chemical mechanical polishing，化學機械研磨法)法使半導體構件的接合面平坦化之情形下，為抑制接合面的凹陷之產生，需要嚴格地設定研磨條件。又，要安定地持續實施所設定之條件有其困難。

因此，提案有一種在無須完全地進行Cu電極及層間絕緣膜之平坦化之下，藉由利用例如濕式蝕刻或乾式蝕刻等僅將層間絕緣膜除去一部分，而使Cu電極較層間絕緣膜突出之方法(例如，參照專利文獻2及非專利文獻1)。

另一方面，在未進行接合之一般的半導體構件中，藉由以使配線密度成為一定之方式設置虛設圖案，亦可進行凹陷之抑制(例如參照下述專利文獻3)。又，在測定如此貼合之半導體構件彼此的接合強度之情形下，先前已知有例如記載於非專利文獻2中之所謂的“刮刀測試”。

再者，通常，在進行Cu電極彼此之接合時，例如為抑制對準偏離或接觸電阻之上升等，而接合大面積的Cu板彼此。然而，在形成各Cu板之時，通常會對於Cu板的接合面施行CMP(化學機械研磨)處理。因而，在形成寬幅(例如5 μm 以上)的Cu板之時，會因CMP處理而容易於Cu板的接合面產生凹陷(塌陷)。

此處，在圖19中顯示將於接合面產生凹陷之Cu板彼此接合時之接合界面附近之情況。另，圖19中顯示將第1半導體晶片1401與第2半導體晶片1402進行Cu電極彼此接合之例。於第1半導體晶片1401的接合墊1403之接合面及第2半導體晶片1402的接合墊1404之接合面產生凹陷之情形下，若接合兩者，則會於接合界面Sj產生氣泡等。在該情形下，於接合界面Sj，會有產生例如導通不良或接觸電阻之上升等，而使接合性顯著劣化之可能性。

為消除該問題，於專利文獻5中提案有一種藉由於接合墊內形成複數個開口而抑制凹陷的產生之技術。

在圖20中顯示由專利文獻5所提案之接合墊的概略俯視圖。由專利文獻5所提案之接合墊1405係以特定間隔使複數個矩形狀的開口1406分散於板狀的焊墊上而形成。另，圖20中雖未顯示，但於接合墊1405的開口1406內形成有絕緣層(介電質層)。藉由將接合墊1405設為此種構成，可在接合墊1405內消除大面積(寬幅)的電極部分，而抑制凹陷的產生。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本特開2006-191081號公報

[專利文獻2]日本特表2006-522461號公報

[專利文獻3]日本特開平11-265866號公報

[專利文獻4]日本專利第3532788號說明書

[專利文獻5]日本特開2010-103533號公報

[非專利文獻]

[非專利文獻1] J. J. McMahon, J.-Q. Lu and R. J. Gutmann, IEEE 55th ECTC, 2005

[非專利文獻2] W. P. Maszara, G. Goetz, A. Caviglia and J. B. McKitterick, J. Appl. Phys. 64 (10) 1988 , pp. 4943

【發明內容】

如上所述，為更堅固地接合半導體構件彼此，先前雖提案有各種方法，但目前並未發現確實之方法。又，業界謀求更進一步抑制Cu電極間的接合界面之例如導通不良或接觸電阻的上升等之產生之方法。如此，期望具有可靠性更高之接合面之半導體裝置。

鑒於上述之點，本技術之目的在於提供一種具有可靠性更高之接合面之半導體裝置。

本技術一實施形態之第1半導體裝置包含：第1配線層，其包含：第1層間絕緣膜；埋入於該第1層間絕緣膜內，且一表面與第1層間絕緣膜一表面位於同一面上之第1電極墊；及埋入於第1層間絕緣膜內，且一表面與第1層間絕緣膜之一表面位於同一面上，並配設於第1電極墊的周圍之第1虛

設電極；及第2配線層，其包含：位於第1層間絕緣膜的第1電極墊之一表面側之第2層間絕緣膜；埋入於第2層間絕緣膜內，且一表面與第2層間絕緣膜的第1層間絕緣膜側之表面位於同一表面，且接合於第1電極墊上之第2電極墊；及一表面與第2層間絕緣膜的第1層間絕緣膜側之表面位於同一面上，並配設於第2電極墊的周圍，且接合於第1虛設電極上之第2虛設電極。

在本技術之一實施形態之第1半導體裝置中，藉由於第1配線層與第2配線層之接合面配置虛設電極，而接合虛設電極彼此。藉此，使進行金屬接合之面積增大。

本技術一實施形態之第2半導體裝置具備：第1半導體部，其具有形成於接合界面側的表面且在第1方向上延伸之第1電極；及第2半導體部，其具有於上述接合界面與第1電極接合且在與第1方向交叉之第2方向上延伸之第2電極，且於上述接合界面與第1半導體部貼合設置。

在本技術之一實施形態之第2半導體裝置中，係使於接合界面接合之第1電極的延伸方向與第2電極的延伸方向交叉，且於該交叉部分形成第1電極及第2電極間的接合區域。藉此，即便於第1電極及第2電極間產生接合對準偏離，亦不會使形成於交叉部分之第1電極及第2電極間的接合區域之面積產生變動。

根據本技術一實施形態之第1半導體裝置，可於第1配線層與第2配線層的接合面使進行金屬接合之面積增大。藉此，可使第1配線層與第2配線層的接合強度提高，而可獲得具有可靠性更高之接合面之半導體裝置。

根據本技術一實施形態之第2半導體裝置，可更進一步抑制第1電極及第2電極間的接合界面之例如導通不良或配線電阻的上升等之產生。藉

此，可獲得具有可靠性更高之接合界面之半導體裝置。

【圖式簡單說明】

圖1A、圖1B、圖1C係顯示本技術第1實施形態之半導體裝置之圖。

圖2A、圖2B、圖2C係顯示本技術第2實施形態之半導體裝置之圖。

圖3A、圖3B係顯示本技術第3實施形態之半導體裝置之圖。

圖4A、圖4B係顯示本技術第4實施形態之半導體裝置之圖。

圖5A、圖5B係顯示本技術第5實施形態之半導體裝置之圖。

圖6係顯示本技術第6實施形態之半導體收像裝置之圖。

圖7係用以說明接合對準偏離的問題之圖。

圖8(a)、(b)係用以說明接合對準偏離的問題之圖。

圖9係本技術第7實施形態之半導體裝置的各Cu接合部之概略構成圖。

圖10係第7實施形態之半導體裝置之接合界面附近的概略剖面圖。

圖11係第7實施形態之半導體裝置的Cu電極彼此之接合區域的概略構成圖。

圖12係本技術第8實施形態之半導體裝置的各Cu接合部之概略構成圖。

圖13係本技術第9實施形態之半導體裝置的各Cu接合部之概略構成圖。

圖14係第9實施形態之半導體裝置的Cu電極彼此之接合區域的概略構成圖。

圖15係本技術第10實施形態之半導體裝置(固體攝像元件)的概略構成剖面圖。

圖16A、圖16B、圖16C係顯示比較例之半導體裝置之圖。

圖17係變形例1之Cu電極彼此的接合區域之概略構成圖。

圖18係顯示應用本技術之半導體裝置(固體攝像元件)之電子機器的一例之圖。

圖19係用以說明先前之Cu電極彼此的接合之凹陷的影響之圖。

圖20係先前之接合墊的概略俯視圖。

【實施方式】

以下，茲參照圖示就本技術之實施形態詳細地進行說明。

<第1實施形態>

圖1A係第1實施形態之半導體裝置100的概略剖面圖。本實施形態之半導體裝置100具有：第1半導體構件10、及接合於第1半導體構件10之第2半導體構件20。又，圖1B係顯示第1半導體構件10的接合面之圖，圖1A係圖1B中之線L1之剖面圖。又，圖1C係圖1B中之線L2之剖面圖。

如圖1A及圖1C所示般，第1半導體構件10具有例如基板1、及形成於基板1上之第1配線層2。又，雖省略了圖示，但於基板1上形成有例如電晶體或二極體等之半導體元件。於該半導體元件上，設置例如SiO₂、NSG(非摻雜矽酸鹽玻璃)、PSG(磷矽酸玻璃)、TEOS(四乙氧基矽烷)等之平坦化膜，且於該平坦化膜上形成第1配線層2。再者，第1半導體構件10亦可具有積層有複數個配線層之多層配線構造。惟，在該情形下，第1配線層2在各配線層中亦是配設於最靠近第2半導體構件20側。

於第1配線層2配設例如由Cu構成的第1電極墊4、及例如由Cu構成的虛設電極5。又，第1電極墊4與虛設電極5係埋入於包含例如有機矽玻璃等之低介電常數材料或SiO₂等之層間絕緣膜3內。與第1電極墊4、虛設電

極5及層間絕緣膜3的基板1側相反側之各者的表面係位於同一面內，且形成有第1配線層2與後述之第2配線層9之接合面Pj。

又，於各第1電極墊4上連接有通道12，且各第1電極墊4係經由通道12而連接於省略圖示之配線。對於1條配線之第1電極墊4的連接個數係以使連接於該配線之焊墊4與通道12之電阻值的合計等於配線所需之電阻值之方式決定。對於1條配線，可藉由連接複數個第1電極墊4，而獲得與配置大面積的焊墊之情形相同之效果。

第2半導體構件20具有例如基板11、及形成於基板11上之第2配線層9。又，於基板11上亦可形成有例如電晶體或二極體等之半導體元件(省略圖示)。第2半導體構件20雖亦可是積層有複數個配線層之多層配線構造，但第2配線層9在各配線層中亦是配設於相對於基板11為最遠之位置(最上層)。

第2配線層9具有例如由Cu構成的第2電極墊7、例如由Cu構成的虛設電極8、及層間絕緣膜6。又，第2電極墊7與虛設電極8係埋入於層間絕緣膜6內。層間絕緣膜6的材料亦可與層間絕緣膜3相同。與第2電極墊7、虛設電極8及層間絕緣膜6的基板11側相反側之各者的表面係位於同一面內，且形成有第1配線層2與第2配線層9的接合面Pj。又，於各第2電極墊7連接有通道13，各第2電極墊7係經由通道13而連接於省略圖示之配線。

又，第1電極墊4與第2電極墊7、及虛設電極5與虛設電極8係相對於接合面Pj而面對稱地配置。在該接合面Pj中，第1電極墊4、虛設電極5及層間絕緣膜3分別與第2電極墊7、虛設電極8及層間絕緣膜6接合。該接合可使用例如電漿接合等之各種手法。

利用第1電極墊4與第2電極墊7之接合，使第1半導體構件10與第2半

導體構件20電性連接。相對於此，虛設電極5與虛設電極8並非是將第1半導體構件10與第2半導體構件20電性連接者，而是與周圍電性獨立地配設。

此處，如圖1B所示般，虛設電極5(虛設電極8)係配置於各第1電極墊4(第2電極墊7)之間。藉由如此配設虛設電極5(虛設電極8)，並使虛設電極5與虛設電極8接合，可增加金屬彼此的接合面積。因此，可提高第1半導體構件10與第2半導體構件20之間的接合強度。

如先前般，在未配置虛設電極之情形下，若例如第1半導體構件10與第2半導體構件20之對準偏離時，亦可能存在進行Cu的電極墊與SiO₂膜等之層間絕緣膜之接合之部位。相較於Cu彼此之接合，Cu與SiO₂膜之接合強度顯著減弱。因此，於接合面內易於產生接合強度之差異。

相對於此，在本實施形態之半導體裝置100中，由於藉由配置虛設電極5(虛設電極8)，而使金屬間的接合面積增大，因此即便對於若干的對準偏離，亦可維持較高的接合強度。另，該金屬間之接合面積的增大之作用並非依存於虛設電極5(虛設電極8)的配置圖案例如是否相同。因而，在僅以接合強度之提高為目的之情形下，亦可不接合所有的虛設電極彼此，而只要至少接合能夠獲得目標的接合強度之面積部分的虛設電極彼此即可。

又，藉由於各第1電極墊4(第2電極墊7)之間配置虛設電極5(虛設電極8)，可將接合面P_j之金屬配線密度設為均一。因此，在例如利用CMP法等形成接合面P_j之時，可抑制產生接合面P_j的凹陷或侵蝕。該效果亦並非依存於虛設電極5(虛設電極8)的配置圖案，只要虛設電極5的面積密度在特定的CMP條件下滿足不產生凹陷或侵蝕等之特定之值，則可適宜地變更配置圖案。

又，亦可僅於例如易於產生凹陷之第1電極墊4(第2電極墊7)的周圍配置虛設電極5(虛設電極8)。亦即，亦可僅於意欲抑制凹陷或侵蝕等之部位配置面積密度滿足特定之值之虛設電極5(虛設電極8)。

<第2實施形態>

在第1實施形態中，第1電極墊4與第2電極墊7、及虛設電極5與虛設電極8係相對於接合面Pj而面對稱地配置。但，如上所述般，該等未必必須彼此面對稱地配置。

圖2A係顯示第2實施形態之半導體裝置200的第1半導體構件10之接合面之圖，圖2B係顯示第2半導體構件20的接合面之圖。又，圖2C係圖2A及圖2B中所示之線L3之半導體裝置200的剖面圖。另，對與第1實施形態對應之部位標注以同一符號，而避免重複之說明。又，在本實施形態中，除第1配線層2及第2配線層9以外之構成皆與第1實施形態(參照圖1C)相同，因此在圖2C中，僅圖示第1配線層2及第2配線層9。

本實施形態之半導體裝置200具有：第1半導體構件10、及接合於第1半導體構件10之第2半導體構件20。第1半導體構件10具備第1配線層2，第2半導體構件20具備第2配線層9。在該第1配線層2與第2配線層9中，第1電極墊4、第2電極墊7、虛設電極5及虛設電極8的配置圖案與第1實施形態不同。

例如，於圖2C之區域T1中，對於1個第2電極墊7接合2個第1電極墊4及1個虛設電極5。又，於區域T2中，對於1個虛設電極8接合2個虛設電極5。如此，在本實施形態中，第1電極墊4、第2電極墊7、虛設電極5及虛設電極8並非相對於接合面Pj成表面對稱。但，由於將複數個虛設電極5接合於第2電極墊7及虛設電極8，因此與第1實施形態相同，可使接合強度

提高。

又，由於在本實施形態中，亦可於各第1電極墊4(第2電極墊7)之間配置虛設電極5(虛設電極8)，因此可將接合面Pj之金屬配線密度設為均一，且可抑制在利用CMP法形成接合面Pj之時產生之凹陷或侵蝕等。又，其他之構成之作用、效果亦與第1實施形態相同。

<第3實施形態>

圖3A係顯示第3實施形態之半導體裝置300的第1半導體構件10之接合面之圖，圖3B係圖3A所示之線L4之半導體裝置300的剖面圖。又，在本實施形態中，由於除第1配線層2、第2配線層9、第3配線層18及第4配線層19之構成以外皆與第1實施形態(參照圖1C)相同，因此在圖3B中，僅圖示該等之配線層。

本實施形態之半導體裝置300具有：第1半導體構件10、及第2半導體構件20。第1半導體構件10具備：第1配線層2、及第3配線層18。如圖3A所示般，在本實施形態中，於第1配線層2中，第1電極墊4與虛設電極5具有相同接合面形狀，且全部以等間隔排列。

又，如圖3B所示般，第1電極墊4係由通道12而連接於第3配線層18之配線21。另，於第1配線層2與第3配線層18之間形成有例如包含SiN等之擴散防止膜14。

第2半導體構件20具備：第2配線層9、及第4配線層19。第2配線層9之第2電極墊7及虛設電極8係相對於接合面Pj分別與第1電極墊4及虛設電極5面對稱地配置。第2電極墊7係由通道13而連接於第4配線層19之配線22。又，於第2配線層9與第4配線層19之間配設有例如SiN等之擴散防止膜15。

如此，由於在本實施形態中，亦可設置虛設電極5、8並使其彼此接合，因此可使第1半導體構件10及第2半導體構件20間之接合強度提高。特別是在本實施形態中，由於第1電極墊4(第2電極墊3)與虛設電極5(虛設電極8)具有相同接合面形狀，且全部以等間隔配置，因此可將配線(電極墊及虛設電極)的面積密度設為更均一。因而，由於可抑制研磨而形成接合面時產生之凹陷或侵蝕等，因此可將接合面進一步平面化。因此，在第1半導體構件10與第2半導體構件20之接合時，可防止於該接合面Pj產生空隙。

又，在本實施形態中，即便在例如配線21、22的佈局不同之情形下，亦可在無須變更第1電極墊4(第2電極墊7)及虛設電極5(虛設電極8)的佈局之下直接共通使用。在該情形下，第1電極墊4、第2電極墊7、虛設電極5及虛設電極8係由例如相同的Cu電極構成。亦即，自全部以相同間隔配置之Cu電極之中選擇作為第1電極墊4或第2電極墊7使用者，並使通道12或通道13分別對於該Cu電極連接。而後，藉由將除此以外之Cu電極作為虛設電極使用，可在無須變更第1配線層2及第2配線層9之Cu電極的佈局之下，對配線21、22之任意圖案容易地導通。因此，每當變更配線圖案時，由於無需進行接合之電極的佈局變更，因此可降低設計成本。又，其他之構成之作用及效果與第1實施形態相同。

<第4實施形態>

圖4A係顯示構成第4實施形態之半導體裝置400之第1半導體構件10的接合面之圖。另，對與第1實施形態對應之部位標注以同一符號，而避免重複之說明。又，在本實施形態中，由於僅第1電極墊4(第2電極墊7)及虛設電極5(虛設電極8)的佈局與第1實施形態不同，因此省略顯示其他之

構成之圖。

如圖4A所示般，在本實施形態之第1半導體構件10中，僅於第1電極墊4的周圍配設有虛設電極5。藉由進行此種配置，可在利用例如CMP法等之接合面的研磨後，於配置有第1電極墊4與虛設電極5之該周邊區域中確保大致相同的平坦性。又，在省略圖示之第2半導體構件20中，第2電極墊7及虛設電極8係相對於接合面分別與第1電極墊4及虛設電極5面對稱地配置。因而，同樣地於配置有第2電極墊7與虛設電極8之該周邊區域中可確保大致相同的平坦性。因此，在本實施形態中，亦可在不產生空隙之下，使第2電極墊7及虛設電極8分別對第1電極墊4及虛設電極5接合。

另，如圖4B所示之半導體裝置410般，不僅是第1電極墊4的周圍，亦可於除第1電極墊4以外之所有區域配置虛設電極5。於圖4B中，雖僅圖示有第1半導體構件10，但第2半導體構件的第2電極墊7及虛設電極8係與第1半導體構件10的第1電極墊4及虛設電極5分別面對稱地配置。在該情形下，虛設電極5無需以例如等間隔進行配置。例如在接合第1半導體構件10與第2半導體構件20之時，只要是在複數個虛設電極5與複數個虛設電極8中一對以上彼此接合之程度的配線密度之佈局，即可獲得接合強度提高之效果。

<第5實施形態>

圖5A係顯示構成第5實施形態之半導體裝置500之第1半導體構件10的接合面之圖。又，圖5B係圖5A之線L5之半導體裝置500的剖面圖。另，對與第2實施形態對應之部位標注以同一符號，而避免重複之說明。又，在本實施形態中，設置有通道23、24，僅此點與第2實施形態不同。因而，於圖5B中，省略除第1配線層2及第2配線層9以外之構成之圖示。

本實施形態之半導體裝置500係對於第1半導體構件10的虛設電極5連接有通道23。又，該通道23連接於接地。又，於第2半導體構件20的虛設電極8連接有通道24，且該通道24連接於接地。

如此，藉由將所有的虛設電極5、8連接於接地，可使第1半導體構件10及第2半導體構件20的接地位準一致。又，在對電源電壓連接虛設電極5、8之情形下，亦可將電源共通化。又，其他之構成之作用、效果與第2實施形態相同。

<第6實施形態>

此處，作為本技術之半導體裝置的進一步具體之例，就半導體收像裝置進行說明。圖6係顯示第6實施形態之半導體收像裝置600的構成之圖。另，對與第2實施形態(參照圖2C)對應之部位標注以同一符號，而省略重複之說明。

本實施形態之半導體收像裝置600具備：第1半導體構件30、及接合於第1半導體構件30之第2半導體構件40。第1半導體構件30具備：例如Si基板33、及形成於Si基板33上之利用互補型金屬氧化膜半導體之電晶體34。又，於電晶體34上積層有複數個配線層，且於距離基板33最遠之位置(最上層)形成有第1配線層31。又，於各配線層之間，設置有例如包含SiCN或SiN等之擴散防止膜41。

於第1配線層31配設例如由Cu構成之第1電極墊4、及例如由Cu構成之虛設電極5。又，第1電極墊4與虛設電極5係埋入於例如有機矽玻璃等之低介電常數材料或SiO₂等之層間絕緣膜39內，且與第1電極墊4、虛設電極5以及層間絕緣膜39的Si基板33相反側之表面係位於同一面內。又，第1電極墊4係利用通道而對Si基板33側之配線層中之配線連接。

另一方面，第2半導體構件40具備：因應受光量而輸出電性信號(電荷)之光電轉換層35、配置於光電轉換層35上之彩色濾光器36、及配置於彩色濾光器36上之微透鏡37。又，於光電轉換層35上，於除彩色濾光器36以外之區域形成有絕緣膜38。以1個光電轉換層35、彩色濾光器36、及微透鏡37之每一組形成1個像素。

於與光電轉換層35的彩色濾光器36相反側之面上積層有配線層，且於距離光電轉換層35最遠之位置形成有第2配線層32。另，於各配線層之間形成有例如包含SiCN或SiN之擴散防止膜42。又，第2配線層32在構成上包含：例如包含有機矽玻璃等之低介電常數材料或SiO₂等之層間絕緣膜43、第2電極墊7、及虛設電極8。第2電極墊7及虛設電極8係埋入於層間絕緣膜43內，且與第2電極墊7、虛設電極8以及層間絕緣膜43的光電轉換層35側相反側之表面係位於同一面內。該等第1電極墊4、虛設電極5、第2電極墊7及虛設電極8的佈局可採用第1實施形態~第5實施形態所示之佈局中任意之佈局。

光電轉換層35係由例如光電二極體等構成。又，設置於第1半導體構件中之電晶體34係所謂的傳輸電晶體、重設電晶體及放大電晶體等，且係用以運算自光電轉換層35輸出之電荷者。

又，雖未圖示，但半導體收像裝置600除此以外具有例如垂直驅動電路、行信號處理電路、水平驅動電路等之電路。垂直驅動電路係以行單位在垂直方向上選擇掃描各像素，並將基於在光電轉換層35所生成之電荷之像素信號供給於行信號處理電路。又，行信號處理電路係配置於像素之例如每1行上，並將自1列份額的像素輸出之信號按每一像素行進行雜訊除去等之信號處理。又，水平驅動電路係藉由依序輸出水平掃描脈衝，而逐一

選擇行信號處理電路之各者，並自行信號處理電路之各者使像素信號輸出至水平信號線。

由於在本實施形態之半導體收像裝置600中，亦可利用虛設電極5、8而接合第1半導體構件30與第2半導體構件40，因此可使接合強度提高。又，由於該等第1電極墊4、虛設電極5、第2電極墊7及虛設電極8之佈局與第1實施形態~第5實施形態中之任一者相同，因此可將接合面Pj形成於更均一的平面上。因而，由於可抑制凹陷或侵蝕，因此可防止接合面Pj之空隙的產生。又，其他之構成之作用、效果亦與第1實施形態~第5實施形態相同。

<第7實施形態>

首先，茲參照圖7以及圖8(a)及(b)，就在使用由上述專利文獻5所提案般之接合墊之情形下可能引起之接合對準偏離的問題簡單地進行說明。另，圖7係具備與由上述專利文獻5所提案之接合墊具有相同的構成之接合墊之Cu接合部的概略立體圖。又，圖8(a)係無接合對準偏離之情形之接合界面Sj附近的概略剖面圖，圖8(b)係有接合對準偏離之情形之接合界面Sj附近的概略剖面圖。

第1Cu接合部1510具有形成有複數個開口部1512之第1接合墊1511。另一方面，第2Cu接合部1520具有形成有複數個開口部1522之第2接合墊1521。另，此處，第1Cu接合部1510與第2Cu接合部1520係相同構成，且接合墊及開口部的尺寸設為相同。

又，第1Cu接合部1510經由通道1503而電性連接於第1Cu配線1501，第2Cu接合部1520經由通道1504而電性連接於第2Cu配線1502。另，於第1接合墊1511的開口部1512內及第2接合墊1521的開口部1522內

分別形成有絕緣膜1513及絕緣膜1523。

於圖7所示之構成的第1Cu接合部1510與第2Cu接合部1520之間，在無接合對準偏離之情形下，如圖8(a)所示般，第1接合墊1511及第2接合墊1521間的接觸面積成為最大，於接合界面Sj之接觸電阻成為最小。另一方面，在有接合對準偏離之情形下，如圖8(b)所示般，第1接合墊1511及第2接合墊1521間的接觸面積減小(接合墊及絕緣膜間之接觸面積增大)，於接合界面Sj之接觸電阻增大。

亦即，於圖7所示之構成例中，雖可消除上述之凹陷的問題，但當產生接合對準偏離時，會有於接合界面Sj之接觸電阻顯著變動之可能性。又，若接合對準偏離較大，則於接合界面Sj亦會有產生導通不良之可能性。是以，在本實施形態中，說明在具有於電極部間設置有絕緣膜之Cu接合部之半導體裝置中，即便於2個Cu接合部間產生接合對準偏離，亦可抑制接觸電阻的變動或導通不良等之產生之構成例。

[半導體裝置之構成]

於圖9及10中顯示第7實施形態之半導體裝置的概略構成。圖9係本實施形態之半導體裝置之各Cu接合部的概略立體圖。又，圖10係本實施形態之半導體裝置之接合界面Sj附近的概略剖面圖。另，圖9及10中，為將說明簡單化，僅顯示1個Cu電極彼此之接合區域附近的概略構成。再者，圖9中，為將說明簡單化，僅顯示電極部，而省略設置於其周圍之Cu障壁層、層間絕緣膜等之構成部的圖示。又，圖9中，為進一步闡明各Cu接合部的構成，而分開圖示Cu接合部。

半導體裝置1100如圖10所示般，具備：第1配線部1101(第1半導體部)、及第2配線部1102(第2半導體部)。而後，在本實施形態中，藉由貼

合第1配線部1101的後述之第1層間絕緣膜1015側之面與第2配線部1102的後述之第2層間絕緣膜1025側之面，而製作半導體裝置1100。

另，作為第1配線部1101及第2配線部1102間的接合手法，可使用任意之手法。例如，使用電漿接合、常溫接合等之手法，可結合第1配線部1101與第2配線部1102。又，第1配線部1101及第2配線部1102可使用記載於例如日本特開2004-63859號公報等之文獻中之形成手法而形成。

第1配線部1101具備：第1半導體基板(未圖示)、第1SiO₂層1011、第1Cu配線1012(第1配線)、第1Cu障壁膜1013及第1Cu擴散防止膜1014。再者，第1配線部1101具備：第1層間絕緣膜1015、包含3條第1接合電極1016(第1電極)之第1Cu接合部1010(第1接合部)、第1Cu障壁層1017及3個通道1018。

第1SiO₂層1011形成於第1半導體基板上。又，第1Cu配線1012係以埋入於與第1SiO₂層1011的第1半導體基板側相反側之表面之方式形成。另，第1Cu配線1012係連接於例如未圖示之半導體裝置1100內的特定之元件、電路等。

第1Cu障壁膜1013形成於第1SiO₂層1011與第1Cu配線1012之間。另，第1Cu障壁膜1013係用以防止銅(Cu)自第1Cu配線1012向第1SiO₂層1011擴散之薄膜，其係由例如Ti、Ta、Ru或該等之氮化物形成。

第1Cu擴散防止膜1014係設置於第1SiO₂層1011、第1Cu配線1012、及第1Cu障壁膜1013之區域上，且設置於除通道1018的形成區域以外之區域上。另，第1Cu擴散防止膜1014係用以防止銅(Cu)自第1Cu配線1012向第1層間絕緣膜1015擴散之薄膜，且係由例如SiC、SiN或SiCN等之薄膜構成。又，第1層間絕緣膜1015係設置於第1Cu擴散防止膜1014上。

構成第1Cu接合部1010之3條第1接合電極1016係以埋入於與第1層間絕緣膜1015的第1Cu擴散防止膜1014側相反側之表面之方式設置。另，此時，各第1接合電極1016係連接於對應之通道1018上。又，第1接合電極1016係由Cu形成。

另，各第1接合電極1016係如圖9所示般，由在特定方向(第1方向)上延伸之棒狀電極構成。與各第1接合電極1016的延伸方向正交之剖面為矩形，該矩形之剖面的尺寸及形狀在延伸方向上為固定。又，在本實施形態中，將3條第1接合電極1016在與第1接合電極1016的延伸方向正交之方向上以特定間隔平行地配置。

第1Cu障壁層1017係設置於3條第1接合電極1016及3條通道1018與第1層間絕緣膜1015之間，且以覆蓋3條第1接合電極1016及3個通道1018之方式設置。另，第1Cu障壁層1017係由例如Ti、Ta、Ru或該等之氮化物形成。

通道1018係電性連接第1Cu配線1012與第1接合電極1016之縱孔配線，且由Cu形成。又，在本實施形態中，3個通道1018係如圖9及圖10所示般，經由第1Cu障壁層1017而各自個別電性連接於第1Cu配線1012。

另一方面，第2配線部1102具備：第2半導體基板(未圖示)、第2SiO₂層1021、第2Cu配線1022(第2配線)、第2Cu障壁膜1023、及第2Cu擴散防止膜1024。再者，第2配線部1102具備：第2層間絕緣膜1025、包含3條第2接合電極1026(第2電極)之第2Cu接合部1020(第2接合部)、第2Cu障壁層1027、及3個通道1028。另，於第2配線部1102中，除第2Cu接合部1020以外之構成皆與第1配線部1101對應之構成相同，因此此處僅針對第2Cu接合部1020的構成進行說明。

第2Cu接合部1020係由3條第2接合電極1026構成，該3條第2接合電極1026係以埋入於與第2層間絕緣膜1025的第2Cu擴散防止膜1024側相反側之表面之方式設置。另，此時，各第2接合電極1026係連接於對應之通道1028上。又，第2接合電極1026係由Cu形成。

各第2接合電極1026係如圖9所示般，與第1接合電極1016相同，由在特定方向(第2方向)上延伸之棒狀電極構成。而在本實施形態中，3條第2接合電極1026係在與第2接合電極1026的延伸方向正交之方向上以特定間隔平行地配置。

而在本實施形態中，如圖9所示般，以使第2接合電極1026的延伸方向(第2方向)與第1接合電極1016的延伸方向(第1方向)交叉之方式，形成第2接合電極1026。另，在本實施形態中，除第2接合電極1026的延伸方向以外之構成(例如形狀、尺寸、節距、條數等)皆與第1接合電極1016之該等設為相同。

第1接合電極1016的延伸方向與第2接合電極1026的延伸方向之交叉角度 α 係設定於 $0^\circ < \alpha < 180^\circ$ 的範圍內之值(參照後述之圖11)。交叉角度 α 係考量例如因應半導體裝置1100的用途而對Cu接合部要求之規格(電阻值、接合節距等)、對準裝置的對準精度、及接合時假設之半導體基板的旋轉偏移量等之條件而適宜地設定。惟，基於降低接合界面Sj的接觸電阻之觀點，較佳的是將交叉角度 α 設定於 0° 附近或 180° 附近，而進一步增大接觸面積。又，基於提高接合對準的精度之觀點，較佳的是將交叉角度 α 設定於 90° 附近。

此處，在上述構成之半導體裝置1100中，將形成於第1Cu接合部1010與第2Cu接合部1020之間之Cu電極彼此之接合區域的構成顯示於圖

11中。如上述般，在本實施形態中，由於第1接合電極1016的延伸方向與第2接合電極1026的延伸方向彼此交叉，因此於第1接合電極1016與第2接合電極1026之交叉區域形成Cu電極彼此之接合區域1103。

另，在本實施形態中，雖說明了由3條接合電極(第1接合電極1016或第2接合電極1026)構成各Cu接合部(第1Cu接合部1010或第2Cu接合部1020)之例，但本技術並不限定於此。構成各Cu接合部之接合電極的條數可任意設定，且可設定為例如1~100條程度之範圍內之條數。

又，各接合電極之尺寸(例如延伸長度、寬度、厚度等)、及接合電極的配置間隔(節距)係考量例如設計規則、假設之接合對準偏離等之條件而適宜地設定。例如，可將各接合電極的寬度及接合電極的節距設定為約0.1~5 μm 左右。惟，基於接合界面Sj之接觸電阻下降之觀點，較佳的是在設計規則容許之範圍內會儘量增大各接合電極的寬度。又，基於Cu接合部的製作容易性之觀點，較佳的是將接合電極的寬度與彼此鄰接之接合電極間的距離之比設為1:1。

再者，在本實施形態中，雖說明了於接合電極(第1Cu接合部1010或第2Cu接合部1020)之一方的端部附近設置通道之例，但本技術並不限定於此，可將通道設置於接合電極的任意位置。例如，亦可於與接合電極的Cu電極彼此之接合區域對應之位置設置通道。

如上述般，在本實施形態之半導體裝置1100中，由於係以使第1接合電極1016與第2接合電極1026彼此交叉之方式接合，因此即便在接合時於兩者間發生接合對準偏離，Cu電極彼此之接合區域1103的面積亦不會變動。另，在接合時產生旋轉偏移之情形下，Cu電極彼此之接合區域1103的面積會自所期望之面積稍微變動。然而，如上述般，各Cu接合部的構

成由於亦考量半導體基板的旋轉偏移量而進行設定，因此即便在接合時產生旋轉偏移之情形下，亦可將Cu電極彼此之接合區域1103的面積之變動抑制於假設之範圍內。

此外，在本實施形態中，即便產生接合對準偏離，亦可獲得所期望之Cu電極彼此的接合區域1103的面積，且可充分抑制接合界面Sj之接觸電阻的變動。另，在本實施形態中，於Cu接合部的接合面，由於採用交替地配置接合電極與絕緣部之構成，故無寬幅的接合電極部分，且凹陷之問題亦可消除。

基於以上內容，在本實施形態中，可進一步抑制接合界面Sj之例如導通不良或接觸電阻之上升等之產生，且可提供一種具有可靠性更高之接合界面Sj之半導體裝置1100。又，在本實施形態中，由於可抑制接合界面Sj之接觸電阻的增大，因此可抑制半導體裝置1100之消耗電力的增大、及處理速度之延遲。

<第8實施形態>

於圖12中顯示第2實施形態之半導體裝置的概略構成。圖12係本實施形態之半導體裝置的各Cu接合部之概略立體圖。另，圖12中，為將說明簡單化，僅顯示1個Cu電極彼此之接合區域附近的概略構成。又，圖12中，為將說明簡單化，僅顯示電極部，而省略設置於其周圍之Cu障壁層、層間絕緣膜等之圖示。再者，圖12中，為進一步闡明各Cu接合部的構成，而分開圖示各Cu接合部。又，在圖12所示之本實施形態的半導體裝置中，對於與圖9所示之第7實施形態的半導體裝置1100相同之構成標注以相同符號而顯示。

本實施形態之半導體裝置1110雖未在圖12中顯示，但其與第7實施形

態相同，具備：包含第1Cu接合部1030(第1接合部)之第1配線部(第1半導體部)、及包含第2Cu接合部1040(第2接合部)之第2配線部(第2半導體部)。且將第1配線部及第2配線部藉由利用例如電漿接合、常溫接合等之手法而貼合(接合)，而製作半導體裝置1110。

另，本實施形態中，除第1Cu接合部1030及第2Cu接合部1040以外之構成與上述第7實施形態(圖10)為相同之構成，因此此處僅針對第1Cu接合部1030及第2Cu接合部1040的構成進行說明。

第1Cu接合部1030如圖12所示般，具備：3個第1接合電極部1031(第1電極)、及第1引出電極部1032(第1引出電極)。另，在本實施形態中，第1Cu接合部1030係經由1個通道1018而連接於第1Cu配線1012。

第1接合電極部1031可與上述第7實施形態之第1接合電極1016同樣地構成。此外，本實施形態之第1接合電極部1031的例如形狀、尺寸、節距、條數等之構成並不限定於圖12所示之例，可與上述第7實施形態之第1接合電極1016同樣適宜地變更。

第1引出電極部1032係連接於3個第1接合電極部1031之一端部。又，第1引出電極部1032係連接於1個通道1018，並經由該通道1018而電性連接於第1Cu配線1012。亦即，在本實施形態中，3個第1接合電極部1031係經由第1引出電極部1032及通道1018而電性連接於第1Cu配線1012。另，第1引出電極部1032的例如形狀、尺寸等之構成係考量例如設計規則等之條件而適宜地設定。

另一方面，第2Cu接合部1040如圖12所示般，具備：3個第2接合電極部1041(第2電極)、及第2引出電極部1042(第2引出電極)。另，在本實施形態中，第2Cu接合部1040係經由1個通道1028而連接於第2Cu配線

1022。

第2接合電極部1041可與上述第7實施形態之第2接合電極1026同樣地構成。此外，本實施形態之第2接合電極部1041的例如形狀、尺寸、節距、條數等之構成並不限定於圖12所示之例，可與上述第7實施形態之第2接合電極1026同樣地適宜變更。又，在本實施形態中，除第2接合電極部1041的延伸方向以外之構成(例如形狀、尺寸、節距、條數等)皆與第1接合電極部1031之該等設為相同。

第2引出電極部1042係連接於3個第2接合電極部1041之一端部。又，第2引出電極部1042係連接於1個通道1028，並經由該通道1028而電性連接於第2Cu配線1022。亦即，在本實施形態中，3個第2接合電極部1041係經由第2引出電極部1042及通道1028而電性連接於第2Cu配線1022。另，第2引出電極部1042的例如形狀、尺寸等之構成係與第1引出電極部1032相同，考量例如設計規則等之條件而適宜地設定。

而後，在本實施形態中，如圖12所示般，以使第1Cu接合部1030之第1接合電極部1031的延伸方向與第2Cu接合部1040之第2接合電極部1041的延伸方向彼此交叉之方式，接合第1Cu接合部1030與第2Cu接合部1040。

另，第1接合電極部1031的延伸方向與第2接合電極部1041的延伸方向之交叉角度 α 係與上述第7實施形態相同，設為 $0^\circ < \alpha < 180^\circ$ 之範圍內之值。又，在本實施形態中與上述第7實施形態相同，考量例如對Cu接合部要求之規格、對準裝置之對準精度、接合時所假設之半導體基板的旋轉偏移量等之條件而適宜地設定交叉角度 α 。

如上述般，在本實施形態中，由於亦使第1接合電極部1031的延伸方

向與第2接合電極部1041的延伸方向彼此交叉，因此即便在兩者之接合時發生接合對準偏離，亦可充分抑制兩者間的接觸面積(接觸電阻)之變動。此外，在本實施形態之半導體裝置1110中，可獲得與上述第7實施形態相同之效果。

<第9實施形態>

於圖13顯示第9實施形態之半導體裝置的概略構成。圖13係本實施形態之半導體裝置的Cu接合部之概略立體圖。另，圖13中，為將說明簡單化，僅顯示1個Cu電極彼此之接合區域附近的概略構成。又，在圖13中，為將說明簡單化，僅顯示電極部，而省略設置於其周圍之Cu障壁層、層間絕緣膜等之圖示。再者，圖13中，為進一步闡明各Cu接合部之構成，而分開圖示Cu接合部。又，在圖13所示之本實施形態之半導體裝置中，對於與圖9所示之第7實施形態之半導體裝置1100相同之構成，標注以相同符號而顯示。

本實施形態之半導體裝置1120雖未在圖13中顯示，但其與第7實施形態相同，具備：包含第1Cu接合部1050(第1接合部)之第1配線部(第1半導體部)、及包含第2Cu接合部1060(第2接合部)之第2配線部(第2半導體部)。且將第1配線部及第2配線部藉由利用例如電漿接合、常溫接合等之手法貼合(接合)，而製作半導體裝置1120。

另，本實施形態中，除第1Cu接合部1050及第2Cu接合部1060以外之構成皆與上述第7實施形態(圖10)為相同之構成，因此此處僅針對第1Cu接合部1050及第2Cu接合部1060的構成進行說明。

第1Cu接合部1050係如圖13所示般，由形成有開口形狀為矩形的3個第1狹縫1051之板狀的電極構件構成。另，在本實施形態中，第1Cu接合

部1050係經由1個通道1018而連接於第1Cu配線1012。

3個第1狹縫1051係於第1Cu接合部1050之面內沿第1狹縫1051的短邊方向以特定間隔配置。此外，第1Cu接合部1050係構成為於相鄰之第1狹縫1051的長邊部間、及位於最外側之第1狹縫1051的外側之各者上形成有第1接合電極部1052(第1電極)。亦即，於第1Cu接合部1050，成為將沿第1狹縫1051的長邊方向延伸之4個第1接合電極部1052於其間包夾第1狹縫1051，而沿第1狹縫1051的短邊方向配置之構成。

另，第1接合電極部1052可與上述第7實施形態的第1接合電極1016同樣地構成。此外，本實施形態之第1接合電極部1052的例如形狀、尺寸、節距、條數等之構成並不限定於圖13所示之例，其可與上述第7實施形態的第1接合電極1016相同地適宜變更。

又，第1Cu接合部1050係成為分別以2個第1引出電極部1053連接4個第1接合電極部1052的一方及另一方的端部之構成。然後，使一方之第1引出電極部1053連接於1個通道1018，並經由該通道1018而電性連接於第1Cu配線1012。亦即，在本實施形態中，4個第1接合電極部1052係經由第1引出電極部1053及通道1018而電性連接於第1Cu配線1012。另，各第1引出電極部1053的例如形狀、尺寸等之構成可與上述第2實施形態之第1引出電極部1032同樣地構成。

另一方面，第2Cu接合部1060係如圖13所示般，與第1Cu接合部1050相同，由形成有開口形狀為矩形的3個第2狹縫1061之板狀的電極構件構成。另，在本實施形態中，第2Cu接合部1060係經由1個通道1028而連接於第2Cu配線1022。

3個第2狹縫1061於第2Cu接合部1060之面內係沿第2狹縫1061的短邊

方向以特定間隔配置。此外，第2Cu接合部1060係構成於彼此鄰接之第2狹縫1061的長邊部間、及位於最外側之第2狹縫1061的外側之各者上形成有第2接合電極部1062(第2電極)之構成。亦即，於第2Cu接合部1060，成為將沿第2狹縫1061的長邊方向延伸之4個第2接合電極部1062於其間包夾第2狹縫1061，而沿第2狹縫1061的短邊方向配置之構成。

另，第1接合電極部1062可與上述第7實施形態的第2接合電極1026同樣之構成。此外，本實施形態之第2接合電極部1062的例如形狀、尺寸、節距、條數等之構成並不限定於圖13所示之例，其可與上述第7實施形態的第2接合電極1026相同地適宜變更。又，在本實施形態中，除第2接合電極部1062的延伸方向以外之構成(例如形狀、尺寸、節距、條數等)皆與第1接合電極部1052之該等設為相同。

又，第2Cu接合部1060係成為分別以2個第2引出電極部1063連接4個第2接合電極部1062的一方及另一方的端部之構成。然後，使一方之第2引出電極部1063連接於1個通道1028，並經由該通道1028而電性連接於第2Cu配線1022。亦即，在本實施形態中，4個第2接合電極部1062係經由第2引出電極部1063及通道1028而電性連接於第2Cu配線1022。另，各第2引出電極部1063的例如形狀、尺寸等之構成可與上述第8實施形態之第2引出電極部1042同樣地構成。

而後，在本實施形態中，係如圖13所示般，以使第1Cu接合部1050之第1接合電極部1052的延伸方向與第2Cu接合部1060之第2接合電極部1062的延伸方向彼此交叉之方式接合第1Cu接合部1050與第2Cu接合部1060。

此處，於上述構成之半導體裝置1120中，係將形成於第1Cu接合部

1050與第2Cu接合部1060之間之Cu電極彼此之接合區域的構成顯示於圖14中。在本實施形態中，係於第1接合電極部1052與第2接合電極部1062之交叉區域、及各Cu接合部的外周部分別形成Cu電極彼此之接合區域1121及1122。

另，第1接合電極部1052的延伸方向與第2接合電極部1062的延伸方向之交叉角度 α 係與上述第7實施形態相同，設為 $0^\circ < \alpha < 180^\circ$ 之範圍內之值。又，在本實施形態中，與上述第7實施形態相同，考量例如對Cu接合部要求之規格、對準裝置之對準精度、接合時所假設之半導體基板的旋轉偏移量等之條件而適宜地設定交叉角度 α 。

在上述構成中，形成於第1接合電極部1052及第2接合電極部1062間之交叉區域之Cu電極彼此之接合區域1121的面積與上述第7實施形態同樣地，即便產生接合對準偏離亦不會變化。另一方面，形成於各Cu接合部的外周部之Cu電極彼此之接合區域1122的面積在產生接合對準偏離之情形下會稍微變化。

亦即，在本實施形態中，在產生接合對準偏離之情形下，第1Cu接合部1050及第2Cu接合部1060間的接觸面積(接觸電阻)僅在形成於各Cu接合部的外周部之Cu電極彼此之接合區域1122的面積之變動部分產生變動。然而，例如在圖7所示之構成的半導體裝置中，在產生接合對準偏離之時，不僅是Cu接合部的外周部，於絕緣膜間的區域(內部區域)亦會發生接觸面積(接觸電阻)變化。此外，在本實施形態中，相較於例如圖7所示之構成的半導體裝置，可抑制接合界面 S_j 之第1Cu接合部1050及第2Cu接合部1060間的接觸面積(接觸電阻)之變動。

如上述般，在本實施形態中，亦可使第1接合電極部1052的延伸方向

與第2接合電極部1062的延伸方向彼此交叉。此外，即便在接合時產生接合對準偏離，亦可充分地抑制第1Cu接合部1050及第2Cu接合部1060間的接觸面積(接觸電阻)之變動，且可獲得與上述第7實施形態相同之效果。

<第10實施形態>

上述第7~第9實施形態之各Cu接合部的構成(Cu電極彼此之接合技術)可應用於貼合2個半導體構件而進行配線接合之任意半導體裝置(例如固體攝像元件、半導體記憶體等)中。在第10實施形態中，說明將上述第7~第9實施形態之各Cu接合部的構成(Cu電極彼此之接合技術)應用於固體攝像元件中之例。

於圖15中顯示第10實施形態之固體攝像元件的要部之概略剖面圖。另，在圖15中，為將說明簡單化，而省略形成於Cu接合部及通道與層間絕緣膜之間之Cu障壁層(Cu障壁膜)之圖示。

本實施形態之固體攝像元件1200具備：具有光電轉換部1210之第1半導體構件1201、及具有構成運算電路之各種MOS(Metal-Oxide-Semiconductor，金屬氧化物半導體)電晶體1220之第2半導體構件1202。又，固體攝像元件1200具備：彩色濾光器1203、及晶載微透鏡1204。

在本實施形態之固體攝像元件1200中，係於接合界面Sj接合第1半導體構件1201、及第2半導體構件1202。又，在本實施形態中，於與第1半導體構件1201的第2半導體構件1202側相反側之表面(光電轉換層211上)使彩色濾光器1203及晶載微透鏡1204按該順序積層。

第1半導體構件1201具備：具有光電轉換部1210之光電轉換層1211、及設置於與光電轉換層1211的彩色濾光器1203側相反側之第1多層配線部1212。

第1多層配線部1212係積層複數個第1Cu配線層1213而構成。各第1Cu配線層1213具有：層間絕緣膜1214、埋入於其內部之第1Cu接合部1215、及為與較其自身更位於彩色濾光器1203側之層(第1Cu配線層1213或光電轉換層1211)取得電性連接而設置之通道1216。又，在本實施形態中，於彼此鄰接之第1Cu配線層1213間、以及第1Cu配線層1213及光電轉換層1211間設置有Cu擴散防止膜1217。

另一方面，第2半導體構件1202具備：形成有構成運算電路之各種MOS電晶體1220之電晶體部1221、及設置於電晶體部1221的第1半導體構件1201側之第2多層配線部1222。

第2多層配線部1222係積層複數個第2Cu配線層1223而構成。各第2Cu配線層1223具有：層間絕緣膜1224、埋入於其內部之第2Cu接合部1225、及為與較其自身更位於電晶體部1221側之層(第2Cu配線層1223或電晶體部1221)取得電性連接而設置之通道1226。又，在本實施形態中，於彼此鄰接之第2Cu配線層1223間、以及第2Cu配線層1223及電晶體部1221間設置有Cu擴散防止膜1227。

在上述構成之固體攝像元件1200中，對於包夾接合界面Sj而接合之第1Cu接合部1215及第2Cu接合部1225分別應用上述第7~第9實施形態中任一者之第1Cu接合部及第2Cu接合部的構成。在該情形下，可獲得具有可靠性更高之接合界面Sj之固體攝像元件1200。

<實施例>

以下，顯示上述之第1實施形態~第6實施形態之實施例及比較例。

[實施例1]

製作在第1實施形態(參照圖1A~1C)中所示之半導體裝置100，並對

於第1半導體構件10與第2半導體構件20之接合面利用超音波進行空隙檢查。另，在第1半導體構件10及第2半導體構件20中，分別埋入於層間絕緣膜3、6之第1電極墊4、第2電極墊7係利用一般的鑲嵌步驟形成。又，使用積層有軟質層與硬質層之一般性CMP焊墊、與半導體裝置製造用的一般性漿料，對第1半導體構件10及第2半導體構件20的表面進行研磨。

其次，使研磨後之第1半導體構件10及第2半導體構件20的表面彼此對向並接觸。而後，利用銷，藉由將第2半導體構件20的中心以荷重12N下壓，而進行暫時接合。其後，以350°C進行熱處理，而進行第1半導體構件10與第2半導體構件20之接合。

利用超音波進行空隙檢查之結果，確認到未看到空隙之產生，遍及接合面整面確實地接合。另，利用記載於上述非專利文獻2中之刮刀測試欲測定第1半導體構件10與第2半導體構件20之接合強度時，發現電極墊彼此及虛設電極彼此的接合面未剝離，而無法進行正確的測定。亦即，確認到第1半導體構件10與第2半導體構件20以先前之測定方法所無法測定接合強度之程度強力地接合。

[實施例2]

以與實施例1相同之方法製作第2實施形態中所示之半導體裝置200(參照圖2A~2C)，而利用超音波進行空隙檢查。另，於第1半導體構件10的接合面中，使第1電極墊4及虛設電極5的表面積相對於層間絕緣膜3的表面積之比率成為50%~60%之範圍。

對於該半導體裝置200利用超音波進行空隙檢查之結果，可確認到未看到空隙之產生，遍及接合面整面確實地接合。

[實施例3]

以與實施例1相同之方法製作第3實施形態中所示之半導體裝置300(參照圖3)，而利用超音波進行空隙檢查之結果，確認到於接合面無空隙之產生，可確實地接合。

[實施例4]

以與實施例1相同之方法製作第4實施形態中所示之半導體裝置400(參照圖4A)，而利用超音波進行空隙檢查時，可確認到於接合面無空隙之產生，可確實地接合。

又，同樣地製作圖4B中所示之半導體裝置410，而利用超音波進行空隙檢查。另，於第1半導體構件10的接合面中，第1電極墊4及虛設電極5的表面積相對於層間絕緣膜3的表面積之比率係設為50%~60%之範圍。確認到即便在該半導體裝置410中於接合面亦無空隙產生，可確實地接合。

[實施例5]

製作第6實施形態中所示之半導體收像裝置，而利用超音波進行空隙檢查。在第1半導體構件10與第2半導體構件20之製作中，係使用一般的半導體製程，利用CMP法研磨彼此接合之面。其次，與實施例1相同，進行第1半導體構件10與第2半導體構件20之暫時接合，其後，藉由以350°C進行熱處理而使接合完成。

確認到在該情形下，於第1半導體構件10與第2半導體構件20之接合面亦無空隙產生，且，亦不會產生因接合面之剝離、接合部位之脆弱性而引起之可靠性劣化等。

[比較例]

作為比較例，製作未配置虛設電極之構成的半導體裝置100a。圖16A係顯示比較例之半導體裝置100a之第1半導體構件10a的接合面之圖。

又，圖16B係圖16A之線L6之半導體裝置100a的剖面圖。又，圖16C係圖16A的線L7之半導體裝置100a的剖面圖。該半導體裝置100a相較於半導體裝置100，除未設置虛設電極5、8以外，皆與半導體裝置100相同。

在第1半導體構件10a及第2半導體構件20a中，分別埋入於層間絕緣膜3a、6a之第1電極墊4a、第2電極墊7a係利用一般的鑲嵌步驟形成。又，第1半導體構件10a及第2半導體構件20a的接合面Pj係利用積層有軟質層與硬質層之一般性CMP焊墊、與半導體裝置製造用的一般漿料進行研磨。第1半導體構件10a與第2半導體構件20a之接合係與實施例1同樣進行。

如圖16B所示般，於圖16A的線L6所示之部位，於第1半導體構件10a與第2半導體構件20a之接合面並未形成空隙。但，於圖16A的線L7所示部位，如圖16C所示般，於第1電極墊4a與第2電極墊7a之間形成有空隙。這是由於在各半導體構件的接合面形成時，於第1電極墊4a及第2電極墊7a的接合面產生凹陷之故。

如此，在採用本技術之設有虛設電極之實施例1~實施例5中，由於於接合面未形成空隙，因此可提供將2個半導體構件堅固地接合之半導體裝置。又，虛設電極5、8由於可分別在第1電極墊4及第2電極墊7之形成時同時形成，因此可無須增加製造步驟個數而使接合強度提高。

<各種變形例及應用例>

其次，茲就上述第7~第9實施形態之半導體裝置的變形例及應用例(適用例)進行說明。

[變形例1]

在上述第7~第9實施形態中，雖說明了使用以直線狀延伸之接合電極(接合電極部)之例，但本技術並不限定於此。只要是第1Cu接合部之第1接

合電極(第1接合電極部)的延伸方向、與第2Cu接合部之第2接合電極(第2接合電極部)的延伸方向彼此交叉之構成，則可任意地設定各接合電極(接合電極部)的形狀。例如，亦可使接合電極(接合電極部)的延伸方向在其中途彎曲。將該一例(變形例1)顯示於圖17中。

在該例中，係如圖17所示般，將第1Cu接合部的第1接合電極1131、及第2Cu接合部的第2接合電極1132分別由以L字狀延伸之棒狀電極構成。而在該例中，亦可使第1接合電極1131與第2接合電極1132以 $0^\circ < \alpha < 180^\circ$ 之範圍內的交叉角度 α 彼此交叉之方式接合。惟，在該例中，由於各接合電極的延伸形狀為L字狀，因此如圖17所示般，於1條第1接合電極1131與1條第2接合電極1132之間形成2個Cu電極彼此之接合區域1133。

由於在該例之構成中，亦可使第1接合電極1131的延伸方向與第2接合電極1132的延伸方向彼此交叉，因此即便在兩者接合時產生接合對準偏離，亦可充分抑制兩者間的接觸面積(接觸電阻)之變動。此外，在該例之半導體裝置中，亦可獲得與上述第7實施形態相同之效果。

另，於圖17中，雖顯示了將第1接合電極1131及第2接合電極1132之兩者由以L字狀延伸之棒狀電極構成之例，但本技術並不限定於此。例如，亦可與上述第7實施形態相同，將第1接合電極1131及第2接合電極1132之一者由以直線狀延伸之棒狀電極構成。

[變形例2]

在上述第7~第9實施形態中，雖說明了除第1接合電極(第1接合電極部)的延伸方向以外之構成(例如形狀、尺寸、節距、條數等)皆與第2接合電極(第2接合電極部)之該等設為相同之例，但本技術並不限定於此。只要是第1接合電極(第1接合電極部)的延伸方向與第2接合電極(第2接合電

極部)的延伸方向彼此交叉之構成，則除兩者的延伸方向以外之構成亦可彼此不同。

例如，第1Cu接合部之第1接合電極(第1接合電極部)的形狀、尺寸、節距及條數中之至少一者之構成亦可與第2Cu接合部的第2接合電極(第2接合電極部)之該等不同。

又，亦可適宜地組合上述第7~第9實施形態之各Cu接合部的構成，而使第1Cu接合部的構成與第2Cu接合部的構成彼此不同。例如亦可在第1Cu接合部及第2Cu接合部之一者中應用第7實施形態之構成(圖9)，且在另一者中應用第8實施形態之構成(圖12)。又，例如亦可在第1Cu接合部及第2Cu接合部之一者中應用第7實施形態之構成(圖9)，且在另一者中應用第9實施形態之構成(圖13)。再者，例如亦可在第1Cu接合部及第2Cu接合部之一者中應用第8實施形態之構成(圖12)，且，在另一者中應用第9實施形態之構成(圖13)。

[變形例3]

在上述第7~第9實施形態中，雖說明了接合電極(接合電極部)的形成材料為Cu之例，但本技術並不限定於此。例如，亦可由Al、W、Ti、TiN、Ta、TaN、Ru等之材料形成接合電極(接合電極部)。

又，在上述各種實施形態中，雖說明了接合由Cu構成的接合電極(接合電極部)彼此之例，但本技術並不限定於此。一者之接合電極(接合電極部)的形成材料亦可與另一者之接合電極(接合電極部)的形成材料不同。

[變形例4]

在上述第8及第9實施形態中，說明了將各Cu接合部經由1個通道而電性連接於外部的Cu配線之例。然而，在該情形下，在因某些要因而於該

通道產生異常之情形下，會有於Cu接合部與Cu配線之間發生導通不良等，而使製品的成品率下降之可能性。

為消除該問題，與上述第7實施形態相同，於上述第8及第9實施形態之各Cu接合部亦可連接複數個通道(變形例4)。亦即，在上述第8及第9實施形態之半導體裝置中，亦可經由複數個通道而電性連接Cu接合部及外部的Cu配線間。另，在該情形下，複數個通道的形成部位可任意設定，且可將例如複數個通道形成於引出電極部上。

在該例之構成中，由於即便於複數個通道中之一通道產生異常，亦可於其他之通道維持Cu接合部與Cu配線之間的電性連接，因此可解決上述問題。

[變形例5]

在上述第7~第9實施形態中，在接合自Cu配線經由通道(縱孔配線)而連接之Cu接合部彼此之時，雖說明了應用本技術的Cu電極彼此之接合技術(使接合電極或接合電極部交叉之構成)之例，但本技術並不限定於此。例如，在使第1配線部(第1半導體部)的第1Cu配線12與第2配線部(第2半導體部)的第2Cu配線22不經由Cu接合部而直接接合之情形下，亦可應用本技術之Cu電極彼此之接合技術。

在該情形下，只要以使形成於第1配線部(第1半導體部)的接合面之第1Cu配線1012(第1電極)的延伸方向、與形成於第2配線部(第2半導體部)的接合面之第2Cu配線1022(第2電極)的延伸方向彼此交叉之方式形成各Cu配線即可。該例之構成尤其在形成於各配線部的接合面之Cu配線的圖案較簡單之情形下有效。

另，在該例之構成中，亦可遍及第1配線部及第2配線部間的接合界

面S_j之全區域直接接合Cu配線彼此。又，亦可因應接合界面S_j的配線圖案，而在接合界面S_j的一部分之區域中直接接合Cu配線彼此，且在其他之區域中經由Cu接合部而接合Cu配線。

[變形例6]

在上述第7~第9實施形態中，雖說明了將本技術之Cu電極彼此的接合技術應用於半導體裝置中之例，但本技術並不限定於此。例如，在接合分別設置於由除半導體以外之材料所形成之2片基板上之2個配線之情形下，亦可應用在上述第7~第9實施形態中所說明之Cu電極彼此之接合技術，且可獲得相同的效果。

[變形例7]

在上述各種變形例中，雖說明了相對於上述第7~第9實施形態之變形例，但本技術並不限定於此。例如亦可因應半導體裝置的用途等之條件，而適宜地組合上述第7~第9實施形態及上述變形例1~6之構成。

[應用例]

上述各種實施形態及各種變形例之半導體裝置可應用於各種電子機器中。例如，上述第6實施形態中所說明之半導體收像裝置600、及上述第10實施形態中所說明之固體攝像元件1200可分別應用於數位相機或視頻攝像機等之相機系統、具有攝像功能之行動電話、或具備攝像功能之其他機器等之電子機器中。此處，作為電子機器之一構成例，舉相機之例說明。

於圖18中顯示應用例之相機的概略構成。另，於圖18中顯示可拍攝靜態圖像或動畫之視頻攝像機的構成例。

該例之相機1300具備：固體攝像元件1301、將入射光引導至固體攝

像元件1301的受光感測器(未圖示)之光學系統1302、設置於固體攝像元件1301及光學系統1302間之快門裝置1303、及驅動固體攝像元件1301之驅動電路1304。再者，相機1300具備處理固體攝像元件1301的輸出信號之信號處理電路1305。

固體攝像元件1301可由例如上述第6實施形態中所說明之半導體收像裝置600、或上述第10實施形態中所說明之固體攝像元件1200構成。其他各部的構成及功能如下所示。

光學系統(光學透鏡)1302係使來自被攝物的像光(入射光)在固體攝像元件1301的攝像面(未圖示)上成像。藉此，在固體攝像元件1301內以一定期間累積信號電荷。另，光學系統1302亦可由包含複數個光學透鏡之光學透鏡群構成。又，快門裝置1303係控制朝向入射光的固體攝像元件1301的光照射期限及遮光期限。

驅動電路1304對固體攝像元件1301及快門裝置1303供給驅動信號。而驅動電路1304藉由所供給之驅動信號，控制向固體攝像元件1301的信號處理電路1305之信號輸出動作、及快門裝置1303的快門動作。亦即，在該例中，藉由自驅動電路1304供給之驅動信號(時序信號)，而進行自固體攝像元件1301向信號處理電路1305之信號傳送動作。

信號處理電路1305係對於自固體攝像元件1301所傳送之信號施加各種信號處理。而經施加各種信號處理之信號(影像信號)係記憶於記憶體等之記憶媒體(未圖示)中、或輸出至監視器(未圖示)。

<其他變形例>

另，本技術並不限定於上述各種實施形態及各種變形例等，在未脫離本技術的要旨之範圍內可採取其他各種構成。

又，本技術亦可採取如以下般之構成：

(1)

一種半導體裝置，其包含：

第1配線層，其包含：第1層間絕緣膜；埋入於前述第1層間絕緣膜內，且一表面與前述第1層間絕緣膜之一表面位於同一面上之第1電極墊；及埋入於前述第1層間絕緣膜內，且一表面與前述第1層間絕緣膜之前述一表面位於同一面上，並配設於前述第1電極墊的周圍之第1虛設電極；及

第2配線層，其包含：位於前述第1層間絕緣膜的前述第1電極墊之前述一表面側之第2層間絕緣膜；埋入於前述第2層間絕緣膜內，且一表面與前述第2層間絕緣膜的前述第1層間絕緣膜側之表面位於同一表面，且接合於前述第1電極墊上之第2電極墊；及一表面與前述第2層間絕緣膜的前述第1層間絕緣膜側之表面位於同一面上，並配設於前述第2電極墊的周圍，且接合於前述第1虛設電極之第2虛設電極。

(2)

如上述(1)記載之半導體裝置，其中

前述第1電極墊及前述第1虛設電極係相對於前述第1配線層與前述第2配線層之接合面，與前述第2電極墊及前述第2虛設電極面對稱地配置。

(3)

如上述(1)或(2)記載之半導體裝置，其中

於前述第1配線層與前述第2配線層之接合面上，前述第1電極墊及前述第1虛設電極的表面積相對於前述第1層間絕緣膜的表面積之比率為50%以上60%以下。

(4)

如上述(1)~(3)中任一者記載之半導體裝置，其中
前述第1及第2虛設電極係全部連接於接地。

(5)

如上述(1)~(4)中任一項記載之半導體裝置，其中
前述第1電極墊及前述第1虛設電極具有同一外形，且全部以等間隔
排列。

(6)

如上述(1)~(4)中任一項記載之半導體裝置，其中
前述第1虛設電極在前述第1配線層與前述第2配線層之接合面上，僅
配置於前述第1電極墊的周圍。

再者，本技術亦可採取如以下般之構成：

(7)

一種半導體裝置，其具備：

第1半導體部，其具有形成於接合界面側的表面且在第1方向上延伸
之第1電極；及

第2半導體部，其具有於前述接合界面與前述第1電極接合且在與前
述第1方向交叉之第2方向上延伸之第2電極，且於前述接合界面與前述第
1半導體部貼合而設置。

(8)

如上述(7)記載之半導體裝置，其中

前述第1半導體部具有：包含複數個前述第1電極之第1接合部；及與
該第1接合部電性連接之第1配線；

前述第2半導體部具有：包含複數個前述第2電極之第2接合部；及與

該第2接合部電性連接之第2配線。

(9)

如上述(8)記載之半導體裝置，其中
前述複數個第1電極之各者係個別連接於前述第1配線。

(10)

如上述(9)中記載之半導體裝置，其中
前述複數個第2電極之各者係個別連接於前述第2配線。

(11)

如上述(8)記載之半導體裝置，其中
前述第1接合部具有連接於前述複數個第1電極之一端部之第1引出電極，且該第1引出電極與前述第1配線電性連接。

(12)

如上述(8)或(11)記載之半導體裝置，其中
前述第2接合部具有連接於前述複數個第2電極之一端部之第2引出電極，且該第2引出電極與前述第2配線電性連接。

(13)

如上述(8)記載之半導體裝置，其中
前述第1接合部具有分別連接於前述複數個第1電極之一端部及另一端部之2個第1引出電極，且該2個第1引出電極中之至少一者與前述第1配線電性連接。

(14)

如上述(8)或(13)記載之半導體裝置，其中
前述第2接合部具有分別連接於前述複數個第2電極之一端部及另一

端部之2個第2引出電極，且該2個第2引出電極中之至少一者與前述第2配線電性連接。

(15)

如上述(7)~(14)中任一項記載之半導體裝置，其中
前述第1電極及前述第2電極皆由Cu形成。

本申請案係以向日本專利廳於2011年5月24日提出申請之日本專利申請案第2011-115634號及向日本專利廳於2011年6月9日提出申請之日本專利申請案第2011-129190號為基礎並主張優先權，該等申請案之全部內容以引用的方式併入本文中。

【符號說明】

- 1:基板
- 2:第1配線層
- 3:層間絕緣膜
- 3a:層間絕緣膜
- 4:第1電極墊
- 4a:第1電極墊
- 5:虛設電極
- 6:層間絕緣膜
- 6a:層間絕緣膜
- 7:第2電極墊
- 7a:第2電極墊
- 8:虛設電極
- 9:第2配線層

- 10:第1半導體構件
- 10a:第1半導體構件
- 11:基板
- 12:通道
- 13:通道
- 14:擴散防止膜
- 15:擴散防止膜
- 18:第3配線層
- 19:第4配線層
- 20:第2半導體構件
- 20a:第2半導體構件
- 21:配線
- 22:配線
- 23:通道
- 24:通道
- 30:第1半導體構件
- 31:第1配線層
- 32:第2配線層
- 33:Si基板
- 34:電晶體
- 35:光電轉換層
- 36:彩色濾光器
- 37:微透鏡

- 38:絕緣膜
- 39:層間絕緣膜
- 40:第2半導體構件
- 41:擴散防止膜
- 42:擴散防止膜
- 43:層間絕緣膜
- 100:半導體裝置
- 100a:半導體裝置
- 300:半導體裝置
- 400:半導體裝置
- 410:半導體裝置
- 500:半導體裝置
- 1010:第1Cu接合部
- 1011:第1SiO₂層
- 1012:第1Cu配線
- 1013:第1Cu障壁膜
- 1014:第1Cu擴散防止膜
- 1015:第1層間絕緣膜
- 1016:第1接合電極
- 1017:第1Cu障壁層
- 1018:通道
- 1020:第2Cu接合部
- 1021:第2SiO₂層

- 1022:第2Cu配線
- 1023:第2Cu障壁膜
- 1024:第2Cu擴散防止膜
- 1025:第2層間絕緣膜
- 1026:第2接合電極
- 1027:第2Cu障壁層
- 1028:通道
- 1030:第1Cu接合部
- 1031:第1接合電極部
- 1032:第1引出電極部
- 1040:第2Cu接合部
- 1041:第2接合電極部
- 1042:第2引出電極部
- 1050:第1Cu接合部
- 1051:第1狹縫
- 1052:第1接合電極部
- 1053:第1引出電極部
- 1060:第2Cu接合部
- 1061:第2狹縫
- 1062:第2接合電極部
- 1063:第2引出電極部
- 1100:半導體裝置
- 1101:第1配線部

- 1102:第2配線部
- 1103:接合區域
- 1110:半導體裝置
- 1120:半導體裝置
- 1121:接合區域
- 1122:接合區域
- 1131:第1接合電極
- 1132:第2接合電極
- 1133:接合區域
- 1200:固體攝像元件
- 1201:第1半導體構件
- 1202:第2半導體構件
- 1203:彩色濾光器
- 1204:晶載微透鏡
- 1210:光電轉換部
- 1211:光電轉換層
- 1212:第1多層配線部
- 1213:第1Cu配線層
- 1214:層間絕緣膜
- 1215:第1Cu接合部
- 1216:通道
- 1217:Cu擴散防止膜
- 1220:MOS電晶體

- 1221:電晶體部
- 1222:第2多層配線部
- 1223:第2Cu配線層
- 1224:層間絕緣膜
- 1225:第2Cu接合部
- 1226:通道
- 1227:Cu擴散防止膜
- 1300:相機
- 1301:固體攝像元件
- 1302:光學系統
- 1303:快門裝置
- 1304:驅動電路
- 1305:信號處理電路
- 1401:第1半導體晶片
- 1402:第2半導體晶片
- 1403:接合墊
- 1404:接合墊
- 1405:接合墊
- 1406:開口
- 1501:第1Cu配線
- 1502:第2Cu配線
- 1503:通道
- 1504:通道

1510:第1Cu接合部

1511:第1接合墊

1512:開口部

1513:絕緣膜

1520:第2Cu接合部

1521:第2接合墊

1522:開口部

1523:絕緣膜

L1:線

L2:線

L3:線

L4:線

L5:線

L6:線

L7:線

Pj:接合面

Sj:接合界面

【發明申請專利範圍】

【請求項1】

一種半導體裝置，其包含：

第1半導體部，其具有形成於接合界面側之表面且以指定之間隔平行地延伸於第1方向上之複數個第1電極；及

第2半導體部，其具有於上述接合界面與上述第1電極接合且以指定之間隔平行地延伸於與上述第1方向交叉之第2方向上之複數個第2電極，且於上述接合界面與上述第1半導體部貼合而設置；

上述複數個第1電極及上述複數個第2電極係：露出於上述接合界面側露出之表面分別在與延伸之方向垂直之方向上以均等之寬度而形成。

【請求項2】

如請求項1之半導體裝置，其中

上述第1半導體部具有：包含複數個上述第1電極之第1接合部、及與該第1接合部電性連接之第1配線；

上述第2半導體部具有：包含複數個上述第2電極之第2接合部，及與該第2接合部電性連接之第2配線。

【請求項3】

如請求項2之半導體裝置，其中

上述複數個第1電極之各者係個別地連接於上述第1配線。

【請求項4】

如請求項3之半導體裝置，其中

上述複數個第2電極之各者係個別地連接於上述第2配線。

【請求項5】

一種半導體裝置，其包含：

第1半導體部，其具有形成於接合界面側之表面且於第1方向上延伸之第1電極；及

第2半導體部，其具有於上述接合界面與上述第1電極接合且於與上述第1方向交叉之第2方向上延伸之第2電極，且於上述接合界面與上述第1半導體部貼合而設置；

上述第1半導體部具有：包含複數個上述第1電極之第1接合部、及與該第1接合部電性連接之第1配線；

上述第2半導體部具有：包含複數個上述第2電極之第2接合部，及與該第2接合部電性連接之第2配線；

上述第1接合部具有：第1引出電極，其連接於上述複數個第1電極之一方的端部，該第1引出電極與上述第1配線電性連接。

【請求項6】

如請求項5之半導體裝置，其中

上述第2接合部具有：第2引出電極，其連接於上述複數個第2電極之一方的端部，該第2引出電極與上述第2配線電性連接。

【請求項7】

一種半導體裝置，其包含：

第1半導體部，其具有形成於接合界面側之表面且於第1方向上延伸之第1電極；及

第2半導體部，其具有於上述接合界面與上述第1電極接合且於與上述第1方向交叉之第2方向上延伸之第2電極，且於上述接合界面與

上述第1半導體部貼合而設置；

上述第1半導體部具有：包含複數個上述第1電極之第1接合部、及與該第1接合部電性連接之第1配線；

上述第2半導體部具有：包含複數個上述第2電極之第2接合部，及與該第2接合部電性連接之第2配線；

上述第1接合部具有：2個第1引出電極，其等分別連接於上述複數個第1電極之一方及另一方的端部，該2個第1引出電極中之至少一方與上述第1配線電性連接。

【請求項8】

如請求項7之半導體裝置，其中

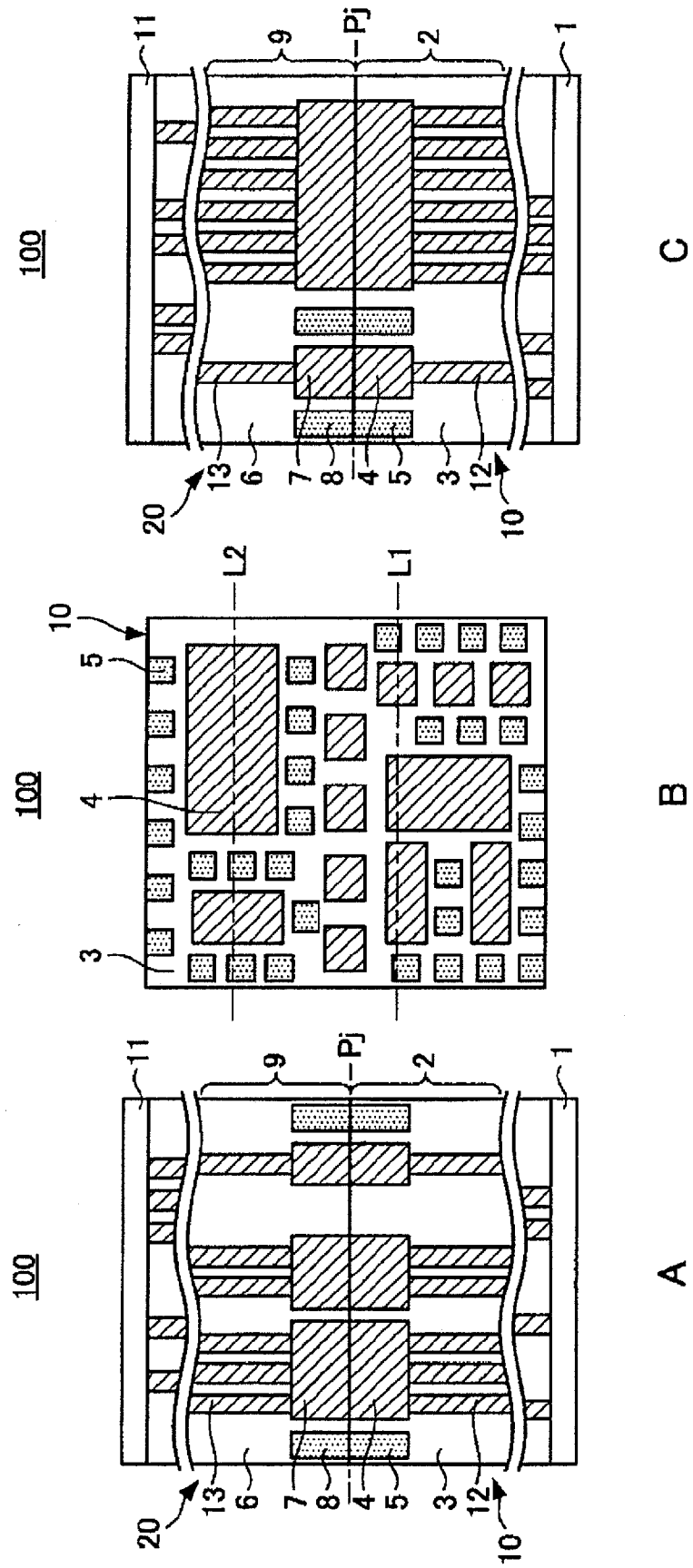
上述第2接合部具有：2個第2引出電極，其等分別連接於上述複數個第2電極之一方及另一方的端部，該2個第2引出電極中之至少一方與上述第2配線電性連接。

【請求項9】

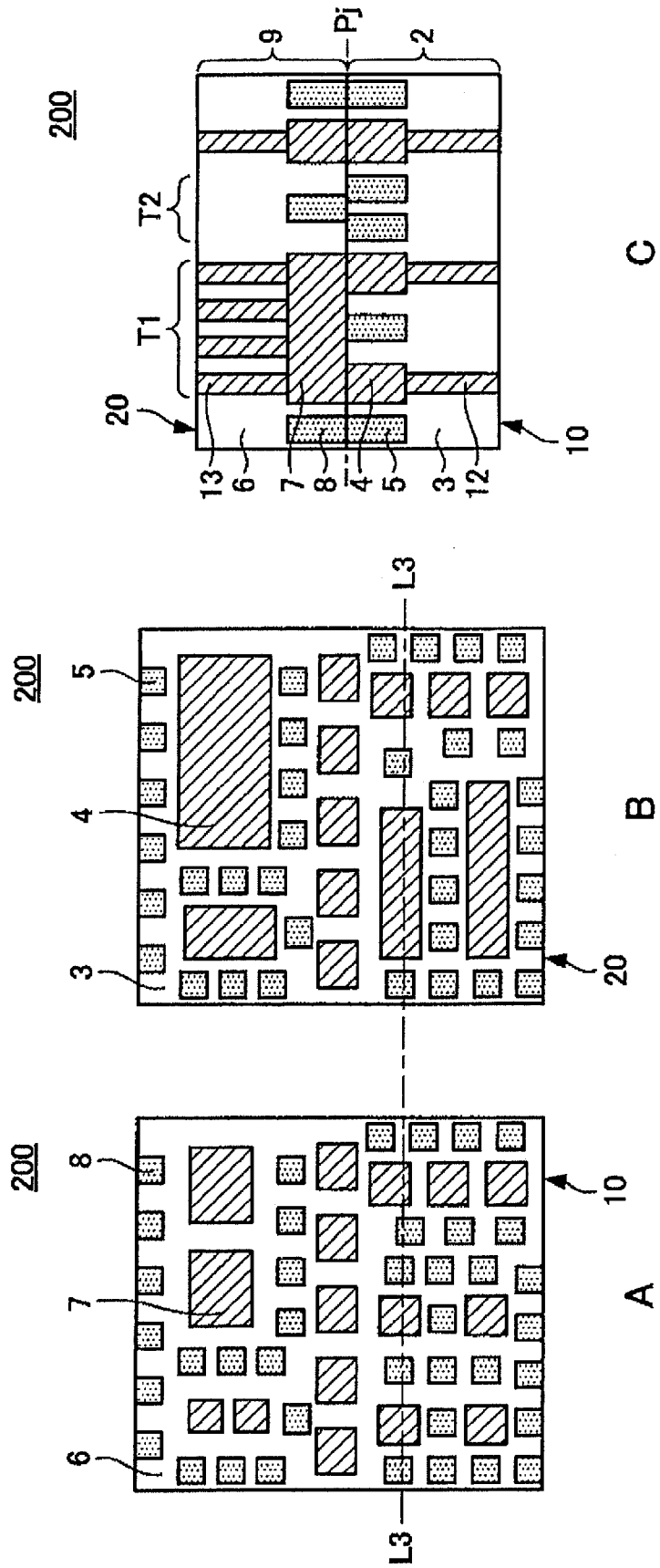
如請求項1至8之任一半導體裝置，其中

上述第1電極及上述第2電極皆以Cu形成。

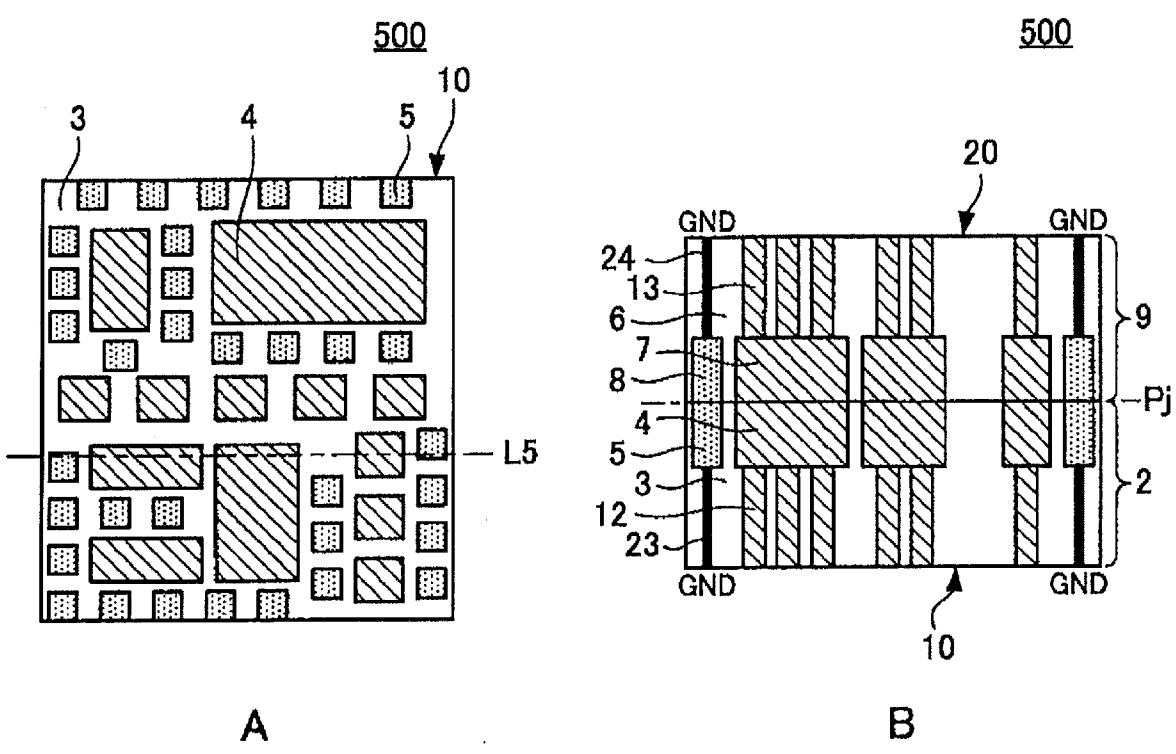
【發明圖式】



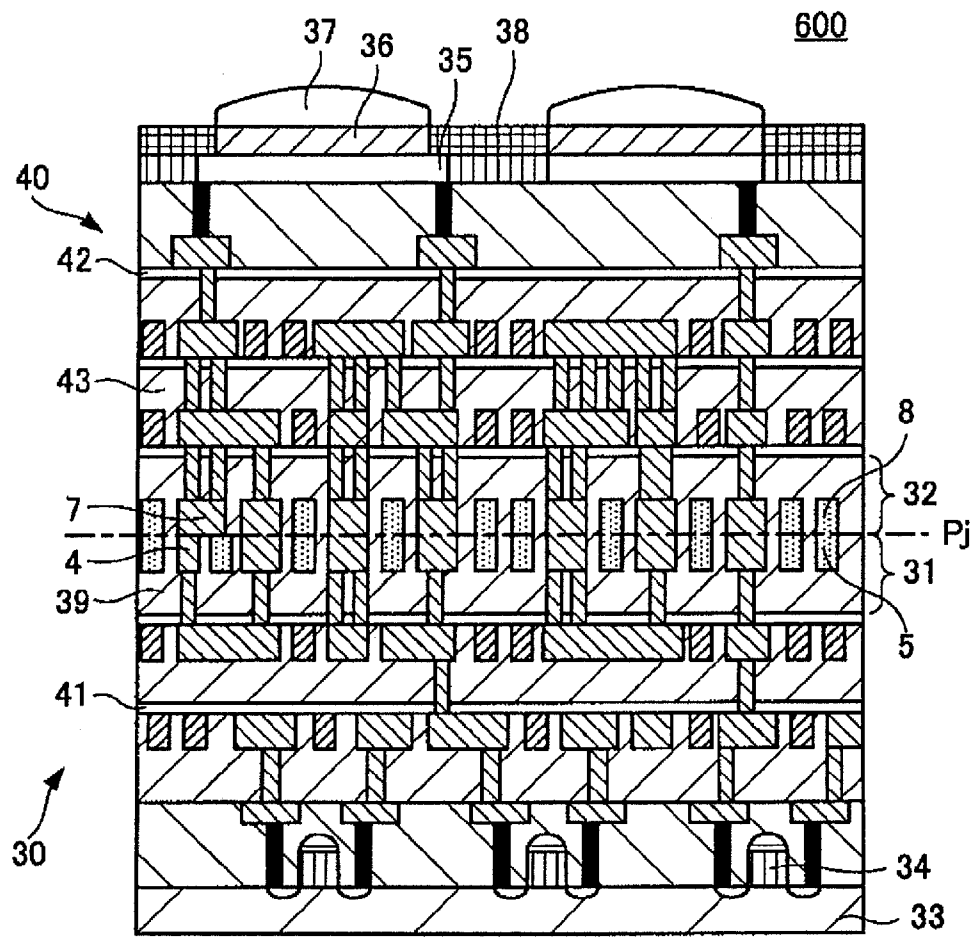
【圖1】



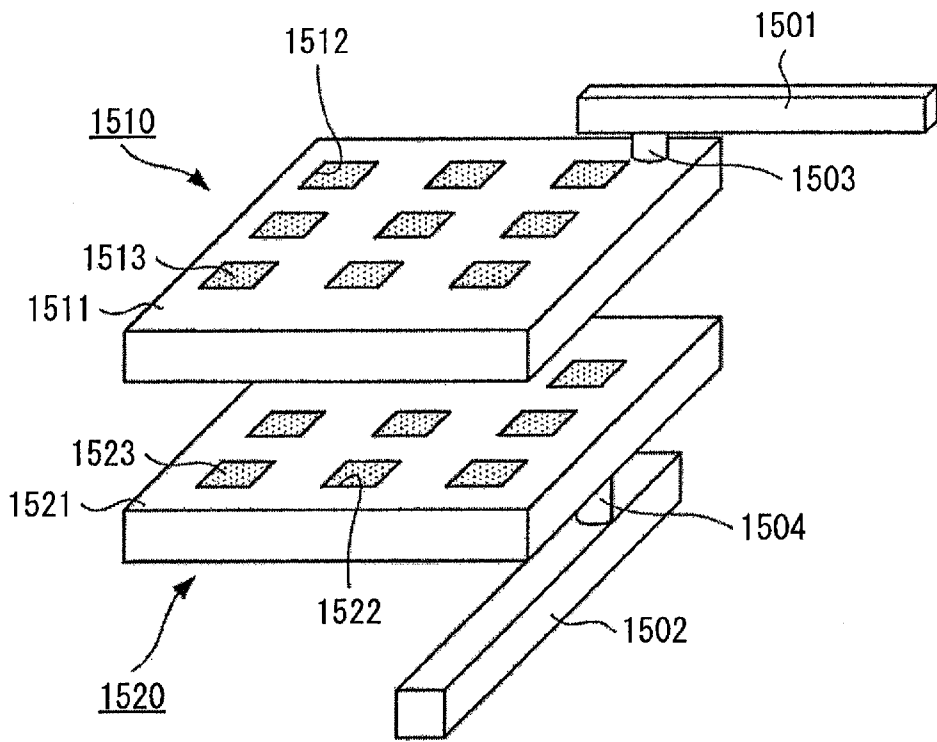
【圖 2】



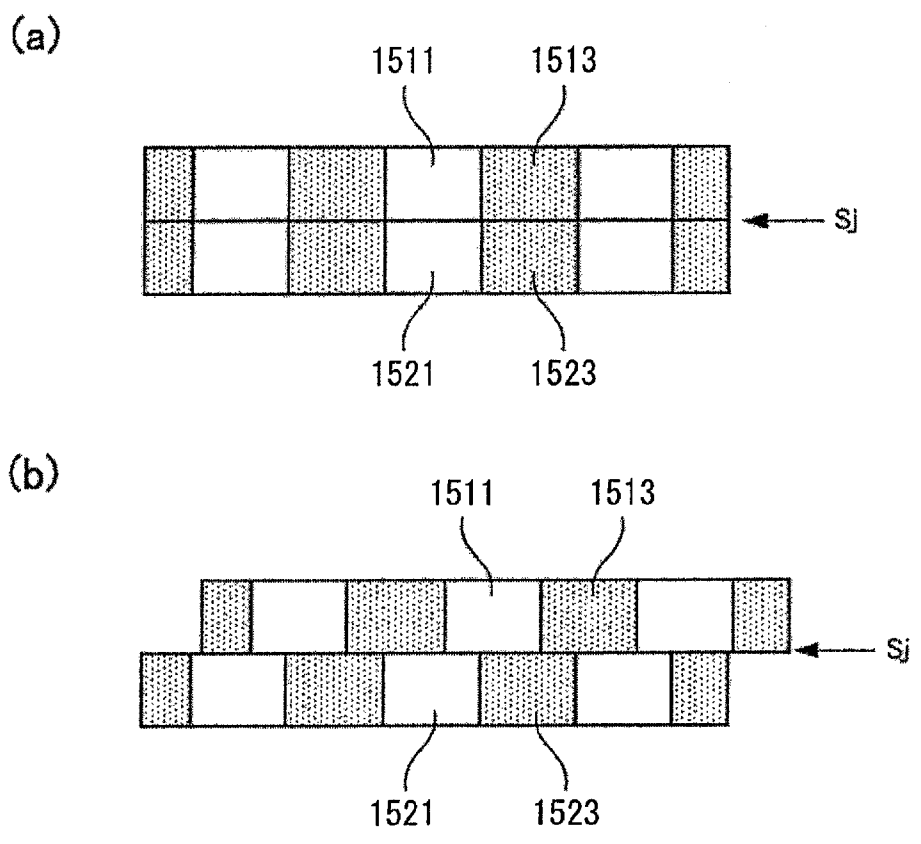
【圖 5】



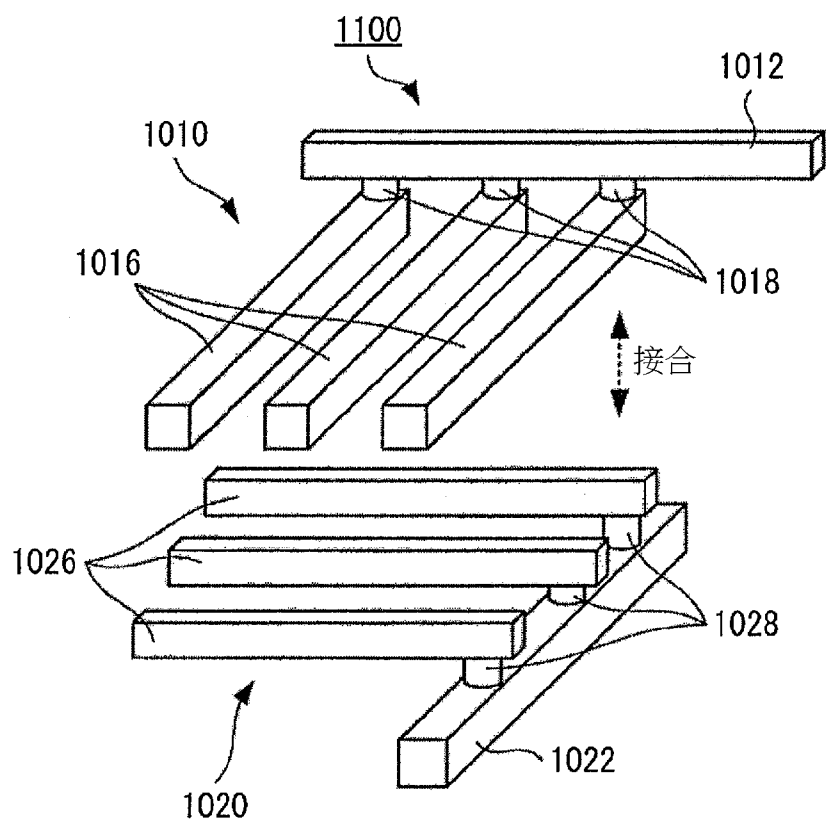
【圖 6】



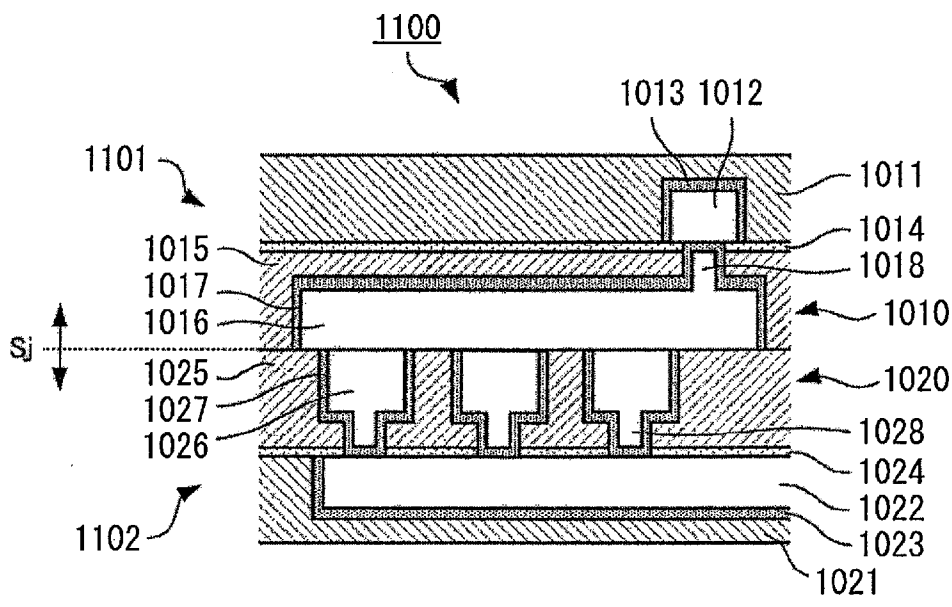
【圖 7】



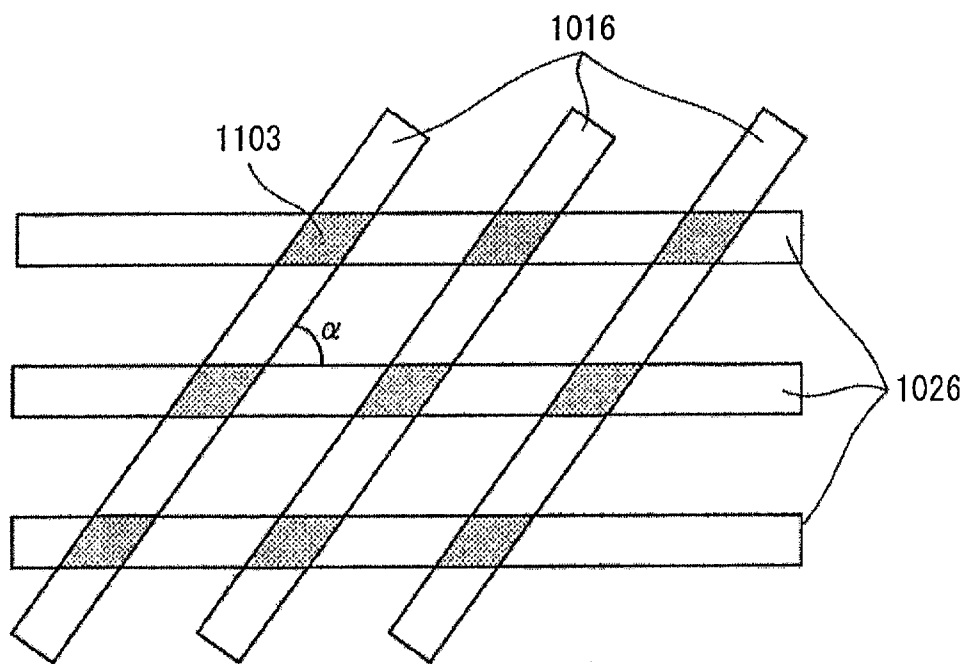
【圖 8】



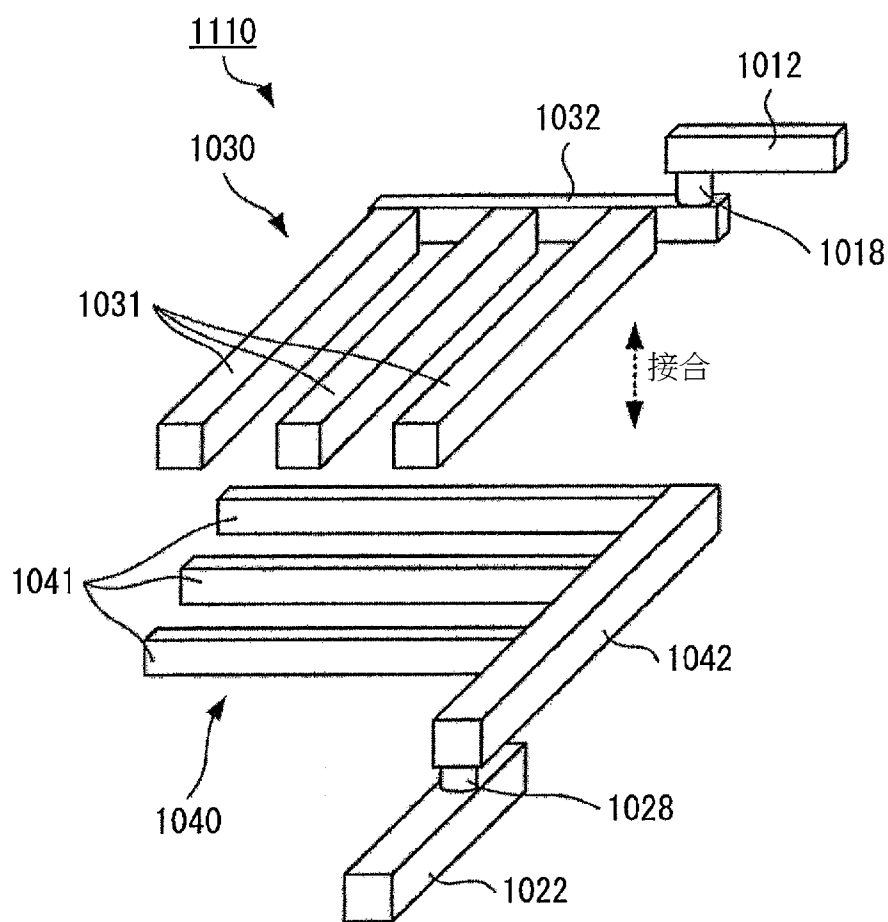
【圖 9】



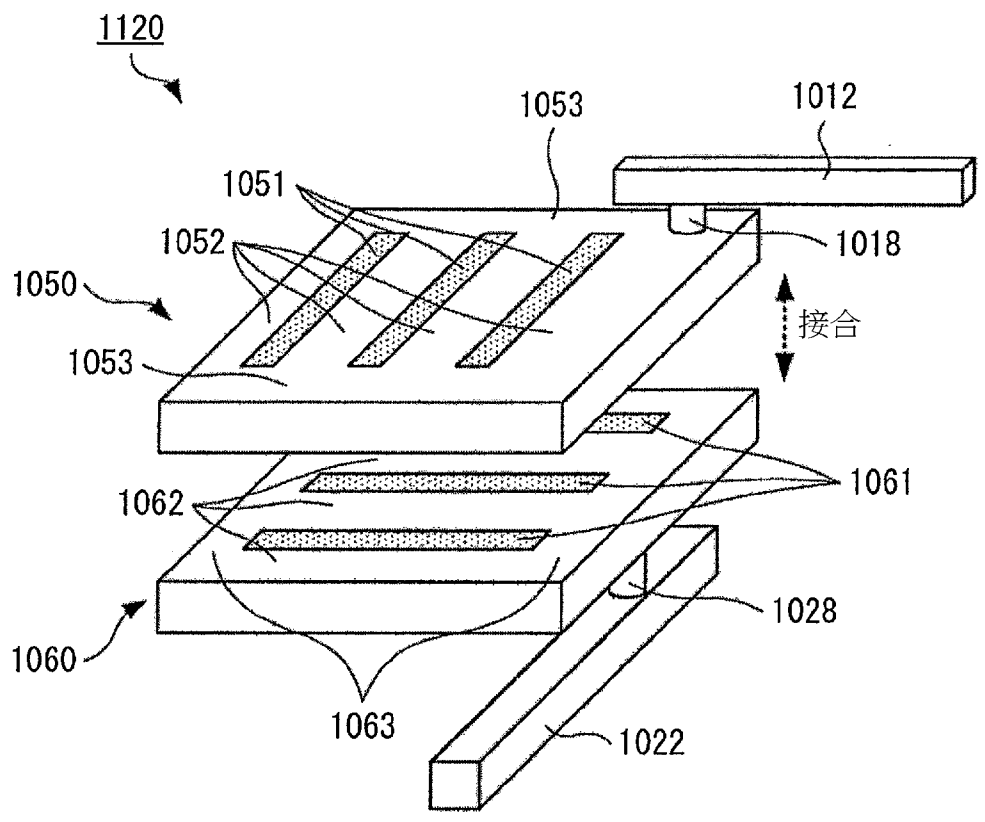
【圖 10】



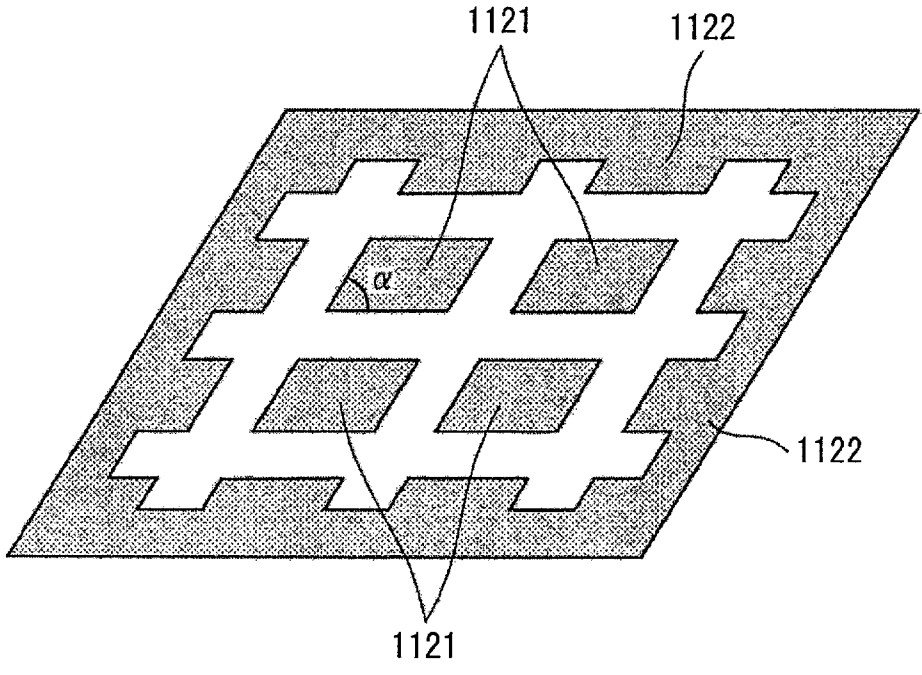
【圖 11】



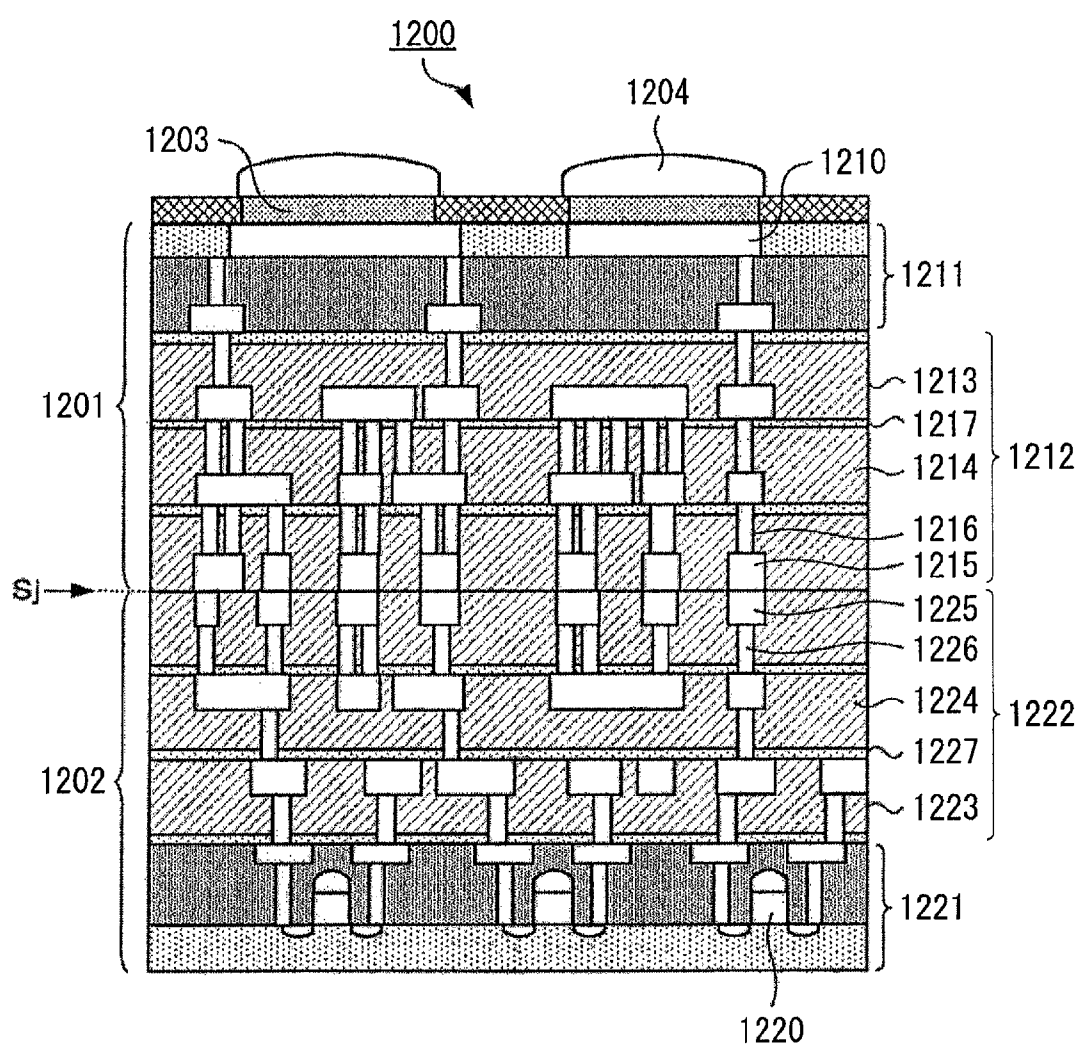
【圖 12】



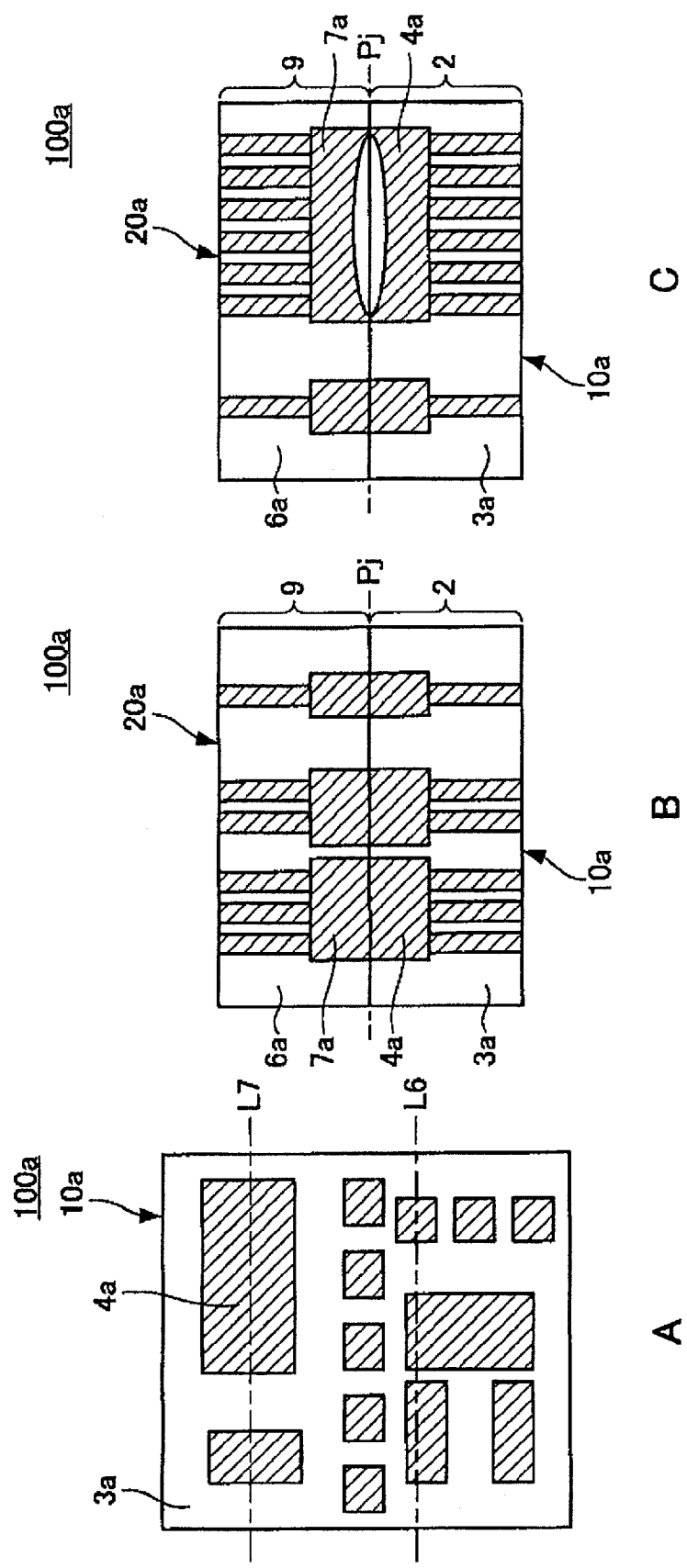
【圖 13】



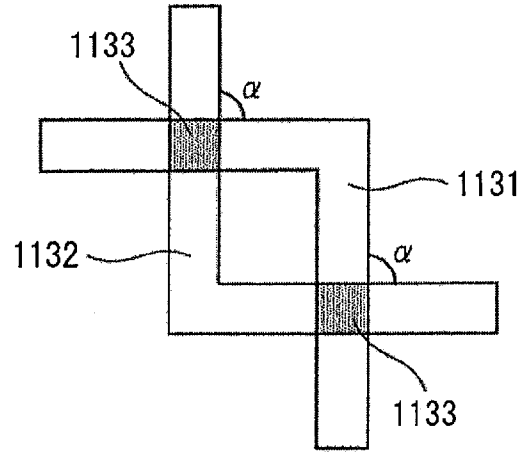
【圖 14】



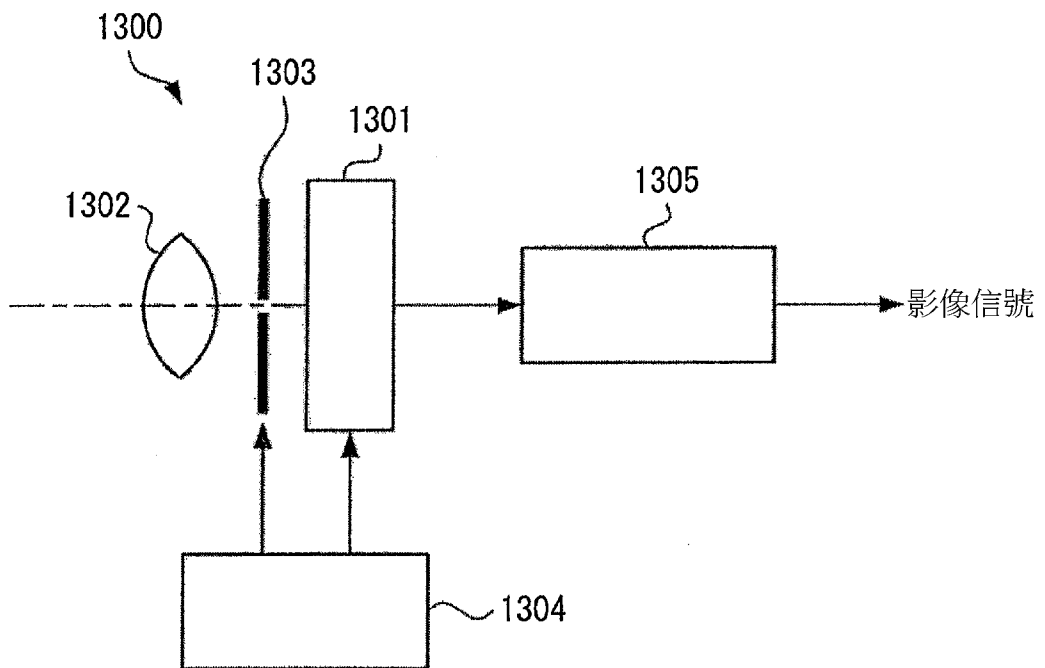
【圖 15】



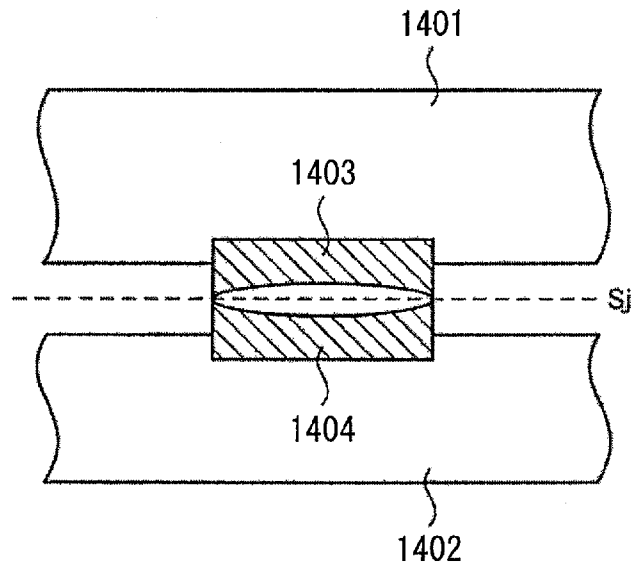
【圖 16】



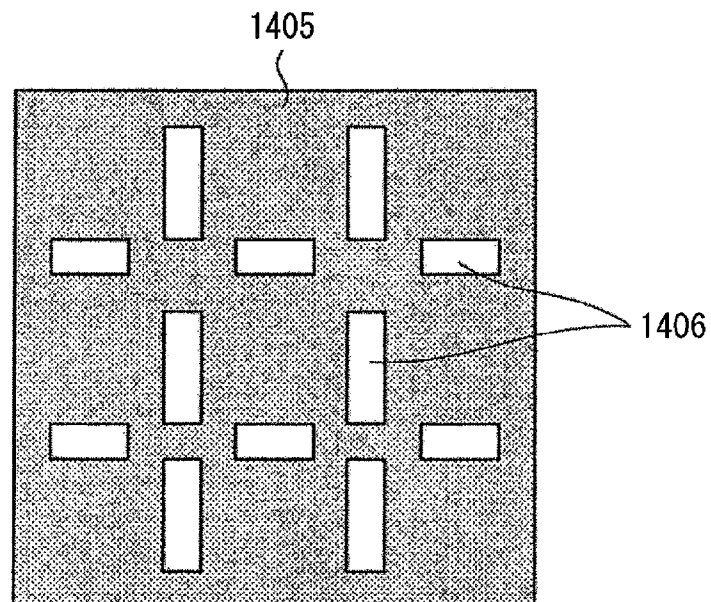
【圖 17】



【圖 18】



【圖 19】



【圖 20】