

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-165620
(P2005-165620A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 13/36	G06F 13/36 310E	5B061
G06F 3/06	G06F 13/36 510	5B065
	G06F 3/06 301M	
	G06F 3/06 302Z	

審査請求 未請求 請求項の数 20 O L (全 30 頁)

(21) 出願番号	特願2003-402996 (P2003-402996)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成15年12月2日(2003.12.2)	(74) 代理人	110000176 一色国際特許業務法人
		(72) 発明者	平尻 典夫 神奈川県小田原市中里322番2号 株式会社日立製作所 R A I D システム事業部内
		Fターム(参考)	5B061 BA01 FF04 RR03 5B065 BA01 CA11 CE01 CH20

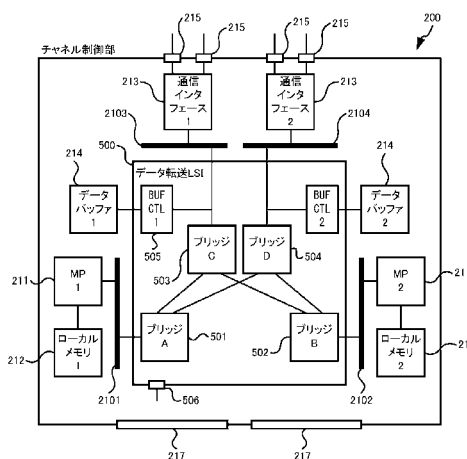
(54) 【発明の名称】 記憶デバイス制御装置及び記憶デバイス制御装置の制御方法

(57) 【要約】 (修正有)

【課題】 新たな規格を柔軟かつ積極的に取り込みつつデータ転送処理効率を向上した記憶デバイス制御装置及び記憶デバイス制御装置の制御方法を提供する。

【解決手段】 情報処理装置から送信されるデータ入出力要求を受信するチャンネル制御部と、記憶デバイスの制御を行うディスク制御部と、キャッシュメモリとを備え、チャンネル制御部は情報処理装置との間で通信を行う通信インタフェース部213と、通信インタフェース部213と第1のバス2103を介して接続し、データの転送を行うデータ転送部500と、データ転送部500と第2のバス2101を介して接続するプロセッサ211とを備える。通信インタフェース部213からの読出しコマンドは第1バス2103を介してデータ転送部500へ、さらに第2バス2101を介してプロセッサ211に送信され、第1のバス2103ではその通信規約の種類に応じてスプリット応答を送信するかしないかを切り分け制御する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

情報処理装置から記憶デバイスに対して送信されるデータ入出力要求を受信するチャンネル制御部と、

前記記憶デバイスに対するデータ入出力に関する制御を行うディスク制御部と、

前記チャンネル制御部と前記ディスク制御部との間で授受される入出力データを記憶するキャッシュメモリと、を備え、

前記チャンネル制御部は、

前記情報処理装置との間で通信を行う通信インタフェース部と、

前記通信インタフェース部と第 1 のバスを介して接続し、前記通信インタフェース部と前記キャッシュメモリとの間で授受される前記入出力データの転送を行うデータ転送部と

10

、前記データ転送部と第 2 のバスを介して接続し、前記データ転送部の制御を行うプロセッサと、

を備え、

前記通信インタフェース部は、前記プロセッサに対して、データを読み出すことを指示する読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第 1 のバスが第 1 の通信規約に従う場合、前記読み出しコマンドに応じた読み出しデータが後から送信されることを示すスプリット応答を前記通信インタフェース部に送信し、前記読み出しコマンドを前記プロセッサに送信し、

20

前記データ転送部は、前記第 1 のバスが第 2 の通信規約に従う場合、前記スプリット応答を前記通信インタフェース部に送信せずに、前記読み出しコマンドを前記プロセッサに送信し、

前記プロセッサは、前記読み出しコマンドを受信し、前記スプリット応答を前記データ転送部に送信し、受信した前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記通信インタフェース部に送信すること、

を特徴とする記憶デバイス制御装置。

【請求項 2】

30

請求項 1 に記載の記憶デバイス制御装置であって、

前記第 1 の通信規約は、PCI-X 規格であり、

前記第 2 の通信規約は、PCI 規格であること、

を特徴とする記憶デバイス制御装置。

【請求項 3】

請求項 1 に記載の記憶デバイス制御装置であって、

前記データ転送部は、前記第 1 のバスが従う前記通信規約が前記第 1 の通信規約であるか前記第 2 の通信規約であるかを示す情報を設定する通信規約設定部を備え、

前記データ転送部は、前記通信規約設定部に設定されている情報に応じて、前記通信インタフェース部に前記スプリット応答を送信するかどうかを決定すること、

40

を特徴とする記憶デバイス制御装置。

【請求項 4】

請求項 1 に記載の記憶デバイス制御装置であって、

前記プロセッサは、前記通信インタフェース部に対する前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記読み出しコマンドを前記通信インタフェース部に送信し、

前記通信インタフェース部は、前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前

50

記プロセッサに送信すること、
を特徴とする記憶デバイス制御装置。

【請求項 5】

請求項 4 に記載の記憶デバイス制御装置であって、
前記プロセッサは、前記第 1 のバスの使用権を獲得した後に、前記読み出しコマンドを
前記データ転送部に送信し、

前記プロセッサは、前記スプリット応答を受信し、前記第 1 のバスの前記使用権を解放
し、

前記データ転送部は、前記第 1 のバスの前記使用権を獲得した後に、前記読み出しデー
タを前記プロセッサに送信し、前記読み出しデータを前記プロセッサに送信した後に、前
記第 1 のバスの前記使用権を解放すること、

10

を特徴とする記憶デバイス制御装置。

【請求項 6】

請求項 1 に記載の記憶デバイス制御装置であって、

前記チャンネル制御部は、複数の前記通信インタフェースを備え、

第 1 の前記通信インタフェースは前記データ転送部と前記第 1 のバスで接続され、

前記チャンネル制御部は、第 2 の前記通信インタフェースと前記データ転送部とを接続す
る第 3 のバスを備え、

前記プロセッサは、第 1 の前記通信インタフェース部に対する第 1 の前記読み出しコマ
ンドを前記データ転送部に送信し、

20

前記データ転送部は、前記第 1 の読み出しコマンドを受信し、前記スプリット応答を前
記プロセッサに送信し、前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部
に送信し、

前記プロセッサは、第 2 の前記通信インタフェース部に対する第 2 の前記読み出しコマ
ンドを前記データ転送部に送信し、

前記データ転送部は、前記第 2 の読み出しコマンドを受信し、前記スプリット応答を前
記プロセッサに送信し、前記第 2 の読み出しコマンドを前記第 2 の通信インタフェース部
に送信し、

前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記
読み出しデータを前記データ転送部に送信し、

30

前記データ転送部は、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出
しデータを前記プロセッサに送信し、

前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記
読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出
しデータを前記プロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

【請求項 7】

請求項 1 に記載の記憶デバイス制御装置であって、

前記チャンネル制御部は、複数の前記通信インタフェースを備え、

40

第 1 の前記通信インタフェースは前記データ転送部と前記第 1 のバスで接続され、

前記チャンネル制御部は、第 2 の前記通信インタフェースと前記データ転送部とを接続す
る第 3 のバスを備え、

前記データ転送部は、

前記第 1 のバスと接続し、前記第 1 の通信インタフェースとの間でデータの授受を行う
第 1 のバスインタフェース部と、

前記第 2 のバスと接続し、前記プロセッサとの間でデータの授受を行う第 2 のバスイン
タフェース部と、

前記第 3 のバスと接続し、前記第 2 の通信インタフェースとの間でデータの授受を行う
第 3 のバスインタフェース部と、

50

を備え、

前記プロセッサは、前記第 1 の通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスインタフェース部は、前記第 1 の読み出しコマンドを受信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、

前記第 1 のバスインタフェース部は、受信した前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、

前記プロセッサは、第 2 の前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスインタフェース部は、前記第 2 の読み出しコマンドを受信し、受信した前記第 2 の読み出しコマンドを前記第 3 のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、

前記第 3 のバスインタフェース部は、受信した前記第 2 の読み出しコマンドを前記第 2 の通信インタフェース部に送信し、

前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、

前記第 1 のバスインタフェース部は、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスインタフェース部に送信し、前記第 2 のバスインタフェース部は、受信した前記第 1 の読み出しデータを前記プロセッサに送信し、

前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記読み出しデータを前記データ転送部に送信し、

前記第 3 のバスインタフェース部は、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出しデータを前記第 2 のバスインタフェース部に送信し、前記第 2 のバスインタフェース部は、受信した前記第 2 の読み出しデータを前記プロセッサに送信すること

を特徴とする記憶デバイス制御装置。

【請求項 8】

請求項 1 に記載の記憶デバイス制御装置であって、

前記チャネル制御部は、複数の前記プロセッサを備え、

第 1 の前記プロセッサは、前記通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、

第 2 の前記プロセッサは、前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第 1 及び第 2 の読み出しコマンドを受信し、前記第 1 及び第 2 のプロセッサに前記スプリット応答を送信し、前記第 1 の読み出しコマンドを前記通信インタフェース部に送信し、

前記通信インタフェース部は、前記第 1 の読み出しコマンドに応じて第 1 の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、

前記通信インタフェース部は、前記第 2 の読み出しコマンドに応じて第 2 の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第 2 の読み出しデータを前記第 2 のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

【請求項 9】

請求項 8 に記載の記憶デバイス制御装置であって、

前記データ転送部は、前記第 1 及び第 2 の読み出しコマンドを受信し、前記第 1 又は第 2 のコマンドのうち先に受信したものを先に前記通信インタフェース部に送信すること、

を特徴とする記憶デバイス制御装置。

10

20

30

40

50

【請求項 10】

請求項 1 に記載の記憶デバイス制御装置であって、

前記チャンネル制御部は複数の前記通信インタフェース部と、複数の前記プロセッサとを備え、

前記チャンネル制御部は、

第 1 の前記通信インタフェース部と前記データ転送装置とを接続する第 1 のバスと、

第 1 の前記プロセッサと前記データ転送装置とを接続する第 2 のバスと、

第 2 の前記通信インタフェース部と前記データ転送装置とを接続する第 3 のバスと、

第 2 の前記プロセッサと前記データ転送装置とを接続する第 4 のバスと、

を備え、

10

前記データ転送部は、

前記第 1 にバスに接続し、前記第 1 の通信インタフェース部との間でデータを授受する第 1 のバスブリッジと、

前記第 2 のバスに接続し、前記第 1 のプロセッサとの間でデータを授受する第 2 のバスブリッジと、

前記第 3 のバスに接続し、前記第 2 の通信インタフェース部との間でデータを授受する第 3 のバスブリッジと、

前記第 4 のバスに接続し、前記第 2 のプロセッサとの間でデータを授受する第 4 のバスブリッジと、

を備え、

20

前記第 2 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、

前記第 4 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続すること、

を特徴とする記憶デバイス制御装置。

【請求項 11】

請求項 10 に記載の記憶デバイス制御装置であって、

前記第 1 のプロセッサは、前記第 2 のバスの使用権を獲得し、前記第 1 の通信インタフェース部に対する、データの読み出しを指示する第 1 の読み出しコマンドを前記データ転送部に送信し、

30

前記第 2 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、第 1 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスブリッジに転送し、

前記第 1 のプロセッサは、前記第 1 のスプリット応答を受信し、前記第 1 のバスの前記使用権を解放し、

前記第 1 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、

前記第 1 のプロセッサは、前記第 1 のバスの前記使用権を獲得し、前記第 2 の通信インタフェース部に対する第 2 の読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、第 2 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 2 の読み出しコマンドを前記第 3 のバスブリッジに転送し、

40

前記第 1 のプロセッサは、前記第 2 のスプリット応答を受信し、前記第 1 のバスの前記使用権を解放し、

前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、

前記第 1 のバスブリッジは、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスブリッジに転送し、

前記第 2 のバスブリッジは、前記第 1 のバスの前記使用権を獲得し、前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、前記第 1 のバスの前記使用権を解放し、

50

前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記読み出しデータを前記データ転送部に送信し、

前記第 3 のバスブリッジは、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出しデータを前記第 2 のバスブリッジに転送し、

前記第 2 のバスブリッジは、前記第 1 のバスの前記使用権を獲得し、前記第 2 の読み出しデータを前記第 1 のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

【請求項 1 2】

請求項 1 0 に記載の記憶デバイス制御装置であって、

前記第 1 のプロセッサは、前記第 1 の通信インタフェース部に対する第 1 の読み出しコマンドを前記データ転送部に送信し、 10

前記第 2 のプロセッサは、前記第 1 の通信インタフェース部に対する第 2 の読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、前記第 1 の読み出しコマンドを前記第 1 のバスブリッジに転送し、前記第 1 のプロセッサに前記スプリット応答を送信し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、前記第 2 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、

前記第 4 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、前記第 2 の読み出しコマンドを前記第 1 のバスブリッジに転送し、前記第 2 のプロセッサに前記スプリット 20 応答を送信し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、

前記第 1 のバスブリッジは、前記第 1 の読み出しコマンドに応じた第 1 の読み出しデータを前記第 1 の通信インタフェース部から受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスブリッジに転送し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、

前記第 2 のバスブリッジは、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドに応じた第 2 の読み出しデータを前記第 1 の通信インタフェース部から受信し、受信した前記第 2 の読み出しデータを前記第 4 のバスブリッジに転送し、 30

前記第 4 のバスブリッジは、前記第 2 の読み出しデータを前記第 2 のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

【請求項 1 3】

情報処理装置から記憶デバイスに対して送信されるデータ入出力要求を受信するチャンネル制御部と、

前記記憶デバイスに対するデータ入出力に関する制御を行うディスク制御部と、

前記チャンネル制御部と前記ディスク制御部との間で授受される入出力データを記憶する 40 キャッシュメモリと、を備え、

前記チャンネル制御部は、

前記情報処理装置との間で通信を行う通信インタフェース部と、

前記通信インタフェース部と第 1 のバスを介して接続し、前記通信インタフェース部と前記キャッシュメモリとの間で授受される前記入出力データの転送を行うデータ転送部と

、

前記データ転送部と第 2 のバスを介して接続し、前記データ転送部の制御を行うプロセッサと、

を備える記憶デバイス制御装置の制御方法であって、

前記通信インタフェース部は、前記プロセッサに対して、データを読み出すことを指示 50

する読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第1のバスが第1の通信規約に従う場合、前記読み出しコマンドに応じた読み出しデータが後から送信されることを示すスプリット応答を前記通信インタフェース部に送信し、前記読み出しコマンドを前記プロセッサに送信し、

前記データ転送部は、前記第1のバスが第2の通信規約に従う場合、前記スプリット応答を前記通信インタフェース部に送信せずに、前記読み出しコマンドを前記プロセッサに送信し、

前記プロセッサは、前記読み出しコマンドを受信し、前記スプリット応答を前記データ転送部に送信し、受信した前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

10

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記通信インタフェース部に送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項14】

請求項13に記載の記憶デバイス制御装置の制御方法であって、

前記プロセッサは、前記通信インタフェース部に対する前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記読み出しコマンドを前記通信インタフェース部に送信し、

前記通信インタフェース部は、前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

20

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記プロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項15】

請求項13に記載の記憶デバイス制御装置の制御方法であって、

前記チャネル制御部は、複数の前記通信インタフェースを備え、

第1の前記通信インタフェースは前記データ転送部と前記第1のバスで接続され、

前記チャネル制御部は、第2の前記通信インタフェースと前記データ転送部とを接続する第3のバスを備え、

30

前記プロセッサは、第1の前記通信インタフェース部に対する第1の前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第1の読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記第1の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記プロセッサは、第2の前記通信インタフェース部に対する第2の前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第2の読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記第2の読み出しコマンドを前記第2の通信インタフェース部に送信し、

40

前記第1の通信インタフェース部は、前記第1の読み出しコマンドに応じた第1の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第1の読み出しデータを受信し、受信した前記第1の読み出しデータを前記プロセッサに送信し、

前記第2の通信インタフェース部は、前記第2の読み出しコマンドに応じた第2の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第2の読み出しデータを受信し、受信した前記第2の読み出しデータを前記プロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項16】

50

請求項 13 に記載の記憶デバイス制御装置であって、
 前記チャネル制御部は、複数の前記通信インタフェースを備え、
 第 1 の前記通信インタフェースは前記データ転送部と前記第 1 のバスで接続され、
 前記チャネル制御部は、第 2 の前記通信インタフェースと前記データ転送部とを接続する第 3 のバスを備え、
 前記データ転送部は、
 前記第 1 のバスと接続し、前記第 1 の通信インタフェースとの間でデータの授受を行う第 1 のバスインタフェース部と、
 前記第 2 のバスと接続し、前記プロセッサとの間でデータの授受を行う第 2 のバスインタフェース部と、
 前記第 3 のバスと接続し、前記第 2 の通信インタフェースとの間でデータの授受を行う第 3 のバスインタフェース部と、
 を備え、
 前記プロセッサは、前記第 1 の通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、
 前記第 2 のバスインタフェース部は、前記第 1 の読み出しコマンドを受信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、
 前記第 1 のバスインタフェース部は、受信した前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、
 前記プロセッサは、第 2 の前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、
 前記第 2 のバスインタフェース部は、前記第 2 の読み出しコマンドを受信し、受信した前記第 2 の読み出しコマンドを前記第 3 のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、
 前記第 3 のバスインタフェース部は、受信した前記第 2 の読み出しコマンドを前記第 2 の通信インタフェース部に送信し、
 前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、
 前記第 1 のバスインタフェース部は、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスインタフェース部に送信し、前記第 2 のバスインタフェース部は、受信した前記第 1 の読み出しデータを前記プロセッサに送信し、
 前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記読み出しデータを前記データ転送部に送信し、
 前記第 3 のバスインタフェース部は、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出しデータを前記第 2 のバスインタフェース部に送信し、前記第 2 のバスインタフェース部は、受信した前記第 2 の読み出しデータを前記プロセッサに送信すること

10

20

30

を特徴とする記憶デバイス制御装置の制御方法。

【請求項 17】

請求項 13 に記載の記憶デバイス制御装置の制御方法であって、
 前記チャネル制御部は、複数の前記プロセッサを備え、
 第 1 の前記プロセッサは、前記通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、
 第 2 の前記プロセッサは、前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、
 前記データ転送部は、前記第 1 及び第 2 の読み出しコマンドを受信し、前記第 1 及び第 2 のプロセッサに前記スプリット応答を送信し、前記第 1 の読み出しコマンドを前記通信インタフェース部に送信し、
 前記通信インタフェース部は、前記第 1 の読み出しコマンドに応じて第 1 の前記読み出

40

50

しデータを前記データ転送部に送信し、

前記データ転送部は、前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、

前記通信インタフェース部は、前記第 2 の読み出しコマンドに応じて第 2 の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第 2 の読み出しデータを前記第 2 のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項 18】

請求項 17 に記載の記憶デバイス制御装置の制御方法であって、

前記データ転送部は、前記第 1 及び第 2 の読み出しコマンドを受信し、前記第 1 又は第 2 のコマンドのうち先に受信したものを先に前記通信インタフェース部に送信すること、
10
を特徴とする記憶デバイス制御装置の制御方法。

【請求項 19】

請求項 13 に記載の記憶デバイス制御装置の制御方法であって、

前記チャネル制御部は複数の前記通信インタフェース部と、複数の前記プロセッサとを備え、

前記チャネル制御部は、

第 1 の前記通信インタフェース部と前記データ転送装置とを接続する第 1 のバスと、

第 1 の前記プロセッサと前記データ転送装置とを接続する第 2 のバスと、

第 2 の前記通信インタフェース部と前記データ転送装置とを接続する第 3 のバスと、
20

第 2 の前記プロセッサと前記データ転送装置とを接続する第 4 のバスと、

を備え、

前記データ転送部は、

前記第 1 にバスに接続し、前記第 1 の通信インタフェース部との間でデータを授受する第 1 のバスブリッジと、

前記第 2 のバスに接続し、前記第 1 のプロセッサとの間でデータを授受する第 2 のバスブリッジと、

前記第 3 のバスに接続し、前記第 2 の通信インタフェース部との間でデータを授受する第 3 のバスブリッジと、

前記第 4 のバスに接続し、前記第 2 のプロセッサとの間でデータを授受する第 4 のバスブリッジと、
30

を備え、

前記第 2 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、

前記第 4 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、

前記第 1 のプロセッサは、前記第 2 のバスの使用権を獲得し、前記第 1 の通信インタフェース部に対する、データの読み出しを指示する第 1 の読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、第 1 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスブリッジに転送し、
40

前記第 1 のプロセッサは、前記第 1 のスプリット応答を受信し、前記第 1 のバスの前記使用権を解放し、

前記第 1 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、

前記第 1 のプロセッサは、前記第 1 のバスの前記使用権を獲得し、前記第 2 の通信インタフェース部に対する第 2 の読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、第 2 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 2 の読み出しコマンドを前記
50

第 3 のバスブリッジに転送し、

前記第 1 のプロセッサは、前記第 2 のスプリット応答を受信し、前記第 1 のバスの前記使用権を解放し、

前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、

前記第 1 のバスブリッジは、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスブリッジに転送し、

前記第 2 のバスブリッジは、前記第 1 のバスの前記使用権を獲得し、前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、前記第 1 のバスの前記使用権を解放し、

前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記読み出しデータを前記データ転送部に送信し、

前記第 3 のバスブリッジは、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出しデータを前記第 2 のバスブリッジに転送し、

前記第 2 のバスブリッジは、前記第 1 のバスの前記使用権を獲得し、前記第 2 の読み出しデータを前記第 1 のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項 20】

請求項 13 に記載の記憶デバイス制御装置の制御方法であって、

前記チャネル制御部は複数の前記通信インタフェース部と、複数の前記プロセッサとを備え、

前記チャネル制御部は、

第 1 の前記通信インタフェース部と前記データ転送装置とを接続する第 1 のバスと、

第 1 の前記プロセッサと前記データ転送装置とを接続する第 2 のバスと、

第 2 の前記通信インタフェース部と前記データ転送装置とを接続する第 3 のバスと、

第 2 の前記プロセッサと前記データ転送装置とを接続する第 4 のバスと、

を備え、

前記データ転送部は、

前記第 1 にバスに接続し、前記第 1 の通信インタフェース部との間でデータを授受する第 1 のバスブリッジと、

前記第 2 のバスに接続し、前記第 1 のプロセッサとの間でデータを授受する第 2 のバスブリッジと、

前記第 3 のバスに接続し、前記第 2 の通信インタフェース部との間でデータを授受する第 3 のバスブリッジと、

前記第 4 のバスに接続し、前記第 2 のプロセッサとの間でデータを授受する第 4 のバスブリッジと、

を備え、

前記第 2 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、

前記第 4 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、

前記第 1 のプロセッサは、前記第 1 の通信インタフェース部に対する第 1 の読み出しコマンドを前記データ転送部に送信し、

前記第 2 のプロセッサは、前記第 1 の通信インタフェース部に対する第 2 の読み出しコマンドを前記データ転送部に送信し、

前記第 2 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、前記第 1 の読み出しコマンドを前記第 1 のバスブリッジに転送し、前記第 1 のプロセッサに前記スプリット応答を送信し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、前記第 2 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、

前記第 4 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、前記第 2 の読み出

しコマンドを前記第 1 のバスブリッジに転送し、前記第 2 のプロセッサに前記スプリット
 応答を送信し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、

前記第 1 のバスブリッジは、前記第 1 の読み出しコマンドに応じた第 1 の読み出しデー
 タを前記第 1 の通信インタフェース部から受信し、受信した前記第 1 の読み出しデータを
 前記第 2 のバスブリッジに転送し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドを前記第 1 の通信インタフェ
 ース部に送信し、

前記第 2 のバスブリッジは、前記第 1 の読み出しデータを受信し、受信した前記第 1 の
 読み出しデータを前記第 1 のプロセッサに送信し、

前記第 1 のバスブリッジは、前記第 2 の読み出しコマンドに応じた第 2 の読み出しデー
 タを前記第 1 の通信インタフェース部から受信し、受信した前記第 2 の読み出しデータを
 前記第 4 のバスブリッジに転送し、

前記第 4 のバスブリッジは、前記第 2 の読み出しデータを前記第 2 のプロセッサに送信
 すること、

を特徴とする記憶デバイス制御装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶デバイス制御装置及び記憶デバイス制御装置の制御方法に関する。

【背景技術】

【0002】

近年情報処理装置で取り扱われるデータ量が増加しており、情報処理装置外部でデー
 タを記憶・管理するストレージ装置では、より大容量かつより高速であることが求められて
 いる。

【特許文献 1】特開 2003 - 91497 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

このような状況の下、ストレージ装置の設計においては、新たな規格を柔軟かつ積極的
 に取り込みつつデータ転送処理効率を向上させることが求められている。

【0004】

本発明は、このような背景を鑑みてなされたものであり、新たな規格を柔軟かつ積極的
 に取り込みつつデータ転送処理効率を向上した記憶デバイス制御装置及び記憶デバイス制
 御装置の制御方法提供することを目的とする。

【課題を解決するための手段】

【0005】

上記目的を達成するための本発明のうち主たる発明のひとつは、記憶デバイス制御装置
 であって、情報処理装置から記憶デバイスに対して送信されるデータ入出力要求を受信す
 るチャンネル制御部と、前記記憶デバイスに対するデータ入出力に関する制御を行うディス
 ク制御部と、前記チャンネル制御部と前記ディスク制御部との間で授受される入出力デー
 タを記憶するキャッシュメモリと、を備え、前記チャンネル制御部は、前記情報処理装置との
 間で通信を行う通信インタフェース部と、前記通信インタフェース部と第 1 のバスを介し
 て接続し、前記通信インタフェース部と前記キャッシュメモリとの間で授受される前記入
 出力データの転送を行うデータ転送部と、前記データ転送部と第 2 のバスを介して接続し
 、前記データ転送部の制御を行うプロセッサと、を備え、前記通信インタフェース部は、
 前記プロセッサに対して、データを読み出すことを指示する読み出しコマンドを前記デー
 タ転送部に送信し、前記データ転送部は、前記第 1 のバスが第 1 の通信規約に従う場合、
 前記読み出しコマンドに応じた読み出しデータが後から送信されることを示すスプリット
 応答を前記通信インタフェース部に送信し、前記読み出しコマンドを前記プロセッサに送

10

20

30

40

50

信し、前記データ転送部は、前記第1のバスが第2の通信規約に従う場合、前記スプリット応答を前記通信インタフェース部に送信せずに、前記読み出しコマンドを前記プロセッサに送信し、前記プロセッサは、前記読み出しコマンドを受信し、前記スプリット応答を前記データ転送部に送信し、受信した前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記通信インタフェース部に送信することとする。

【発明の効果】

【0006】

本発明によれば、新たな規格を柔軟かつ積極的に取り込みつつデータ転送処理効率を向上した記憶デバイス制御装置及び記憶デバイス制御装置の制御方法を提供できる。

10

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施形態の一例を図面を用いて詳細に説明する。

【0008】

===ストレージシステム全体像===

図1は、本発明を適用した記憶デバイス制御装置200を含む情報処理システムの全体構成を示すブロック図である。図1に示すように、ストレージシステムは、各種の情報処理サービスを提供する情報処理装置100と、記憶ボリューム300の記憶領域を情報処理装置100に提供する記憶デバイス制御装置200とを含んで構成される。

【0009】

20

情報処理装置100はCPU (Central Processing Unit) やメモリを備えたコンピュータである。情報処理装置100では、CPUにより各種のプログラムが実行され、様々な機能が実現される。情報処理装置100は、例えば、パーソナルコンピュータやワークステーション、メインフレームコンピュータなどである。情報処理装置100は1台のコンピュータであってもよいし、複数台のコンピュータであってもよい。情報処理装置100上ではオペレーティングシステムが実行され、オペレーティングシステム上では様々なアプリケーションプログラムが実行される。

【0010】

情報処理装置100は、SAN (Storage Area Network) 400を介して記憶デバイス制御装置200と接続されている。SAN 400を介して行われる情報処理装置100と記憶デバイス制御装置200との間の通信はファイバチャネルプロトコルに従って行われる。SAN 400はファイバチャネルプロトコル以外にもさまざまなプロトコルに従った通信経路とすることもできる。SAN 400には、例えば、LAN (Local Area Network) やSCSI (Small Computer System Interface)、iSCSI (Internet Small Computer System Interface)、ESCON (Enterprise System Connection) (登録商標)、FICON (Fibre Connection) (登録商標)、ACONARC (Advanced Connection Architecture) (登録商標)、FIBARC (Fibre connection Architecture) (登録商標)などを用いることができる。なお、情報処理装置100と記憶デバイス制御装置200とは直接接続する形態としてもよい。

30

【0011】

40

情報処理装置100はファイバチャネルプロトコルに従って、データ入出力要求を記憶デバイス制御装置200に送信する。記憶デバイス制御装置200は、情報処理装置100からデータ入出力要求を受信すると、受信したデータ入出力要求に応じて、記憶ボリューム300に対するデータの入出力に関する処理を行う。このようにして、情報処理装置100上で実行されるアプリケーションプログラムは、記憶ボリューム300の記憶領域に適宜アクセスしながら各種処理を実行する。

【0012】

記憶デバイス制御装置200は多数の物理ディスクを備え、複数の記憶ボリューム300の提供する記憶領域を管理している。記憶ボリューム(記憶デバイス)300とは、物理ディスクにより提供される物理ボリュームと、物理ボリューム上に論理的に設定される

50

論理ボリュームとを含む記憶領域である。物理ディスクとしては、例えば、ハードディスク装置や半導体記憶装置等を用いることができる。記憶デバイス制御装置 200 は、複数の記憶ボリューム 300 によってディスクアレイを構成し、RAID によって管理される記憶領域を提供することもできるし、単一の物理ディスクによる記憶領域を提供するようにもできる。記憶ボリューム 300 は記憶デバイス制御装置 200 に一体的に構成されてもよいし、記憶デバイス制御装置 200 から独立した装置として、SCSI や LAN、SAN といった通信経路によって記憶デバイス制御装置 200 と接続する形態としてもよい。

【0013】

図 1 に示すように、記憶デバイス制御装置 200 は、チャンネル制御部 1 乃至 3 (210) 10、共有メモリ 220、キャッシュメモリ 230、ディスク制御部 1 乃至 3 (240)、接続部 250 を備える。

【0014】

チャンネル制御部 210 は情報処理装置 100 との間で通信を行うための通信インタフェースを備え、情報処理装置 100 から記憶デバイスに対して送信されるデータ入出力要求を受信する機能を有する。チャンネル制御部 210 はデータ入出力要求を受信すると、データ入出力要求に応じて記憶ボリューム 300 のアドレスやデータ長等を求め、記憶ボリューム 300 へのアクセスを行うための I/O コマンドを作成する。このようにして、記憶デバイス制御装置 200 は、記憶ボリューム 300 の提供する記憶領域を情報処理装置 100 に提供する。なお I/O コマンドにはデータの先頭アドレス、データ長、読み出し又は書き込み等のアクセスの種別が含まれている。またデータの書き込みの場合には I/O コマンドには書き込みデータが含まれているようにすることもできる。I/O コマンドの作成は、後述するマイクロプロセッサ 211 により行われる。 20

【0015】

接続部 250 はチャンネル制御部 210、共有メモリ 220、キャッシュメモリ 230、ディスク制御部 240 を相互に接続する。チャンネル制御部 210、共有メモリ 220、キャッシュメモリ 230、ディスク制御部 240 間でのデータやコマンドの授受は接続部 250 を介して行われる。接続部 250 は、例えば、高速スイッチングによりデータ伝送を行う高速クロスバススイッチなどの高速バスである。

【0016】

共有メモリ 220 及びキャッシュメモリ 230 は、チャンネル制御部 210 やディスク制御部 240 により共有される記憶メモリである。共有メモリ 220 は主に制御情報やコマンド等を記憶するために利用されるのに対し、キャッシュメモリ 230 は主にデータを記憶するために利用される。チャンネル制御部 210 は生成した I/O コマンドを共有メモリ 220 に書き込む。チャンネル制御部 210 は、例えば書き込みデータ等の I/O コマンドに付随するデータはキャッシュメモリ 230 に書き込む。 30

【0017】

ディスク制御部 240 は記憶ボリューム 300 に対するデータ入出力に関する制御を行う。ディスク制御部 240 は、共有メモリ 220 に書き込まれた I/O コマンドを読み出し、I/O コマンドに従って記憶ボリューム 300 へデータの入出力に関する制御を行う 40。また、ディスク制御部 240 は、チャンネル制御部 210 が I/O コマンドに指定した論理アドレスを物理アドレスに変換する。また、ディスク制御部 240 は、記憶ボリューム 300 における物理ディスクが RAID により管理されている場合に、RAID 構成 (例えば、RAID 0, 1, 5) に従ったデータのアクセスを行う。

【0018】

例えば、チャンネル制御部 210 は、情報処理装置 100 から受信したデータ入出力要求がデータの読み出し要求である場合には、読み出し対象となるデータがキャッシュメモリ 230 に存在するかどうかを調べる。読み出し対象となるデータがキャッシュメモリ 230 に存在すれば、チャンネル制御部 210 はそのデータを情報処理装置 100 に送信する。一方、読みだし対象となるデータがキャッシュメモリ 230 に存在しない場合には、チャ 50

ネル制御部 210 は読み出しコマンドを共有メモリ 220 に書き込むと共に、共有メモリ 220 を監視する。読み出しコマンドが共有メモリ 220 に書き込まれたことを検出したディスク制御部 240 は、記憶ボリューム 300 から読みだし対象となるデータを読み出してこれをキャッシュメモリ 230 に書き込むと共に、その旨を共有メモリ 220 に書き込む。チャンネル制御部 210 は読みだし対象となるデータがキャッシュメモリ 230 に書き込まれたことを検出すると、そのデータを情報処理装置 100 に送信する。

このようにチャンネル制御部 210 及びディスク制御部 240 の間では、キャッシュメモリ 230 を介してデータの授受が行われる。

【0019】

===チャンネル制御部===

10

図 2 は、チャンネル制御部 210 の内部構成を示す図である。

【0020】

マイクロプロセッサ (MP) 1 及び 2 (211) (第 1 のプロセッサ及び第 2 のプロセッサ)、ローカルメモリ 1 及び 2 (212)、通信インタフェース (P R T C L) 1 及び 2 (213) (第 1 の通信インタフェース部及び第 2 の通信インタフェース部)、データバッファ 214、接続コネクタ 217、データ転送 L S I 5 0 0 (データ転送部) を備える。

【0021】

通信インタフェース 1 (213) とデータ転送 L S I 5 0 0 とは、バス 2103 (第 1 のバス) により接続されている。マイクロプロセッサ 1 (211) とデータ転送 L S I 5 0 0 とは、バス 2101 (第 2 にバス) により接続されている。

20

【0022】

また、通信インタフェース 2 (213) とデータ転送 L S I 5 0 0 とはバス 2104 (第 3 のバス) により接続されている。マイクロプロセッサ 2 (211) とデータ転送 L S I 5 0 0 とは、バス 2102 (第 4 のバス) により接続されている。本実施の形態において、バス 2101 及び 2102 は P C I - X 規格に従うバスであるものとする。また、バス 2103 及び 2104 は P C I 規格に従うバスであるものとする。

【0023】

通信インタフェース 213 は、情報処理装置 100 との間で通信を行うためのインタフェースを備えている。通信コネクタ 216 は情報処理装置 100 と通信を行うためのコネクタである。本実施の形態におけるチャンネル制御部 210 の場合、通信コネクタ 216 は、S A N 4 0 0 に接続可能なコネクタであり、例えば、ファイバチャンネルに対応している。チャンネル制御部 210 が情報処理装置 100 からファイル名を指定したデータ入出力要求を受け付けるのであれば、通信コネクタは例えばイーサネット (登録商標) に対応し、チャンネル制御部 210 は L A N 経由でデータ入出力要求を受け付けるようにしてもよい。

30

【0024】

マイクロプロセッサ 211 はチャンネル制御部 210 全体の制御を司る。マイクロプロセッサ 211 がローカルメモリ 212 に記憶されたアプリケーションプログラムを実行することによって、各種の機能が実現する。

【0025】

接続コネクタ 217 はチャンネル制御部 210 が記憶デバイス制御装置 200 と接続するためのコネクタである。接続コネクタ 217 が記憶デバイス制御装置 200 側のコネクタと嵌合することにより、チャンネル制御部 210 のボードは記憶デバイス制御装置 200 と電氣的に接続される。チャンネル制御部 210 は接続コネクタ 217 を介して接続部 250 に接続され、記憶デバイス制御装置 200 内の共有メモリ 220 やキャッシュメモリ 230、ディスク制御部 240 などにアクセスが可能となっている。

40

【0026】

データ転送 L S I 5 0 0 は、マイクロプロセッサ 211 からの指示により、デバイス間でのデータの転送を行う装置である。データ転送 L S I 5 0 0 は P C I バス及び P C I - X バスのマスタ (イニシエータ) として、バス 2101 乃至 2104 にデータを送出する

50

ことができる。また、バス 2 1 0 1 乃至 2 1 0 4 に接続しているマイクロプロセッサ 2 1 1 や通信インタフェース 2 1 3 等のデバイスからコマンドを受信するターゲットデバイスとしても動作することができる。データ転送 L S I 5 0 0 は、マイクロプロセッサ 2 1 1 からコマンドを受信すると、そのコマンドに対する応答が後から送信されることを示すスプリット応答をマイクロプロセッサ 2 1 1 に返信することができる。これにより、イニシエータがターゲットへコマンドを送信するサイクルと、ターゲットがイニシエータへ応答を返信するサイクルとを別サイクルとする、いわゆるスプリットランザクションが実現される。P C I - X 規格では上記のスプリットランザクションが規定されており、バス 2 1 0 1 及び 2 1 0 2 は P C I - X 規格に従うバスであるため、データ転送 L S I 5 0 0 はマイクロプロセッサ 1 及び 2 (2 1 1) との間でスプリットランザクションを実現することができ、バスの使用効率を向上することができる。

【 0 0 2 7 】

また、図 2 に示すように、データ転送 L S I 5 0 0 は、バス間を接続するための 4 つのブリッジ (ブリッジ A 5 0 1、ブリッジ B 5 0 2、ブリッジ C 5 0 3、及びブリッジ D 5 0 4)、データバッファ 2 に対するアクセスを行うバッファコントローラ (B U F C T L) 5 0 5、モードセクタ 5 0 6 を備える。

【 0 0 2 8 】

ブリッジ C 5 0 3 (第 1 のバスブリッジ、第 1 のバスインタフェース)、ブリッジ A 5 0 1 (第 2 のバスブリッジ、第 2 のバスインタフェース)、ブリッジ D 5 0 4 (第 3 のバスブリッジ、第 3 のバスインタフェース)、ブリッジ B 5 0 2 (第 4 のバスブリッジ、第 4 のバスインタフェース) はいずれも、バス間のデータを転送するための装置である。

ブリッジ A 5 0 1 は、バス 2 1 0 1 に接続している。ブリッジ A 5 0 1 は、バス 2 1 0 1 を介してマイクロプロセッサ 1 (2 1 1) との間でデータのやりとりを行う。ブリッジ B 5 0 2 は、バス 2 1 0 2 に接続している。ブリッジ B 5 0 2 は、バス 2 1 0 2 を介してマイクロプロセッサ 2 (2 1 1) との間でデータのやりとりを行う。

ブリッジ C 5 0 3 は、バス 2 1 0 3 に接続している。ブリッジ C 5 0 3 は、バス 2 1 0 3 を介して通信インタフェース 1 (2 1 3) との間でデータのやりとりを行う。ブリッジ D 5 0 4 は、バス 2 1 0 4 に接続している。ブリッジ D 5 0 4 は、バス 2 1 0 4 を介して通信インタフェース 2 (2 1 3) との間でデータのやりとりを行う。

【 0 0 2 9 】

モードセクタ 5 0 6 は、データ転送 L S I 5 0 0 が通信インタフェース 1 及び 2 (2 1 3) と接続するバス 2 1 0 3 及び 2 1 0 4 が、P C I バスであるか P C I - X バスであるかを設定する信号線である。モードセクタ 5 0 6 は、例えば、ハイレベルの信号が供給されている間はバス 2 1 0 3 及び 2 1 0 4 が P C I - X バスであるものとして、P C I - X 規格に従って信号を送受信することができる。なお、モードセクタ 5 0 6 は信号線以外にも、スイッチとしてもよい。また、プロセッサがローカルメモリに設定されている値に応じて、バス 2 1 0 3 及び 2 1 0 4 のバスの種類を特定するようにしてもよい。このように、データ転送 L S I 5 0 0 は、P C I 及び P C I - X の両規格に従うバスに接続することができる。なお、P C I 規格及び P C I - X 規格以外の規格に従うバスに対応するようにしてもよい。

【 0 0 3 0 】

このように、データ転送 L S I 5 0 0 は、複数の規格に従うバスに接続することができる。そのため、データ転送 L S I 5 0 0 を搭載した記憶デバイス制御装置 2 0 0 は、技術の進歩に伴い新しい規格と古い規格とが混在するような状況においても、様々な規格に柔軟に対応することができる。

【 0 0 3 1 】

=== データ転送処理 1 ===

図 3 は、本実施の形態に係るデータ転送処理の流れを示す図である。図 3 は、マイクロプロセッサ 1 (2 1 1) が通信インタフェース 1 (2 1 3) に対してデータの取得を要求するリードコマンド (読み出しコマンド) を送信し、通信インタフェース 1 (2 1 3) が

らデータを受信する流れを示している。図3に示すデータ転送処理は、例えば、データ転送LSI500がデータバッファ214に記憶されているデータをキャッシュメモリ230に転送する際、転送するデータ長やアドレス等のデータ転送に必要な情報を取得するときに、その情報を転送する処理として行われる。

【0032】

マイクロプロセッサ1(211)は、バス2101の使用権を獲得し、リードコマンド(READ-CMD)をブリッジA501に送信する(S3001)。ブリッジA501は、リードコマンドを受信し、スプリット応答(SPLIT-RESP)をマイクロプロセッサ1(211)に送信する(S3002)。マイクロプロセッサ1(211)は、スプリット応答を受信すると、バス2101の使用権を解放する。従って、マイクロプロセッサ1(211)は、送信したリードコマンドに応じたデータが返信されるまで他の処理を行うことができる。図3において、期間31がマイクロプロセッサ1(211)が他の処理を行うことができる期間である。

10

【0033】

ブリッジA501は、リードコマンドをブリッジC503に転送する(S3003)。この時点で、ブリッジA501は、他のコマンドを受け付けることができるようになる。ブリッジC503は、リードコマンドを受信すると、バス2103の使用権を獲得し、通信インタフェース1(213)にリードコマンドを送信する(S3004)。

【0034】

通信インタフェース1(213)はリードコマンドを受信すると、受信したリードコマンドに応じて、例えば、情報処理装置100から受信したデータ入出力要求のデータ長等のリードデータ(READ-DATA)を作成する。通信インタフェース1(213)はデータを作成すると、リードデータをブリッジC504に送信する(S3005)。バス2103が例えばPCIバス等のスプリットトランザクションを用いることができないバスである場合、通信インタフェース1(213)がリードデータを作成する間の(S3004)から(S3005)までの期間、ブリッジC503はビジー状態となる。また、ブリッジC503がバス2103の使用権を獲得しているため、バス2103もビジー状態となる。

20

【0035】

ここで、ブリッジA501が通信インタフェース1(213)からのデータを待機するとすれば、図3の期間32の間もブリッジA501は他のコマンドを受け付けることができないビジー状態となってしまう。しかしながら、上記のブリッジA501は、期間32の分だけコマンドを受け付けることができる期間を長くすることができる。本実施の形態において、ブリッジA501はブリッジC503とブリッジD504との両方に接続しているため、ブリッジC503がビジー状態であったとしても、ブリッジD504に対してコマンドを転送することができる。従って、ブリッジA501がコマンドを受け付けることができる期間が長くなる。よって、データ転送LSI500がコマンドをより多く受け付けることが可能となり、効率的なデータ転送LSI500の動作を図ることができる。

30

【0036】

一方、ブリッジC503は、通信インタフェース1(213)からリードデータを受信すると、バス2103の使用権を解放し、リードデータをブリッジA501に転送する(S3006)。

40

ブリッジA501は通信インタフェース1(213)から送信されたリードデータを受信すると、バス2101の使用権を獲得し、マイクロプロセッサ1(211)にリードデータを送信し(S3007)、バス2101の使用権を解放する。

【0037】

このようにして、マイクロプロセッサ211(プロセッサ)が通信インタフェース213(通信インタフェース部)にリードコマンド(読み出しコマンド)を送信すると、データ転送LSI500(データ転送部)は、通信インタフェース213からリードデータの応答であるリードデータを受信するよりも前に、マイクロプロセッサ211にスプリット応答を送信することができる。従って、マイクロプロセッサ211は、通信インタフェ

50

ス 2 1 3 から送信されるリードデータが到着するまで待機することなく、他の処理を行うことができる。よって、マイクロプロセッサ 2 1 1 をより効率的に動作させることができる。マイクロプロセッサ 2 1 1 の処理効率が向上すると、記憶デバイス制御装置 2 0 0 全体としての処理効率も向上することになる。

【 0 0 3 8 】

なお、本実施の形態において、マイクロプロセッサ 1 (2 1 1) がバス 2 1 0 1 の使用权を獲得する仕組みは、P C I バス等で一般的に用いられている調停回路を利用したものを想定している。マイクロプロセッサ 1 (2 1 1) は、例えば、ブリッジ A 5 0 1 の備える調停回路 (不図示) に、バス 2 1 0 1 を使用することを示すリクエスト信号を送信し、調停回路がマイクロプロセッサ 1 (2 1 1) にバス 2 1 0 1 を使用を許可する旨を示す応答信号を送信する。これにより、ブリッジ A 5 0 1 はバス 2 1 0 1 に接続するデバイスにバス 2 1 0 1 の使用权を与えることができる。また、ブリッジ B 5 0 2、ブリッジ C 5 0 3、及びブリッジ D 5 0 4 も同様に調停回路を備え、夫々バス 2 1 0 2、バス 2 1 0 3、及びバス 2 1 0 4 の使用权を各バスに接続するデバイスに与えることができる。

10

【 0 0 3 9 】

次に、上述したデータ転送処理をタイミングチャートを用いて説明する。図 4 は、上記の処理における各信号を説明するタイミングチャートである。

【 0 0 4 0 】

ブリッジ A 5 0 1 がマイクロプロセッサ 1 (2 1 1) にスプリット応答を返信し、マイクロプロセッサ 1 (2 1 1) がバス 2 1 0 1 の使用权を解放した時点が、T 1 である。

20

通信インタフェース 1 (2 1 3) がリードデータをブリッジ A 5 0 1 に送信し (D A T A - T R A N S)、ブリッジ A 5 0 1 が受信したリードデータをマイクロプロセッサ 1 (2 1 1) に送信し始めた時点が T 2 である。

【 0 0 4 1 】

図 4 に示すように、T 1 ~ T 2 の期間はバス 2 1 0 1 の使用权が解放されている。T 1 ~ T 2 の期間は、ブリッジ A 5 0 1 はビジー状態であるため、マイクロプロセッサ 1 (2 1 1) は、ブリッジ A 5 0 1 にコマンドを送信することはできない。しかしながら、マイクロプロセッサ 1 (2 1 1) はバス 2 1 0 1 に接続する他のデバイスとやり取りをするなど、他の処理を行うことができる。そのため、より効率的なマイクロプロセッサ 1 (2 1 1) の動作を実現することができる。

30

【 0 0 4 2 】

なお、本実施の形態では、バス 2 1 0 3 は P C I バスであるとしているが、P C I - X バスとしてもよい。この場合、通信インタフェース 1 (2 1 3) はスプリット応答をブリッジ C 5 0 3 に返信することができる。図 5 は、バス 2 1 0 3 が P C I - X バスであった場合の上記図 3 に示すデータ転送処理の流れを示す図である。

図 5 に示す処理の流れはほぼ図 3 に示す処理の流れと同様であるが、通信インタフェース 1 (2 1 1) は、ブリッジ C 5 0 3 から受信したリードコマンドに対して、スプリット応答を送信する (S5001) 箇所が図 3 と異なる。ブリッジ A 5 0 1 は、マイクロプロセッサ 1 (2 1 1) が送信したリードコマンドに応じてスプリット応答を返信 (S3002) している。通信インタフェース 1 (2 1 3) から受信したスプリット応答を、ブリッジ C 5 0 3 がブリッジ A 5 0 1 に、ブリッジ A 5 0 1 がマイクロプロセッサ 1 (2 1 1) に転送するようにすることもできる。しかしながら、その場合に比べ、本実施の形態によるデータ転送処理では、図 5 に示すの期間 5 1 の分だけ、マイクロプロセッサ 1 (2 1 1) が他の処理を行うことができる期間が長くなっている。

40

【 0 0 4 3 】

=== データ転送処理 2 ===

図 6 は、マイクロプロセッサ 1 (2 1 1) が通信インタフェース 1 (2 1 3) 及び通信インタフェース 2 (2 1 3) の両方からデータを読み出すときの処理の流れを示す図である。

【 0 0 4 4 】

50

マイクロプロセッサ 1 (2 1 1) は、バス 2 1 0 1 の使用権を獲得し、通信インタフェース 1 (2 1 3) に対するリードコマンド 1 (R E A D - 1) をブリッジ A 5 0 1 に送信する (S6001)。ブリッジ A 5 0 1 はスプリット応答をマイクロプロセッサ 1 (2 1 1) に返信し (S6002)、マイクロプロセッサ 1 (2 1 1) はバス 2 1 0 1 の使用権を解放する。ブリッジ A 5 0 1 は、ブリッジ C 5 0 3 にリードコマンド 1 を転送する (S6003)。ブリッジ C 5 0 3 は、バス 2 1 0 3 の使用権を獲得し、受信したリードコマンド 1 を通信インタフェース 1 (2 1 3) に送信する (S6004)。通信インタフェース 1 (2 1 3) は、受信したリードコマンド 1 に応じたリードデータ 1 (D A T A - 1) を作成する。

【 0 0 4 5 】

その間に、マイクロプロセッサ 1 (2 1 1) は、再度バス 2 1 0 1 の使用権を獲得し、通信インタフェース 2 (2 1 3) に対するリードコマンド 2 (R E A D - 2) をブリッジ A 5 0 1 に送信する (S6005)。ブリッジ A 5 0 1 はスプリット応答をマイクロプロセッサ 1 (2 1 1) に返信し (S6006)、マイクロプロセッサ 1 (2 1 1) はバス 2 1 0 1 の使用権を解放する。ブリッジ A 5 0 1 は、ブリッジ D 5 0 4 にリードコマンド 2 を転送する (S6007)。ブリッジ D 5 0 4 は、バス 2 1 0 4 の使用権を獲得し、受信したリードコマンド 2 を通信インタフェース 2 (2 1 3) に送信する (S6008)。通信インタフェース 2 (2 1 3) は、受信したリードコマンド 2 に応じたリードデータ 2 (D A T A - 2) を作成する。

10

【 0 0 4 6 】

通信インタフェース 1 (2 1 3) は、リードコマンド 1 に応じたリードデータ 1 を作成すると、ブリッジ C 5 0 3 にリードデータ 1 を返信する (S6009)。ブリッジ C 5 0 3 は、リードデータ 1 を受信し、バス 2 1 0 3 の使用権を解放し、受信したリードデータ 1 をブリッジ A 5 0 1 に転送する (S6010)。ブリッジ A 5 0 1 は、バス 2 1 0 1 の使用権を獲得し、受信したリードデータ 1 をマイクロプロセッサ 1 に送信し (S6011)、バス 2 1 0 1 の使用権を解放する。

20

【 0 0 4 7 】

また、通信インタフェース 2 (2 1 3) が、リードコマンド 2 に応じたリードデータ 2 を作成すると、ブリッジ D 5 0 4 にリードデータ 2 を返信する (S6012)。ブリッジ D 5 0 4 は、リードデータ 2 を受信し、バス 2 1 0 4 の使用権を解放し、受信したリードデータ 2 をブリッジ A 5 0 1 に転送する (S6013)。ブリッジ A 5 0 1 は、バス 2 1 0 1 の使用権を獲得し、受信したリードデータ 1 をマイクロプロセッサ 1 に送信し (S6014)、バス 2 1 0 1 の使用権を解放する。

30

【 0 0 4 8 】

このようにして、マイクロプロセッサ 1 (2 1 1) と通信インタフェース 1 及び 2 (2 1 3) との間でデータが転送される。上記のデータ転送処理では、ブリッジ A 5 0 1 は (S6002) においてマイクロプロセッサ 1 (2 1 1) にスプリット応答を返信し、ブリッジ C 5 0 3 にリードコマンド 1 を転送し、ビジー状態ではなくなる。従って、マイクロプロセッサ 1 (2 1 1) は、再送信することなく、リードコマンド 2 をブリッジ A 5 0 1 に送信 (S6005) することができる。

【 0 0 4 9 】

図 7 及び図 8 は、上述した、マイクロプロセッサ 1 (2 1 1) が通信インタフェース 1 (2 1 3) 及び通信インタフェース 2 (2 1 3) の両方からデータを読み出す際のデータ転送処理にかかる信号を説明する図である。

40

【 0 0 5 0 】

図 7 は、ブリッジ A 5 0 1 が、ブリッジ C 5 0 3 及びブリッジ D 5 0 4 と接続せず、直接バス 2 1 0 3 及びバス 2 1 0 4 と接続する形態における、上記データ転送処理を説明するタイミングチャートである。図 8 は、図 6 に示すデータ転送処理における信号を説明するタイミングチャートである。

【 0 0 5 1 】

図 7 では、ブリッジ A 5 0 1 は、リードコマンド 1 を通信インタフェース 1 (2 1 3)

50

に送信してからリードデータ1を受信するまでの間、ビジー状態(BRIDGE-BUSY 7101)となっている。そのため、マイクロプロセッサ1(211)は、リードコマンド2をブリッジA501に送信することができず、再送信(RETRY)を行う必要がある(S7001)。マイクロプロセッサ1(211)が、リードコマンド2を再度送信し(S7002)、通信インタフェース2(213)からのリードデータ2を受信し(S7003)、リードデータ2の受信が完了する時点がT7である。

【0052】

これに対し、図8では、ブリッジA501はマイクロプロセッサ1(211)にリードコマンド1に対するスプリット応答を送信し(S8001)て、ビジー状態ではなくなる。そのため、マイクロプロセッサ1(211)はリードコマンド2をブリッジA501に送信しても(S8002)、ブリッジA501はリードコマンド2を受信することができる。従って、マイクロプロセッサ1(211)はリードコマンド2を再送信する必要がない。マイクロプロセッサ1(211)が通信インタフェース2(213)からのリードデータ2を受信し(S8003)、リードデータ2の受信が完了する時点はT8である。

10

【0053】

T7とT8とを比較しても明らかなように、本実施の形態におけるデータ転送LSI500によれば、データ転送処理にかかる時間が短縮されることになる。すなわち、本発明によれば、ブリッジA501(第2のバスインタフェース部)は、リードコマンド1(第1の読み出しコマンド)を受信すると、ブリッジC503(第1のバスインタフェース部)に送信するため、ビジー状態にならず、リードコマンド2(第2の読み出しコマンド)を受信することができる。従って、マイクロプロセッサ1(211)(プロセッサ)は、リードコマンド2(第2のコマンド)を送信するために待機することなく、データ転送LSI500(データ転送部)に第2のコマンドを送信することができる。また、マイクロプロセッサ1(211)(プロセッサ)は、第1及び第2のコマンドを送信するとスプリット応答を受信するので、第1及び第2のコマンドに応じた読み出しデータを受信するまでバス2101を占有することなく、バス2101の使用権を解放することができる。よって、バス2101の効率的な使用が可能となる。また、マイクロプロセッサ1(211)はリードデータを受信するまで待機することなく、他の処理を行うことができる。よって、マイクロプロセッサ211の効率的な利用が可能となる。これにより、マイクロプロセッサ211の処理効率が上がり、多くの処理を行うことができるので、記憶デバイス制御装置200全体の処理効率も向上する。

20

30

【0054】

図9に、バス2103及びバス2104がPCI-Xバスである場合のデータ転送処理の流れを示す。図9でも上記の図6と同様に、マイクロプロセッサ1(211)は、リードコマンド1に対するスプリット応答をブリッジA501から受信した後、再送信することなく、リードコマンド1に応じたリードデータ1を受信するよりも前に、リードコマンド2をブリッジA501に送信できるようになっている。

【0055】

また、マイクロプロセッサ211から通信インタフェース213に対するコマンドの送信のみならず、通信インタフェース213からマイクロプロセッサ211に対するコマンドの送信においても同様に、データ転送処理にかかる時間を短縮することができる。

40

図10に、通信インタフェース1(213)が、マイクロプロセッサ1及び2(211)にリードコマンドを送信する際の、データ転送処理の流れを示す。なお、図10において、通信インタフェース1(213)が接続するバス2103は、PCI-Xバスであることとする。ここでも図9と同様に、ブリッジC503はリードコマンド1に応じたマイクロプロセッサ1(211)からのリードデータ1が応答されるよりも前にリードコマンド2を受信することができる。そのため、通信インタフェース1(213)は、リードコマンド1に対するスプリット応答をブリッジC503から受信した後、リードコマンド2を再送信することなく、ブリッジC503に送信することができる。従って、通信インタフェース1(213)は、リードコマンド2の送信にかける時間を短縮することができる

50

。よって、通信インタフェース 1 (2 1 3) は、リードコマンドの送信以外の処理に多く時間をかけることが可能となり、これにより、通信インタフェース 1 (2 1 3) は情報処理装置 1 0 0 からより多くのデータ入出力要求を受信することができるので、記憶デバイス制御装置 2 0 0 全体として、より多くの記憶デバイスへのアクセスを行うことができる。

【 0 0 5 6 】

=== データ転送処理 3 ===

図 1 1 は、マイクロプロセッサ 1 及び 2 (2 1 1) が通信インタフェース 1 (2 1 3) に対して、リードコマンド 1 を送信するときの処理の流れを示す図である。なお、以下の説明において、マイクロプロセッサ 2 1 1、通信インタフェース 2 1 3、ブリッジ 5 0 1 乃至 5 0 4 は、コマンドを送信するときにバスの使用権を獲得し、送信したコマンドに対する応答を受信するとバスの使用権を解放するものとする。

10

【 0 0 5 7 】

マイクロプロセッサ 1 (2 1 1) は、通信インタフェース 1 (2 1 3) に対するリードコマンド 1 (R E A D - 1) をブリッジ A 5 0 1 に送信する (S11001)。ブリッジ A 5 0 1 は、マイクロプロセッサ 1 (2 1 1) にスプリット応答を送信し (S11002)、リードコマンド 1 をブリッジ C 5 0 3 に転送する (S11003)。

また、ほぼ同じタイミングで、マイクロプロセッサ 2 (2 1 1) が通信インタフェース 1 (2 1 3) に対するリードコマンド 2 (R E A D - 2) をブリッジ B 5 0 2 に送信する (S11004)。ブリッジ B 5 0 2 は、マイクロプロセッサ 2 (2 1 1) にスプリット応答を送信し (S11005)、リードコマンド 2 をブリッジ C 5 0 3 に送信する (S11006)。

20

【 0 0 5 8 】

ブリッジ C 5 0 3 は、ブリッジ A 5 0 1 からのリードコマンド 1 とブリッジ B 5 0 2 からのリードコマンド 2 とをほぼ同時に受信するが、通信インタフェース 1 (2 1 3) に同時に 2 つのコマンドを送信しないように調停を行う (S11007)。ここでブリッジ C 5 0 3 は、例えば、リードコマンド 1 とリードコマンド 2 のどちらか先に受信した方を先に通信インタフェース 1 (2 1 3) に送信するようにできる。図 1 1 において、リードコマンド 1 が先にブリッジ C 5 0 3 に伝達されたものとする。ブリッジ C 5 0 3 は、先に受信したリードコマンド 1 を通信インタフェース 1 (2 1 3) に転送する (S11008)。通信インタフェース 1 (2 1 3) は、受信したリードコマンド 1 に応じたデータ 1 (D A T A - 1) を作成する。通信インタフェース 1 (2 1 3) は、作成したデータ 1 をブリッジ C 5 0 3 に送信する。なお、この時点で、ブリッジ B 5 0 2 はリードコマンド 2 がブリッジ C 5 0 3 に受理されていないため、ビジー状態となっている。

30

【 0 0 5 9 】

ブリッジ C 5 0 3 は、受信したデータ 1 をブリッジ A 5 0 1 に転送する (S11009) とともに、リードコマンド 2 を通信インタフェース 1 (2 1 3) に送信する (S11010)。

ブリッジ A 5 0 1 は、ブリッジ C 5 0 3 からデータ 1 を受信すると、受信したデータ 1 をマイクロプロセッサ 1 (2 1 1) に送信する (S11011)。

通信インタフェース 1 (2 1 3) は、リードコマンド 2 を受信すると、リードコマンド 2 に応じたデータ 2 (D A T A - 2) を作成する。通信インタフェース 2 (2 1 3) は、作成したデータ 2 をブリッジ C 5 0 3 に送信する (S11012)。ブリッジ C 5 0 3 は、受信したデータ 2 をブリッジ B 5 0 2 に転送し (S11013)、ブリッジ B 5 0 2 は受信したデータ 2 をマイクロプロセッサ 2 (2 1 1) に送信する (S11014)。

40

【 0 0 6 0 】

このようにして、ブリッジ C 5 0 3 は、同時に到達した 2 つのコマンドに対して調停を行い、2 つのコマンドの夫々を順番に通信インタフェース 1 (2 1 3) に送信する。このとき、マイクロプロセッサ 2 (2 1 1) は、リードコマンド 2 を、再送信を行うことなくブリッジ B 5 0 2 に送信することができる。そのため、マイクロプロセッサ 2 (2 1 1) は、スプリット応答を受信した後、データ 2 を受信開始するまでの間 (図 1 1 における期間 1 1)、他の処理を行うことができる。従って、マイクロプロセッサ 2 1 1 の効率的な

50

動作を図ることができる。また、ブリッジ C 5 0 3 は、リードコマンド 1 に対応するデータ 1 を転送し、再度リードコマンド 2 を受信することなく、リードコマンド 2 を通信インタフェース 1 (2 1 3) に送信することができる。従って、マイクロプロセッサ 2 (2 1 1) がリードコマンド 2 を再送信する場合に比べ、通信インタフェース 1 (2 1 3) にリードコマンド 2 を早く到達させることができる。よって、データ転送処理にかかる時間が短縮される。

【 0 0 6 1 】

この時間の短縮の様子を示したのが、図 1 2 及び図 1 3 のタイミングチャートである。図 1 2 は、ブリッジ C 5 0 3 が直接マイクロプロセッサ 1 及び 2 (2 1 1) からリードコマンドを受信し、マイクロプロセッサ 2 (2 1 1) がリードコマンド 2 を再送信する場合の処理を説明するためのタイミングチャートである。図 1 3 は、上記図 1 1 の処理を説明するためのタイミングチャートである。

10

【 0 0 6 2 】

図 1 2 において、マイクロプロセッサ 2 (2 1 1) (P C I _ B バス) は、ブリッジ C 5 0 3 (B R I D G E) による調停の結果、リードコマンド 2 を送信することができず、再送信 (R E T R Y 1 2 0 1) を行う様子を示している。マイクロプロセッサ 2 (2 1 1) は、2 度目のリードコマンド 2 の送信により、ブリッジ C 5 0 3 にリードコマンド 2 を送信し、ブリッジ C 5 0 3 は、リードコマンド 2 を通信インタフェース 1 (2 1 3) (P C I _ C バス) に送信する。通信インタフェース 1 (2 1 3) からのリードデータ 2 (D A T A - C) の受信を完了する時点が図 1 2 の T 1 2 である。これに対し、上記図 1 1 に示す処理では、マイクロプロセッサ 2 (2 1 1) が通信インタフェース 1 (2 1 3) からのリードデータ 2 の受信を完了する時点は、図 1 3 の T 1 3 である。T 1 2 と T 1 3 との比較から見ても明らかなように、本実施の形態のデータ転送処理によって、データ転送処理にかかる時間が短縮されていることが分かる。

20

【 0 0 6 3 】

図 1 3 において、ブリッジ B 5 0 2 (B R I D G E - B) は、マイクロプロセッサ 2 (2 1 1) からのリードコマンド 2 に応じてスプリット応答を返信した後、ビジー状態となっている。しかしながら、マイクロプロセッサ 2 (2 1 1) 及びバス 2 1 0 2 (P C I _ B) はビジー状態とならない。従って、マイクロプロセッサ 2 (2 1 1) は、リードコマンド 2 に対応するデータ 2 が送信されてくるまでの間、他の処理を行うことが可能である。よって、マイクロプロセッサ 2 1 1 の効率的な運用が可能となり、また、データ転送 L S I 5 0 0 のデータ転送にかかる時間が短縮され、データ転送処理の効率が図られ、記憶デバイス制御装置 2 0 0 全体としてのデータ転送効率も向上する。

30

【 0 0 6 4 】

なお、図 1 4 は、通信インタフェース 1 (2 1 3) の接続するバス 2 1 0 3 が P C I - X バスであった場合の、データ転送処理の流れを示す図である。図 1 4 においても、上記図 1 1 で説明した処理と同様に、ブリッジ C 5 0 3 がリードコマンド 1 及び 2 の調停を行い、マイクロプロセッサ 2 (2 1 1) はビジー状態となることなく、他の処理を行うことができる。また、ブリッジ C 5 0 3 は、リードコマンド 1 に対応するデータ 1 を受信し、データ 1 をブリッジ A 5 0 1 に転送するとともに、マイクロプロセッサ 2 (2 1 1) から再度リードコマンドを受信することなく、リードコマンド 2 を通信インタフェース 1 (2 1 3) に送信することができる。

40

【 0 0 6 5 】

また、マイクロプロセッサ 2 1 1 から通信インタフェース 2 1 3 に対するコマンドの送信のみならず、通信インタフェース 2 1 3 からマイクロプロセッサ 2 1 1 に対するコマンドの送信においてもまったく上述の図 1 1 に示す処理と同様に、データ転送処理にかかる時間を短縮短縮することができる。図 1 5 に、通信インタフェース 1 及び 2 (2 1 3) からマイクロプロセッサ 1 (2 1 1) に対してリードコマンドが送信されときの処理の流れを示す。図 1 5 に示す例においても、通信インタフェース 2 (2 1 3) はビジー状態になることなく、他の処理を行うことができる。

50

【 0 0 6 6 】

＝ ＝ データ転送処理 4 ＝ ＝

バス 2 1 0 3 及びバス 2 1 0 4 が P C I - X バスである場合には、図 1 5 に示す上述したデータ転送処理により、データ転送処理の効率を向上することが可能である。そこで、本実施の形態に係る、バス 2 1 0 3 及びバス 2 1 0 4 が P C I バスである場合において、通信インタフェース 1 及び 2 (2 1 3) からマイクロプロセッサ 1 (2 1 1) に対してリードコマンドを送信した場合のデータ転送処理について説明する。なお、以下の説明において、マイクロプロセッサ 2 1 1、通信インタフェース 2 1 3、ブリッジ 5 0 1 乃至 5 0 4 は、コマンドを送信するときにバスの使用権を獲得し、送信したコマンドに対する応答を受信するとバスの使用権を解放するものとする。

10

【 0 0 6 7 】

図 1 6 は、通信インタフェース 1 及び 2 (2 1 3) からマイクロプロセッサ 1 (2 1 1) に対してリードコマンドが送信される場合の処理の流れを示す図である。バス 2 1 0 3 及び 2 1 0 4 は P C I バスであるため、ブリッジ C 5 0 3 やブリッジ D 5 0 4 は、通信インタフェース 1 (2 1 3) や通信インタフェース 2 (2 1 3) にスプリット応答を返すことができないことが、上述した図 1 1 に示す処理と異なる点である。

【 0 0 6 8 】

図 1 6 において、ブリッジ A 5 0 1 がリードコマンド 2 (R E A D - 2) を受信した (S16001) 際、通常の調停回路と同様に、ブリッジ D 5 0 4 に対して再送を要求するようにしてしまうと、通信インタフェース 2 (2 1 3) は、ブリッジ A 5 0 1 がデータ 1 (D A T A - 1) をブリッジ C 5 0 3 に転送した後に、再度リードコマンド 2 を送信する必要がある。しかしながら、ブリッジ C 5 0 3 やブリッジ D 5 0 4 は、通信インタフェース 1 (2 1 3) 及び通信インタフェース 2 (2 1 3) からのリードコマンド 1 及び 2 を受信し、受信したリードコマンド 1 及び 2 を通信インタフェース 2 1 3 に再送させることがない。そのため、通信インタフェース 2 1 3 は、リードコマンドを再送するのにかかる時間を節約することができる。従って、通信インタフェース 2 1 3 の処理効率が向上し、記憶デバイス制御装置全体としてのデータ転送処理の効率も向上することができる。

20

【 0 0 6 9 】

図 1 7 及び図 1 8 は、データ転送処理にかかる時間が短縮されたことを説明するためのタイミングチャートである。

30

【 0 0 7 0 】

図 1 7 では、ブリッジ A 5 0 1 (B R I D G E) が直接通信インタフェース 1 及び 2 (2 1 3) からリードコマンドを受信するときの信号を示している。図 1 7 において、ブリッジ A 5 0 1 は、同時に受信するリードコマンドについて、調停 (S17001) を行い、どちらか先に到着したものをマイクロプロセッサ 1 (2 1 1) に転送し、後に到着したものについてはリードコマンドを再送するように、リードコマンドの送信元に返信する。なお、図 1 7 において、ブリッジ A 5 0 1 は、通信インタフェース 2 1 3 が常にビジー状態にならないように、リードコマンドに対するデータが作成できるまで、通信インタフェース 2 1 3 に再送 (R E T R Y) するようにさせている。

【 0 0 7 1 】

ブリッジ A 5 0 1 は、リードコマンド 1 を先にマイクロプロセッサ 1 (2 1 1) に送信し、スプリット応答を受信する。ブリッジ A 5 0 1 は、通信インタフェース 2 (2 1 3) から再送されたリードコマンド 2 を受信する (S17002) が、マイクロプロセッサ 1 (2 1 1) からデータ 1 の応答を受信するため、先にデータ 1 を通信インタフェース 1 (2 1 3) に転送する。ブリッジ A 5 0 1 は、マイクロプロセッサ 1 (1 2 1) から受信したデータ 1 を転送した後、リードコマンド 2 をマイクロプロセッサ 1 (2 1 1) に送信する (S17003) 。

40

このようにして、通信インタフェース 2 (2 1 3) がリードデータ 2 の受信を完了した時点が T 1 7 である。

【 0 0 7 2 】

50

これに対し、図 18 に示すデータ転送処理では、ブリッジ A 5 0 1 が同時に受信するリードコマンドを調停し、リードコマンド 1 をマイクロプロセッサ 1 (2 1 1) に送信し、マイクロプロセッサ 1 (2 1 1) からスプリット応答を受信すると、通信インタフェース 2 (2 1 3) から再送されるリードコマンド 2 を待つことなく、リードコマンド 2 をマイクロプロセッサ 1 (2 1 1) に送信する。これにより、ブリッジ A 5 0 1 は、マイクロプロセッサ 1 (2 1 1) がリードコマンド 1 に対応するデータ 1 を作成する間に、リードコマンド 2 もマイクロプロセッサ 2 (2 1 1) に送信しておくことができる。通信インタフェース 2 (2 1 3) がデータ 2 の受信を完了する時点は、図 18 において T 1 8 である。T 1 7 と T 1 8 を比較しても明らかなように、データ転送処理にかかる時間は短縮されている。

【 0 0 7 3 】

== 記憶データの読み出し処理 ==

ここまでで説明したデータ転送処理は、マイクロプロセッサ 2 1 1 と通信インタフェース 2 1 3 との間で行われるデータの転送に用いられる処理である。ここで転送されるデータとは、主に、データバッファ 2 1 4 とキャッシュメモリ 2 3 0 との間でデータが転送される場合に必要な、データ長やアドレス等の情報である。しかしながら、上述したデータ転送処理は、データバッファ 2 1 4 とキャッシュメモリ 2 3 0 との間でのデータ転送処理に適用することも可能である。

【 0 0 7 4 】

以下に、データバッファ 2 1 4 とキャッシュメモリ 2 3 0 との間でデータが転送される処理について説明する。

上述したように、記憶デバイス制御装置 2 0 0 の備えるチャネル制御部 2 1 0 は、情報処理装置 1 0 0 からデータ入出力要求を受信し、データ入出力要求に応じて記憶ボリューム 3 0 0 のアドレスやデータ長等を求め、記憶ボリューム 3 0 0 へのアクセスを行うための I / O コマンドを作成する。例えば、チャネル制御部 2 1 0 が受信したデータ入出力要求がデータの読み出し要求である場合には、チャネル制御部 2 1 0 は、読み出し対象となるデータをキャッシュメモリ 2 3 0 から読み出し、情報処理装置 1 0 0 に送信する。

【 0 0 7 5 】

チャネル制御部 2 1 0 は、情報処理装置 1 0 0 との間で通信を行うデータをデータバッファ 2 1 4 に記憶する。例えば、記憶デバイス制御装置 2 0 0 が記憶ボリューム 3 0 0 からデータを読み出す場合、データ転送 L S I 5 0 0 は、キャッシュメモリ 2 3 0 に記憶されているデータをデータバッファ 2 1 4 に転送し、通信インタフェース 2 1 3 は、データバッファ 2 1 4 に記憶されているデータを情報処理装置 1 0 0 に送信する。

【 0 0 7 6 】

図 19 は、通信インタフェース 2 1 3 がバッファコントローラ 5 0 5 を介してデータバッファ 2 1 4 からデータを読み出す処理の流れを説明する図である。

【 0 0 7 7 】

通信インタフェース 2 1 3 は、バス 2 1 0 3 の使用権を獲得し、バッファコントローラ 5 0 5 にリードコマンド (R E A D - C M D) を送信する。バッファコントローラ 5 0 5 は、スプリット応答を返信する。通信インタフェース 2 1 3 は、スプリット応答を受信すると、バス 2 1 0 3 の使用権を解放する。バッファコントローラ 5 0 5 は、リードコマンドをデータバッファ 2 1 4 に転送する。データバッファ 2 1 4 は、リードコマンドに応じて、記憶しているデータをバッファコントローラ 5 0 5 に送信する。バッファコントローラ 5 0 5 は、バス 2 1 0 3 の使用権を獲得し、通信インタフェース 2 1 3 にデータを転送する。この一連の処理は上記図 3 に示したデータの転送処理と同様のものである。すなわち、マイクロプロセッサ 2 1 1 と通信インタフェース 2 1 3 との間のみでなく、通信インタフェース 2 1 3 とデータバッファ 2 1 4 との間でのデータの転送についても、通信インタフェース 2 1 3 及びバス 2 1 0 3 がビジー状態である期間を短縮し、より効率的な通信インタフェース 2 1 3 の動作と、効率的なバス 2 1 0 3 の利用を図ることができる。

【 0 0 7 8 】

10

20

30

40

50

図20は、通信インタフェース1(213)が情報処理装置100にデータを送信するために、マイクロプロセッサ1(211)からデータの転送に必要な情報(データ転送情報)を取得し、また、情報処理装置100に送信するデータをデータバッファ214から取得するときの処理の流れを示す図である。

【0079】

通信インタフェース1(213)は、バス2103の使用権を獲得し、マイクロプロセッサ1(211)からデータ転送情報を読み出すためのリードコマンド1(READ-C TL)をブリッジC503に送信する。ブリッジC503はリードコマンド1を受信すると、スプリット応答を通信インタフェース1(213)に返信する。

通信インタフェース1(213)は、スプリット応答を受信すると、バス2103の使用権を解放する。通信インタフェース1(213)は、続いてバス2103の使用権を獲得し、データバッファ214に対するデータの読み出しコマンドをバッファコントローラ505に送信する。バッファコントローラ505は、データの読み出しコマンドを受信すると、通信インタフェース1(213)にスプリット応答を返信する。通信インタフェース1(213)は、スプリット応答を受信し、バス2103の使用権を解放する。

通信インタフェース1(213)はこの時点で、マイクロプロセッサ1(211)に対するリードコマンドと、データバッファ214に対するデータ読み出しコマンドとの両方を送信したことになる。

【0080】

一方、ブリッジC503は、通信インタフェース1(213)から受信したリードコマンド1をブリッジA501に転送する。ブリッジA501は、受信したリードコマンド1をマイクロプロセッサ1(211)に転送する。マイクロプロセッサ1(211)は、リードコマンド1を受信し、スプリット応答をブリッジA501に返信する。マイクロプロセッサ1(211)は、受信したリードコマンド1に応じたリードデータ1を作成する。マイクロプロセッサ1(211)はリードデータ1を作成すると、リードデータをブリッジA501に送信する。ブリッジA501はリードデータを受信すると、ブリッジC503にリードデータを転送する。ブリッジC503は、バス2103の使用権を獲得して通信インタフェース1(213)にリードデータを送信し、バス2103の使用権を解放する。

【0081】

また、バッファコントローラ505は、受信したデータ読み出しコマンドをデータバッファ214に転送する。データバッファ214は受信したデータ読み出しコマンドに応じて、記憶しているデータを読み出しデータとしてバッファコントローラ505に返信する。バッファコントローラ505は、バス2103の使用権を獲得し、受信した読み出しデータを通信インタフェース1(213)に送信し、バス2103の使用権を解放する。

【0082】

以上、本実施の形態に係る記憶デバイス制御装置200について説明したが、上述したデータ転送処理は、チャンネル制御部210以外に適用することも可能である。例えば、ディスク制御部240が、マイクロプロセッサと、キャッシュメモリ230との間で通信を行うインタフェースと、キャッシュメモリ230と記憶デバイス300との間でデータを転送するデータ転送LSIとを備え、当該データ転送LSIが複数のブリッジを備えるようにして、マイクロプロセッサとインタフェースとの間でデータ転送を行う処理に、上述したデータ転送処理を適用することができる。

【0083】

以上、本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

【図面の簡単な説明】

【0084】

【図1】本発明の一実施の形態による、情報処理システムの全体像を示すブロック図であ

る。

【図 2】本発明の一実施の形態による、チャンネル制御部 210 の内部構成を示す図である。

【図 3】本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 4】本発明の一実施の形態による、図 3 に示すデータ転送処理の信号を説明するタイミングチャートである。

【図 5】本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 6】本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 7】本発明の一実施の形態による、データ転送処理における信号を説明するフローチャートである。

【図 8】本発明の一実施の形態による、データ転送処理における信号を説明するフローチャートである。

【図 9】本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 10】本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 11】本発明の一実施の形態による、マイクロプロセッサ 1 及び 2 から通信インタフェース 1 に対するデータ転送処理の流れを示す図である。

【図 12】本発明の一実施の形態による、ブリッジ C が直接マイクロプロセッサ 1 及び 2 からコマンドを受信するときのデータ転送処理における信号を説明するフローチャートである。

【図 13】本発明の一実施の形態による、図 11 に示すデータ転送処理における信号を説明するフローチャートである。

【図 14】本発明の一実施の形態による、バス 2103 が PCI-X である場合のデータ転送処理の流れを示す図である。

【図 15】本発明の一実施の形態による、通信インタフェース 1 及び 2 からマイクロプロセッサ 1 に対するデータ転送処理の流れを示す図である。

【図 16】本発明の一実施の形態による、通信インタフェース 1 及び 2 からマイクロプロセッサ 1 に対するデータ転送処理の流れを示す図である。

【図 17】本発明の一実施の形態による、ブリッジ A が直接通信インタフェース 213 からコマンドを受信するときのデータ転送処理における信号を説明するフローチャートである。

【図 18】本発明の一実施の形態による、ブリッジ C 及びブリッジ D がブリッジ A にコマンドを転送するデータ転送処理の一例における信号を説明するフローチャートである。

【図 19】本発明の一実施の形態による、通信インタフェースとデータバッファとの間のデータ転送処理の流れを示す図である。

【図 20】本発明の一実施の形態による、通信インタフェースとデータバッファとの間のデータ転送処理の流れを示す図である。

【符号の説明】

【0085】

100	情報処理装置	200	記憶デバイス制御装置
210	チャンネル制御部	211	マイクロプロセッサ
212	ローカルメモリ	213	通信インタフェース
214	データバッファ	216	モードセレクタ
2101	バス	2102	バス
2103	バス	2104	バス
220	共有メモリ	230	キャッシュメモリ
240	ディスク制御部	250	接続部
300	記憶ボリューム	400	SAN
500	データ転送 LSI		
501	ブリッジ A	502	ブリッジ B
503	ブリッジ C	504	ブリッジ D

10

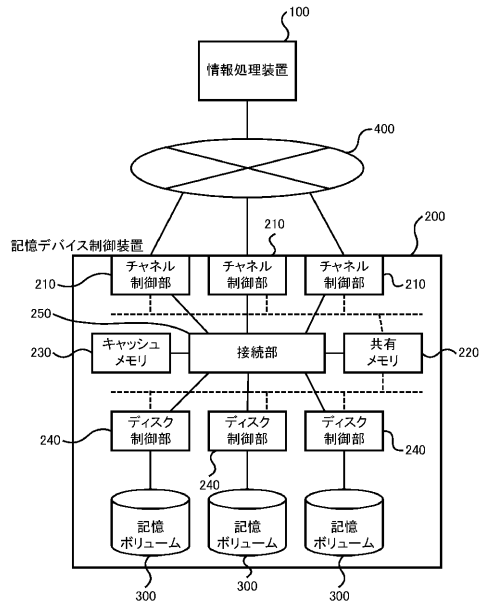
20

30

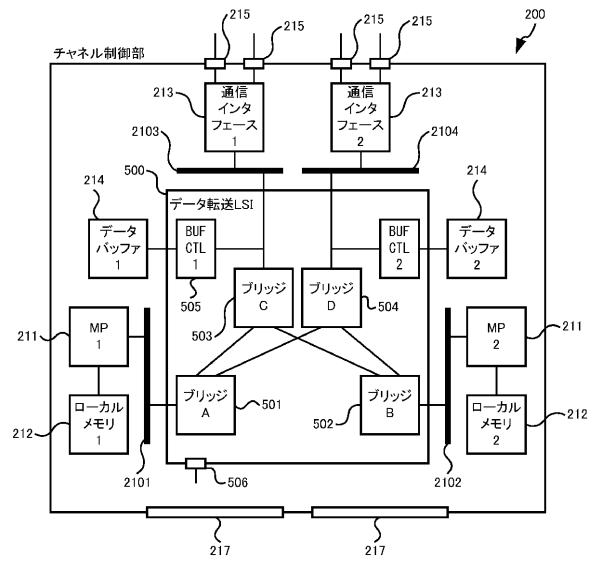
40

50

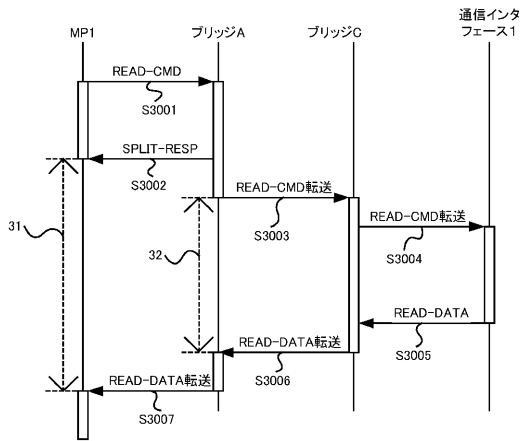
【図1】



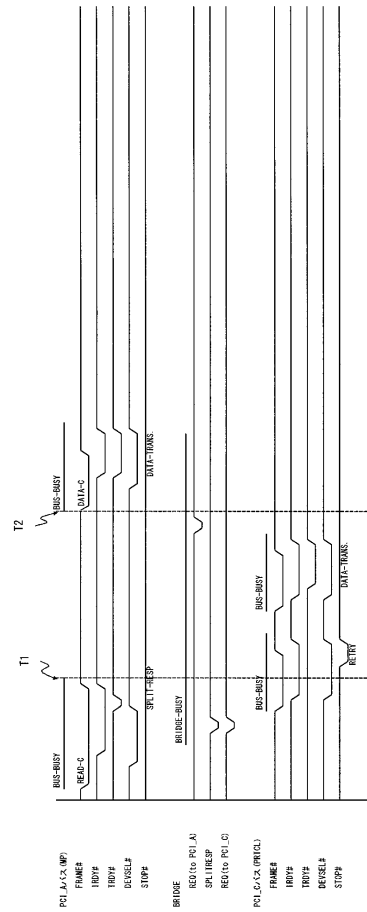
【図2】



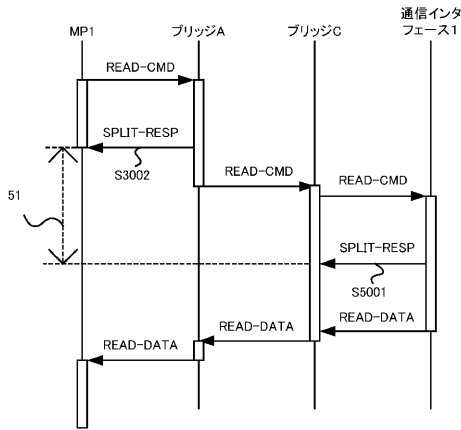
【図3】



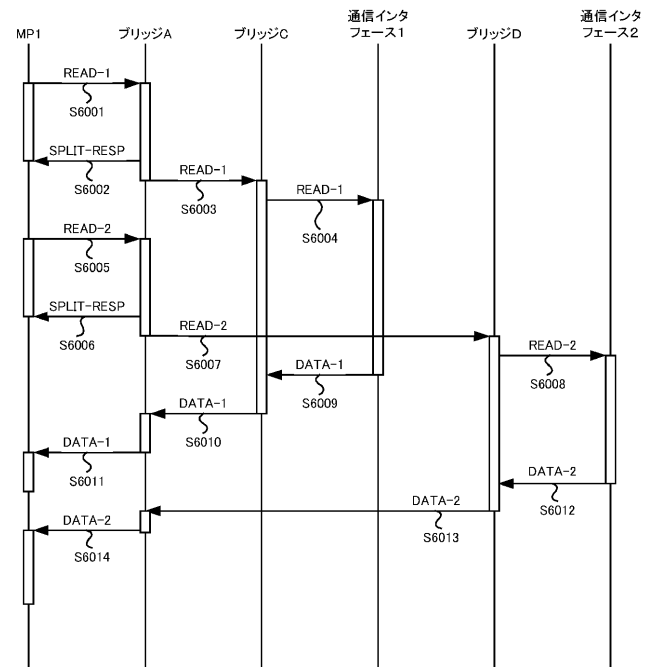
【図4】



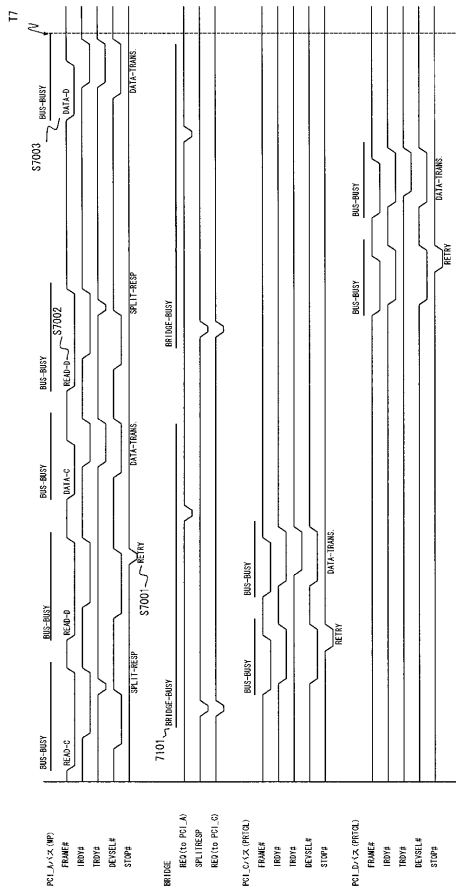
【図5】



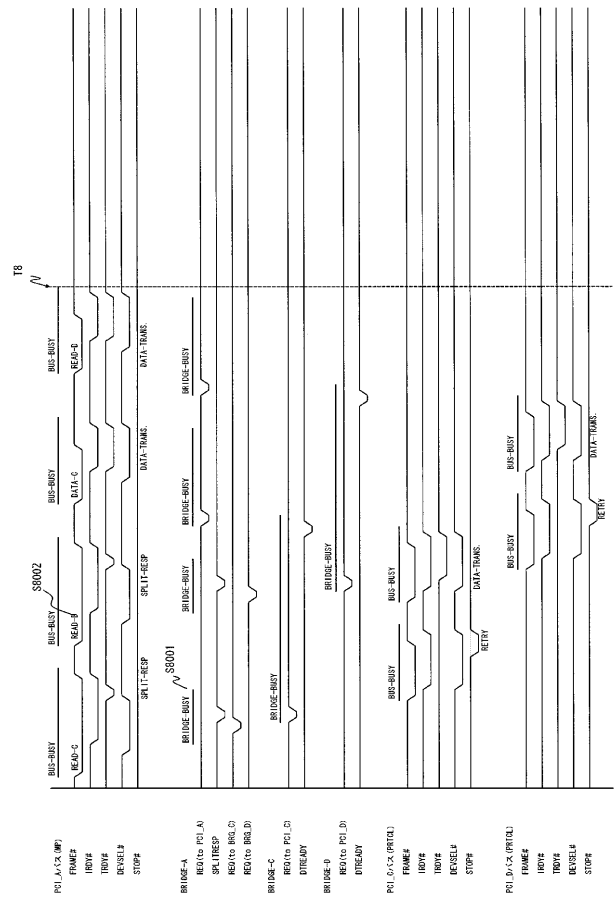
【図6】



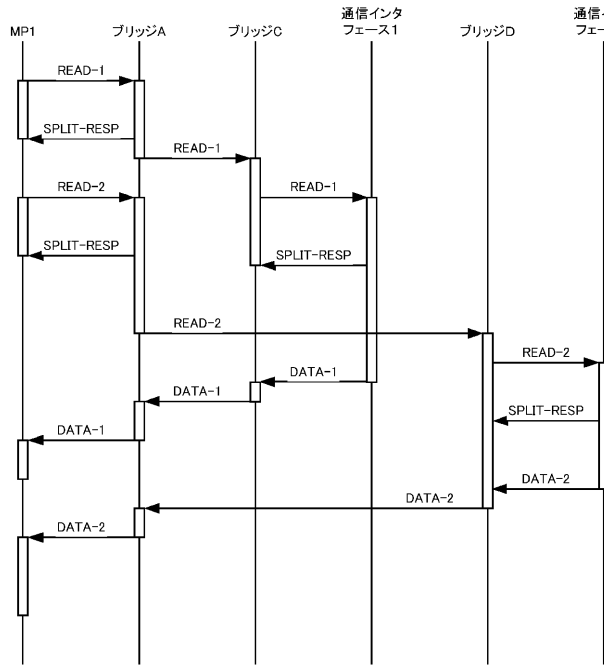
【図7】



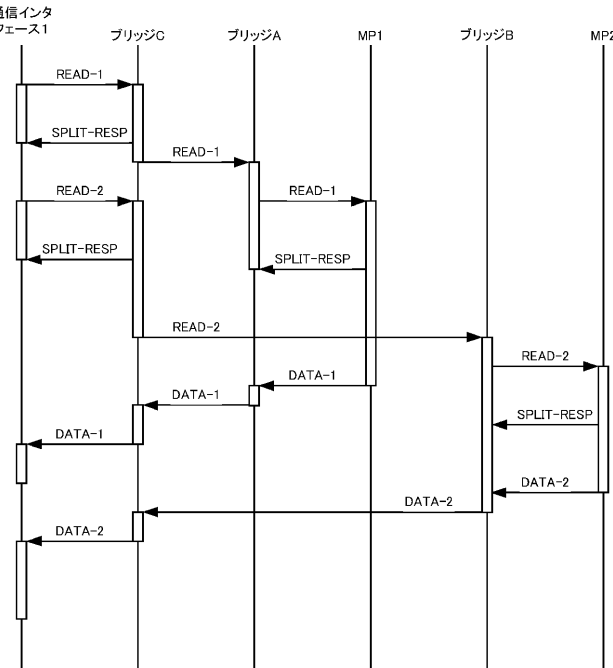
【図8】



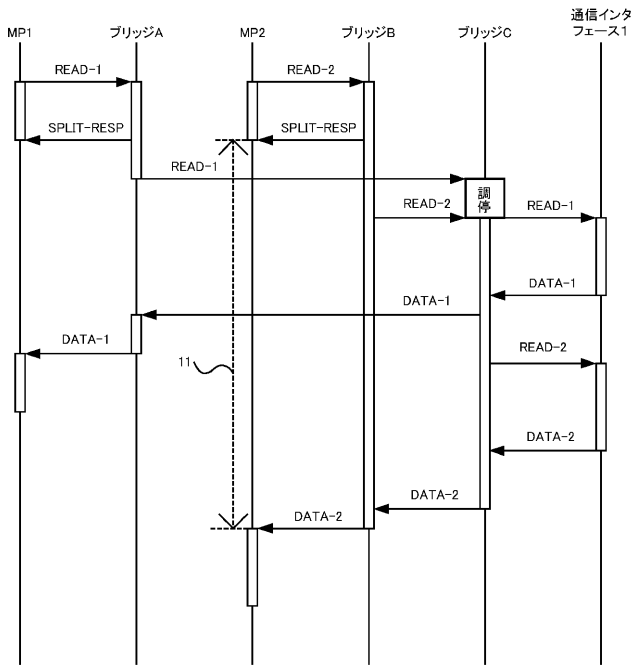
【 図 9 】



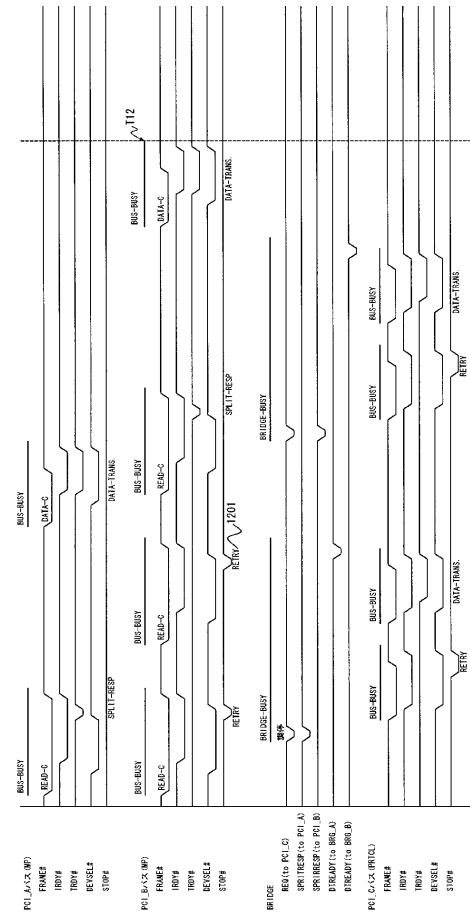
【 図 10 】



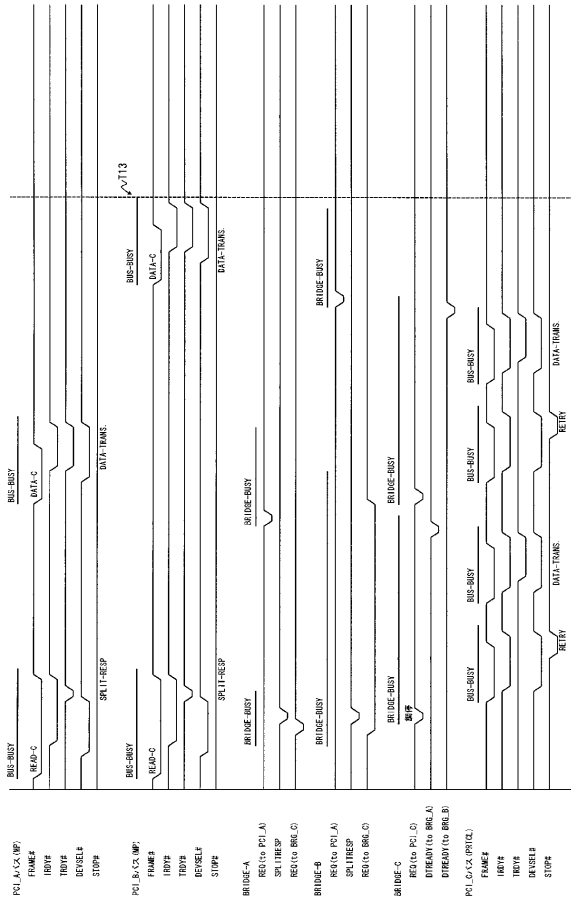
【 図 11 】



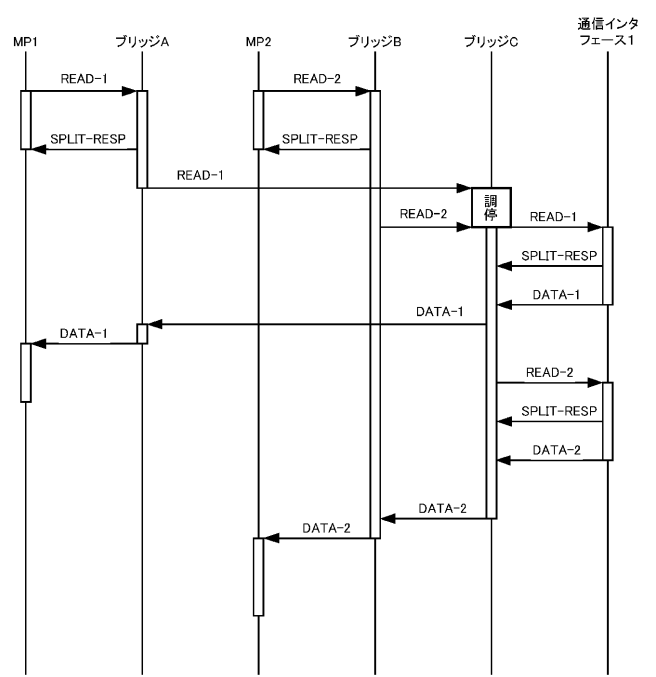
【 図 12 】



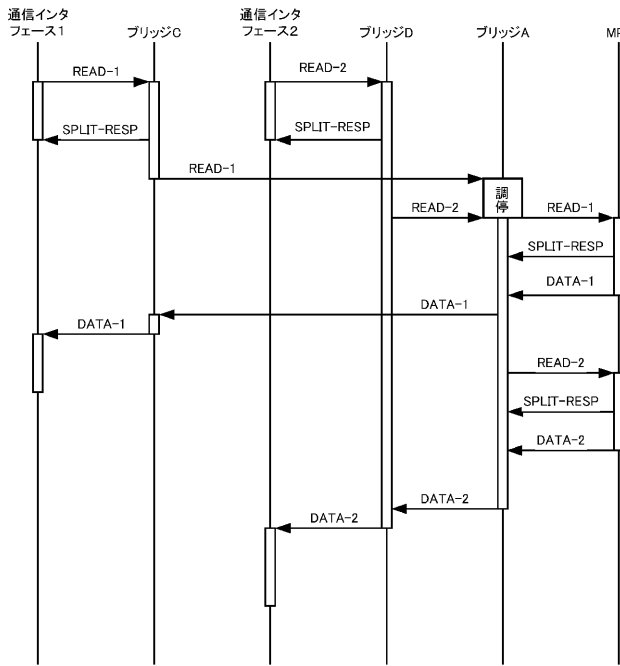
【図 13】



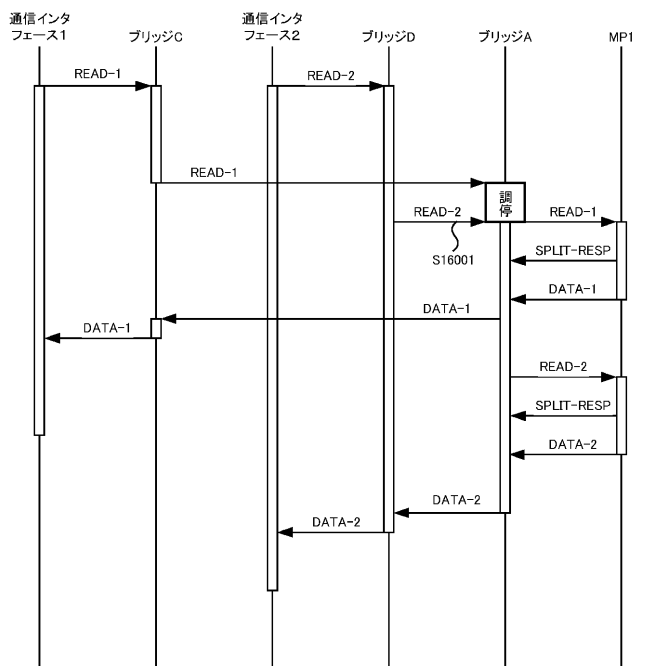
【図 14】



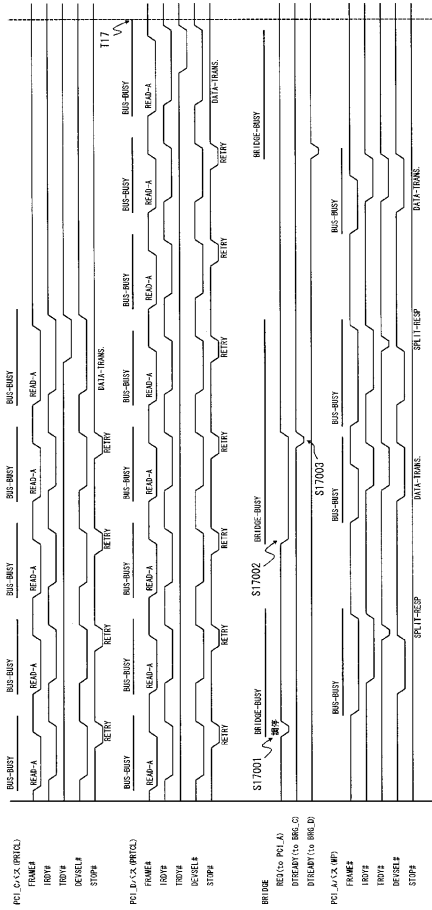
【図 15】



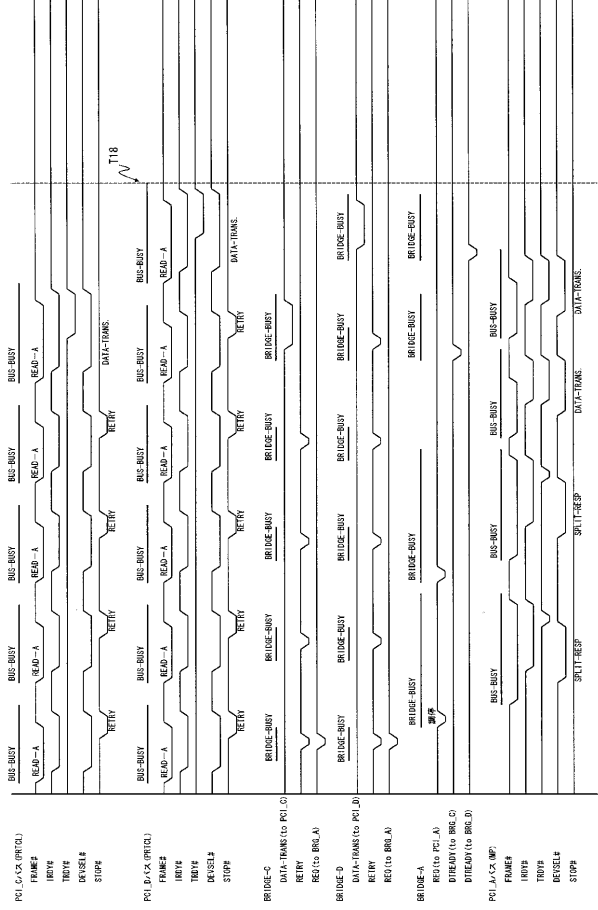
【図 16】



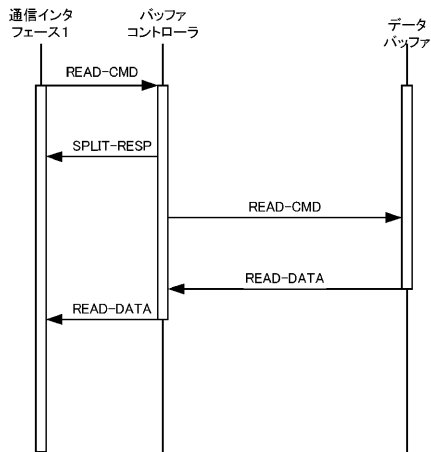
【 図 17 】



【 図 18 】



【 図 19 】



【 図 20 】

