

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 29 日(29.12.2011)

PCT

(10) 国際公開番号
WO 2011/162018 A1

- (51) 国際特許分類:
H01L 21/768 (2006.01) H01L 23/522 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2011/059735
- (22) 国際出願日: 2011 年 4 月 20 日(20.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-142233 2010 年 6 月 23 日(23.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 浅野 悟久
(ASANO, Norihisa). 今江 一義(IMAE, Kazuyoshi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋 2
丁目北 2 番 6 号 大和南森町ビル Osaka (JP).

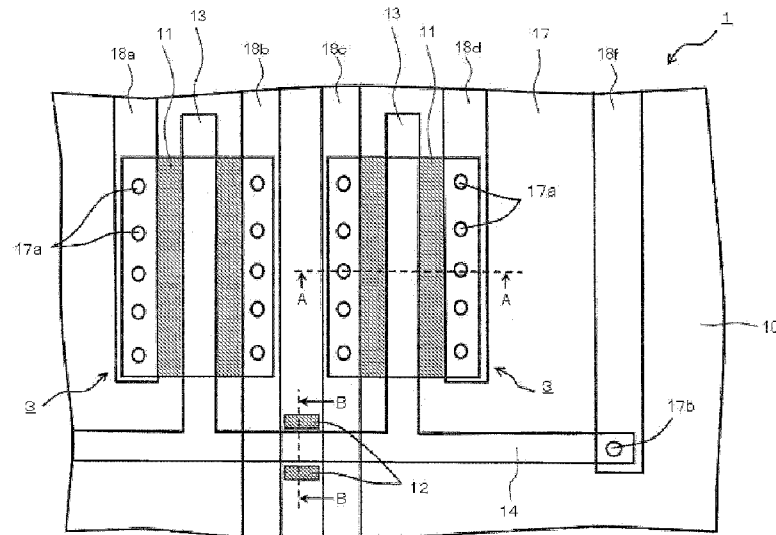
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device comprising: lower-layer wiring formed on a substrate, an interlayer insulation film covering the lower-layer wiring, and first upper-layer wiring (18b) and second upper-layer wiring (18c) arranged on the interlayer insulation film and intersecting the lower-layer wiring, and a level-difference adjustment protrusion is provided between the first upper-layer wiring (18b) and the second upper-layer wiring (18c) and in proximity to a side section of the lower-layer wiring.

(57) 要約: 基板上に形成された下層配線と、下層配線を覆う層間絶縁膜と、層間絶縁膜上に下層配線と交差して配置された第1の上層配線(18b)と第2の上層配線(18c)とを有し、第1の上層配線(18b)と第2の上層配線(18c)との間であり、且つ、下層配線の側部に近接して、段差調整凸部を設けた。

WO 2011/162018 A1

WO 2011/162018 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、特に薄膜トランジスタにより構成される駆動回路を備えた液晶表示装置に好適な半導体装置およびその製造方法に関するものである。

背景技術

[0002] 近年、半導体装置の微細化が進むにつれて、多層配線構造を有するようになってきている。多層配線構造は、図１０の平面図、及び、図１１のＡ－Ａ部断面図に示すように、基板３１上に層間絶縁膜３２、３４で絶縁された下層配線３３が設けられており、この下層配線３３の上方に上層配線３５が交差して配置されている。このような多層配線構造を用いることにより、レイアウト設計の容易化とチップ面積の縮小化を実現できる反面、上層配線３５が下層配線３３の段差部をまたいで配線されるため、特に上層配線３５が下層配線３３の段差部を狭い間隔で配線される際には、上層配線間３５の短絡という問題が発生する。

[0003] これは、最近の配線形成プロセスで異方性ドライエッチングが用いられ、レジストパターン通りに配線される反面、急峻な段差部が生じ、その上層配線の金属膜厚が大きくなり、エッチング残りが発生し易くなるためである。上層配線間隔が狭くなればこの問題が発生する可能性は大きくなる。

[0004] 例えば、従来の多層配線構造では、下層配線３３の段差部をまたいで上層配線３５が配線されると、下層配線３３の段差部に沿って上層配線３５のエッチング残り３６が発生し、このエッチング残り３６が上層配線３５間でつながることにより短絡が生じる。

[0005] このようなエッチング残り３６による短絡の問題に対して、特許文献１では、図１２に示すように、第１の配線３３の段差部の上を通過する、複数本の第２の配線３５の間で、第１の配線形状に突起３７を設けている。これに

よって、第１の配線３３の段差部の長さが大きくなり、第２の配線３５のエッチング残りがつながり短絡する可能性を低減させることができ、有効な半導体装置を提供することができる、と記載されている。

先行技術文献

特許文献

- [0006] 特許文献１：日本国公開特許公報「特開平７－１２２６３２号（１９９５年５月１２日公開）」

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、特許文献１の方法では、第２の配線３５の短絡する可能性を低減できたとしても、段差部ではエッチング残りが依然として解消されていないため、第２の配線３５の短絡を確実に防止することはできなかった。
- [0008] 本発明の目的は、段差部分の下部に発生するエッチング残りによる短絡を確実に防止できて、多層配線構造を有する半導体装置、特に液晶表示装置の製造歩留りを向上できる半導体装置及びその製造方法を提供することである。

課題を解決するための手段

- [0009] 本発明に係る半導体装置およびその製造方法は、基板上に形成された下層配線と、下層配線を覆う層間絶縁膜と、層間絶縁膜上に下層配線と交差して配置された第１の上層配線と第２の上層配線とを有し、第１の上層配線と第２の上層配線との間であり、且つ、下層配線の側部に近接して、段差調整凸部を設けたことを特徴としている。
- [0010] 上記の構成を備えることよって、層間絶縁層上には中間段差が並設され、階段状の個々に分断された小さな段差が形成される。上記中間段差が存在することによって、ゲート配線をまたいで上層配線を形成したときに、段差部にエッチング残りが生じ難くなる。したがって、第１の上層配線と第２の上層配線が段差部で短絡することを防止できる。

- [0011] また、上記段差調整凸部は、基板と下層配線との間に設けられる絶縁体、半導体膜、導電対膜などの層間膜を用いて形成することができる。これにより、工程数を増やさずに段差調整凸部を形成することができる。

発明の効果

- [0012] 本発明によれば、段差部分の下部に発生するエッチング残りによる短絡を確実に防止できて、多層配線構造を有する半導体装置の製造歩留りを向上することができる。

図面の簡単な説明

- [0013] [図1]本発明の第1の半導体装置を示す平面図である。
[図2]第1の半導体装置の製造方法を示す断面図（その1）である。
[図3]第1の半導体装置の製造方法を示す断面図（その2）である。
[図4]第1の半導体装置の製造方法を示す断面図（その3）である。
[図5]本発明の第2の半導体装置を示す平面図である。
[図6]第2の半導体装置の製造方法を示す断面図（その1）である。
[図7]第2の半導体装置の製造方法を示す断面図（その2）である。
[図8]第2の半導体装置の製造方法を示す断面図（その3）である。
[図9]段差調整凸部の変形例を示す断面図である。
[図10]従来の多層配線構造を示す平面図である。
[図11]図10のA-A部断面図である。
[図12]従来の他の多層配線構造を示す平面図である。

発明を実施するための形態

- [0014] 以下、本発明の半導体装置の好ましい実施形態について、図面を参照しながら説明する。

実施例 1

- [0015] 図1は、実施例1である液晶表示装置1の駆動回路の一部を示した上面図である。実施例1では、トップゲート型のTFT3により駆動回路が構成されている。

[0016] 図1に示すように、液晶表示装置1の駆動回路は、透明基板10上にTFT3の活性層11が選択的に形成されており、この活性層11は層間絶縁膜（不図示）に覆われている。この層間絶縁膜上にはTFT3のゲート電極13と下層配線であるゲート配線14が形成されている。ゲート電極13は、活性層11の上方を通るように配置され、トップゲート型TFT3が形成されている。また、ゲート電極13はゲート配線14に接続されている。このゲート配線14は、液晶表示装置1において下層に配置される配線であるため、本発明では下層配線とも呼称する。

[0017] これらのゲート電極13及びゲート配線14上には層間絶縁膜17が形成されており、この層間絶縁膜17上には上層配線18a～18fが形成されている。上層配線18a～18dは、層間絶縁膜17に形成されたコンタクホール17aを介して半導体層11のソース・ドレインに接続されており、上層配線18fはコンタクホール17bを介してゲート配線14に接続されている。

[0018] 図1の平面視において、本発明では、上層配線18a～18fのうち、下層配線のゲート配線14と交差して配置される第1の上層配線18bと第2の上層配線18cとの間であり、且つ、ゲート配線14の両側部にゲート配線14と重ならないよう近接させて、段差調整凸部12を設けたことを特徴としている。

[0019] 後で詳しく説明するが、段差調整凸部12をゲート配線14の両側部に設けることにより、層間絶縁膜17上に、ゲート配線14の段差を相対的に小さくする中間段差が並設され、階段状の個々に分断された小さな段差が形成される。このため、ゲート配線14をまたいで上層配線18を形成したときに、段差部にエッチング残りが生じ難くなり、第1の上層配線18bと第2の上層配線18cが段差部で短絡することを防止できる。

[0020] この段差調整凸部12は、基板と下層配線との間に設けられる、絶縁膜、半導体膜、導電体膜などの層間膜を用いて形成することができる。これにより、トップゲート型TFTの製造工程において、工程数を増やさずに段差調

整凸部 12 を形成することができる。

[0021] 図 2～図 4 は、実施例 1 である液晶表示装置 1 の製造方法を工程順に示す断面であり、各図において、(a) は図 1 の A-A 線 (TFT 部) における断面であり、(b) は図 1 の B-B 線 (段差調整凸部) における断面である。以下、図 1、及び、図 2～図 4 の図面を参照して、液晶表示装置 1 の製造方法について説明する。

[0022] まず、図 2 に示すように、ガラスなどの透明基板 10 上に、第 1 の層間絶縁膜 15 として、厚さが 100～300 nm の酸化シリコン膜を形成する。続いて、第 1 の層間絶縁膜 15 上に多結晶シリコン膜を 30～150 nm の厚さに形成する。この多結晶シリコン膜をドライエッチングなどにより島状にエッチングして、所定の領域に TFT 3 の活性層 11 (図 2 a) と、段差調整凸部 12 (図 2 b) を形成する。

[0023] 段差調整凸部 12 を設ける位置は、上方に形成される上層配線 18 がエッチング残りにより短絡し易い個所である。具体的には、図 1 で示したように、後で形成されるゲート配線 14 の両側部であり、ゲート配線 14 と交差して上方に形成される第 1 の上層配線 18 b と第 2 の上層配線 18 c との間となる個所である。

[0024] このように短絡を防止したい上層配線 18 間にのみ段差調整凸部 12 を設けるのは、段差調整凸部 12 をゲート配線 14 の全長にわたって配置すると、段差調整凸部 12 とゲート配線 14 との間に生じる寄生容量が大きくなって信号の遅延を招くためである。

[0025] 段差調整凸部 12 の高さは、ゲート配線 14 の高さよりも低い中間段差として形成されるように、ゲート配線 14 の高さより低くするのがよい。望ましくは、ゲート配線 14 の高さの約半分程度の高さで形成するのがよい。この段差調整凸部 12 の高さは、活性層 11 の膜厚と、第 1 の層間絶縁膜 15 の表層のエッチング深さを合せて調整することができる。

[0026] 次に、活性層 11 と段差調整凸部 12 とを覆う酸化シリコン膜などの第 2 の層間絶縁膜 16 を 50～200 nm 形成する。続いて、第 2 の層間絶縁膜

16上に、Cr、Mo、Alなどの第1の導電体膜を、200~600nm形成し、この第1の導電体膜をパターンングして、ゲート電極13とゲート配線14を形成する。

[0027] ゲート電極13は、図2(a)のように、TFT3の活性層11の上方を通るように配置される。このゲート電極13をマスクとして活性層11に燐や硼素などの不純物を導入し、活性層11にソース・ドレインを形成する。

[0028] また、ゲート配線14はゲート電極13を接続し、図2(b)のように、ゲート配線14の一部が先に形成した一对の段差調整凸部12の間を通るように配置される。

[0029] 次に、ゲート電極13及びゲート配線14を覆う酸化シリコン膜などの第3の層間絶縁膜17を300~600nm形成する。この第3の層間絶縁膜17の形成方法としては、スパッタ法やP-CVD法を用いることができる。

[0030] 第3の層間絶縁膜17上には、ゲート電極13、ゲート配線14、段差調整凸部12のそれぞれの高さを反映した段差が形成される。段差調整凸部12が並設されていないゲート配線14上では、ゲート配線14の高さをそのまま反映した大きな段差が形成されるが、段差調整凸部12に隣接したゲート配線14上では、図2(b)のように、ゲート配線14によるh1の段差の隣に段差調整凸部12によるh2の段差が形成され、2段階に連なった階段状の段差が形成される。

[0031] このように、ゲート配線14の両側部に、ゲート配線14と重ならないよう近接させて、段差調整凸部12を設けることにより、層間絶縁膜17上には2段になった階段状の段差が形成される。このため、階段状のそれぞれの段差が小さくなり、段差部にエッチング残りを生じ難くすることができる。また、段差調整凸部12をゲート配線14の約半分程度の高さで形成することにより、h1とh2の段差が均等化されて、一方の段差が大きくなってエッチング残りが生じ易くなることを防止できる。

[0032] 次に、図1に示したように、第3の層間絶縁膜17に、活性層11のソー

ス・ドレイン領域 11a が露出するコンタクトホール 17a や、ゲート配線 14 の一部が露出するコンタクトホール 17b を形成する。

[0033] 次に、図 3 (a)、(b) に示すように、基板上の全面に A1 などの第 2 の導電体膜 18 を 400 ~ 600 nm 形成する。この第 2 の導電体膜 18 の形成方法としては、スパッタ法や P-CVD 法を用いることができる。第 2 の導電体膜 18 は、コンタクトホール 17a を介して TFT の活性層 11 のソース・ドレインに電氣的に接続され、コンタクトホール 17b を介してゲート配線 14 に接続される。

[0034] 第 2 の導電体膜 18 は、層間絶縁膜 17 上の段差形状に倣って形成されるが、段差調整凸部 12 を設けた個所では、上記したように、層間絶縁膜 17 上の段差が階段状に小さく形成されているため、導電体膜 18 が段差に厚く形成されることがなくなり、エッチング残りが生じ易くなることを防止できる。

[0035] 次に、図 3 (a) に示すように、第 2 の導電体膜 18 上にレジスト膜を塗布して、上層配線 18a ~ 18f となる部分の上にのみレジスト膜 20 が残るように露光・現像処理を行う。このとき、段差調整凸部 12 を設けた個所では、図 3 (b) に示すように、導電体膜 18 上には層間絶縁膜 17 上の段差を反映した階段状の小さな段差が形成されるため、それぞれの段差にレジスト膜 20 の残渣が生じることが防止される。

[0036] 次に、レジスト膜 20 をマスクとし、第 2 の導電体膜 18 を湿式エッチングやドライエッチングによりパターニングして、図 4 (a) に示すように、上層配線 18a ~ 18f を形成する。これらの上層配線 18a ~ 18f のうち、ゲート配線 14 と交差して配置される第 1 の上層配線 18b と第 2 の上層配線 18c との間には、図 1 に示したように、段差調整凸部 12 が配置されることになる。

[0037] 上記のように、段差調整凸部 12 を設けた個所では、層間絶縁膜 17 上に形成される段差が階段状に小さくなり、段差部に導電体膜 18 が厚く形成されたり、レジスト膜 20 の残渣が生じたりすることが防止されるので、図 4

(b) に示すように、段差部に導電体膜 18 のエッチング残りを防止できる。このため、下層配線であるゲート配線 14 と交差して配置される、第 1 の上層配線 18 b と第 2 の上層配線 18 c とがエッチング残りで短絡することがなくなり、半導体装置の製造歩留りを向上することができる。

[0038] この段差調整凸部 12 は、基板と下層配線との層間に設けられる活性層 11 を用いて形成した例を説明したが、基板と下層配線との層間に設けられる絶縁膜や導電体膜などの他の層間膜を用いることも可能であり、半導体装置の工程数を増やさずに形成することができ、特に、トップゲート型 T F T と一緒に形成される多層配線構造に適している。

実施例 2

[0039] 図 5 は、実施例 2 である液晶表示装置 2 の駆動回路の一部を示した上面図である。実施例 2 において実施例 1 と異なるところは、駆動回路にボトムゲート型 T F T 4 が形成されていることであり、他は実施例 1 の構成と同じであるため、詳細な説明は省略する。

[0040] 図 5 に示すように、液晶表示装置 2 の駆動回路は、活性層 11 の下方にゲート電極 13 が配置されたボトムゲート型 T F T 4 が形成されている。他の構成は実施例 1 と同じであり、段差調整凸部 12 が、ゲート配線 14 の両側部であり、ゲート配線 14 と交差して上方に形成される第 1 の上層配線 18 b と第 2 の上層配線 18 c との間に設けられている。

[0041] 段差調整凸部 12 をゲート配線 14 の両側部に、ゲート配線 14 と重ならないよう近接させて設けることにより、ゲート配線 14 上の層間絶縁膜 17 に生じる段差が 2 段に分割され、それぞれの段差は小さくなる。このため、層間絶縁膜 17 上に上層配線 18 を形成したときに、段差部にエッチング残りが生じ難くなり、段差部を交差する第 1 の上層配線 18 b と第 2 の上層配線 18 c との短絡を防止することができる。

[0042] 実施例 2 では、この段差調整凸部 12 の形成方法が異なり、下層配線であるゲート配線 14 と、上層配線 18 との層間に設けられる、絶縁膜、半導体膜、導電体膜などの層間膜を用いて形成している。これにより、ボトムゲ-

ト型 T F T 4 の製造過程において段差調整凸部 1 2 を同時に形成することができ、製造コストが嵩むことを防止している。

[0043] 図 6 ～図 8 は、実施例 2 である液晶表示装置の製造方法を工程順に示す断面であり、各図において、(a) は図 5 の A - A 線 (T F T 部) における断面であり、(b) は図 5 の B - B 線 (段差調整凸部) における断面である。以下に、図 5、及び、図 6 ～図 8 の図面を参照して、実施例 2 における液晶表示装置 2 の製造方法について説明する。

[0044] まず、図 6 に示すように、ガラスなどの透明基板 1 0 上に、第 1 の層間絶縁膜 1 5 として、厚さが 1 0 0 ～ 3 0 0 n m の酸化シリコン膜を形成する。続いて、C r、M o、A l などの第 1 の導電体膜を、2 0 0 ～ 6 0 0 n m 形成し、この第 1 の導電体膜をパターニングしてゲート電極 1 3 と下層配線であるゲート配線 1 4 を形成する。次に、ゲート電極 1 3 とゲート配線 1 4 を覆う酸化シリコン膜などの第 2 の層間絶縁膜 1 6 を 5 0 ～ 2 0 0 n m 形成する。

[0045] 次に、第 2 の層間絶縁膜 1 6 上に多結晶シリコンなどの半導体膜を 3 0 ～ 1 5 0 n m の厚さに形成する。この半導体膜をドライエッチングなどにより島状にエッチングして、図 6 (a) に示す、ゲート電極 1 3 を跨いで配置される T F T 4 の活性層 1 1 と、図 6 (b) に示す、段差調整凸部 1 2 が形成される。

[0046] 段差調整凸部 1 2 を設ける位置は、上方に形成される上層配線 1 8 間がエッチング残りにより短絡し易い個所である。具体的には、図 5 で示したように、先に形成されたゲート配線 1 4 の両側部であり、後にゲート配線 1 4 と交差して上方に形成される第 1 の上層配線 1 8 b と第 2 の上層配線 1 8 c との間となる個所である。

[0047] このように短絡を防止したい上層配線 1 8 間にのみ段差調整凸部 1 2 を設けるのは、段差調整凸部 1 2 をゲート配線 1 4 の全長にわたって配置すると、段差調整凸部 1 2 とゲート配線 1 4 との間に生じる寄生容量が大きくなって信号の遅延を招くためである。

- [0048] また、段差調整凸部 1 2 は、ゲート配線 1 4 の高さよりも低い中間段差として形成されるように、ゲート配線 1 4 の高さより低くするのがよい。望ましくは、ゲート配線 1 4 の高さの約半分程度の高さで形成するのがよい。この段差調整凸部 1 2 の高さは、活性層 1 1 の膜厚と、層間絶縁膜 1 6 の表層のエッチング深さを合せて調整することができる。
- [0049] 次に、活性層 1 1 と段差調整凸部 1 2 を覆う酸化シリコン膜などの第 3 の層間絶縁膜 1 7 を 300～600 nm 形成する。この第 3 の層間絶縁膜 1 7 の形成方法としては、スパッタ法や P-CVD 法を用いることができる。
- [0050] 第 3 の層間絶縁膜 1 7 上には、ゲート電極 1 3、ゲート配線 1 4、段差調整凸部 1 2 のそれぞれの高さを反映した段差が形成される。段差調整凸部 1 2 が並設されていないゲート配線 1 4 上では、ゲート配線 1 4 の高さをそのまま反映した大きな段差が形成されるが、段差調整凸部 1 2 に隣接したゲート配線 1 4 上では、図 6 (b) のように、ゲート配線 1 4 による h_1 の段差の隣に段差調整凸部 1 2 による h_2 の段差が形成され、2 段階に連なった階段状の段差が形成される。
- [0051] このように、ゲート配線 1 4 の両側部にゲート配線 1 4 と重ならないように近接させて、段差調整凸部 1 2 を設けることにより、層間絶縁膜 1 7 上には 2 段になった階段状の段差が形成され、それぞれの段差が小さくなるため、段差部にエッチング残りを生じ難くすることができる。また、段差調整凸部 1 2 をゲート配線 1 4 の約半分程度の高さで形成することにより、 h_1 と h_2 の段差が均等化されて、一方の段差が大きくなってエッチング残りが生じ易くなることを防止できる。
- [0052] 次に、図 5 に示したように、第 3 の層間絶縁膜 1 7 に、活性層 1 1 のソース・ドレインの一部を露出させるコンタクトホール 1 7 a や、ゲート配線 1 4 の一部を露出させるコンタクトホール 1 7 b を形成する。
- [0053] 次に、図 7 (a)、(b) に示すように、基板上の全面に A 1 などの第 2 の導電体膜 1 8 を 400～600 nm 形成する。この第 2 の導電体膜 1 8 の形成方法としては、スパッタ法や P-CVD 法を用いることができる。第 2

の導電体膜 18 は、コンタクトホール 17 a を介して T F T の活性層 11 a のソース・ドレインに電氣的に接続され、コンタクトホール 17 b を介してゲート配線 14 に接続される。

[0054] 第 2 の導電体膜 18 は、層間絶縁膜 17 上の段差形状に倣って形成されるが、段差調整凸部 12 を設けた個所では、上記したように、段差が階段状に小さく形成されるため、導電体膜 18 が段差部で厚くなることが緩和され、エッチング残りが生じ易くなることを防止できる。

[0055] 次に、図 7 (a) に示すように、第 2 の導電体膜 18 上にレジスト膜 20 を塗布して、上層配線 18 a ~ 18 f となる部分の上にのみレジスト膜 20 が残るように露光・現像処理を行う。このとき、段差調整凸部 12 を設けた個所では、図 7 (b) に示すように、導電体膜 18 上には階段状の小さな段差が形成されているため、それぞれの段差にレジスト膜 20 の残渣が生じることが防止される。

[0056] 次に、図 8 (a) に示すように、レジスト膜 20 をマスクとし、第 2 の導電体膜 18 を湿式エッチングやドライエッチングによりパターニングして、上層配線 18 a ~ 18 f を形成する。これらの上層配線 18 a ~ 18 f のうち、ゲート配線 14 と交差して配置される第 1 の上層配線 18 b と第 2 の上層配線 18 c との間には、段差調整凸部 12 が配置されている。

[0057] 段差調整凸部 12 を設けた個所では、図 8 (b) に示すように、層間絶縁膜 17 上に形成される段差が階段状となって個々に小さくなり、段差部に導電体膜 18 が厚く形成されたり、レジスト膜 20 の残渣が生じたりすることが防止されるので、導電体膜 18 のエッチング残りを防止することができる。このため、下層配線であるゲート配線 14 と交差して配置される第 1 の上層配線 18 b と第 2 の上層配線 18 c との間がエッチング残りで短絡することなく、半導体装置の製造歩留りを向上することができる。

[0058] この段差調整凸部 12 は、下層配線と上層配線との層間に設けられる半導体膜を用いて形成した例を説明したが、基板と下層配線との層間に設けられる絶縁膜や導電体膜などの他の層間膜を用いて形成することも可能である。

このため、半導体装置の工程数を増やさずに形成することができ、特に、ボトムゲート型ＴＦＴと一緒に形成される多層配線構造に適している。

実施例 3

[0059] 図 9 は、実施例 3 である段差調整凸部 12 の変形例を示した断面図である。実施例 3 は、実施例 1 の段差調整凸部 12 の内側（下層配線側）に第 2 の段差調整凸部 19 を重ねた構造となっている。上記構造により、下層配線 14、第 2 の段差調整凸部 19、第 1 の段差調整凸部 12 をそれぞれ反映した 3 段階の階段状の段差 $h_1 \sim h_3$ が層間絶縁膜 17 上に形成され、各段差がさらに小さく形成されるので、エッチング残りによる短絡をより確実に防止することができる。

[0060] 第 2 の段差調整凸部 19 は、例えば実施例 1 で説明したように、半導体膜を用いて第 1 の段差調整凸部 12 を形成したあと、続いて、Al など導電体膜を成膜し、第 1 の段差調整凸部 12 の内側（下層配線側）に重ねて島状にエッチングして形成することができる。エッチングは導電体膜を選択的にエッチングできるドライエッチングや湿式エッチングを用いることができる。

[0061] 第 1 の段差調整凸部 12 と、第 2 の段差調整凸部 19 の高さは、それぞれ、下層配線 14 の高さの $1/3$ 程度にするのが望ましい。これにより、層間絶縁膜 17 上に形成される 3 段階の階段状の段差が均等化されて、いずれか一つの段差が大きくなってエッチング残りが生じ易くなることを防止できる。

[0062] 実施例 3 で説明した段差調整凸部 12 の変形例は、実施例 2 の液晶表示装置 2 でも実施することが可能である。また、第 1 の段差調整凸部 12 を導電体膜で形成し、第 2 の段差調整凸部 19 を半導体膜で形成することもできる。

産業上の利用可能性

[0063] 本発明は、特に薄膜トランジスタにより構成される駆動回路を備えた液晶表示装置およびその利用方法として利用できる。

符号の説明

- [0064] 1、2 液晶表示装置
- 3 トップゲート型ＴＦＴ
 - 4 ボトムゲート型ＴＦＴ
 - 10 基板
 - 11 半導体膜
 - 12 段差調整凸部
 - 13 ゲート電極
 - 14 ゲート配線
 - 15 第１の層間絶縁膜
 - 16 第２の層間絶縁膜
 - 17 第３の層間絶縁膜
 - 18 上層配線
 - 19 第２の段差調整凸部
 - 20 レジスト膜
 - 33 第１の配線
 - 35 第２の配線
 - 36 エッチング残り
 - 37 突起

請求の範囲

- [請求項1] 基板上に形成された下層配線と、前記下層配線を覆う層間絶縁膜と、前記層間絶縁膜上に前記下層配線と交差して配置された第1の上層配線と第2の上層配線とを有し、
- 前記第1の上層配線と前記第2の上層配線との間であり、且つ、前記下層配線の側部に近接して、段差調整凸部を設けたことを特徴とする半導体装置。
- [請求項2] 前記段差調整凸部の高さは、前記下層配線の高さよりも低いことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記段差調整凸部の高さは、前記下層配線の約半分の高さであることを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記段差調整凸部は、第1の段差調整凸部の前記下層配線側に第2の段差調整凸部を重ねて設けたことを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記第1の段差調整凸部および前記第2の段差調整凸部のそれぞれの高さは、前記下層配線の約1/3の高さであることを特徴とする請求項4に記載の半導体装置。
- [請求項6] 前記段差調整凸部は、前記基板と前記下層配線との間に備える、絶縁膜、半導体膜、導電体膜のうち少なくともいずれか一つを島状に形成して設けたことを特徴とする請求項1に記載の半導体装置。
- [請求項7] 前記段差調整凸部は、前記下層配線と前記第1及び第2の上層配線との間に備える、絶縁膜、半導体膜、導電体膜のうち少なくともいずれか一つを島状に形成して設けたことを特徴とする請求項1に記載の半導体装置。
- [請求項8] 基板上に第1の層間絶縁膜を形成する工程と、
- 前記第1の層間絶縁膜上に半導体膜を形成し、この半導体膜を島状にパターンニングして段差調整凸部を形成する工程と、
- 前記段差調整凸部を覆う第2の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜上に第 1 の導電体膜を形成し、この第 1 の導電体膜をパターニングして前記段差調整凸部の側部に近接して配置される下層配線を形成する工程と、

前記下層配線を覆う第 3 の層間絶縁膜を形成する工程と、

前記第 3 の層間絶縁膜上に第 2 の導電体膜を形成する工程と、

前記第 2 の導電体膜をパターニングして、前記下層配線と交差し且つ前記段差調整凸部を挟んで配置される第 1 の上層配線と第 2 の上層配線とを形成する工程とを有することを特徴とする半導体装置の製造方法。

[請求項9]

基板上に第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜上に第 1 の導電体膜を形成し、この第 1 の導電体膜をパターニングして下層配線を形成する工程と、

前記下層配線を覆う第 2 の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜上に半導体膜を形成し、この半導体膜を島状にパターニングして、前記下層配線の側部に近接して配置される段差調整凸部を形成する工程と、

前記段差調整凸部を覆う第 3 の層間絶縁膜を形成する工程と、

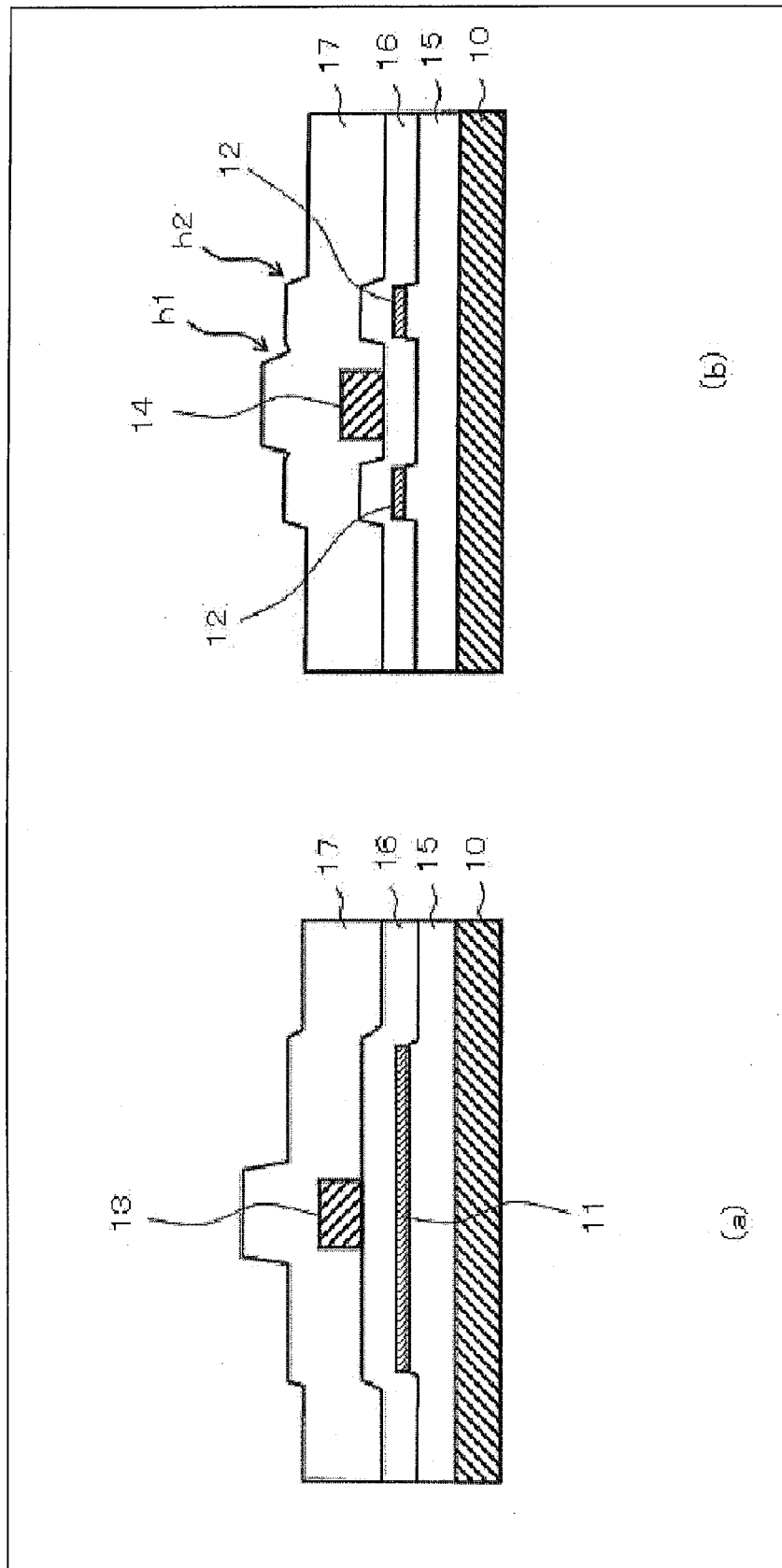
前記第 3 の層間絶縁膜上に第 2 の導電体膜を形成する工程と、

前記第 2 の導電体膜をパターニングして、前記下層配線と交差し且つ前記段差調整凸部を挟んで配置される第 1 の上層配線と第 2 の上層配線とを形成する工程とを有することを特徴とする半導体装置の製造方法。

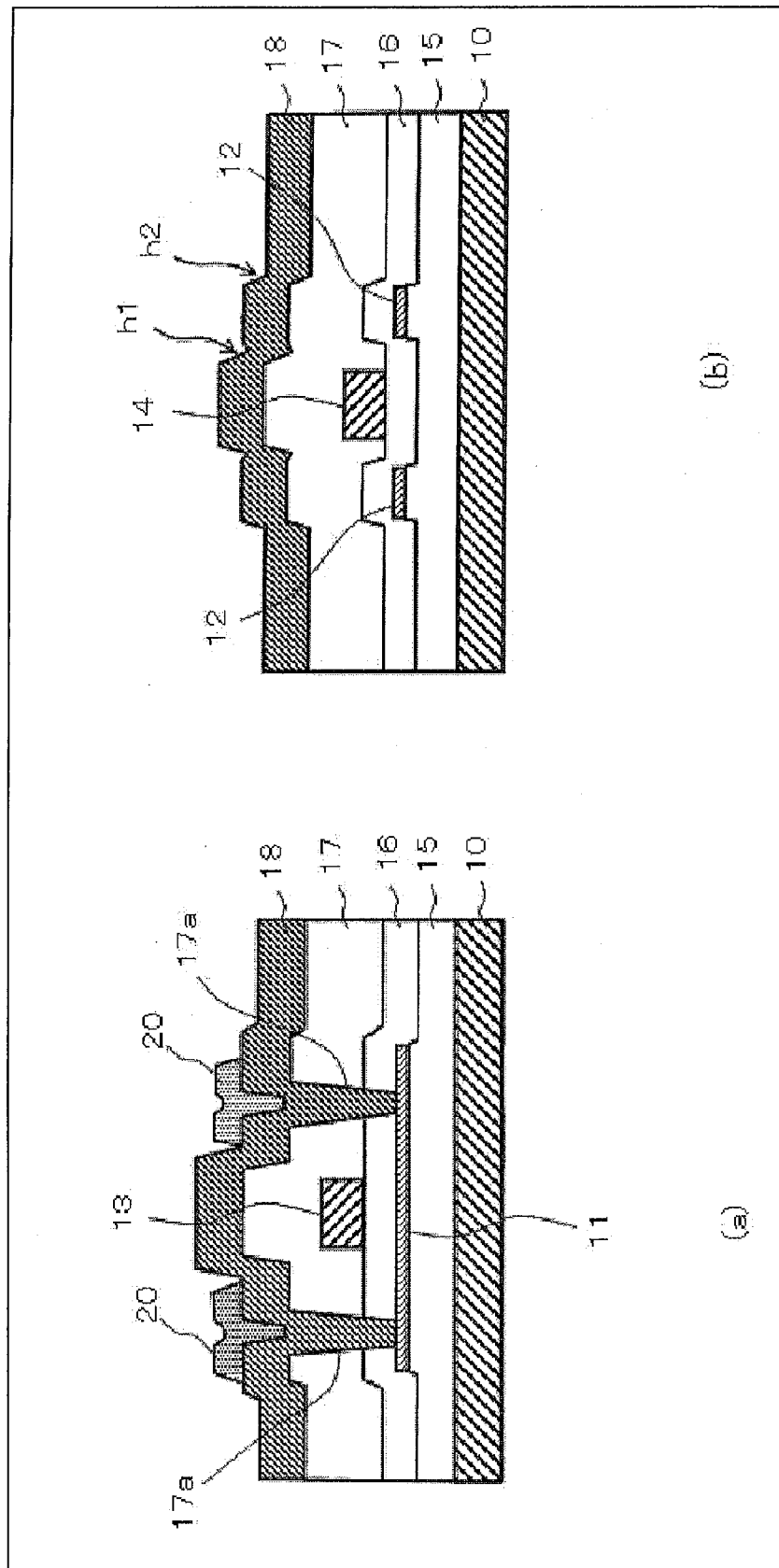
[請求項10]

前記半導体膜を島状にパターニングして、前記段差調整凸部と、T F T の活性層を同時に形成することを特徴とする請求項 8 または 9 のいずれかに記載の半導体装置の製造方法。

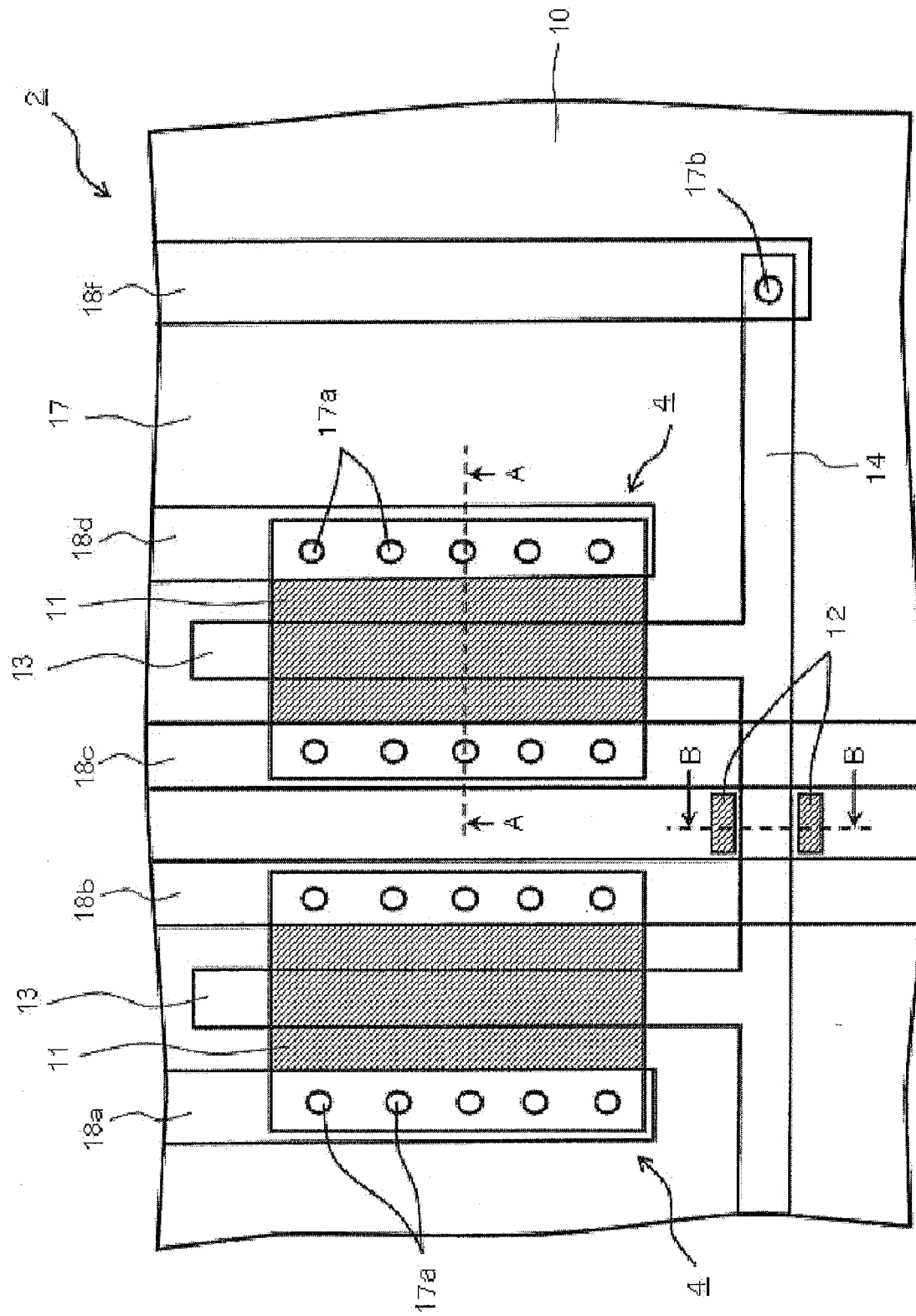
[図2]



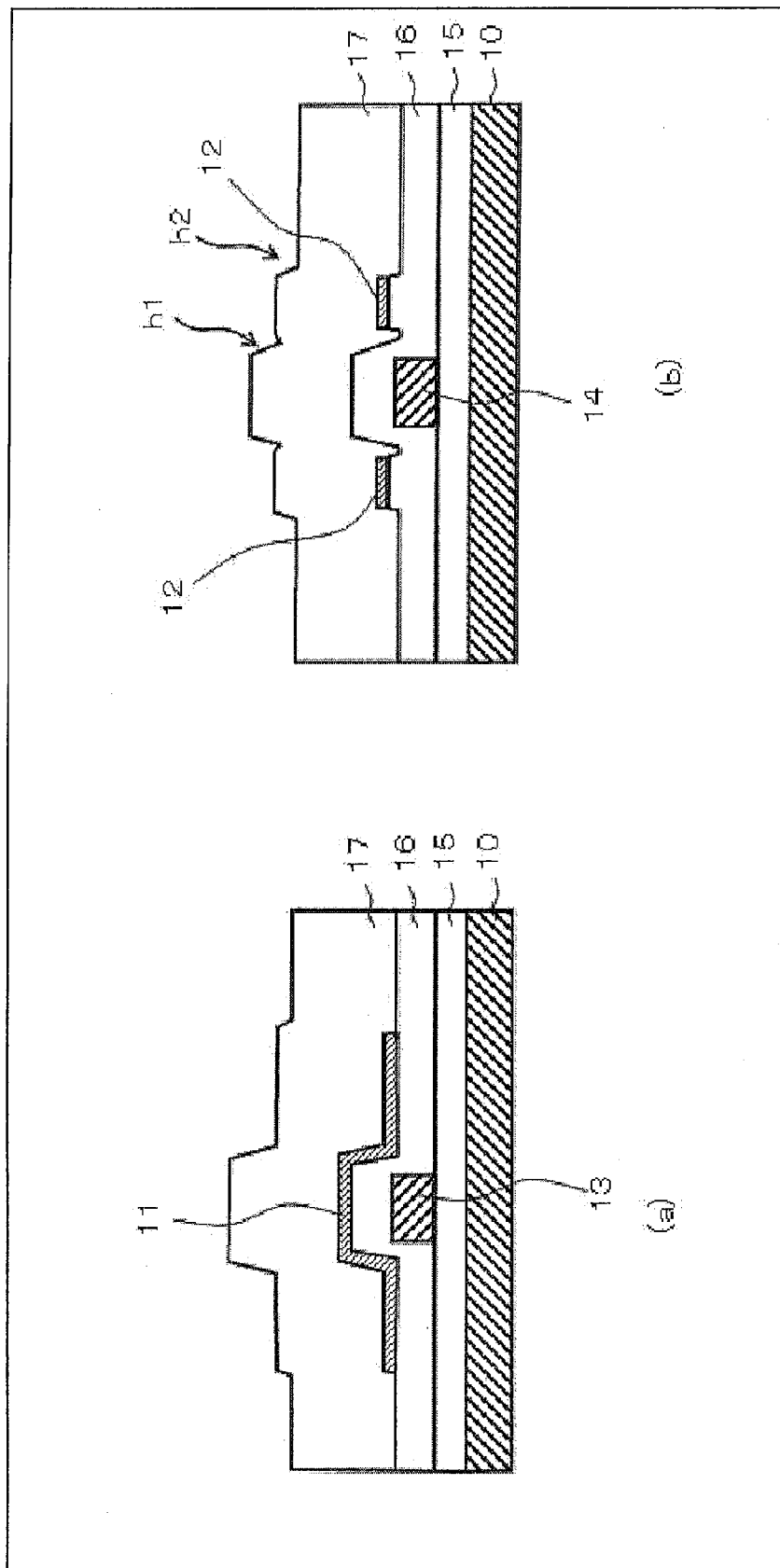
[図3]



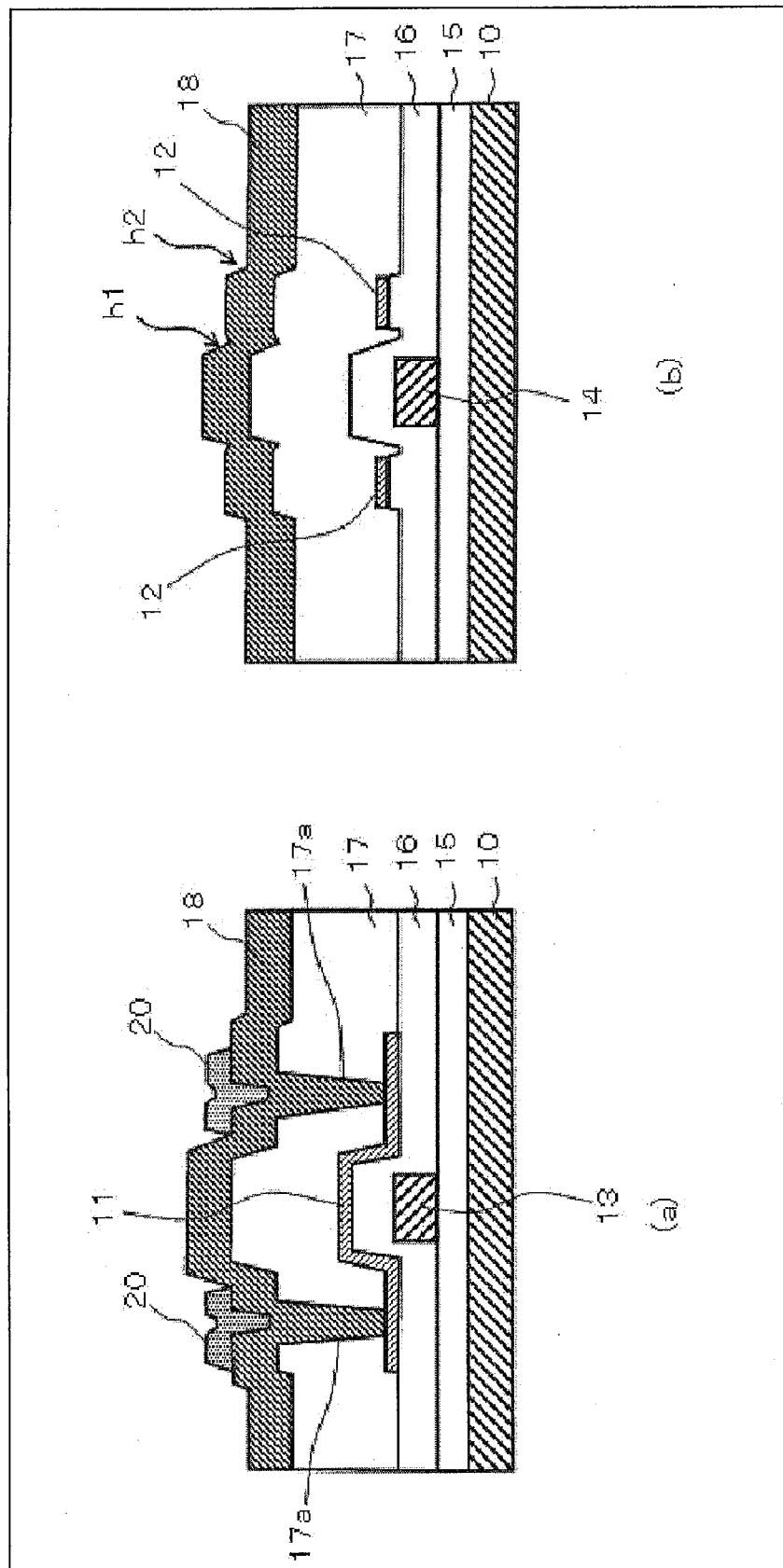
[図5]



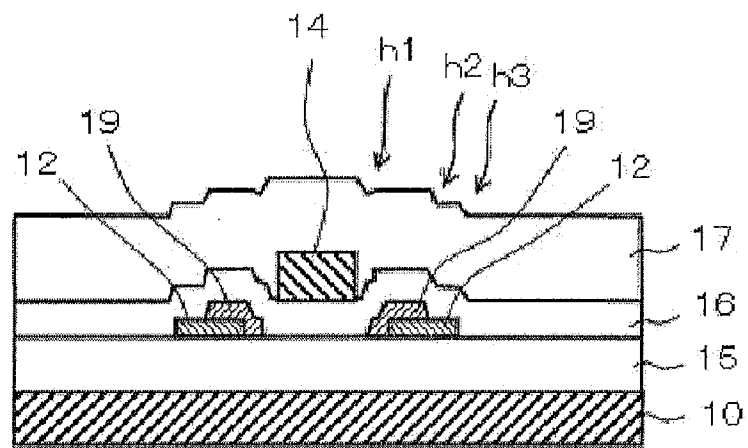
[図6]



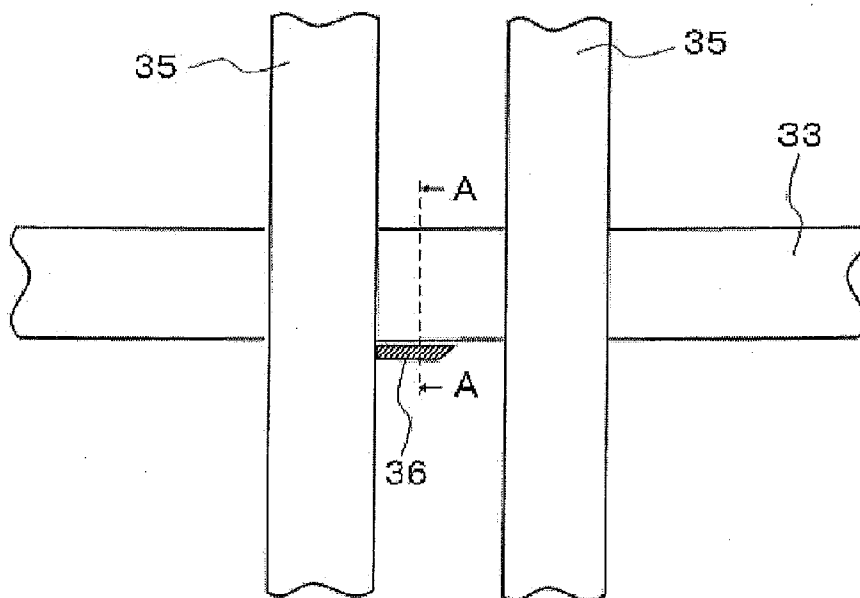
[図7]



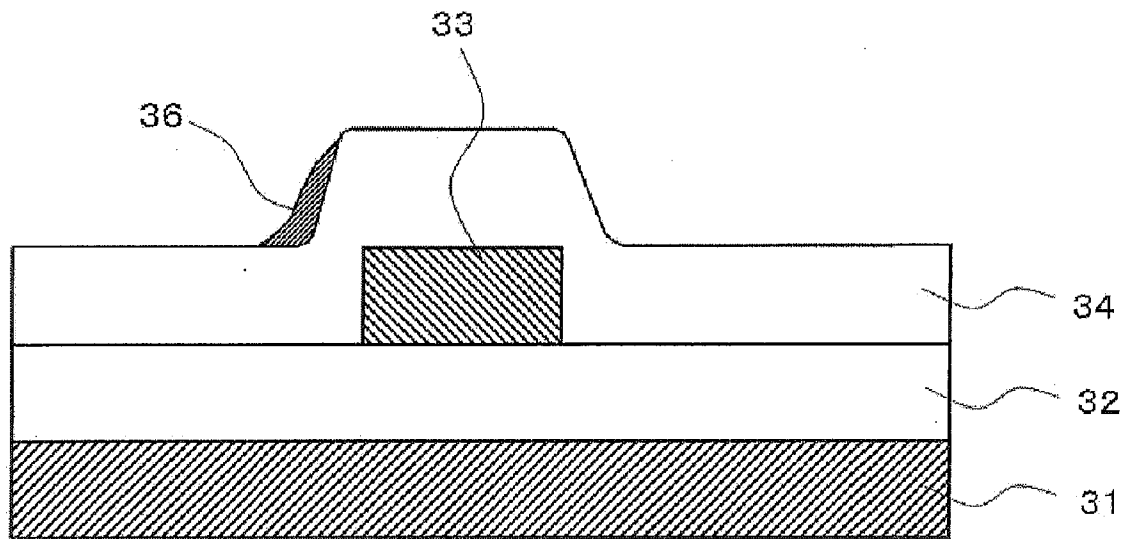
[図9]



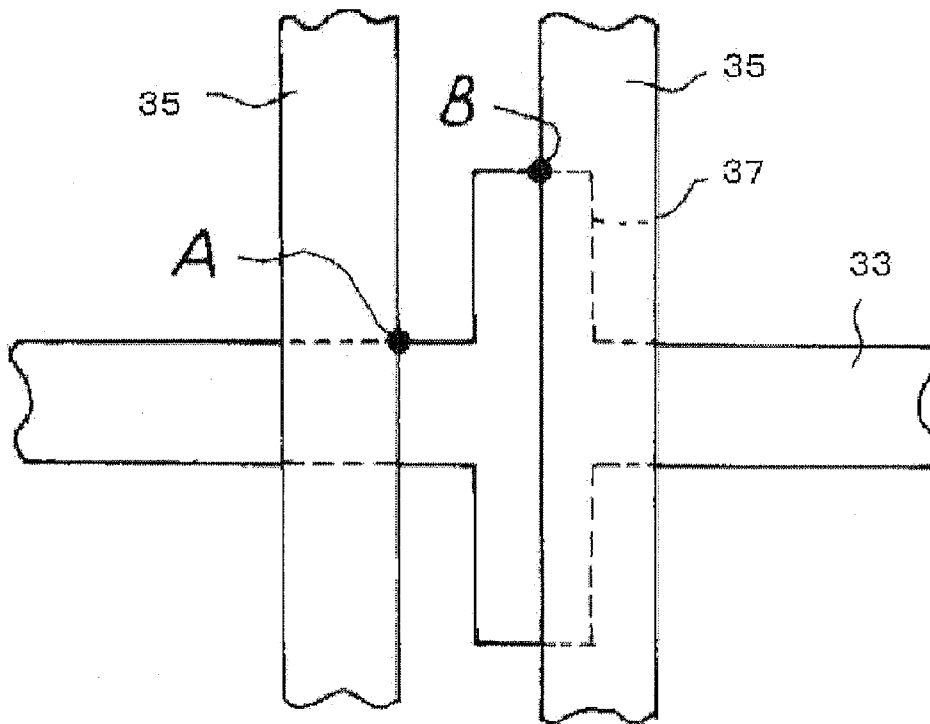
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059735

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01) i, G02F1/1368(2006.01) i, H01L23/522(2006.01) i,
H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, G02F1/1368, H01L23/522, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 54-134583 A (Tokyo Shibaura Electric Co., Ltd.), 19 October 1979 (19.10.1979), entire text; all drawings (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 July, 2011 (11.07.11)

Date of mailing of the international search report

19 July, 2011 (19.07.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059735

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 does not make a contribution over the prior art and does not have a special technical feature due to the disclosed contents of document 1 (JP 54-134583 A (Tokyo Shibaura Electric Co., Ltd.), 19 October 1979 (19.10.1979), entire text and all the figures). (The "residual silicon nitride film portion" or the "residual Al₂O₃ film portion" between the "second wiring layers" in document 1 is equivalent to the "step adjusting protruding portion" in the invention in claim 1.) Therefore, there is no same or corresponding special technical feature between the invention in claim 1 and the inventions in claims 4, 6 and 7, which are the dependent claims of the claim 1. (Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-3

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059735

Continuation of Box No.III of continuation of first sheet (2)

Furthermore, the invention of the "method for manufacturing a semiconductor device" in claims 8 and 9, wherein the features, such as "patterning a semiconductor film into an island shape", are specified, are not a method to be specifically applied to manufacture the "semiconductor device" in the invention in claim 1.

Furthermore, the invention in claim 8 and the invention in claim 9 have different orders of forming the "step adjusting protruding portion", the "second interlayer insulating film", and the "lower layer wiring", which are the main configuration components, and do not have a common technical feature.

Consequently, the claims include the six inventions (invention groups) stated below.

Invention group 1: The inventions in claims 1-3

A "semiconductor device" that includes all of the technical features in claim 1.

Invention group 2: The inventions in claims 4 and 5

A "semiconductor device" having a "second step adjusting protruding portion".

Invention group 3: The invention in claim 6

A "semiconductor device" having an "island-like" "film" "between the substrate and the lower layer wiring" as "the step adjusting protruding portion".

Invention group 4: The invention in claim 7

A "semiconductor device" provided with an "island-like" "film" as "the step adjusting protruding portion" "between the lower layer wiring and the first and second upper layer wiring".

Invention group 5: The inventions in claims 8 and 10

A "method for manufacturing a semiconductor device" wherein a "step adjusting protruding portion", a "second interlayer insulating film", and a "lower layer wiring" are formed in this order.

Invention group 6: The invention in claim 9

A "method for manufacturing a semiconductor device" wherein a "lower layer wiring", a "second interlayer insulating film", and a "step adjusting protruding portion" are formed in this order.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/768(2006.01)i, G02F1/1368(2006.01)i, H01L23/522(2006.01)i, H01L29/786(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/768, G02F1/1368, H01L23/522, H01L29/786			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 1 年 1 9 9 6 - 2 0 1 1 年 1 9 9 4 - 2 0 1 1 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
X	JP 54-134583 A（東京芝浦電気株式会社）1979.10.19, 全文、全図 （ファミリーなし）		1-3
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 1 . 0 7 . 2 0 1 1		国際調査報告の発送日 1 9 . 0 7 . 2 0 1 1	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 青鹿 喜芳 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8	4 L 4 0 4 0

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求項1に係る発明は、文献1（JP 54-134583 A（東京芝浦電気株式会社）1979.10.19,全文、全図）の開示内容（文献1の「第二の配線層」間にある「シリコン窒化膜残留部」または「A12O3膜残留部」が、請求項1に係る発明の「段差調整凸部」に相当している。）に照らして、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴を有しない。よって、請求項1に係る発明及び請求項1の従属項である請求項4、6、7に係る発明について、これらの発明の間には、同一の又は対応する特別な技術的特徴は存在しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項1－3

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

また、「半導体膜を島状にパターニングする」ことなどが特定される請求項 8、9に係る発明の「半導体装置の製造方法」が、請求項 1に係る発明の「半導体装置」を製造するために特に適用される方法であるとはいえない。

さらに、請求項 8に係る発明と請求項 9に係る発明は、主要な構成である「段差調整凸部」、「第 2 の層間絶縁膜」、「下層配線」の形成順序が異なっており、共通の技術的特徴を有しているとはいえない。

以上より、請求の範囲には、以下に示す 6 の発明（群）が含まれる。

（発明 1）請求項 1－3に係る発明

請求項 1 の技術的特徴をすべて含む「半導体装置」。

（発明 2）請求項 4、5に係る発明

「第 2 の段差調整凸部」を有する「半導体装置」。

（発明 3）請求項 6に係る発明

「前記基板と前記下層配線との間に」「島状」の「膜」を「前記段差調整凸部」として設けた「半導体装置」。

（発明 4）請求項 7に係る発明

「前記下層配線と前記第 1 及び第 2 の上層配線との間に」「島状」の「膜」を「前記段差調整凸部」として設けた「半導体装置」。

（発明 5）請求項 8、10に係る発明

「段差調整凸部」、「第 2 の層間絶縁膜」、「下層配線」の順に形成する「半導体装置の製造方法」。

（発明 6）請求項 9に係る発明

「下層配線」、「第 2 の層間絶縁膜」、「段差調整凸部」の順に形成する「半導体装置の製造方法」。