



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201546986 A

(43)公開日：中華民國 104 (2015) 年 12 月 16 日

(21)申請案號：104130271

(22)申請日：中華民國 101 (2012) 年 04 月 20 日

(51)Int. Cl. : *H01L21/60 (2006.01)**H01L23/488 (2006.01)*

(30)優先權：2011/04/21 美國

61/477,967

2011/11/29 美國

13/306,099

(71)申請人：泰斯拉公司(美國) TESSERA, INC. (US)

美國

(72)發明人：哈巴 貝勒卡塞姆 HABA, BELGACEM (US)；柯斯伯 理查 狄威特 CRISP, RICHARD DEWITT (US)；柔伊 華爾 ZOHNI, WAEL (US)

(74)代理人：閻啟泰；林景郁

申請實體審查：有 申請專利範圍項數：16 項 圖式數：11 共 57 頁

(54)名稱

覆晶、面向上型及面向下型中心接合記憶體導線接合總成

FLIP-CHIP, FACE-UP AND FACE-DOWN CENTERBOND MEMORY WIREBOND ASSEMBLIES

(57)摘要

本發明揭示一種微電子總成 10，其可包括一基板 30，該基板具有第一表面 34 及第二表面 58、在該第一表面與該第二表面之間延伸之一孔口 39 及端子 36。該總成 10 亦可包括具有面對該第一表面 34 之一前表面 16 之一第一微電子元件 12、具有突出超過該第一微電子元件之一邊緣 29 之一前表面 22 之一第二微電子元件 14、將該等微電子元件之觸點 20、52 電連接至該等端子之第一引線 70 及第二引線 76 及將該第一微電子元件及該第二微電子元件之觸點電互連之第三引線 73。該第一微電子元件 12 之觸點 20 可毗鄰邊緣 29 而安置。該第二微電子元件 14 之觸點 26 可安置於其前表面 22 之一中心區 19 中。該等引線 70、76、99 可具有與孔口 39 對準之部分。

A microelectronic assembly 10 can include a substrate 30 having first and second surfaces 34, 58, an aperture 39 extending therebetween, and terminals 36. The assembly 10 can also include a first microelectronic element 12 having a front surface 16 facing the first surface 34, a second microelectronic element 14 having a front surface 22 projecting beyond an edge 29 of the first microelectronic element, first and second leads 70, 76 electrically connecting contacts 20, 52 of the microelectronic elements to the terminals, and third leads 73 electrically interconnecting the contacts of the first and second microelectronic elements. The contacts 20 of the first microelectronic element 12 can be disposed adjacent the edge 29. The contacts 26 of the second microelectronic element 14 can be disposed in a central region 19 of the front surface 22 thereof. The leads 70, 76, 99 can have portions aligned with the aperture 39.

201546986

發明摘要

※ 申請案號：

104130271 (由 101114247 分割)

※ 申請日：

101.4.20

※IPC 分類：H01L 23/488 (2006.01)

H01L 21/60 (2006.01)

【發明名稱】(中文/英文)

覆晶、面向上型及面向下型中心接合記憶體導線接合總成

FLIP-CHIP, FACE-UP AND FACE-DOWN CENTERBOND MEMORY
WIREBOND ASSEMBLIES

【中文】

本發明揭示一種微電子總成 10，其可包括一基板 30，該基板具有第一表面 34 及第二表面 58，在該第一表面與該第二表面之間延伸之一孔口 39 及端子 36。該總成 10 亦可包括具有面對該第一表面 34 之一前表面 16 之一第一微電子元件 12，具有突出超過該第一微電子元件之一邊緣 29 之一前表面 22 之一第二微電子元件 14，將該等微電子元件之觸點 20、52 電連接至該等端子之第一引線 70 及第二引線 76 及將該第一微電子元件及該第二微電子元件之觸點電互連之第三引線 73。該第一微電子元件 12 之觸點 20 可毗鄰邊緣 29 而安置。該第二微電子元件 14 之觸點 26 可安置於其前表面 22 之一中心區 19 中。該等引線 70、76、99 可具有與孔口 39 對準之部分。

【英文】

A microelectronic assembly 10 can include a substrate 30 having first and second surfaces 34, 58, an aperture 39 extending therebetween, and terminals 36. The assembly 10 can also include a first microelectronic element 12 having a front

surface 16 facing the first surface 34, a second microelectronic element 14 having a front surface 22 projecting beyond an edge 29 of the first microelectronic element, first and second leads 70, 76 electrically connecting contacts 20, 52 of the microelectronic elements to the terminals, and third leads 73 electrically interconnecting the contacts of the first and second microelectronic elements. The contacts 20 of the first microelectronic element 12 can be disposed adjacent the edge 29. The contacts 26 of the second microelectronic element 14 can be disposed in a central region 19 of the front surface 22 thereof. The leads 70, 76, 99 can have portions aligned with the aperture 39.

【代表圖】

【本案指定代表圖】：第（ 8 ）圖。

【本代表圖之符號簡單說明】：

400：微電子總成

401：第三微電子元件

412：第一微電子元件

414：第二微電子元件

420：觸點

426：觸點

439：孔口

474：電連接/引線

476：電連接/引線

478：電連接/引線

490：觸點

900：電路面板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

覆晶、面向上型及面向下型中心接合記憶體導線接合總成

FLIP-CHIP, FACE-UP AND FACE-DOWN CENTERBOND MEMORY
WIREBOND ASSEMBLIES

【技術領域】

【0001】 本發明係關於堆疊式微電子總成及製作此等總成之方法，且係關於此等總成中 useful 之總成。

【0002】 本申請案主張在 2011 年 4 月 21 號提出申請之美國臨時專利申請案序列號 61/477,967 及在 2011 年 11 月 29 日提出申請之美國專利申請案序列號 13/306,099 之申請日期之權益，該等專利申請案之揭示內容藉此以引用方式併入本文中。以下共同擁有之申請案藉此以引用方式併入本文中：均在 2011 年 4 月 21 日提出申請之美國臨時專利申請案序列號 61/477,820、61/477,877 及 61/477,883。

【先前技術】

【0003】 將半導體晶片共同提供為個別的經預封裝之單元。一標準晶片具有一扁平矩形主體，該扁平矩形主體具有帶有連接至該晶片之內部電路的觸點之一大的前面。每一個別晶片通常安裝於一封裝中，該封裝又安裝於一電路面板(諸如一印刷電路板)上且將該晶片之觸點連接至電路面板之導體。在諸多習用設計中，該晶片封裝佔據相當大於該晶片自身之面積之電路面板之一面積。如在本發明中參考具有一前面之一扁平晶片所使用，應將「晶片之面積」理解為參考該前面之面積。在「覆晶」設計中，

該晶片之前面面對一封裝基板(亦即，晶片載體)之面且該晶片上之觸點藉由焊料球或其他連接元件直接接合至該晶片載體之觸點。晶片載體又可透過上覆於該晶片之前面上之端子接合至一電路面板。「覆晶」設計提供一相對緊密配置；每一晶片佔據等於或稍微大於晶片之前面之面積的電路面板之一面積，諸如(例如)共同受讓之美國專利 5,148,265 號；5,148,266 號；及 5,679,977 號之某些實施例中所揭示，該等美國專利之全部揭示內容以引用之方式併入本文中。

【0004】 某些新穎安裝技術提供接近或等於習用覆晶接合之緊密性之緊密性。可在等於或稍微大於晶片自身之面積之電路面板之一面積中容納一單個晶片之封裝通常稱作「晶片大小之封裝」。

【0005】 除了最小化微電子總成所佔據之電路面板之平面面積之外，亦期望產生垂直於該電路面板之平面呈現一低的總高度或尺寸之一晶片封裝。此等薄微電子封裝允許緊靠近鄰近結構而放置其中安裝有該等封裝之一電路面板，從而產生併入該電路面板之產品之總大小。已改進了各種提議以用於在一單個封裝或模組中提供複數個晶片。在習用「多晶片模組」中，該等晶片並排地安裝於一單個封裝基板上，該單個封裝基板又可安裝至該電路面板。此方法僅提供該等晶片所佔據之電路面板之總計面積之有限減少。該總計面積仍大於該模組中個別晶片之總表面積。

【0006】 亦已提出以一「堆疊」配置(亦即，其中複數個晶片放置於彼此頂部上之一配置)封裝複數個晶片。在一堆疊式配置中，數個晶片可安裝於小於該等晶片之總面積之電路面板之一面積中。舉例而言，前述美國專利 5,679,977 號；5,148,265 號；及美國專利 5,347,159 號之某些實施例中揭

示了某些堆疊式晶片配置，該等美國專利之全部揭示內容以引用方式併入本文中。亦以引用方式併入本文中之美國專利 4,941,033 號揭示其中晶片堆疊於彼此之頂部上且藉由與該等晶片相關聯之所謂的「佈線膜」上之導體彼此互連之一配置。

【0007】 儘管此項技術中有此等嘗試，但在晶片具有定位於該等晶片之實質上中心區中之觸點之多晶片封裝之情形中將期望進一步改良。某些半導體晶片(諸如某些記憶體晶片)通常經製作而具有實質上沿該晶片之一中心軸線定位之一或兩列觸點。

【發明內容】

【0008】 本發明係關於微電子總成及其製造方法。根據本發明之一態樣，一微電子總成可包括：一基板，其具有對置面對之第一表面及第二表面及在該第一表面與該第二表面之間延伸之一孔口；一第一微電子元件，其具有面對該基板之該第一表面之一前表面；及一第二微電子元件，其具有面對該第一微電子元件之一前表面。該基板可具有曝露於其該第二表面處之第一端子。該第一微電子元件亦可具有遠離該前表面之一後表面及在該前表面與該後表面之間延伸之一邊緣。該第一微電子元件可具有毗鄰該第一微電子元件之邊緣曝露於其前表面處之複數個觸點。該第二微電子元件可具有第一及第二對置邊緣。該第二微電子元件之前表面可在該第一邊緣與該第二邊緣之間延伸。

【0009】 該第二微電子元件可具有安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點。該第二微電子元件之該前表面可突出超過該第一微電子元件之邊緣。該微電子總成亦可包括將該第

一微電子元件之觸點電連接至第一端子之第一引線及將該第二微電子元件之觸點連接至該等第一端子之第二引線。該等第一引線及該等第二引線可具有與孔口對準之部分。該微電子總成亦可包括曝露於與該基板之該第二表面對置之該微電子總成之一表面處之第二端子。該等第二端子中之至少某些端子可上覆於該等微電子元件中之至少一者上。

【0010】 在一項實施例中，該等第二端子中之至少某些端子可藉由導線接合而與曝露於該基板之該第一表面處之導電元件電連接。在一特定實施例中，該微電子總成亦可包括至少部分覆蓋該第一微電子元件及該第二微電子元件以及該等導線接合之至少部分之一囊封劑。曝露該等第二端子之該微電子總成之表面可係該囊封劑之一表面。在一項實施例中，該等導線接合可具有附接至該等導電元件之基底及遠離該等導電元件之未經囊封之端表面，以及在基底與未經囊封之端表面之間延伸之邊緣表面。未經囊封之端表面可不被囊封劑覆蓋。該等第二端子可與未經囊封之端表面電連接。在一實施例性實施例中，該等導線接合中之至少一者之一邊緣表面之至少一部分可未經囊封且該等第二端子中之至少一者可與該等導線接合中之至少一者之未經囊封之邊緣表面及未經囊封之端表面電連接。

【0011】 在一特定實施例中，該等導線接合可具有介於附接至該等導電元件之導線接合之基底與遠離該等導電元件之導線接合之端之間的未經囊封之邊緣表面。該等第二端子可與未經囊封之邊緣表面電連接。在一項實施例中，該等微電子元件中之至少一者可包括一揮發性隨機存取記憶體(RAM)，且該等微電子元件中之至少一者可包括非揮發性快閃記憶體。在一實施例性實施例中，該微電子總成亦可包括將該第一微電子元件之觸點與該

第二微電子元件之觸點電互連之第三引線。該等第一引線、該等第二引線及該等第三引線可具有與孔口對準之部分。在一項實例中，該等第一引線或該等第二引線中之至少一者可包括自該第一微電子元件或該第二微電子元件中之至少一者之觸點延伸之導線接合。

【0012】 在一特定實例中，與該孔口對準之該等第一引線與該等第二引線中之至少一者之部分可係具有沿該基板延伸至該等端子之第二部分之單體式導電元件之部分。在一實例性實施例中，該微電子總成亦可在該第二微電子元件之前表面與該基板之第一表面之間包括一間隔元件。在一項實例中，該第一微電子元件可包括經組態以主要執行一邏輯功能之一晶片。在一特定實施例中，該第二微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。在一項實施例中，該第一微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。在一實例性實施例中，該微電子總成亦可包括將該第一微電子元件之觸點電連接至該等端子之第三引線。該等第一引線及該等第三引線可連接至該孔口之對置側上之端子。該等第一引線、該等第二引線及該等第三引線可具有與孔口對準之部分。

【0013】 在一項實例中，該微電子總成亦可包括安置於該基板之第一表面與該第二微電子元件之前表面之間的一第三微電子元件，將該第三微電子元件之觸點電連接至該等端子之第三引線，及將該第一微電子元件及該第三微電子元件之該等觸點電互連之第四引線。該第三微電子元件可具有第一及第二對置邊緣，在該第一邊緣與該第二邊緣之間延伸之一前表面，以及毗鄰其第一邊緣而安置於其前表面上之複數個觸點。該第三微電

子元件之前表面可面對該基板之該第一表面。該第一微電子元件及該第三微電子元件之該等觸點可位於該孔口之對置側上。該等第一引線、該等第二引線、該等第三引線及該等第四引線可具有與孔口對準之部分。在一實例性實施例中，該微電子總成亦可包括將該第一微電子元件及該第二微電子元件之觸點電互連之第五引線。在一特定實施例中，該微電子總成亦可包括將該第二微電子元件及該第三微電子元件之觸點電互連之第六引線。

【0014】 在一項實施例中，一微電子總成可包括如上文所闡述之第一微電子總成及第二微電子總成。該第一微電子總成可至少部分地上覆於該第二微電子總成上。該第一微電子總成之第一端子可與該第二微電子總成之第二端子連結。在一實例性實施例中，該等第一微電子元件中之至少一者可主要經組態以執行一邏輯功能。該等第二微電子元件中之至少一者可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。在一特定實施例中，該第一微電子總成之第一端子中之至少某些端子及該第二微電子總成之第二端子中之至少某些端子可配置成一面積陣列(area array)。可藉由係一接合金屬之導電塊之連結單元來連結該第一微電子總成與該第二微電子總成。

【0015】 在一實例性實施例中，該等微電子總成可透過毗鄰微電子總成之一周邊而配置之連結單元彼此電連接。在一項實例中，該等連結單元可位於該微電子總成之一稀疏中心區(depopulated central region)外部。在一特定實例中，一系統可包括如上文所闡述之一微電子總成及電連接至該微電子總成之一或多個其他電子總成。在一特定實施例中，該等端子中之至少某些端子可電連接至一電路面板。在一項實例中，該系統亦可包括一外殼、

該微電子總成及安裝至該外殼之其他電子總成。

【0016】 根據本發明之另一態樣，一微電子總成可包括：一基板，其具有對置面對之第一表面及第二表面及在該第一表面與該第二表面之間延伸之一孔口；一第一微電子元件，其具有面對該基板之該第一表面之一前表面；及一第二微電子元件，其具有面對該第一微電子元件之一前表面。該基板可具有端子。該第一微電子元件亦可包括遠離該前表面之一後表面及在該前表面與該後表面之間延伸之一邊緣。該第一微電子元件可具有毗鄰該第一微電子元件之邊緣曝露於其前表面處之複數個觸點。該第二微電子元件可具有第一及第二對置邊緣。該第二微電子元件之前表面可在該第一邊緣與該第二邊緣之間延伸。

【0017】 該第二微電子元件可具有安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點。該第二微電子元件之該前表面可突出超過該第一微電子元件之邊緣。該微電子總成亦可包括將該第一微電子元件之觸點電連接至該等端子之第一引線，將該第二微電子元件之觸點連接至該等端子之第二引線，及將該第一微電子元件之觸點與該第二微電子元件之觸點電互連之第三引線。該等第一引線、該等第二引線及該等第三引線可具有與孔口對準之部分。

【0018】 在一實例性實施例中，該等第一引線或該等第二引線中之至少一者可包括自該第一微電子元件或該第二微電子元件中之至少一者之觸點延伸之導線接合。在一項實施例中，與該孔口對準之該等第一引線與該等第二引線中之至少一者之部分可係具有沿該基板延伸至該等端子之第二部分之單體式導電元件之部分。在一特定實施例中，該微電子總成亦可在

該第二微電子元件之前表面與該基板之第一表面之間包括一間隔元件。在一特定實施例中，該第一微電子元件可包括經組態以主要執行一邏輯功能之一晶片。在一實例性實施例中，該第二微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。在一項實施例中，該第一微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。

【0019】 本發明之另外態樣可提供併入根據本發明之前述態樣之微電子總成連同電連接至其的其他電子總成之系統。舉例而言，該等端子可電連接至一電路面板。在另一實例中，該系統可安置於一單個外殼中及/或安裝至該單個外殼，該單個外殼可係一可攜式外殼。根據本發明之此態樣中之較佳實施例之系統可比相當的習用系統更緊密。

【0020】 在一項實施例中，一微電子總成可包括如上文所闡述之第一微電子總成及第二微電子總成。該第一微電子總成可與該第二微電子總成電連接且可至少部分地上覆於該第二微電子總成上。在一實例性實施例中，該等微電子總成可透過毗鄰微電子總成之一周邊而配置之連結單元彼此電連接。在一特定實施例中，該等連結單元可位於該微電子總成之一稀疏中心區外部。在一項實施例中，該等微電子元件中之某些微電子元件可包括一揮發性隨機存取記憶體(RAM)，且該等微電子元件中之某些微電子元件可包括非揮發性快閃記憶體。在一特定實施例中，該等第一微電子元件中之至少一者可主要經組態以執行一邏輯功能，且該等第二微電子元件中之至少一者可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。

【0021】 根據本發明之又另一態樣，一微電子總成可包括：一基板，其具有對置面對之第一表面及第二表面及在該第一表面與該第二表面之間延伸之一孔口；一第一微電子元件，其具有面對該基板之該第一表面之一前表面；及一第二微電子元件，其具有面對該第一微電子元件之一前表面。該基板可具有端子。該第一微電子元件亦可包括遠離該前表面之一後表面及在該前表面與該後表面之間延伸之一邊緣。該第一微電子元件可具有毗鄰該第一微電子元件之邊緣曝露於其前表面處之複數個觸點。該第二微電子元件可具有第一及第二對置邊緣。該第二微電子元件之前表面可在該第一邊緣與該第二邊緣之間延伸。

【0022】 該第二微電子元件可具有安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點。該第二微電子元件之該前表面可突出超過該第一微電子元件之邊緣。該微電子總成亦可包括將該第一微電子元件之觸點電連接至該等端子之第一引線，將該第二微電子元件之觸點連接至該等端子之第二引線，及將該第一微電子元件之觸點電連接至該等端子之第三引線。該等第一引線及該等第三引線可連接至該孔口之對置側上之端子。該等第一引線、該等第二引線及該等第三引線可具有與孔口對準之部分。

【0023】 在一特定實施例中，該第一微電子元件可包括經組態以主要執行一邏輯功能之一晶片。在一實例性實施例中，該第二微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。在一項實施例中，該第一微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。

【0024】 根據本發明之又另一態樣，一微電子總成可包括：一基板，其具有對置面對之第一表面及第二表面及在該第一表面與該第二表面之間延伸之一孔口；一第一微電子元件，其具有面對該基板之該第一表面之一前表面；一第二微電子元件，其具有面對該第一微電子元件之一前表面，及一第三微電子元件，其安置於該基板之第一表面與該第二微電子元件之前表面之間。該基板可具有端子。

【0025】 該第一微電子元件亦可包括遠離該前表面之一後表面及在該前表面與該後表面之間延伸之一邊緣。該第一微電子元件可具有毗鄰該第一微電子元件之邊緣曝露於其前表面處之複數個觸點。該第二微電子元件可具有第一及第二對置邊緣。該第二微電子元件之前表面可在該第一邊緣與該第二邊緣之間延伸。該第二微電子元件可具有安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點。該第二微電子元件之該前表面可突出超過該第一微電子元件之邊緣。該第三微電子元件可具有第一及第二對置邊緣，在該第一邊緣與該第二邊緣之間延伸之一前表面，以及毗鄰其第一邊緣而安置於其前表面上之複數個觸點。該第三微電子元件之前表面可面對該基板之該第一表面。

【0026】 該微電子總成亦可包括將該第一微電子元件之觸點電連接至該等端子之第一引線，將該第二微電子元件之觸點連接至該等端子之第二引線，將該第三微電子元件之觸點電連接至該等端子之第三引線，及將該第一微電子元件及該第三微電子元件之觸點電互連之第四引線。該第一微電子元件及該第三微電子元件之該等觸點可位於該孔口之對置側上。該等第一引線、該等第二引線、該等第三引線及該等第四引線可具有與孔口

對準之部分。

【0027】 在一項實施例中，該微電子總成亦可包括將該第一微電子元件及該第二微電子元件之觸點電互連之第五引線。在一特定實施例中，該微電子總成亦可包括將該第二微電子元件及該第三微電子元件之觸點電互連之第六引線。在一特定實施例中，該第一微電子元件可包括經組態以主要執行一邏輯功能之一晶片。在一實例性實施例中，該第二微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。在一項實施例中，該第一微電子元件可具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動裝置。

【圖式簡單說明】

【0028】

圖 1A 係根據本發明之一實施例之一堆疊式微電子總成之一圖解性剖面正視圖；

圖 1B 係根據本發明之一實施例之一堆疊式微電子總成之圖解性剖面正視圖；

圖 1C 係根據本發明之一實施例之一堆疊式微電子總成之部分剖面視圖；

圖 2 係圖 1A 中所展示之微電子總成之一平面視圖；

圖 3A 係根據本發明之另一實施例之一堆疊式微電子總成之一圖解性剖面正視圖；

圖 3B 係進一步圖解說明圖 3A 中所繪示之實施例之一部分剖面視圖。

圖 4 係根據本發明之一另外實施例之一堆疊式微電子總成之一圖解性

剖面正視圖；

圖 5 係圖解說明圖 4 中所展示之堆疊式微電子總成之一部分之一剖面視圖；

圖 6 係根據本發明之一實施例之一堆疊式微電子總成之一圖解性剖面正視圖；

圖 7 係根據本發明之另一實施例之一堆疊式微電子總成之一圖解性剖面正視圖；

圖 8 係根據本發明之一另外實施例之一堆疊式微電子總成之一圖解性剖面正視圖；

圖 9A 係根據本發明之另一實施例之一堆疊式微電子總成之一圖解性剖面正視圖；

圖 9B 係圖 9A 中所展示之堆疊式微電子總成之一俯視圖；

圖 10 係根據本發明之又另一實施例之一堆疊式微電子總成之一圖解性剖面正視圖；及

圖 11 係根據本發明一項實施例之一系統之一示意性繪圖。

【實施方式】

【0029】 現在將參考隨附圖式闡述本發明之各種實施例。將瞭解，此等圖式僅繪示本發明之某些實施例且因此不認為其限制本發明之範疇。

【0030】 參考圖 1A 及圖 2，根據本發明之一實施例之一堆疊式微電子總成 10 包括以一面向下型姿態面對一基板 30 之一第一微電子元件 12 及以一面向下型姿態上覆於第一微電子元件 12 之至少一部分上之一第二微電子元件 14。在某些實施例中，第一微電子元件 12 及第二微電子元件 14 可

係在其前表面 16 處具有觸點之一半導體晶片，或包括一半導體晶片之一元件。該半導體晶片可係一半導體材料(諸如矽或砷化鎵)之一薄板，且可提供為個別預封裝之單元。該半導體晶片可係一半導體材料(諸如矽或砷化鎵)之一薄板，且可將其提供為個別預封裝之單元。該半導體晶片可體現為主動電路元件(例如，電晶體、二極體以及其他)或被動電路元件(諸如電阻器、電容器或電感器以及其他)或主動電路元件與被動電路元件之一組合。在一「主動」半導體晶片中，每一微電子元件中之主動電路元件通常一起電連接成一或多個「積體電路」。該第一微電子元件及該第二微電子元件均電連接至一基板 30，如下文所詳細論述。基板 30 又可透過其一表面處之端子 36 電連接至一電路面板(諸如一印刷電路板)。在一特定實施例中，微電子總成 10 可係具有經組態以用於與一電路面板(諸如一印刷電路板)以及其他之一面上之對應觸點電連接之端子之一微電子「封裝」。

【0031】 在特定實施例中，該基板可係(諸如)聚合材料或無機材料(諸如陶瓷或玻璃)之各種類型之構造之一介電元件，該基板其上具有諸如端子之導電元件及諸如，例如跡線、基板觸點之導電元件或與該等端子電連接之其他導電元件。在另一實例中，該基板可基本上係由一半導體材料(諸如矽)構成，或另一選擇為包括一半導體材料層及其一或多個介電層。此基板可具有小於每攝氏度百萬分之 7 (ppm/°C)之一熱膨脹係數。在又另一實施例中，該基板可係具有引線指部之一引線框架，其中該等端子可係該等引線指部之部分，諸如該等引線指部之端部分。在又另一實施例中，該基板可係具有引線之一引線框架，其中該等端子可係該等引線之部分，諸如該等引線之端部分。

【0032】 第一微電子元件 12 可包括經主要組態以執行一邏輯功能之一半導體晶片，諸如一微處理器、特殊應用積體電路(「ASIC」)、場可程式化閘陣列(「FPGA」)或其他邏輯晶片，以及其他。在一特定實施例中，微電子元件 12 可係主要提供邏輯功能但亦可包括一記憶體儲存陣列之一控制器或一系統單晶片(「SOC」)。在其他實例中，第一微電子元件 12 可包括或可係一記憶體晶片(諸如一快閃(NOR 或 NAND)記憶體晶片、動態隨機存取記憶體(「DRAM」)晶片或靜態隨機存取記憶體(「SRAM」)晶片)或經主要組態以執行某一其他功能。此記憶體晶片包括一記憶體儲存陣列且通常具有經組態以除該晶片之任一其他功能外還提供記憶體儲存陣列功能之大量主動電路元件(例如，主動裝置，諸如電晶體)。第一微電子元件 12 具有一前表面 16、遠離該前表面之一後表面 18 及在該前表面與該後表面之間延伸之第一邊緣 27 及第二邊緣 29。電觸點 20 毗鄰第二邊緣 29 而曝露於第一微電子元件 12 之前表面 16 處。如本發明中所使用，一導電元件「曝露於」一結構之一表面處之一陳述指示該導電元件可用於與在垂直於該表面之一方向上自該結構外部朝向該表面移動之一理論上點接觸。因此，曝露於一結構之一表面處之一觸點、端子或其他導電元件可自此表面突出；可與此表面齊平；或可相對於此表面凹入且透過該結構中之一孔或凹坑曝露。電觸點 20 可係接合墊或其他導電結構，諸如凸塊、柱等等。該等接合墊可包括一或多個金屬，諸如銅、鎳、金或鋁，且可厚約 0.5 μm 。該等接合墊之大小可隨裝置類型而變化，但通常將在一側上量測為數十至數百微米。

【0033】 第二微電子元件 14 具有一前表面 22、遠離該前表面之一後表面 24 及在該前表面與該後表面之間延伸之第一邊緣 35 及第二邊緣 37 以

及曝露於前表面 22 處之觸點 26。如圖 1A 中所參見，第一微電子元件 12 與第二微電子元件 14 相對於彼此堆疊以使得第二微電子元件 14 之至少一部分上覆於第一微電子元件 12 之至少一部分上。在一特定實施例中，諸如圖 1A 中所展示，第二微電子元件 14 之前表面 22 包括第一端區 21 及第二端區 23 以及在第一端區 21 與第二端區 23 之間延伸之一中心區 19。第一端區 21 在中心區 19 與第一邊緣 35 之間延伸，且第二端區 23 在中心區 19 與第二邊緣 37 之間延伸。該中心區可延伸第二微電子元件 14 之第一邊緣 35 與第二邊緣 37 之間的距離之三分之一，且該第一端區及第二端區可各自延伸邊緣 35、37 之間的距離之三分之一。電觸點 26 曝露於第二微電子元件 14 之前表面 22 處。舉例而言，觸點 26 可毗鄰第一表面 22 之中心配置成一或兩個平行列。第二微電子元件 14 可包括或可係一 DRAM 晶片。此 DRAM 晶片包括一記憶體儲存陣列且通常具有經組態以除任一其他功能外還提供記憶體儲存陣列功能之大量主動電路元件(例如，主動裝置，諸如電晶體)。第二微電子元件 14 之中心區 19 之至少一部分突出超過第一微電子元件 12 之第二邊緣 29 以使得第二微電子元件 14 之觸點 26 曝露超過第一微電子元件 12 之第二邊緣 29。如上文所論述，在一項實施例中，基板 30 可包括具有對置面對之第一表面 34 及第二表面 32 之一介電層。一或多個導電元件或端子 36 曝露於基板 30 之第二表面 32 處。在一特定實施例中，端子 36 中之某些或全部端子可相對於第一微電子元件 12 及/或第二微電子元件 14 移動。

【0034】 基板 30 進一步包括在其第一對置表面與第二對置表面之間(諸如，例如一介電元件 30 之對置面對第一表面與第二表面之間)延伸之一或多個孔口。在圖 1A 中所繪示之實施例中，基板 30 包括一孔口 39 且至少

某些觸點 26 與基板 30 之孔口 39 對準。複數個引線將第二微電子元件之觸點 26 與微電子總成之端子 36 電連接。該等引線具有與孔口 39 對準之部分。舉例而言，該等引線可包括接合至該等基板觸點之導線接合 50，該等基板觸點又透過該等引線(諸如沿一半導體元件或介電元件 30 延伸之金屬跡線)之其他部分連接至端子 36，或若該基板包括一引線框架，則該等引線可包括其引線指部之部分。

【0035】 介電元件 30 之第一表面 34 可與第一微電子元件 12 之前表面 16 並列。如圖 1A 中所參見，基板 30 可延伸超過第一微電子元件 12 之第一邊緣 27 及第二微電子元件 14 之第二邊緣 35。在一實例中，包括一介電材料之一基板可稱作一「介電元件」30，不管部分還是全部係由任一合適介電材料製成。基板 30 可部分或全部係由任一合適介電材料製成。舉例而言，基板 30 可包含一撓性材料層，諸如一個聚醯亞胺層、BT 樹脂或共同用於製成膠帶自動接合(「TAB」)膠帶之其他介電材料。另一選擇為，基板 30 可包含一相對剛性板狀材料，諸如一纖維加固環氧樹脂厚層，諸如 Fr-4 板或 Fr-5 板。不管所運用之材料如何，基板 30 可係由一單個層或多層組成。

【0036】 返回至圖 1A，一間隔元件或支撐元件 31 可定位於第二微電子元件 14 之第一端區 21 與介電元件 30 之一部分之間。間隔元件 31 可幫助在基板 30 上方支撐第二微電子元件。此一間隔元件 31 可係由(例如)一介電材料(諸如二氧化矽或其他材料)、一半導體材料(諸如矽)或一或多個黏合劑層或其他聚合材料。在一特定實施例中，該間隔元件可包括金屬或可係由金屬製成。若該間隔元件包括黏合劑，則該黏合劑可將第二微電子元件 14 連接至基板 30。在一項實施例中，間隔元件 31 在實質上垂直於該基板之第

一表面 34 之一垂直方向上可具有與第一微電子元件 12 在其前表面 16 與後表面 18 之間的厚度基本上相同之厚度。若間隔元件 31 包括一黏合劑，則該黏合劑可將第二微電子元件 14 連接至介電元件 30。

【0037】 如圖 1A 及圖 2 中所參見，基板 30 亦可包括曝露於第二基板 32 上之導電元件或基板觸點 40 及導電跡線 25。導電跡線 25 將基板觸點 40 電耦合至端子 36。跡線 25 及基板觸點 40 可係使用共同受讓之美國申請公開案 2005/0181544 號中所圖解說明之方法形成，該美國申請公開案之全部揭示內容以引用方式併入本文中。

【0038】 返回至圖 1A，一間隔元件或支撐元件 31 (諸如一黏合劑層) 可定位於第二微電子元件 14 之第一端區 21 與基板 30 之一部分之間。若間隔元件 31 包括一黏合劑，則該黏合劑可將第二微電子元件 14 連接至基板 30。如圖 1A 中所展示，第二微電子元件 14 之第二端區 23 可藉助一接合材料 60 (諸如一黏合劑，其可係導熱的) 接合至第一微電子元件 12 之第二端區 17。同樣，一接合材料 61 (例如，視情況導熱之一黏合劑) 可將第二微電子元件之第一端區與間隔元件 31 接合。一接合材料 71 可安置於第一微電子元件之前表面 16 之一顯著部分與基板 30 之第一表面 34 之一部分之間。在一特定實施例中，接合材料 60、61 及/或 71 可部分或全部係由一晶粒附接黏合劑製成，且在一特定實例中可係由一低彈性模數材料(諸如矽樹脂彈性體) 構成。然而，在一特定實施例中，若兩個微電子元件 12 及 14 係由相同材料形成之習用半導體晶片，則接合材料 60、61 及/或 71 可全部或部分係由一高彈性模數黏合劑或焊料製成，此乃因該等微電子元件將往往回應於溫度改變而一致膨脹及收縮。不管所運用之材料如何，間隔元件 31 可包括一單

個層或多層。如下文關於圖 4 至圖 8 所詳細論述，間隔元件 31 可被一或多個微電子元件取代。

【0039】 參考圖 1A 及圖 2，微電子總成可包括將第一微電子元件之觸點 20 與至少某些端子 36 電連接之引線 70。引線 70 具有與基板 30 之孔口 39 對準之部分。在一項實施例中，該等引線可包括延伸穿過孔口 39 且接合至微電子元件之觸點 20、40 及基板之接合元件 70 (諸如導線接合)。跡線 (未展示)可沿基板在觸點 40 與端子 36 之間延伸。在一個變型中，接合導線 70 可包括延伸穿過孔口 39 且電連接至基板觸點 40 之導線接合 72。導線接合 72 中之每一者將一觸點 20 電耦合至基板 30 之一對應基板觸點 40。導線接合 70 可包括於 2010 年 10 月 19 日提出申請且標題為「Enhanced Stacked Microelectronic Assemblies with Central Contacts and Improved Thermal Characteristics」之美國專利申請案 12/907,522 號中所闡述之一多導線接合結構，該美國專利申請案之全部揭示內容以引用方式併入本文中。如上文所論述且如圖 2 中所展示，跡線 25 將基板觸點 40 電連接至端子 36。因此，引線 50 可包括導線接合 52、至少某些基板觸點 40 及至少某些跡線 25。所有此等元件有助於在第一微電子元件 12 之觸點 20 與端子 36 之間建立一電連接。

【0040】 如圖 1B 中所參見，另一選擇為或另外，引線(諸如引線接合 76)可如展示沿基板 30 之第一表面 34 或沿第二表面延伸且延伸至孔口 39 中以連接至觸點 20。引線接合 76 可電連接至導通體 83 或自第一表面 34 延伸至基板 30 之第二表面 32 處之一或多個端子 36 之任一其他類型之導電元件。因此，引線 70 可包括引線接合 76 及導通體 83。如圖 1B 中所進一步展

示，微電子總成 10 可包括將第二微電子元件 14 之觸點 26 與該基板之第二表面 32 之基板觸點 40 電互連之引線接合 85。

【0041】 微電子總成 10 進一步包括將第二微電子元件 12 之觸點 26 電連接至基板 30 之第二表面 32 處之至少某些端子 36 之引線 50。引線 50 具有與孔口 39 對準之部分且可包括將第二微電子元件之觸點 26 電連接至基板 30 之第二表面 32 處之基板觸點 40 之多個導線接合 52。導線接合 52 可延伸穿過孔口 39。導線接合 52 中之每一者將一觸點 26 電耦合至基板 30 之一對應基板觸點 40。引線 50 可包括於 2010 年 10 月 19 日提出申請且標題為「Enhanced Stacked Microelectronic Assemblies with Central Contacts and Improved Thermal Characteristics」之美國專利申請案 12/907,522 號中所闡述之一多導線接合結構，該美國專利申請案之全部揭示內容以引用方式併入本文中。如圖 2 中所展示，跡線 25 將基板觸點 40 電連接至端子 36。因此，引線 50 可包括導線接合 52、至少某些基板觸點 40 及至少某些跡線 25。所有此等元件有助於在第二微電子元件 14 之觸點 26 與端子 36 之間建立一電連接。另一選擇為或另外，引線 50 可包括將觸點 26 與基板 30 之第一表面 34 處或該基板之第二表面 32 處之某些電基板觸點電耦合之引線接合。該等引線接合不一定延伸穿過基板 30 之孔口 39，而是至少部分與該孔口對準。

【0042】 微電子總成 10 可進一步包括覆蓋至少第一微電子元件 12 及第二微電子元件 14 之一外模製件或囊封劑 11。如圖 1A 中所參見，外模製件 11 亦可覆蓋延伸超過第一微電子元件 12 之第一邊緣 27 及第二微電子元件 14 之第一邊緣 35 之基板 30 之部分。因此，外模製件 11 可至少接觸第一微電子元件 12 之第一邊緣 27，第二微電子元件 14 之第一邊緣 35 及基板 30

之第一表面 34。外模製件 11 可係由任一合適材料(包括環氧樹脂及諸如此類)製成。

【0043】 微電子總成 10 可另外包括附接至第一微電子元件 12 或第二微電子元件 14 中之一或多者之後表面之一散熱器或散熱片，如於 2010 年 10 月 19 日提出申請且標題為「Enhanced Stacked Microelectronic Assemblies with Central Contacts and Improved Thermal Characteristics」之美國專利申請案 12/907,522 號中所闡述，該美國專利申請案之全部揭示內容藉此以引用方式併入本文中。在某些實施例中，微電子總成 10 包括在第一微電子元件 12 及/或第二微電子元件 14 之後面 18、24 中之一或多者處及可能在邊緣表面 27、35、37 處熱耦合至第一微電子元件 12 及/或第二微電子元件 14 之一散熱器。該散熱器可佔據圖 1A 中所展示之外模製件 11 所佔據之面積之某些部分。

【0044】 另外，微電子總成 10 可進一步包括附接至介電元件 30 之第二表面 32 上之端子 36 之連結單元 81。連結單元 81 可係焊料球或其他接合塊及金屬(例如，錫、鈹或其一組合)，且經調適以將微電子總成 10 連結並電耦合至一電路面板(諸如一印刷電路板)。

【0045】 如圖 1C 中所參見，微電子總成 10 之引線 50 可另外或替代性地包括電連接第一微電子元件 12 之至少某些觸點 20 與位於孔口 39 之對置側上之至少某些基板觸點 40 之導線接合 53。因此，導線接合 53 可橫跨基板 30 之孔口。另外，引線 70 可替代性地或另外包括電連接第一微電子元件 12 之觸點 20 中之至少某些觸點與第二微電子元件 14 之觸點 26 中之至少某些觸點之導線接合 73。

【0046】 圖 3A 繪示圖 1A 中所展示之微電子總成 10 之一變型 10'。

在此變型中，替代(或除了)表面 16'處之觸點 20，第一微電子元件 12'可包括遠離基板 30'而面對之表面 18 處之觸點 20'。此表面 18'可係第一微電子元件 12'之前面。表面 18'可具有毗鄰第一微電子元件 12'之第一邊緣 27'之一第一端部分 82，毗鄰第二邊緣 29'之一第二端部分 84，及第一端部分 82 與第二端部分 84 之間的一中心部分 86。觸點 20'可安置於毗鄰第一邊緣 27'之表面 18'之第一端部分 82 內，表面 18'之中心部分 86 內或第一端部分及中心部分兩者內。在一項實施例中，觸點 20'可在表面 18'之中心部分 86 處配置成一或兩個平行列。

【0047】 微電子總成 10'可包括與表面 18'處之觸點 20'及端子 36 電連接之引線 88。在一項實例中，引線 88 之部分(諸如導線接合)可延伸超過第一微電子元件 12'之第一邊緣 27 至觸點 40'，該等觸點又可(諸如)透過跡線(未展示)或其他導電元件連接至端子。引線 88 可包括自觸點 20'延伸超過第一微電子元件之第一邊緣 27'，且至基板 30'之第一表面 34'處之觸點 40'之導線接合 90，且可包括該基板之其他導電結構，諸如觸點與端子 36 之間的導電跡線。如圖 3B 中所展示，引線部分 52'(例如，導線接合)可將微電子元件 14'之觸點 26 連接至孔口 39'之任一側或兩側上之觸點 40'。

【0048】 圖 4 及圖 5 繪示圖 1A 中所展示之微電子總成 10 之一變型。圖 1A 中所展示之微電子總成 100 在具有以一面向上型姿態之一第一微電子元件 101 方面類似於圖 3A 中所展示之微電子總成 10。在此變型中，以一覆晶姿態之一第三微電子元件 112 被間隔元件 31 取代。然而，在所展示之特定視圖中，第一微電子元件 101 出現在該圖之右邊且第三微電子元件 112

出現在該圖之左邊。第三微電子元件 112 在其一前表面 116 處包括複數個觸點 120。第三微電子元件 112 之觸點 120 與基板 130 之第二表面 132 處之至少某些端子 136 連接。

【0049】 覆晶互連件 143 透過金屬凸塊(例如，諸如焊料之一接合金屬)將第一微電子元件 112 之前表面 116 上之電觸點 120 電連接至基板 30 之第一表面 134 上之至少某些觸點 141。然後反轉該微電子元件，因此金屬凸塊提供該微電子元件之觸點(例如，接合墊)與該基板之間的電路徑以及該微電子元件至該基板的機械附接。存在覆晶過程之諸多變型，但一個共同組態係針對該等金屬凸塊使用焊料且使用該焊料之熔接作為將其緊固至接合墊及基板之方法。當該焊料融化時，其可流動以形成經截頂球體。

【0050】 與經由導線接合連接至介電元件之其他微電子元件作比較，該覆晶互連件給第一微電子元件 112 提供較大數目個(輸入/輸出) I/O。另外，該覆晶互連件最小化第二微電子元件 114 與基板 30 之間的導線接合路徑，從而減小該等導線接合之阻抗。

【0051】 在圖 4 及圖 5 中所繪示之實施例中，倒裝互連件 143 可包括安置於第一微電子元件 112 與基板 130 之間的複數個固體金屬凸塊 145(諸如焊料球)。金屬凸塊 145 可係導電球體或柱。每一固體金屬凸塊 145 可安置於第一微電子元件 112 之一觸點 120 與基板 130 之一基板觸點 141 之間(且與其兩者接觸)，從而在電觸點 120 與導電元件 141 之間提供電連接。金屬凸塊 145 可基本上係由連結金屬或任一其他合適材料構成。

【0052】 一底填充物 147 可圍繞固體金屬凸塊 145 以將第一微電子元件 112 黏附至基板 130。底填充物 147 可特定安置於第一微電子元件 112 之

前表面 116 與基板 130 之第一表面 134 之間以將第一微電子元件 112 耦合至基板 130。舉例而言，底填充 147 可整體或部分地係由一聚合材料(諸如環氧樹脂)製成。然而在某些實施例中，全部省略底填充 147。

【0053】 圖 6 圖解說明圖 4 中所展示之微電子總成 100 之一變型。微電子總成 200 類似於微電子總成 100，但其不包括將第一微電子元件電連接至基板觸點之一覆晶互連件。而是，第一微電子元件 212 係以面向上型姿態且包括毗鄰其第一邊緣 227 之一或多個觸點 220 平行列。引線 270 將觸點 220 電連接至基板 230 之第二表面 236 上之端子 236。

【0054】 引線 270 可包括自觸點 220 延伸超過第一微電子元件 212 之第一邊緣 227，且至基板 230 之第二表面 234 處之基板觸點 240 之打線 272。另外，引線 270 可包括導通體 283 或將基板觸點 240 與至少某些端子 236 電連接之任一其他合適導電元件。導通體 283 可自第一表面 234 延伸穿過基板 230 至基板 230 之第二表面 232。

【0055】 微電子總成 200 進一步包括將第二微電子元件 214 之前表面 222 處之觸點 226 電連接至至少某些端子 236 之引線 250。引線 250 之部分與基板 230 之孔口 239 對準。在此變型中，引線 270 包括自觸點 226 延伸且穿過孔口 239 之多個導線接合 252。導線接合 252 可電連接至位於基板 230 之第二表面 232 處且在孔口 239 之對置側上之基板觸點 240。

【0056】 圖 7 繪示圖 6 中所展示之微電子總成 200 之一變型。圖 7 中所展示之微電子總成 300 實質上類似於圖 1A 或圖 1B 中所展示之微電子總成 200，其中一第三微電子元件 301 取代間隔元件 31，該第三微電子元件具有類似於第一微電子元件 12 (圖 1A)之電互連件之與該基板之一電互連件。

【0057】 圖 8 繪示圖 7 中所展示之微電子總成 300 之一變型。在此變型中，展示微電子總成 400 安裝於諸如電路面板 900 (諸如一印刷電路板)之一外部總成上，且包括額外電連接或引線。雖然僅圖 8 圖解說明電安裝於一電路面板(諸如一印刷電路板)上之一微電子總成，但本文中上文所闡述之微電子總成中之任一者可安裝至一電路面板或該微電子總成外部之其他總成。

【0058】 微電子總成 400 可包括延伸跨越孔口 439 且將第一微電子元件 412 之一觸點 320 與第三微電子元件 401 之一觸點 490 電連接之電連接或引線 474。引線 474 可包括導線接合及/或引線接合。另一組電連接或引線 476 可與基板 430 之孔口 439 至少部分對準且將第一微電子元件 412 之至少某些觸點 420 與第二微電子元件 414 之至少某些觸點 426 電連接。引線 476 可包括導線接合及/或引線接合。又另一組電連接或引線 478 與基板 430 之孔口 430 至少部分對準且將第二微電子元件 414 之至少某些觸點 426 與第三微電子元件 401 之至少某些觸點 490 電連接。引線 478 可包括導線接合及/或引線接合。

【0059】 圖 9A 展示圖 1A 中所展示之圖解性側剖面視圖之一堆疊式變型。一微電子總成 500 可具有堆疊式第一微電子總成 510a 及第二微電子總成 510b (統稱微電子總成 510)。微電子總成 510 可各自係上文參考圖 1A 到圖 8 所闡述之微電子總成中之任一者，且該等微電子總成可彼此相同或不同。該堆疊中可存在任一數目個微電子總成 510，包括(例如)圖 9A 中所展示之兩個微電子總成 510a 及 510b。

【0060】 連結單元 581 (諸如焊料球)可將第一微電子總成 510a 與第二

微電子總成 510b 彼此連結並電耦合。此等連結單元 581 可附接至曝露於第一微電子總成 510a 之基板 530 之第二表面 532 處之端子 536 及曝露於第二微電子總成 510b 之基板 530 之第一表面 534 處之端子 536'。包括堆疊式微電子總成 510 之微電子總成 500 可使用曝露於微電子總成 500 之一頂部表面 501 或一底部表面 502 處之連結單元 581 而附接至一電路面板(諸如一印刷電路板)。

【0061】 如圖 9B 中所展示，微電子總成 500 可包括毗鄰該微電子總成之一周邊 503 而配置之連結單元 581。連結單元 581 可位於微電子總成 500 之一稀疏中心區 590 外部。在此一實施例中，連結單元 581 可經配置以使得其不上覆於微電子總成 510 之第一微電子元件 512 及第二微電子元件 514 上。相比於微電子總成 500 在中心區 590 內包括連結單元 581 之情形，此一實施例可允許複數個微電子總成 510 在連結在一起時具有一較小堆疊高度。

【0062】 如圖 9A 中所展示，微電子總成 500 可具有至少部分覆蓋微電子總成 510 之第一微電子元件 512 及第二微電子元件 514 之一單個囊封劑 511。在此一實施例中，微電子總成 510 可在沒有一囊封劑之情形下彼此連結，且然後可形成覆蓋經連結之微電子總成內之微電子元件之單個囊封劑 511。囊封劑 511 可覆蓋未經組態以用於與該微電子總成外部之一或多個總成電連接之微電子總成 500 之部分。

【0063】 在一替代性實施例中，微電子總成 510 中之每一者可單獨形成，每一者具有一各別囊封劑，類似於圖 10 中所展示之實施例。在針對每一微電子總成 510 具有一單獨形成之囊封劑之此一實施例中，此等經囊封之微電子總成然後可(例如)以諸如圖 10 中所展示之一組態彼此堆疊並連

結，以提供其間的電連通。

【0064】 在一特定實例中，微電子總成 500 可經組態以用作(例如)用於一智慧型電話應用之非均質記憶體。在此一實例中，微電子總成 510 內之微電子元件 512 及 514 中之某些微電子元件可包括諸如揮發性 RAM 之一記憶體儲存元件，且微電子元件 512 及 514 中之某些微電子元件可包括諸如非揮發性快閃記憶體之記憶體儲存元件。

【0065】 圖 10 展示圖 9A 中所展示之圖解性側剖面視圖之一堆疊式變型。一微電子總成 600 可具有堆疊式第一微電子總成 610a 及第二微電子總成 610b (統稱微電子總成 610)。微電子總成 610 可各自係上文參考圖 1A 到圖 8 所闡述之微電子總成中之任一者，且該等微電子總成可彼此相同或不同。該堆疊中可存在任一數目個微電子總成 610，包括(例如)圖 9A 中所展示之兩個微電子總成 610a 及 610b。

【0066】 除了連結單元 681 中之至少某些連結單元上覆於微電子元件 612 及 614 上，且微電子總成 610a 及 610b 中之每一者可單獨形成，其每一者具有一各別囊封劑 611a 及 610b 之外，微電子總成 600 與圖 9A 及圖 9B 中所展示之微電子總成 500 相同。在一替代性實施例中，微電子總成 600 可具有至少部分覆蓋微電子總成 610 之第一微電子元件 612 及第二微電子元件 614 之一單個囊封劑，其類似於圖 9A 中所展示之單個囊封劑 511。

【0067】 如圖 10 中所展示，連結單元 681 可將微電子總成 610 彼此連結並電耦合。此等連結單元 681 可附接至曝露於第一微電子總成 610a 之基板 630 之第二表面 632 處之端子 636 及曝露於第二微電子總成 610b 之囊封劑 611b 之一頂部表面 603 處之端子 682。端子 682 可藉由導線接合 604

與曝露於基板 630 之第一表面 634 處之導電元件 636'電連接。曝露於囊封劑 611a 或 611b 之頂部表面 603 處之端子 682 中之某些端子可上覆於微電子元件 612 及 614 中之至少一者上。在具有帶有上覆於微電子元件 612 及 614 中之至少一者上之端子 682 之微電子總成 610 之此等微電子總成 600 中，每一微電子總成 610 之端子 682 及 636 可配置成一面積陣列，這可允許微電子總成 610 之面積陣列堆疊。

【0068】 曝露於囊封劑 611a 或 611b 之頂部表面 603 處之端子 682 可延伸於該頂部表面上方，可與該頂部表面齊平，或可凹入於該頂部表面下方。此等端子 682 可具有任一形狀，包括(例如)一墊狀或球狀形狀。於 2011 年 5 月 3 日提出申請之同在申請中且共同擁有之韓國專利申請案 10-2011-0041843 號中展示且闡述端子 682 及導線接合 604 之形狀及組態之其他實例，該韓國專利申請案藉此以引用方式併入本文中。

【0069】 導線接合 604 在其一基底 607 處連結至導電元件 636'且可延伸至遠離各別基底 607 且遠離基板 630 之一自由端 608。導線接合 604 之自由端 608 係表徵為自由，此乃因其不電連接或以其他方式連結至微電子元件 612、614 或微電子總成 610a 內之任一其他導電特徵，該任一其他導電特徵又連接至微電子元件 612、614。換言之，自由端 608 可用於至微電子總成 610a 外部之一導電特徵的電子連接(或直接或透過一焊料球或本文所論述之其他特徵間接)。自由端 608 可藉由(例如)囊封劑 611a 固持於一預定位置中或以其他方式連結或電連接至另一導電特徵之事實不意指其如本文所闡述係「自由的」，只要任一此特徵不電連接至微電子元件 612、614。相反，基底 607 不自由，此乃因其或直接或間接電連接至微電子元件 612、614，

如本文所闡述。

【0070】 導線接合 604 可係由一導電材料製成，諸如銅、金、鎳、焊料、鋁或諸如此類。另外，導線接合 604 可係由材料組合製成，諸如係由一導電材料(諸如銅或鋁)之一核心製成，(例如)其中一塗層施塗於該核心上方。該塗層可係一第二導電材料，諸如鋁、鎳或諸如此類。另一選擇為，該塗層可係一絕緣材料，諸如一絕緣護套。在一實施例中，用以形成導線接合 604 之導線可具有約 $15\ \mu\text{m}$ 與 $150\ \mu\text{m}$ 之間的一厚度，亦即，橫貫該導線之長度之一尺寸。

【0071】 導線接合 604 之自由端 608 具有一端表面 638。端表面 638 可形成由複數個導線接合 604 之各別端表面 638 形成之一陣列中之一觸點之至少一部分。導線接合 604 之一部分可保持不被囊封劑 611a 覆蓋，這亦可稱作未經囊封，從而使得該導線接合可用於至位於該囊封劑外部之一特徵或元件的電連接。在一實施例中，導線接合 604 之端表面 638 保持不被囊封劑 611a 覆蓋且可曝露於該囊封劑之頂部表面 603 處。可能有其他實施例，其中除了或替代使端表面 638 保持不被囊封劑覆蓋，導線接合 604 之邊緣表面 605 之一部分不被囊封劑 611a 覆蓋。換言之，除了導線接合 604 之一部分(諸如端表面 638、邊緣表面 605 或該兩者之組合)之外，囊封劑 611a 可覆蓋自第一表面 634 及上方之所有微電子總成 610a。

【0072】 在一項實施例中，端表面 638 及邊緣表面 605 之一部分可不被囊封劑 611a 覆蓋。此一組態可藉由允許焊料沿邊緣表面 605 行進且除了連結至端表面 638 之外還連結至邊緣表面 605 來提供(諸如)藉由一焊料球或諸如此類至另一導電元件的一連接。在該等圖中所展示之實施例中，囊封

劑 611a 之一表面(諸如頂部表面 603)可與基板 630 之第一表面 634 分隔開足夠大以覆蓋微電子元件 612、614 之一距離。因此，其中導線接合 604 之端 638 與頂部表面 603 齊平之微電子總成 610a 之實施例可包括延伸至基板 630 上方比微電子元件 612、614 之高度更大之導線接合 604。

【0073】 包括堆疊式微電子總成 610 之微電子總成 600 可使用曝露於微電子總成 600 之一頂部表面 601 或一底部表面 602 處之連結單元 681 而附接至一電路面板(諸如一印刷電路板)。

【0074】 在一特定實例中，微電子總成 600 可經組態以用作(例如)用於一智慧型電話應用之非均質記憶體。在此一實例中，微電子總成 610 內之微電子元件 612 及 614 中之某些微電子元件可包括諸如揮發性 RAM 之一記憶體儲存元件，且微電子元件 612 及 614 中之某些微電子元件可包括諸如非揮發性快閃記憶體之記憶體儲存元件。

【0075】 雖然圖 9A、圖 9B 及圖 10 中所展示之實施例展示微電子元件透過導線接合電連接至基板之觸點，但在其他實施例中，此等微電子元件可透過其他連接組態(包括，例如一或多個微電子元件至該基板之觸點的引線接合及覆晶安裝)電連接至該基板之觸點。

【0076】 可在如圖 11 中所展示之多種電子系統之構造中利用上文所闡述之微電子總成。舉例而言，根據本發明之一另外實施例之一系統 1100 包括上文結合其他電子總成 1108 及 1110 所闡述之一微電子總成 1106。在所繪示之實例中，總成 1108 係一半導體晶片，而總成 1110 係一顯示螢幕，但可使用任何其他總成。當然，雖然出於清晰圖解說明起見在圖 11 中僅繪示兩個額外總成，但該系統可包括任一數目個此等總成。微電子總成 1106 可

係上文所闡述之總成中之任一者。在一另外變型中，可使用任一數目個此等微電子總成。

【0077】 微電子總成 1106 以及總成 1108 及 1110 安裝於以虛線示意性繪示之一共同外殼 1101 中，且在必要時彼此電互連以形成期望電路。在所展示之實例性系統中，該系統包括一電路面板 1102 (諸如一撓性印刷電路板)，且該電路面板包括使該等總成彼此互連之若干導體 1104 (圖 11 中僅繪示其中之一者)。然而，此僅係實例性的；可使用用於進行電連接之任一合適結構。將外殼 1101 繪示為(例如)可用於一蜂巢式電話或個人數位助理中之類型之一可攜式外殼，且螢幕 1110 曝露於該外殼之表面處。在結構 1106 包括一光敏元件(諸如一成像晶片)處，亦可提供一透鏡 1111 或其他光學裝置以用於將光路由至該結構。再次，圖 11 中所展示之簡化系統僅係實例性的；可使用上文所論述之結構製成其他系統，包括共同被視為固定結構之系統，諸如桌上型電腦、路由器及諸如此類。

【0078】 雖然本文已參考特定實施例闡述了本發明，但應理解，此等實施例僅圖解說明本發明之原理及應用。因此應理解，可對圖解說明性實施例做出若干修改且可設想出其他配置，而並不背離隨附申請專利範圍所界定之本發明之精神及範疇。

【0079】 將瞭解，可以不同於起始請求項中所呈現之方式組合各個隨附請求項及其中所陳述之特徵。亦將瞭解，可與其他所闡述之實施例共用結合個別實施例所闡述之特徵。

【符號說明】

【0080】

10：堆疊式微電子總成

10'：變型

11：外模製件/囊封劑

12：第一微電子元件

12'：第一微電子元件

14：第二微電子元件

14'：微電子元件

16：前表面

16'：表面

17：第二端區

18：後表面/後面

18'：表面

19：中心區

20：電觸點/觸點

20'：觸點

21：第一端區

22：前表面/第一表面

23：第二端區

24：後表面/後面

25：導電跡線/跡線

26：電觸點/觸點

27：第一邊緣/邊緣表面

27'：第一邊緣

29：第二邊緣

29'：第二邊緣

30：基板/半導體元件/介電元件

30'：基板

31：間隔元件/支撐元件

32：第二表面

34：第一表面

35：第一邊緣/邊緣表面

36：端子

37：邊緣表面/第二邊緣/邊緣

39：孔口

39'：孔口

40：基板觸點

40'：觸點

50：引線

52：導線接合

52'：引線部分

53：導線接合

60：接合材料

61：接合材料

70：引線/接合元件

- 71：接合材料
- 72：導線接合
- 73：導線接合/第三引線
- 76：引線接合
- 81：連結單元
- 82：第一端部分
- 83：導通體
- 84：第二端部分
- 85：引線接合
- 86：中心部分
- 88：引線
- 90：導線接合
- 100：微電子總成
- 101：第一微電子元件
- 112：第三微電子元件/第一微電子元件
- 114：第二微電子元件
- 116：前表面
- 120：電觸點/觸點
- 130：基板
- 132：第二表面
- 134：第一表面
- 136：端子

141：基板觸點/導電元件
143：覆晶互連件
145：金屬凸塊
147：底填充物
200：微電子總成
212：第一微電子元件
220：觸點
222：前表面
226：觸點
227：第一邊緣
230：基板
232：第二表面
234：第一表面
236：端子
239：孔口
240：基板觸點
250：引線
252：導線接合
270：引線
283：導通體
300：微電子總成
301：第三微電子元件

- 320：觸點
- 400：微電子總成
- 401：第三微電子元件
- 412：第一微電子元件
- 414：第二微電子元件
- 420：觸點
- 426：觸點
- 439：孔口
- 474：電連接弓|線
- 476：電連接弓|線
- 478：電連接弓|線
- 490：觸點
- 900：電路面板
- 500：微電子總成
- 501：頂部表面
- 502：底部表面
- 503：周邊
- 510a：第一微電子總成
- 510b：第二微電子總成
- 511：囊封劑
- 512：微電子元件
- 514：微電子元件

530：基板

532：第二表面

534：第一表面

536：端子

536'：端子

581：連結單元

590：稀疏中心區

600：微電子總成

601：頂部表面

602：底部表面

603：頂部表面

604：導線接合

605：邊緣表面

607：基底

608：自由端

610a：第一微電子總成/微電子總成

610b：第二微電子總成/微電子總成

611a：囊封劑

611b：囊封劑

612：微電子元件

614：微電子元件

630：基板

632：第二表面

634：第一表面

636：端子

636'：導電元件

638：端表面

681：連結單元

682：端子

1100：系統

1101：外殼

1102：電路面板

1104：導體

1106：微電子總成/結構

1108：電子總成/總成

1110：電子總成/總成

1111：透鏡

申請專利範圍

1. 一種微電子總成，其包含：

一基板，其具有對置面對之第一表面及第二表面以及在該第一表面與該第二表面之間延伸之一孔口，該基板具有端子；

一第一微電子元件，其具有面對該基板之該第一表面之一前表面、遠離該前表面之一後表面、及在該前表面與該後表面之間延伸之一邊緣，該第一微電子元件具有毗鄰該第一微電子元件之該邊緣曝露於其該前表面處之複數個觸點；

一第二微電子元件，其具有第一及第二對置邊緣、在該第一邊緣與該第二邊緣之間延伸之一前表面、及安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點，該第二微電子元件之該前表面面對該第一微電子元件且突出超過該第一微電子元件之該邊緣；

第一引線，其等將該第一微電子元件之該等觸點電連接至該等端子；

第二引線，其等將該第二微電子元件之該等觸點電連接至該等端子；及

第三引線，其等將該第一微電子元件之該等觸點電連接至該等端子，該等第一引線及該等第三引線連接至該孔口之對置側上之端子，該等第一引線、該等第二引線及該等第三引線具有與該孔口對準之部分，

其中該第一引線或該第二引線中之至少一者包含自該第一微電子元件或該第二微電子元件中之至少一者之該等觸點延伸之導線接合。

2. 如請求項 1 之微電子總成，其進一步包含介於該第二微電子元件之該

前表面與該基板之該第一表面之間的一間隔元件。

3. 如請求項 1 之微電子總成，其進一步包含第四引線，其等將該第一微電子元件及該第二微電子元件之該等觸點電互連。

4. 一種微電子總成，其包含：

一基板，其具有對置面對之第一表面及第二表面以及在該第一表面與該第二表面之間延伸之一孔口，該基板具有端子；

一第一微電子元件，其具有面對該基板之該第一表面之一前表面、遠離該前表面之一後表面、及在該前表面與該後表面之間延伸之一邊緣，該第一微電子元件具有毗鄰該第一微電子元件之該邊緣曝露於其該前表面處之複數個觸點；

一第二微電子元件，其具有第一及第二對置邊緣、在該第一邊緣與該第二邊緣之間延伸之一前表面、及安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點，該第二微電子元件之該前表面面對該第一微電子元件且突出超過該第一微電子元件之該邊緣；

第一引線，其等將該第一微電子元件之該等觸點電連接至該等端子；

第二引線，其等將該第二微電子元件之該等觸點電連接至該等端子；及

第三引線，其等將該第一微電子元件之該等觸點電連接至該等端子，該等第一引線及該等第三引線連接至該孔口之對置側上之端子，該等第一引線、該等第二引線及該等第三引線具有與該孔口對準之部分，

其中與該孔口對準之該等第一引線及該等第二引線中之至少一者

之該等部分係具有沿該基板延伸至該等端子之第二部分之單體式導電元件之部分。

5. 一種微電子總成，其包含：

一基板，其具有對置面對之第一表面及第二表面以及在該第一表面與該第二表面之間延伸之一孔口，該基板具有端子；

一第一微電子元件，其具有面對該基板之該第一表面之一前表面、遠離該前表面之一後表面、及在該前表面與該後表面之間延伸之一邊緣，該第一微電子元件具有毗鄰該第一微電子元件之該邊緣曝露於其該前表面處之複數個觸點；

一第二微電子元件，其具有第一及第二對置邊緣、在該第一邊緣與該第二邊緣之間延伸之一前表面、及安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點，該第二微電子元件之該前表面面對該第一微電子元件且突出超過該第一微電子元件之該邊緣；

第一引線，其等將該第一微電子元件之該等觸點電連接至該等端子；

第二引線，其等將該第二微電子元件之該等觸點電連接至該等端子；及

第三引線，其等將該第一微電子元件之該等觸點電連接至該等端子，該等第一引線及該等第三引線連接至該孔口之對置側上之端子，該等第一引線、該等第二引線及該等第三引線具有與該孔口對準之部分，

其中該等端子係曝露於該基板之該第二表面處之第一端子，該微電子總成進一步包含第二端子，其等曝露於與該基板之該第二表面對置之

該微電子總成之一表面處，該等第二端子中之至少某些端子上覆於該等微電子元件中之至少一者上。

6. 如請求項 5 之微電子總成，其中該等第二端子中之至少某些端子藉由導線接合而與曝露於該基板之該第一表面處之導電元件電連接。
7. 如請求項 6 之微電子總成，其進一步包含至少部分覆蓋該第一微電子元件及該第二微電子元件以及該等導線接合之至少部分之一囊封劑，其中曝露該等第二端子之該微電子總成之該表面係該囊封劑之一表面。
8. 如請求項 7 之微電子總成，其中該等導線接合具有附接至該等導電元件之基底及遠離該等導電元件之未經囊封之端表面以及在該等基底與該等未經囊封之端表面之間延伸之邊緣表面，該等未經囊封之端表面未被該囊封劑覆蓋，其中該等第二端子與該等未經囊封之端表面電連接。
9. 一種微電子總成，其包括第一微電子總成及第二微電子總成，該第一微電子總成與該第二微電子總成電連接且至少部分上覆於該第二微電子總成上，每一微電子總成包含：

一基板，其具有對置面對之第一表面及第二表面以及在該第一表面與該第二表面之間延伸之一孔口，該基板具有端子；

一第一微電子元件，其具有面對該基板之該第一表面之一前表面、遠離該前表面之一後表面、及在該前表面與該後表面之間延伸之一邊緣，該第一微電子元件具有毗鄰該第一微電子元件之該邊緣曝露於其該前表面處之複數個觸點；

一第二微電子元件，其具有第一及第二對置邊緣、在該第一邊緣與該第二邊緣之間延伸之一前表面、及安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點，該第二微電子元件之該前表面面對該第一微電子元件且突出超過該第一微電子元件之該邊緣；

第一引線，其等將該第一微電子元件之該等觸點電連接至該等端子；

第二引線，其等將該第二微電子元件之該等觸點電連接至該等端子；及

第三引線，其等將該第一微電子元件之該等觸點電連接至該等端子，該等第一引線及該等第三引線連接至該孔口之對置側上之端子，該等第一引線、該等第二引線及該等第三引線具有與該孔口對準之部分。

10. 如請求項 9 之微電子總成，其中該等微電子總成透過毗鄰該微電子總成之一周邊而配置之連結單元彼此電連接。
11. 如請求項 10 之微電子總成，其中該等連結單元位於該微電子總成之一稀疏中心區外部。
12. 如請求項 9 之微電子總成，其中該等微電子元件中之至少某些微電子元件包括一揮發性隨機存取記憶體(RAM)，且該等微電子元件中之至少某些微電子元件包括非揮發性快閃記憶體。
13. 如請求項 9 之微電子總成，其中該等第一微電子元件中之至少一者經組態以主要執行一邏輯功能，且該等第二微電子元件中之至少一者具有經組態以除任何其他功能外還提供記憶體儲存陣列功能之大量主動裝置。

14. 一種系統，其包含一微電子總成及電連接至該微電子總成之一或多個其他電子總成，該微電子總成包含：

一基板，其具有對置面對之第一表面及第二表面以及在該第一表面與該第二表面之間延伸之一孔口，該基板具有端子；

一第一微電子元件，其具有面對該基板之該第一表面之一前表面、遠離該前表面之一後表面、及在該前表面與該後表面之間延伸之一邊緣，該第一微電子元件具有毗鄰該第一微電子元件之該邊緣曝露於其該前表面處之複數個觸點；

一第二微電子元件，其具有第一及第二對置邊緣、在該第一邊緣與該第二邊緣之間延伸之一前表面、及安置於遠離該第一邊緣及該第二邊緣之其該前表面之一中心區中之複數個觸點，該第二微電子元件之該前表面面對該第一微電子元件且突出超過該第一微電子元件之該邊緣；

第一引線，其等將該第一微電子元件之該等觸點電連接至該等端子；

第二引線，其等將該第二微電子元件之該等觸點電連接至該等端子；及

第三引線，其等將該第一微電子元件之該等觸點電連接至該等端子，該等第一引線及該等第三引線連接至該孔口之對置側上之端子，該等第一引線、該等第二引線及該等第三引線具有與該孔口對準之部分。

15. 如請求項 14 之系統，其中該等端子係電連接至一電路面板。
16. 如請求項 14 之系統，其進一步包含一外殼，該微電子總成及該等其他電子總成係安裝至該外殼。

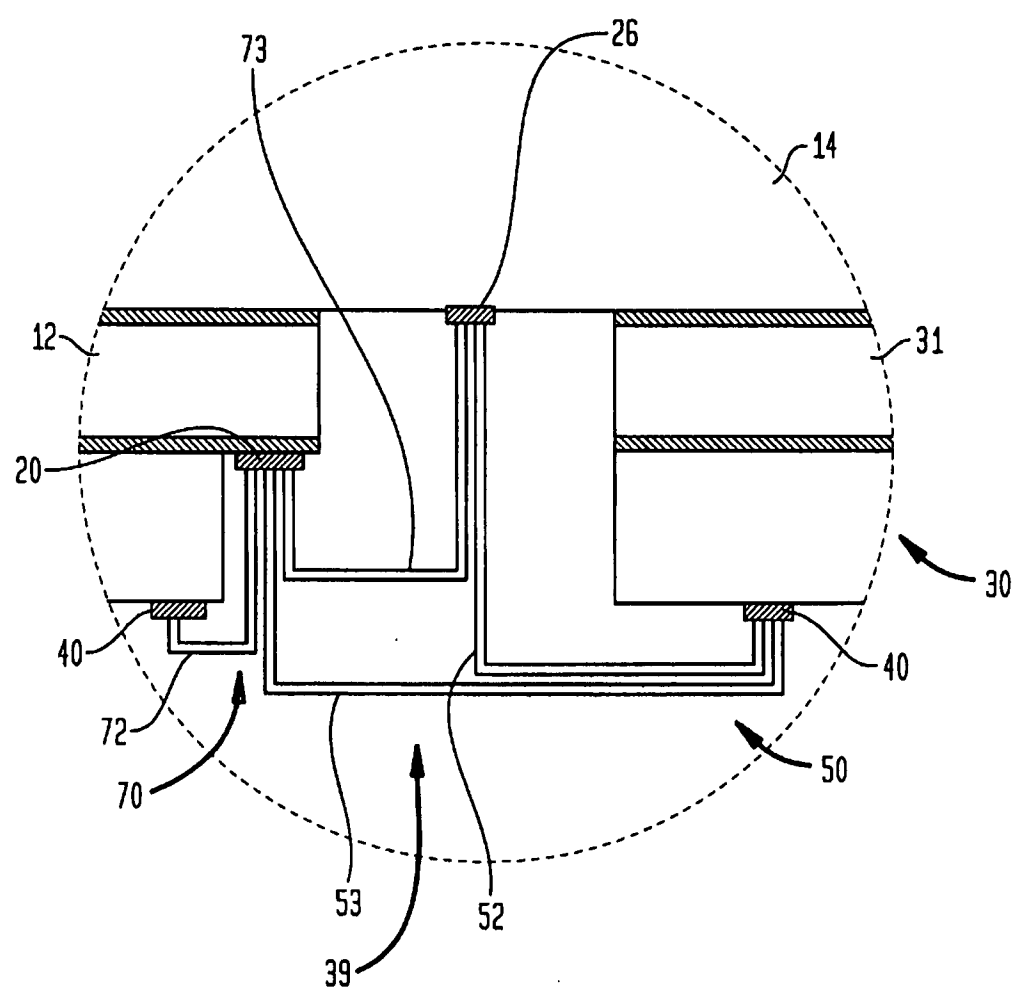


圖 1C

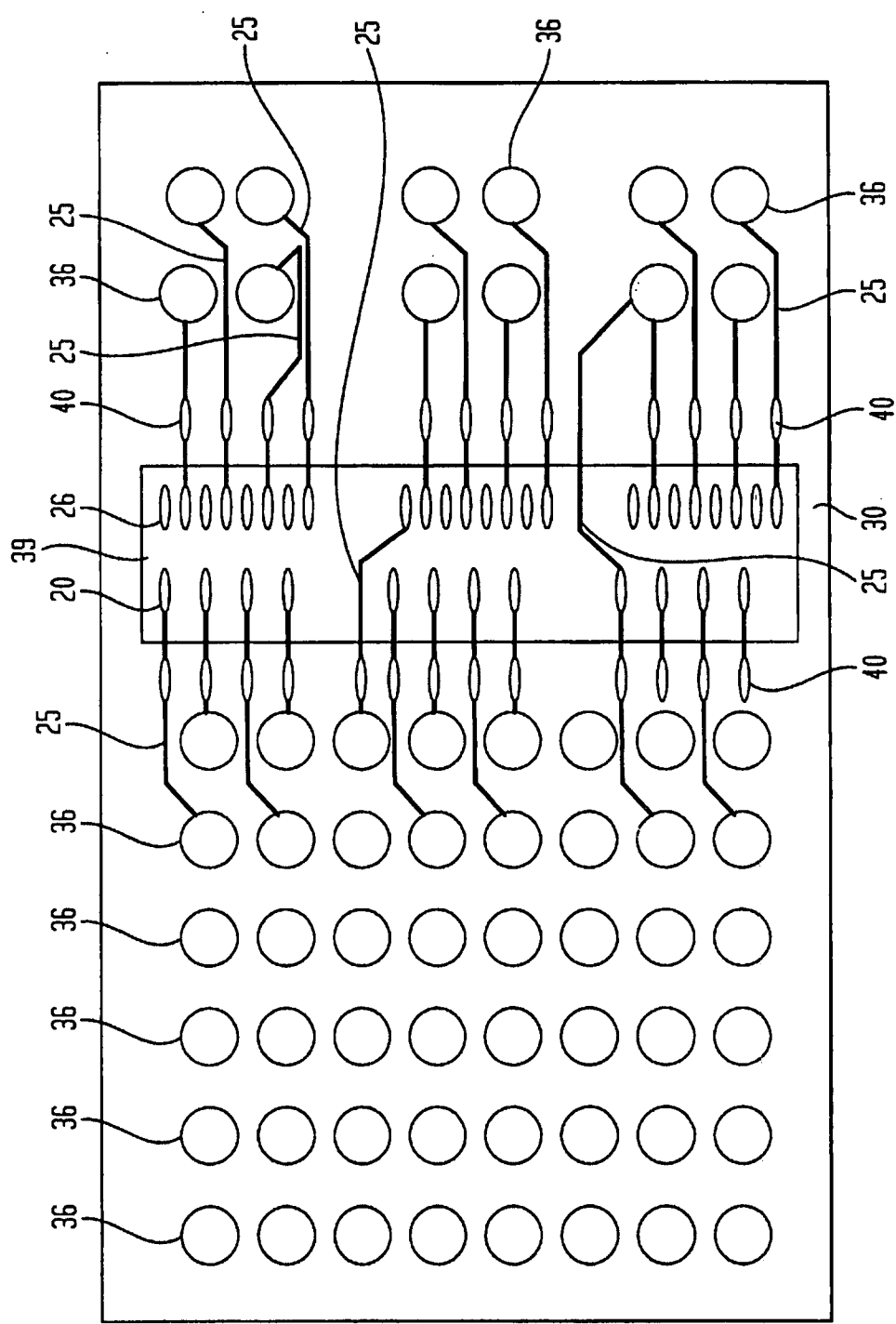


圖 2

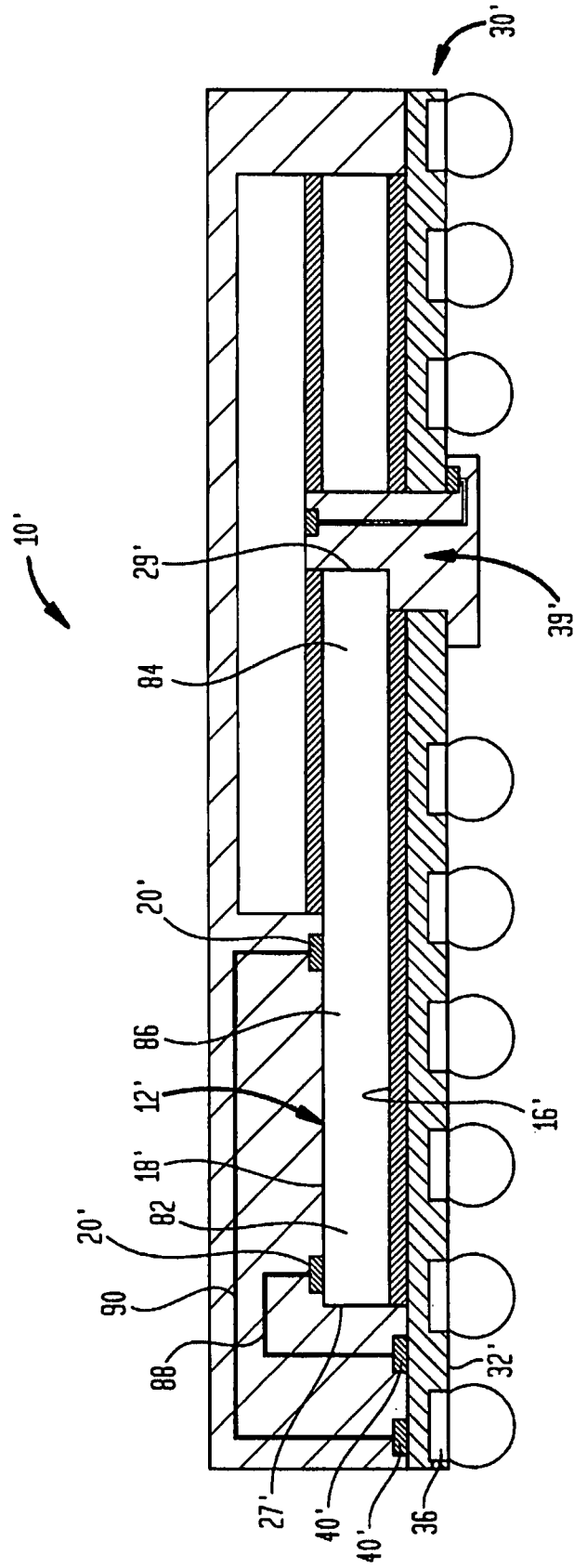


圖 3A

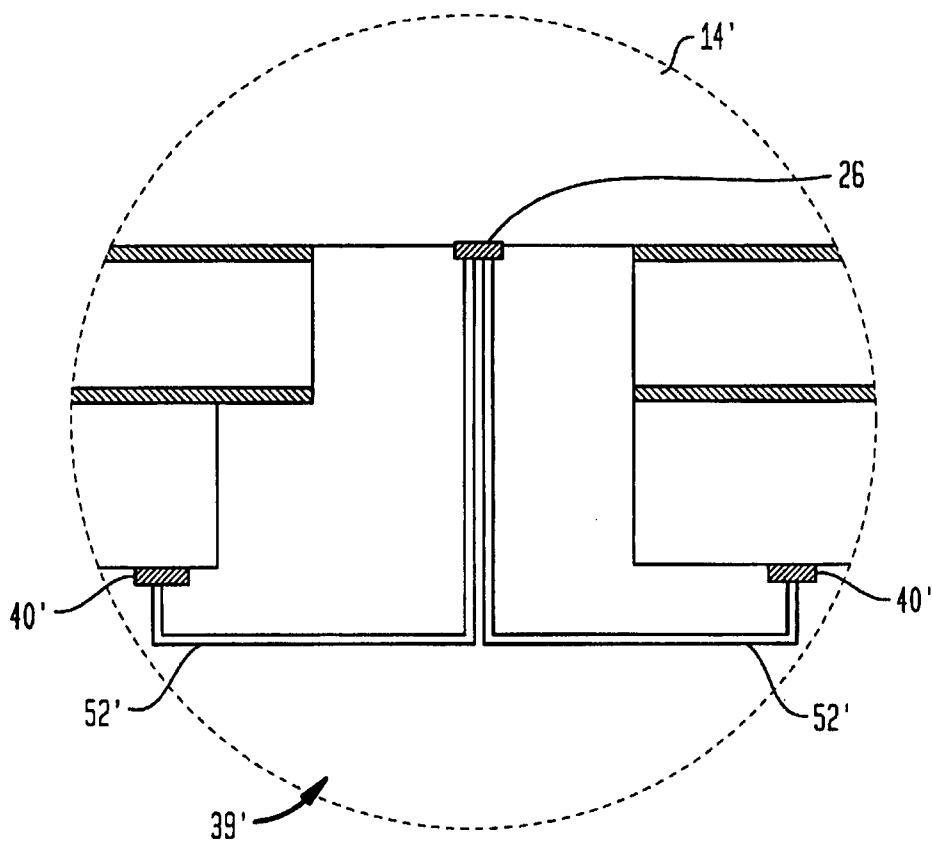


圖 3B

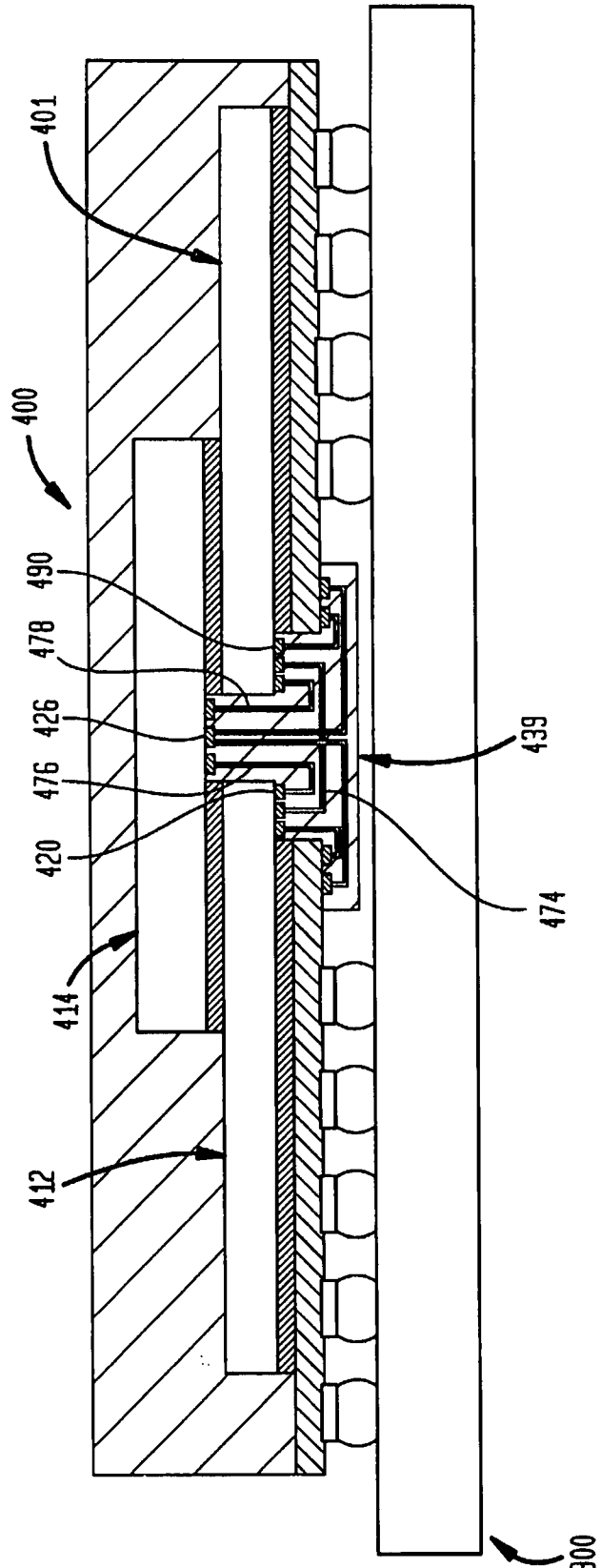


圖 8

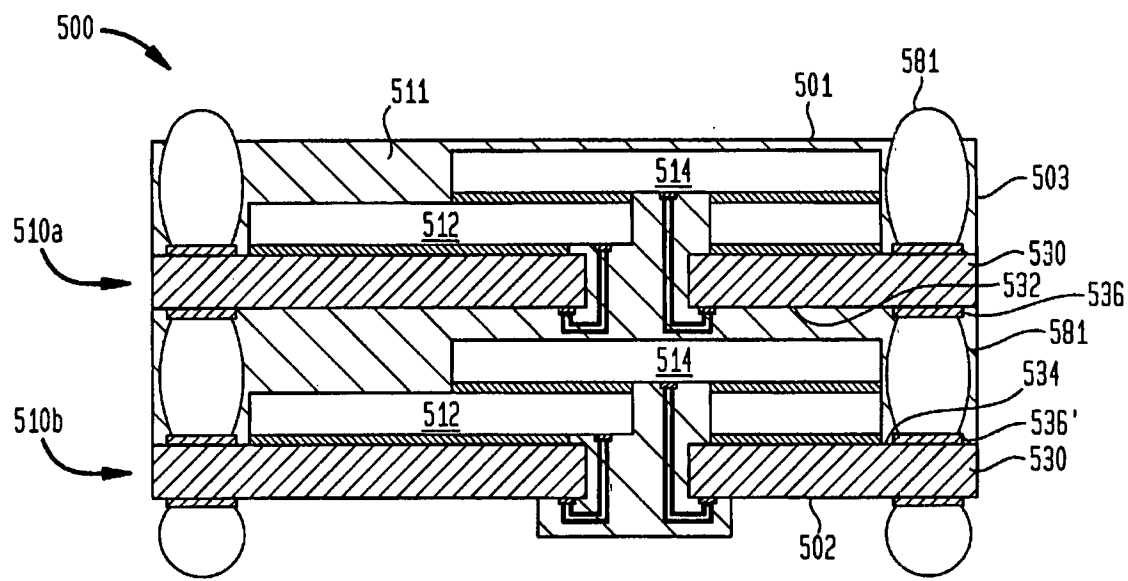


圖 9A

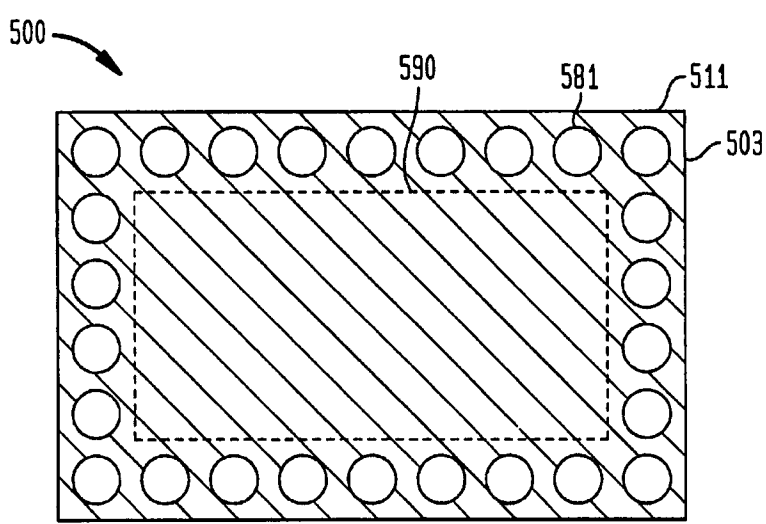


圖 9B

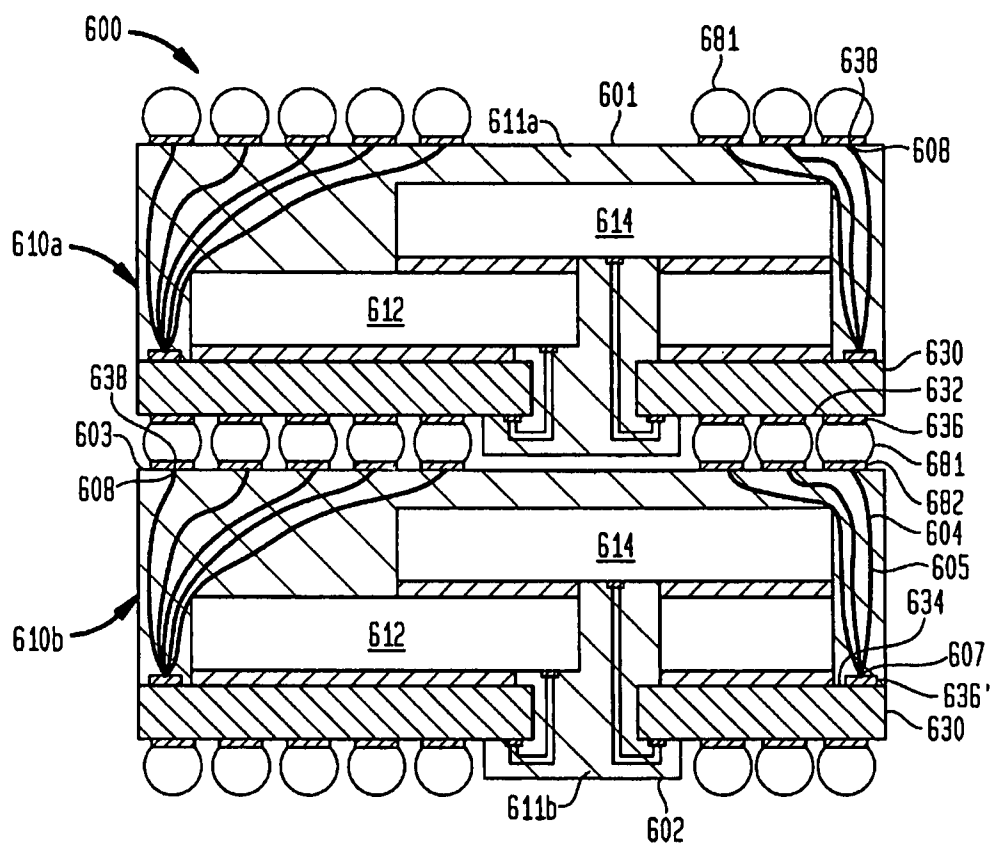


圖 10

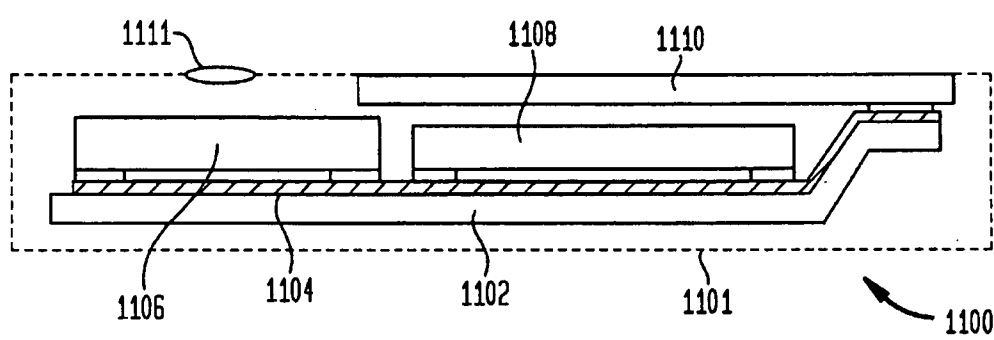


圖 11