

ITALIAN PATENT OFFICE

Document No.

102010901892388A1

Publication Date

20120523

Applicant

SINCROTRONE TRIESTE S.C.P.A. ORA ELETTRA - SINCROTRONE TRIESTE S.C.P.A.

Title

CONVERTITORE A PONTE INTERO CON MODULAZIONE DIGITALE DEGLI
IMPULSI (DPWM) PER PILOTARE UN CARICO.

Descrizione del brevetto per invenzione industriale dal titolo:

CONVERTITORE A PONTE INTERO CON MODULAZIONE DIGITALE DEGLI IMPULSI (DPWM) PER PILOTARE UN CARICO.

CAMPO TECNICO DELL'INVENZIONE

La presente invenzione riguarda un apparato e un metodo per convertitori di potenza di tipo switching e motori a corrente continua per un'ampia gamma di applicazioni che includono robotica, elettronica portatile, attrezzature da sport, elettrodomestici, dispositivi medici, applicazioni per le automobili, strumenti per macchine di luce come sincrotroni.

DESCRIZIONE DELL'ARTE ANTERIORE

La modulazione d'ampiezza di impulso (PWM) è una tecnica molto diffusa per il pilotaggio di carichi di diversi sistemi elettrici e per diversi valori della potenza d'uscita. Carichi elettrici che richiedono un pilotaggio a quattro quadranti (cioè tensione e corrente d'uscita possono assumere un qualunque valore rappresentato nel piano tensione-corrente) sono spesso pilotati dalla topologia a ponte intero (o ponte H). Negli ultimi anni, l'interesse per il controllo digitale dei convertitori di tipo switching è cresciuto notevolmente. L'approccio digitale, rispetto a quello analogico, offre diversi vantaggi, come l'immunità alle variazioni dei componenti usati nel circuito durante il periodo di utilizzo.

Il diagramma di questo circuito è mostrato in FIG. 1.

Questo circuito include due segnali di ingresso A1 e A2, due terminali di uscite B1 e B2 e due segnali di controllo X1 e X2. Gli elementi di commutazione Q1, Q2, Q3, e Q4 sono normalmente dispositivi a semiconduttori, come per esempio i transistor di tipo BJT, MOSFET o IGBT. Il ponte è composto da due differenti rami, identificabili con i percorsi di conduzione dei transistor, cioè delle correnti collettore-emettitore o drain-source. I pin di controllo Q1 e Q4 sono direttamente connessi ai rispettivi segnali di controllo X1 e X2. Il terminale di controllo di Q3 è connesso al terminale X2 attraverso una porta invertente, invece il terminale di Q2 è connesso ad X1 attraverso un'altra porta invertente. Il carico è connesso fra i terminali di uscite B1 e B2 mentre gli ingressi A1 e A2 sono normalmente connessi rispettivamente a un potenziale positivo e a una massa di riferimento. I segnali di

ingresso a X1 e X2 definiscono i livelli di tensione di B1 e B2: quando la tensione su X1 è alta, Q1 è acceso e Q2 è spento (cioè A1 e B1 idealmente assumono lo stesso potenziale) quando X1 è a una tensione basso, Q1 è spento e Q2 è acceso (cioè A2 e B1 allo stesso potenziale). Questa situazione è riproducibile sull'altro ramo del ponte.

La via più comune di pilotare un ponte intero è quella mostrata in FIG.2, dove X1 e X2 sono i segnali di controllo.

La corrente media d'uscita che scorre attraverso il carico connesso fra i terminali B1 e B2 può essere regolata in ampiezza e direzione cambiando la porzione di tempo che X1, e conseguentemente X2, rimane ad un livello di tensione alta durante un periodo T della frequenza di switching. Una tecnica base per i ponti interi implica che X1 rimanga alto per $m_1 \cdot T$ mentre X2, che è la versione invertita di X1, rimanga alto per $m_2 \cdot T = (1-m_1) \cdot T$. Con questa tecnica i segnali di controllo X1 e X2 sono direttamente correlati ad un singolo coefficiente di modulazione (o in gergo duty cycle) $m = m_1 = 1-m_2$.

Utilizzando circuiti a modulazione digitale dell'ampiezza d'impulso (DPWM) si introduce una discretizzazione dei possibili valori dei coefficienti di modulazione m_1 e m_2 ; questo conduce a una conseguente discretizzazione dei valori raggiungibili della tensione/corrente media d'uscita. Questa modulazione dell'ampiezza d'impulso facente uso di un quantizzatore a n-bit porta a una situazione dove la tensione/corrente può raggiungere, in condizione di stato stazionario, $N=2^n$ differenti valori, ove n è la risoluzione, cioè il numero di bits usati per quantizzare ciascun valore.

SOMMARIO DELL'INVENZIONE

È un oggetto della presente invenzione di provvedere un circuito a modulazione digitale dell'ampiezza d'impulso che incrementa la risoluzione dell'attuatore nella topologia a ponte intero.

L'idea base della presente invenzione è dare una procedura per pilotare i due rami del ponte intero come due stadi indipendenti di semi-ponte con una data sequenza di impulsi digitali d'ampiezza tale che i segnali di controllo non sono direttamente correlati a un singolo coefficiente di modulazione, come nell'arte anteriore, e tale da aumentare la risoluzione media della tensione/corrente.

Il metodo e il circuito di pilotaggio di un carico con un ponte intero in combinazione con un circuito standard n-bit DPWM porta ad avere una risoluzione d'uscita equivalente di $n + \log_2(2 + 1/2^n)$, aumentandola di un po' più di un bit. Il circuito, combinato con il DPWM ed incluso nel loop di controreazione di un alimentatore di potenza di tipo switching, permette di rilassare le condizioni che portano ad instaurarsi cicli limite a causa di scarsa risoluzione e migliora la capacità di controllo. L'alimentazione switching a ponte intero include un ingresso, un'uscita e due ingressi di controllo.

Questo e altri oggetti sono raggiunti per mezzo di un apparato e metodo come descritto nelle rivendicazioni allegate, e sono considerate come parte integrale della presente descrizione.

BREVE DESCRIZIONE DELLE FIGURE

L'invenzione diventa totalmente chiara dalla seguente descrizione dettagliata, data come mera esemplificazione e non limitativo esempio, da leggere con riferimento alle figure allegate, laddove:

- FIG. 1 è uno schematico semplificato di uno stadio a ponte intero standard che usa transistor di tipo MOSFET;
- FIG. 2 illustra delle forme d'onda tipiche usate per pilotare un circuito a ponte intero;
- FIG. 3 è un diagramma a blocchi di un alimentatore di potenza di tipo switching contenente il circuito secondo la presente;
- FIG. 4 è una rappresentazione mediante diagramma a blocchi del circuito secondo la presente invenzione;
- FIG. 5 illustra delle tipiche forme d'onda ottenute dal circuito secondo la presente invenzione;
- FIG. 6 è un diagramma a blocchi funzionale di un alimentatore di potenza di tipo switching contenente il circuito secondo l'invenzione combinata con uno schema di modulazione che esegue la tecnica "dithering";
- FIG. 7 è una rappresentazione comportamentale degli indici di modulazione in funzione di una variabile di controllo quando è applicata la tecnica "dithering";
- FIG. 8 mostra un diagramma di flusso di un metodo per generare i coefficienti di modulazione dal circuito secondo la presente invenzione.

Gli stessi riferimenti numerali e le lettere nelle figure designano la stessa o parti funzionalmente equivalenti.

DESCRIZIONE DI UN ESEMPIO DI REALIZZAZIONE

Fig. 3 mostra un diagramma di un alimentatore di tipo switching, che include il circuito 31 che è il particolare oggetto dell'invenzione. Quando uno stadio a ponte intero è modulato da una sequenza d'impulsi contenente $N=2^n$ impulsi d'ampiezza, dopo un filtro ideale passa basso (LP), il numero di valori discreti di uscita ammonta a N. La risoluzione della tensione d'uscita corrisponde all'intervallo fra i livelli di tensione.

Il circuito 31, secondo la presente invenzione, è posto fra l'uscita del blocco proporzionale-integrativo-derivativo (PID) 32 e l'ingresso del circuito di modulazione digitale d'ampiezza d'impulso (DPWM) 33. Il segnale d'ingresso del blocco digitale di controllo PID 32 rappresenta l'errore fra il valore della tensione di riferimento (punto di "set") VREF e il valore di uscita del convertitore analogico-digitale (ADC) 36; il segnale d'uscita rappresenta il coefficiente di modulazione m.

Il coefficiente di modulazione m è applicato come ingresso digitale al blocco 31, che genera due differenti uscite digitali, definiti come m1 e m2. Questi due coefficienti di modulazione sono quindi convertiti in due differenti onde quadre X1 e X2 dal blocco DPWM 33. Queste onde quadre, X1 e X2, pilotano uno stadio a ponte intero switching 34 del tipo del circuito di figura 1, che include anche un tensione di ingresso VIN, seguito da un filtro passa basso d'uscita 35 per ottenere la tensione d'uscita VOUT, la quale viene rilevata da un convertitore analogico digitale (ADC). I blocchi 32, 33, 34, 35 e 36 sono rilevantemente di una struttura nota.

La figura 4 mostra il circuito 31, che è l'oggetto dell'invenzione. L'ingresso m del circuito 31 viene prelevato dall'uscita del blocco proporzionale-integrativo-derivativo (PID) 32 mostrato in figura 3, con una risoluzione di almeno un bit più alta rispetto al generatore standard DPWM. Il suddetto valore m è quindi saturato fra i valori 0 e 1 dal blocco 401 (questa operazione può essere fatta anche dal blocco PID 401). L'uscita del blocco 401 è applicato a un blocco di guadagno (402) che lo moltiplica per $N = 2^n - 1$ e genera un altro valore digitale; si noti che N

è il numero totale di livelli del blocco DPWM 33 impiegato in combinazione con il circuito 31. Questa operazione è normalmente usata nei circuiti digitali PWM standard per ottenere un valore intero da usare nel contatore digitale standard incluso nel dispositivo impiegato.

L'ingresso del blocco 403 è quindi campionato nel tempo con una frequenza predeterminata $f_s = 1/T_s$; questo valore del periodo deve coincidere ed essere sincronizzato con il suddetto periodo del DPWM (404). Il campionamento nel tempo, per esempio, può essere eseguito da un modulo di ordine zero, dove il precedente valore campionato è mantenuto costante fino al seguente valore campionato. Il blocco 405 è un quantizzatore ad n-bit. Il blocco 406, connesso al blocco 405, esegue un'operazione di arrotondamento verso il basso (o troncamento) del suo valore dell'ingresso digitale. L'uscita del blocco 406 è il coefficiente di modulazione m_1 il quale è direttamente connessa al DPWM avente una risoluzione di N-bit; m_1 è un valore intero compreso nell'intervallo $[0, N-1]$. Questo valore di m_1 , o duty-cycle, è usato per pilotare solamente un ramo del circuito a ponte universale. La parte frazionaria che non può essere rappresentata da m_1 a causa della limitata risoluzione, è ottenuta per differenza fra le uscite del blocco 404 e il blocco 406; questo valore, fornito al blocco 407, è sempre un numero positivo e ha la stessa risoluzione dell'ingresso m . La combinazione dei blocchi 407 e 408 esegue l'arrotondamento del suddetto valore al prossimo valore intero (0 oppure 1). Il blocco 408 stesso esegue un'operazione di arrotondamento verso il basso, tale che la sua uscita è il valore minimo intero che non è più grande dell'ingresso. Il coefficiente di modulazione m_2 è calcolato come la somma di m_1 e il risultato della suddetta operazione di arrotondamento ed è quindi applicato al blocco digitale PWM 33 per pilotare l'altro ramo del ponte intero (oppure ponte H) 34.

Le due uscite m_1 e m_2 sono applicate a un generatore digitale di forme d'onda a pulsazione d'ampiezza 33 composti da due circuiti di pilotaggio indipendenti di tipo semi-ponte. Il circuito oggetto dell'invenzione 31, congiuntamente al blocco 33, permette la generazione di due valori differenti di duty cycle, inserendo un nuovo livello di quantizzazione, pur mantenendo lo stesso intervallo di tempo della larghezza dell'impulso definito dall'LSB del generatore N-bit DPWM. Con un

predefinito periodo di switching T_s , il circuito dell'invenzione conduce a certe situazioni dove il duty cycle m_1 e il duty cycle m_2 differiscono di un solo LSB, come mostrato in Fig. 5.

La Fig. 5 mostra delle tipiche forme d'onda all'ingresso dei transistor Q_1 e Q_4 su due periodi di switching T_1 e T_2 : nel primo periodo T_1 , l'ampiezza dell'impulso in Q_4 è $T_s/(N-1)$ più grande di quella in Q_1 , mentre nel secondo periodo T_2 , i coefficienti di modulazione sono uguali. Il valore del coefficiente di modulazione m , in FIG. 5, ovviamente è cambiato dall'intervallo di tempo T_1 all'intervallo di tempo T_2 .

I livelli della tensione media ai terminali del filtro passa basso sono $N=2^n$ con un generatore PWM standard, ma essi salgono a $2N+1 = 2^{n+1}+1$ in combinazione con il circuito dell'invenzione.

I valori medi della tensione d'uscita ai terminali d'uscita dell'alimentazione di potenza possono essere calcolati come $V_{OUT} = V_{IN} \cdot (m_1 + m_2 - 1)$.

In un esempio di realizzazione, lo schema base per un'alimentazione di potenza controllata digitalmente, che usa il circuito oggetto dell'invenzione, può essere combinata con la ben nota tecnica del "dithering"; questa permette la riduzione dell'ondulazione residua dalle componenti d'uscita alla frequenza di switching, mantenendo nel contempo la stessa risoluzione equivalente di output.

La Figura 6 mostra un sistema a reazione chiuso con rapporto di dithering pari a K .

In questo alimentatore controllato in tensione, il segnale d'errore digitale fra la tensione d'ingresso (punto di "set") V_{REF} e il suo valore misurato V_{OUT} è applicato al blocco proporzionale-integrale-derivativo (PID) (o a un blocco che esegue un differente algoritmo di compensazione) che genera il coefficiente di modulazione m . Questo valore, dopo essere stato campionato con un periodo T_c e applicato al circuito 31 secondo quanto rappresentato in Fig. 4, genera due differenti coefficienti di modulazione m_1 e m_2 .

Tali coefficienti sono usati per generare due differenti segnali a onda quadra nel blocco DPWM 63, che genera segnali a onda quadra dai valori quantizzati ad N -livelli dell'indice di modulazione (cioè m_1 e m_2). Lo stadio ponte H (64) è direttamente pilotato da due differenti circuiti di pilotaggio semi-ponte (oppure da

un singolo circuito di pilotaggio ponte intero).

L'uscita del ponte H 64 è quindi filtrata da un circuito passa basso 65 e la tensione d'uscita VOUT è poi rilevata dal convertitore analogico-digitale (ADC) 46 con il suddetto periodo T_c .

L'aggiunta del sotto sistema di tipo dithering 67 permette di ottenere una bassa ondulazione (ripple) della tensione d'uscita, mantenendo nel contempo la stessa risoluzione d'uscita (su un periodo T_c).

Questo sotto sistema 67 è composto da un moltiplicatore di clock (di un fattore K) 671 che comanda un contatore a K-livelli 672 che indicizza a una tabella di tipo Look-up (LUT) 673 contenente i pattern binari del dithering con un periodo tempo $T_s = K \cdot T_c$ (frequenza di switching).

Questi pattern sono sommati agli indici di modulazione m_1 e m_2 e quindi applicati al suddetto generatore di impulsi a doppio canale nel blocco DPWM 63.

I valori medi della tensione d'uscita raggiungibili con questa tecnica coincidono esattamente con quelli ottenibili senza l'uso della funzionalità del dithering, cioè la stessa risoluzione, ma l'ondulazione (ripple) della tensione d'uscita, mantenendo la stessa uscita del filtro passa basso, è diminuita grazie all'aumento della frequenza di switching T_s .

Questo schema di controllo è adatto per il controllo di altri tipi di variabili come corrente d'uscita, velocità del motore, etc.

Il comportamento degli indici di modulazione m_1 e m_2 , con un rapporto di dithering a K-livelli ($K=4$) come funzione di m e con un quantizzatore che ha una risoluzione di $n=8$, sono rappresentati in Fig.7.

In Fig.8 è mostrato un diagramma di flusso del metodo usato per generare il coefficiente di modulazione m_1 e m_2 . È evidente, per una persona esperta nel mestiere, come implementare il metodo secondo i blocchi 81-88 alla luce dei blocchi 401, 402 e 403. Il blocco di metodo 89 esegue una quantizzazione ad n -bit secondo il circuito 405 e un troncamento secondo il blocco 406. La combinazione dei blocchi 92 e 93 esegue un'operazione di arrotondamento della parte frazionaria 91 al valore intero più prossimo ("0" oppure "1"); l'operazione di arrotondamento è eseguita al livello circuitale dalla combinazione del blocco 407, che moltiplica per 2 la parte frazionaria, e del blocco 408, che tronca il risultato della moltiplicazione. Il

fl.

blocco 94 esegue un'addizione secondo il modulo d'addizione del circuito di figura 4.

Altri dettagli implementativi non saranno descritti, dal momento che l'uomo del mestiere può eseguire l'invenzione partendo dall'insegnamento della descrizione di cui sopra.

Molti cambi, modifiche, variazioni e altri usi e applicazioni del soggetto dell'invenzione saranno chiari a quelli facenti parte del campo dopo aver considerato le specifiche e le figure che l'accompagnano che rivelano i miglior esempi realizzativi dell'invenzione. Tutti tali cambi, modifiche, variazioni e altri usi e applicazioni del soggetto che non si allontanano dallo scopo dell'invenzione, sono coperti da questa invenzione.



RIVENDICAZIONI

1. Metodo per pilotare un circuito a ponte intero (34,64) comprendente un circuito (31) ricevente un segnale di modulazione in ingresso (m) e generante un primo segnale di modulazione d'uscita (m1) e un secondo segnale di modulazione d'uscita (m2) per controllare il ponte intero, il metodo comprende i passi per:

- generare una prima (X1) e una seconda (X2) forma d'onda quadra avente un periodo comune (T_s), dove la prima forma d'onda (X1) è configurata in modo da pilotare un ramo del ponte intero e la seconda forma d'onda è configurata in modo da pilotare l'altro ramo del ponte intero;

caratterizzato dal fatto che:

- la prima forma d'onda quadra (X1) è generata con un primo duty cycle basato su un primo segnale di modulazione (m1), dove il segnale di modulazione (m1) è la versione troncata ad N-livelli del segnale di controllo in ingresso (m);
- la seconda forma d'onda quadra (X2) è generata con un secondo duty cycle uguale o maggiore del primo duty cycle di un incremento temporale $T_s/(N-1)$ basato sul secondo segnale di modulazione (m2), dove il secondo segnale di modulazione (m2) è ottenuto dapprima facendo la differenza (90) fra il segnale di modulazione d'ingresso (m) e la versione troncata ad N-livelli, poi facendo un'operazione di arrotondamento della suddetta differenza (92,93).

2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che il segnale di modulazione in ingresso (m) è generato da un modulo digitale proporzionale-integrativo-derivativo (PID).

3. Metodo secondo una delle rivendicazioni precedenti, dove il segnale di modulazione in ingresso (m) è saturato a un valore alto predeterminato quando il segnale di modulazione in ingresso (m) è maggiore di un valore di soglia, saturato a un valore predeterminato basso quando il segnale di modulazione in ingresso (m) è minore del valore di soglia.

4. Metodo secondo una delle rivendicazioni precedenti, dove il circuito (31) è combinato con un modulo di tipo dithering (67) avente un rapporto dithering K tale da generare patterns di tipo dithering aventi un periodo di onda quadra $T_s = T_c \cdot K$,

h

dove T_c è un periodo di campionamento del segnale di modulazione in ingresso (m), dove i patterns di dithering sono aggiunti al primo segnale di modulazione (m_1) e al secondo segnale di modulazione (m_2).

5. Metodo secondo una delle rivendicazioni precedenti, caratterizzato dal fatto che la tensione/corrente d'uscita nel carico del ponte intero (34,64) è retroazionata all'ingresso del segnale di modulazione (m).

6. Metodo secondo una delle rivendicazioni precedenti, caratterizzato dal fatto che l'ingresso del segnale di modulazione (m) è campionato con un periodo di campionamento pari al comune segnale ad onda quadra (T_s).

7. Circuito (31) per pilotare un circuito a ponte intero (34, 64) comprendente un segnale di modulazione in ingresso (m) e comprendente un primo segnale di modulazione d'uscita (m_1) e un secondo segnale di modulazione d'uscita (m_2) per controllare il ponte intero, dove il circuito è atto a generare una prima (X_1) e una seconda (X_2) forma d'onda quadra avente un periodo comune d'onda quadra (T_s), dove la prima forma d'onda (X_1) è configurata in modo da pilotare un ramo del ponte intero e la seconda forma d'onda è configurata in modo da pilotare l'altro ramo del ponte intero,

caratterizzato dal fatto che il circuito comprende:

- mezzi per generare la prima forma d'onda quadra (X_1) con un primo duty cycle basato su un primo segnale di modulazione (m_1), dove il segnale di modulazione (m_1) è la versione troncata ad N-livelli (405,406) del segnale di controllo in ingresso (m);
- mezzi per generare la seconda forma d'onda quadra (X_2) con un secondo duty cycle uguale o maggiore del primo duty cycle di un incremento temporale $T_s/(N-1)$ basato sul secondo segnale di modulazione (m_2), dove il secondo segnale di modulazione (m_2) è ottenuto prima facendo la differenza fra il segnale di modulazione d'ingresso (m) e la versione troncata ad N-livelli e poi facendo un'operazione di arrotondamento della suddetta differenza (407,408).

8. Circuito secondo la rivendicazione 7 comprendente ulteriormente un modulatore digitale d'ampiezza di impulsi, in breve DPWM, capace di generare una prima onda quadra (X_1) e una seconda onda quadra (X_2) e di ricevere come

ingressi il primo segnale di modulazione (m_1) e il secondo segnale di modulazione (m_2).

9. Circuito secondo la rivendicazione 7 comprendente ulteriormente un modulo proporzionale-integrativo-derivativo, in breve PID, (32,62) capace di generare un segnale di modulazione d'ingresso (m).
10. Circuito secondo una qualsiasi rivendicazione precedente, dove il circuito comprende ulteriormente un blocco (401) capace di saturare il segnale di modulazione in ingresso (m) a un valore predeterminato alto quando il segnale di modulazione in ingresso (m) è maggiore di un primo valore di soglia e capace di saturare il segnale di modulazione in ingresso (m) a un valore predeterminato basso quando il segnale di modulazione in ingresso (m) è minore di un secondo valore di soglia.
11. Circuito secondo una qualsiasi rivendicazione precedente, dove il circuito (31) comprende ulteriormente un modulo di tipo dithering (67) avente un rapporto di dithering K tale da generare patterns di dithering aventi un periodo di onda quadra $T_s = T_c \cdot K$, dove T_c è un periodo di campionamento del segnale di modulazione in ingresso (m), e tale che i patterns di dithering sono aggiunti al primo segnale di modulazione (m_1) e al secondo segnale di modulazione (m_2).
12. Circuito secondo una qualsiasi rivendicazione precedente caratterizzato da un valore della corrente/tensione nel carico del ponte intero (34,64) retro-azionata in ingresso al segnale di modulazione (m).
13. Circuito secondo una qualsiasi rivendicazione precedente che include ulteriormente un circuito (403) che campiona nel tempo il segnale di modulazione in ingresso (m) con un periodo di campionamento pari al periodo di onda quadra comune (T_s).
14. Circuito secondo la rivendicazione 13, dove il circuito di campionamento (403) è un modulo di mantenimento di ordine zero.
(BOR/sf-pd)

CLAIMS

1. Method for driving a full-bridge circuit (34,64) comprising a circuit (31) receiving an input modulation signal (m) and generating a first output modulation signal (m1) and a second output modulation signal (m2) for controlling the full-bridge, the method comprises the steps of:
 - generating a first (X1) and second (X2) square wave having a common square wave period (T_s), where the first square wave (X1) is configured to drive one leg of the full-bridge and the second square wave (X2) is configured to drive the second leg of the full-bridgecharacterized in that:
 - the first square wave (X1) is generated with a first duty cycle based on the first modulation signal (m1), where the first modulation signal (m1) is an N-levels truncate version of the input control signal (m);
the second square wave (X2) is generated with a second duty cycle equal to or larger than the first duty cycle by an incremental time step $T_s/(N-1)$ based on the second modulation signal (m2), where the second modulation signal (m2) is obtained firstly by doing a difference (90) between the input modulation signal (m) and the N-levels truncated version, secondly by doing a rounding operation of said difference (92,93).
2. Method according to claim 1, characterized in that the input modulation signal (m) is generated by a digital proportional-integrative-derivative, short PID, module.
3. Method according to any previous claim where the input modulation signal (m) is saturated to a high predetermined value when the input modulation signal (m) is greater than a threshold value, saturated to a low predetermined value when the input modulation signal (m) is lower than a threshold value.
4. Method according to any previous claim where the circuit (31) is combined with a dithering module (67) having a dithering ratio K such to generate dithering patterns having a square period $T_s = T_c \cdot K$, where T_c is a sampling period of the input modulation signal (m), wherein the dithering patterns are added to the first modulation signal (m1) and to the second modulation signal (m2).

5. Method according to any previous claim characterized in that the output current/voltage in the load of the full bridge (34,64) is feed forwarded to the input modulation signal (m).
6. Method according to any previous claim characterized in that the input modulation signal (m) is sampled with a sampling period equal to common square wave period (T_s).
7. Circuit (31) for driving a full-bridge circuit (34, 64) comprising an input modulation signal (m) and comprising a first output modulation signal (m1) and a second output modulation signal (m2) for controlling the full-bridge, where the circuit is able to generate a first (X1) and second (X2) square wave having a common square wave period (T_s), where the first square wave (X1) is configured to drive one leg of the full-bridge and the second square wave (X2) is configured to drive the second leg of the full-bridge,
characterized in that the circuit further comprises:
 - means for generating the first square wave (X1) with a first duty cycle based on the first modulation signal (m1), where the first modulation signal (m1) is an N-levels truncate version (405, 406) of the input control signal (m);
 - means for generating the second square wave (X2) with a second duty cycle equal to or larger than the first duty cycle by an incremental time step $T_s/(N-1)$ based on the second modulation signal (m2), where the second modulation signal (m2) is obtained firstly by doing a difference between the input modulation signal (m) and the N-levels truncated version, secondly by doing a rounding operation of said difference (407, 408).
8. Circuit according to claim 7 further comprising a digital pulse width modulator, short DPWM, able to generate the first square wave (X1) and second square wave (X2) and to receive as inputs the first modulation signal (m1) and second modulation signal (m2).
9. Circuit according to claim 7 further comprising a digital proportional-integrative-derivative, short PID, module (32,62) able to generate the input modulation signal (m).
10. Circuit according to any previous claim where the circuit further comprises a block (401) able to saturate the input modulation signal (m) to a high

predetermined value when the input modulation signal (m) is greater than a first threshold value, and able to saturate the input modulation signal (m) to a low predetermined value when the input modulation signal (m) is lower than a second threshold value.

11. Circuit according to any previous claim where, where the circuit (31) further comprises a dithering module (67) having a dithering ratio K such to generate dithering patterns having a square period $T_s = T_c \cdot K$, where T_c is a sampling period of the input modulation signal (m), and such that the dithering patterns are added to the first modulation signal (m1) and to the second modulation signal (m2).
12. Circuit according to any previous claim characterized in that the output current/voltage in the load of the full bridge (34,64) is feed-forwarded connected to the input modulation signal (m).
13. Circuit according to any previous claim further including a sampling circuit (403) for time sampling the input modulation signal (m) with a sampling period equal to common square wave period (T_s).
14. Circuit according to previous claim 13 where the sampling circuit (403) is a zero-order hold module.

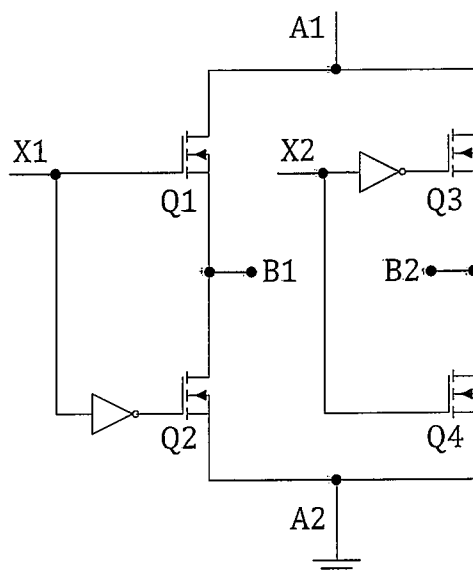


FIG. 1

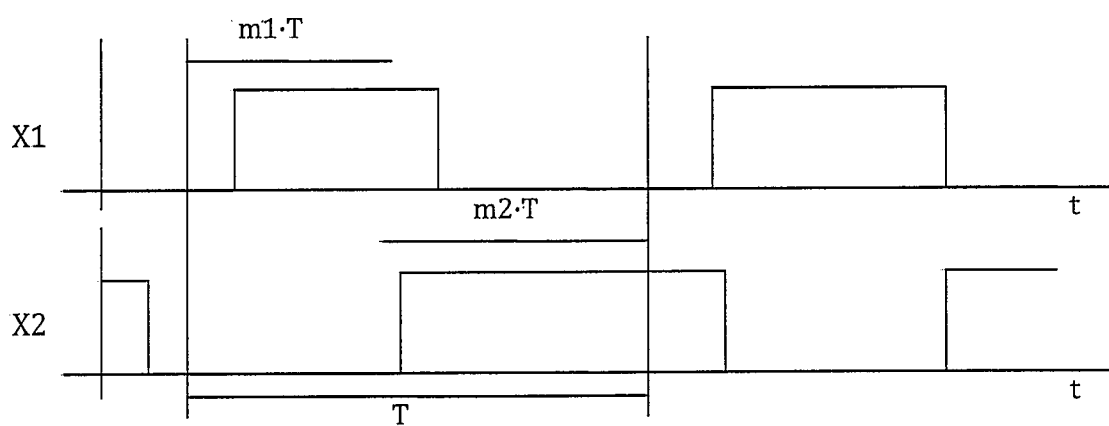


FIG. 2

R

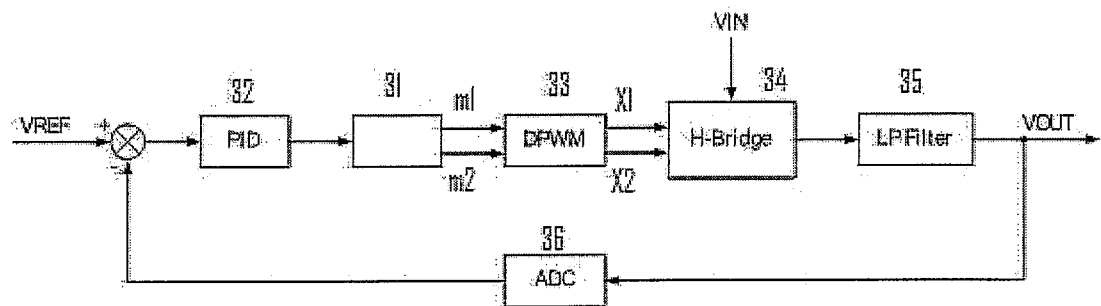


FIG. 3

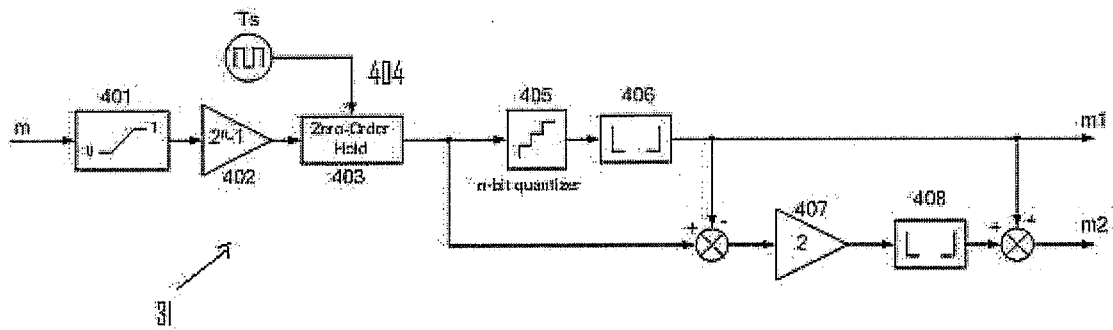


FIG. 4

4

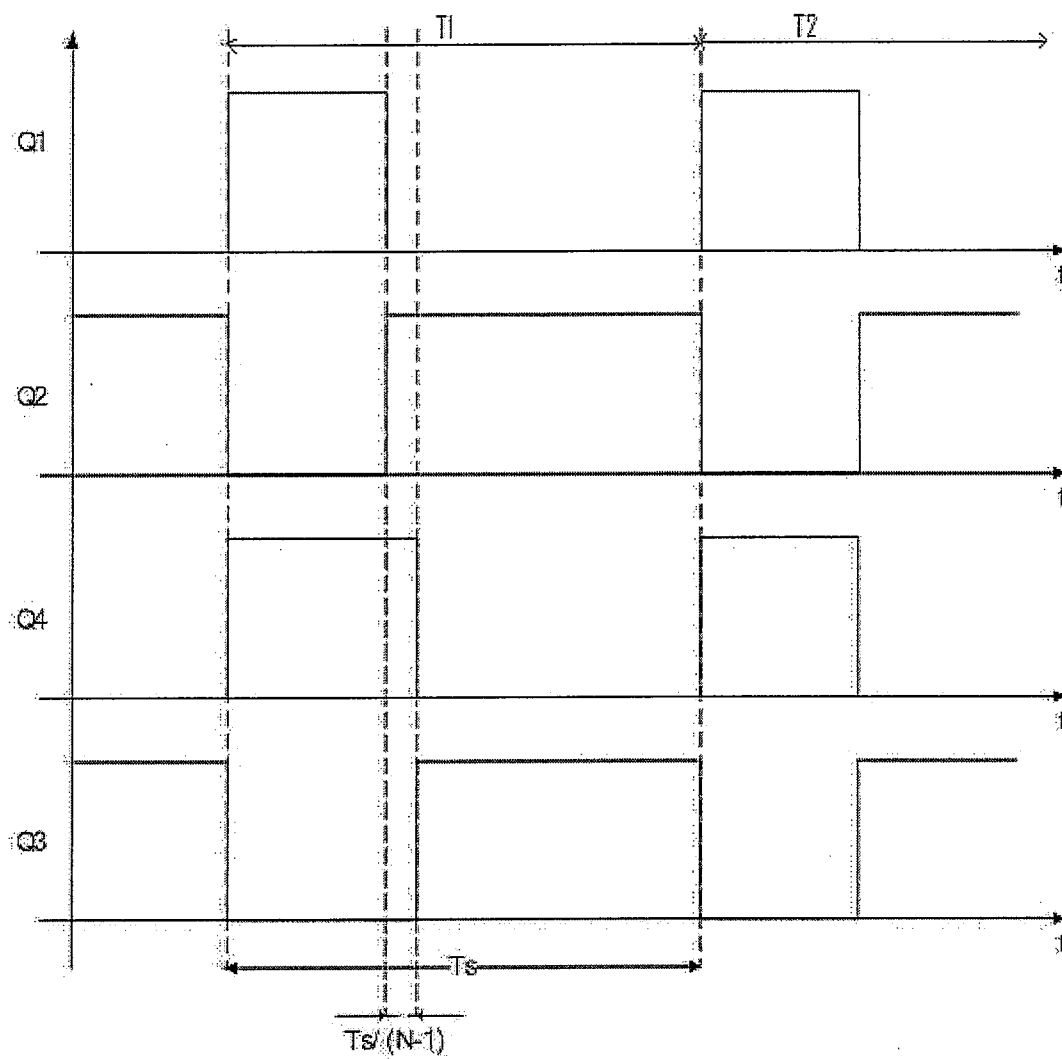


FIG. 5

97

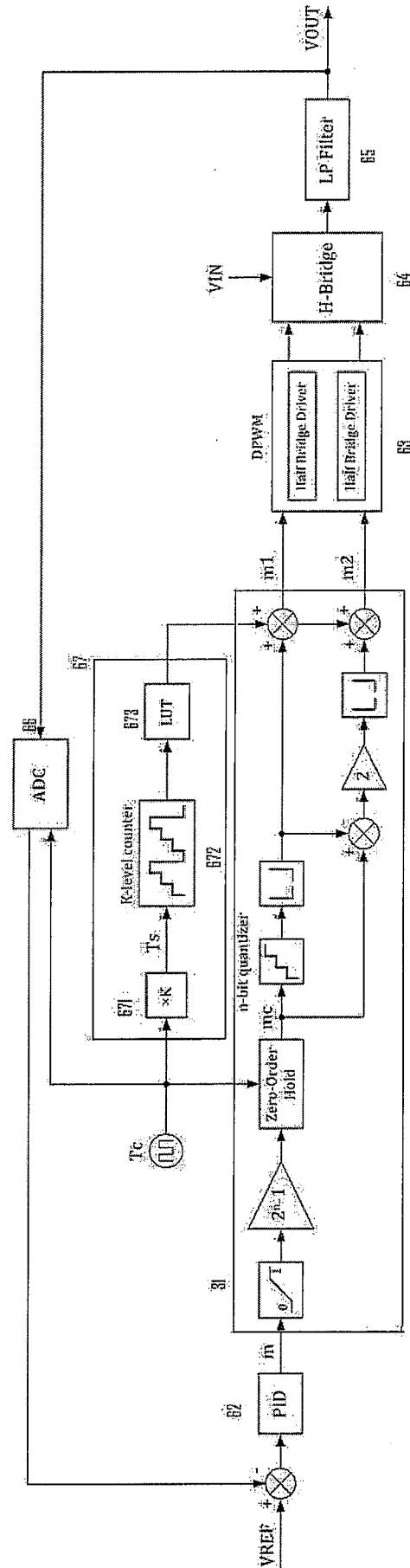


FIG. 6

h

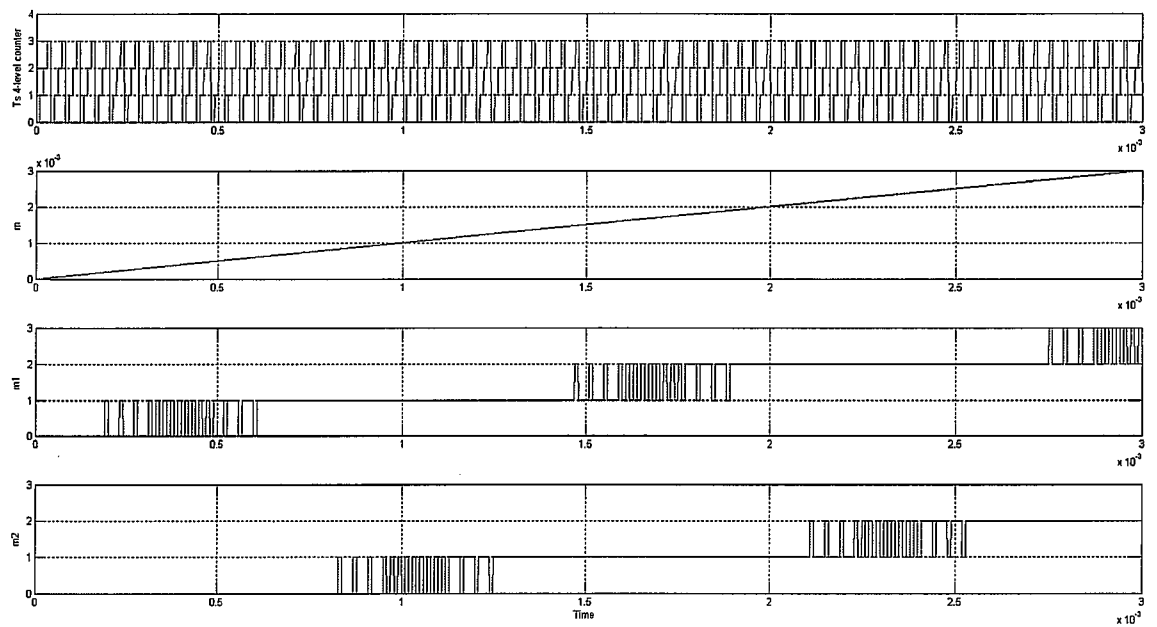


FIG. 7

4

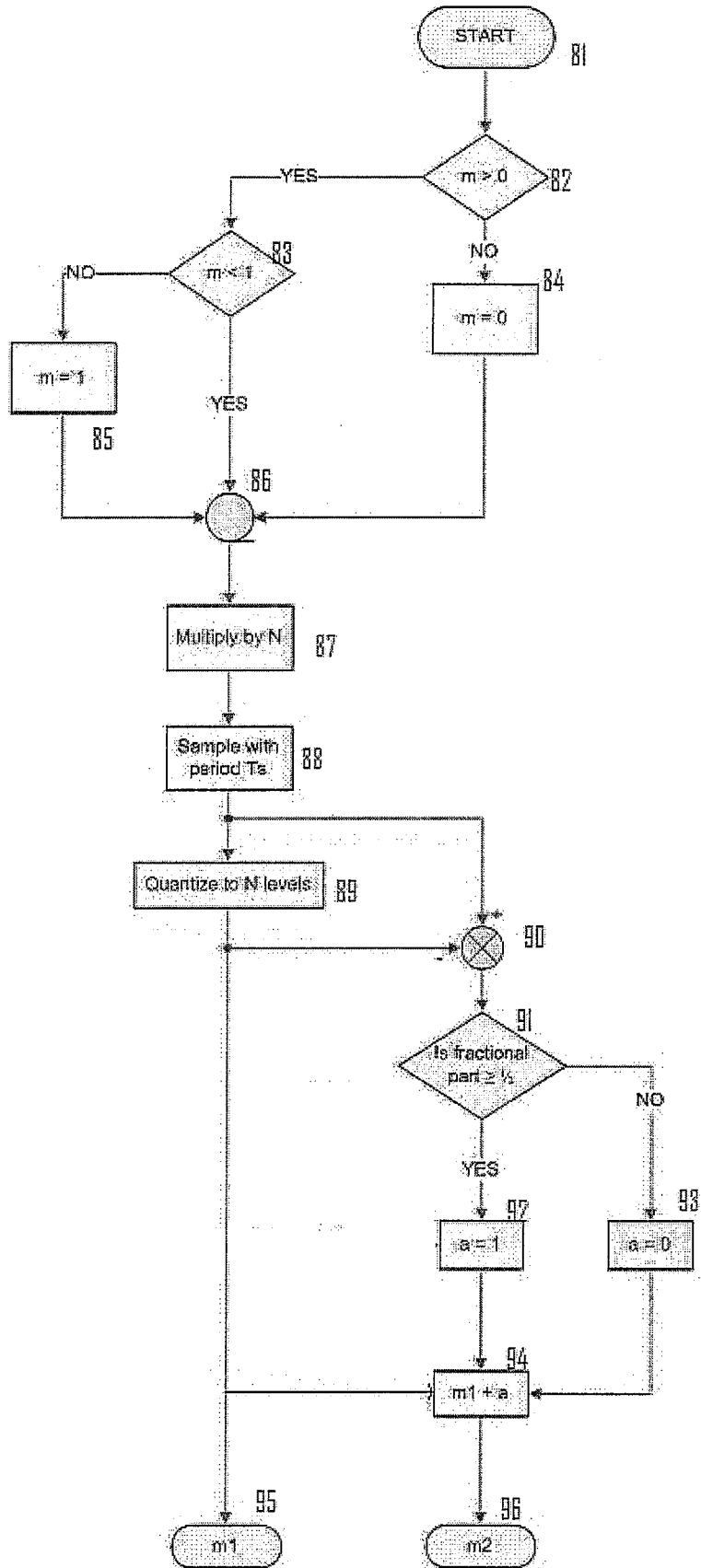


FIG. 8

Jli