



(12) 发明专利

(10) 授权公告号 CN 102783017 B

(45) 授权公告日 2016. 05. 04

(21) 申请号 201080065063. 5

代理人 刘国伟

(22) 申请日 2010. 12. 13

(51) Int. Cl.

(30) 优先权数据

H03F 3/193(2006. 01)

12/683, 431 2010. 01. 07 US

H03F 1/26(2006. 01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2012. 08. 31

US 7358805 B2, 2008. 04. 15,

(86) PCT国际申请的申请数据

US 7061321 B1, 2006. 01. 13,

PCT/US2010/060127 2010. 12. 13

CN 101325401 A, 2008. 12. 17,

(87) PCT国际申请的公布数据

JP 特开平 6-152318 A, 1994. 05. 31,

W02011/084384 EN 2011. 07. 14

审查员 吴瑶裔

(73) 专利权人 德州仪器公司

地址 美国得克萨斯州

(72) 发明人 拉卡什·库马尔 吉里什·拉金德郎

里图·塞奇德夫·辛格

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

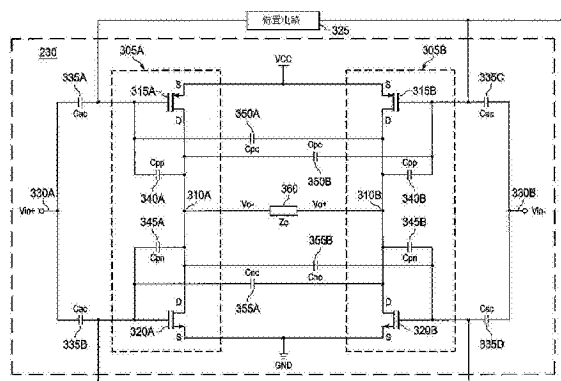
权利要求书1页 说明书7页 附图7页

(54) 发明名称

具有改进的输入电阻和受控共模的放大器

(57) 摘要

一种放大器 (230) 包含: 第一对晶体管 (305A), 其界定第一输出 (V_{o-}), 所述第一对 (305A) 的每一晶体管 (315A、320a) 具有耦合到第一输入端子 (330A) 的栅极; 第二对晶体管 (305B), 其界定第二输出 (V_{o+}), 所述第二对 (305B) 的每一晶体管 (315B、320B) 具有耦合到第二输入端子 (330b) 的栅极; 第一电容器 (350A), 其耦合到第二输出端子 (310B) 且耦合到所述第一对的第一晶体管 (315a) 的栅极; 第二电容器 (355A), 其耦合到所述第二输出端子 (310B) 且耦合到所述第一对的第二晶体管 (320A) 的栅极; 第三电容器 (350B), 其耦合到第一输出端子 (310A) 且耦合到所述第二对的第三晶体管 (315B) 的栅极; 以及第四电容器 (355B), 其耦合到所述第一输出端子 (310A) 且耦合到所述第二对的第四晶体管 (320B) 的栅极。



1. 一种包含放大器的电路,其包括:

界定第一输出的第一对晶体管,所述第一对晶体管中的每一晶体管具有耦合到第一输入端子的栅极;

界定第二输出的第二对晶体管,所述第二对晶体管中的每一晶体管具有耦合到第二输入端子的栅极;

使所述第一输入端子处的输入电阻的降级最小化的第一对电容器,所述第一对电容器中的第一电容器耦合到所述第二输出端子且耦合到所述第一对晶体管中的第一晶体管的栅极,且所述第一对电容器中的第二电容器耦合到所述第二输出端子且耦合到所述第一对晶体管中的第二晶体管的栅极;以及

使所述第二输入端子处的输入电阻的降级最小化的第二对电容器,所述第二对电容器中的第三电容器耦合到所述第一输出端子且耦合到所述第二对晶体管的第三晶体管的栅极,且所述第二对电容器中的第四电容器耦合到所述第一输出端子且耦合到所述第二对晶体管的第四晶体管的栅极。

2. 根据权利要求1所述的电路,其中:

所述第一对电容器界定校正电流的路径,所述校正电流与归因于所述第一对晶体管的对寄生电容而流动的电流的量值相等且极性相反;且

所述第二对电容器界定校正电流的路径,所述校正电流与归因于所述第二对晶体管的对寄生电容而流动的电流的量值相等且极性相反。

3. 根据权利要求1所述的电路,其进一步包括偏置电路,所述偏置电路耦合到所述第一对晶体管和所述第二对晶体管,所述偏置电路对所述第一对晶体管和所述第二对晶体管进行偏置。

4. 根据权利要求3所述的电路,其中所述偏置电路包括一对二极管和一对耦合到所述一对二极管的电流源。

5. 根据权利要求4所述的电路,其中所述一对耦合到所述一对二极管的电流源包括至少一个数/模转换器,所述数/模转换器控制与所述第一输出和所述第二输出相关联的共模电压。

6. 根据权利要求5所述的电路,其进一步包括耦合到所述第一输出端子和所述第二输出端子的比较器,所述比较器将所述共模电压与参考电压进行比较。

7. 根据权利要求1所述的电路,其中所述第一晶体管和所述第三晶体管包括正金属氧化物半导体PMOS型晶体管,且其中所述第二晶体管和所述第四晶体管包括负金属氧化物半导体NMOS型晶体管。

8. 根据权利要求1所述的电路,其中所述放大器包括多级放大器电路的输出级放大器。

9. 根据权利要求1所述的电路,其中所述放大器耦合到输入电路,所述放大器充当到所述输入电路的负载且通过使用所述第一对电容器和所述第二对电容器产生校正电流来减小对所述输入电路的加载作用。

具有改进的输入电阻和受控共模的放大器

技术领域

[0001] 本发明的实施例涉及一种包含放大器的电路,且涉及一种用于控制共模电压的方法。

背景技术

[0002] 射频(RF)放大器是用于在例如无线接收器应用等若干应用中放大RF信号的装置。RF放大器耦合在输入电路(例如,低噪声放大器(LNA))与混频器之间以防止混频器加载LNA。

[0003] 实例RF放大器100(下文称为放大器100)在图1(现有技术)中说明。LNA的输出(V_{in+} 和 V_{in-})经由电容器(例如,分别经由电容器125(C_{ac})、电容器130(C_{ac})、电容器135(C_{ac})和电容器140(C_{ac}))耦合到晶体管105、晶体管110、晶体管115和晶体管120的栅极。为了防止放大器100加载LNA且使质量因子降级,放大器100需要特定输入电阻。等式(1)说明放大器100的输入电阻。

$$[0004] \quad R_{in} = \text{real} \left[\frac{1}{(1 + g_m \times Z_o) \times s \times C_p} \right] \quad (1)$$

[0005] 其中 g_m 是放大器100的跨导, Z_o 是负载145的阻抗, s 表示复合频率且可确定为 $s = j \times 2 \times \pi \times f$,其中 f 为频率,且 $C_p(C_{pp} + C_{pn})$ 为晶体管105和晶体管110或晶体管115和晶体管120的等效寄生电容。

[0006] 晶体管105和晶体管110的寄生电容表示为寄生电容器150(C_{pp})和寄生电容器155(C_{pn})。晶体管115和晶体管120的寄生电容表示为寄生电容器160(C_{pp})和寄生电容器165(C_{pn})。寄生电容在存在负载145的情况下使放大器100的输入电阻降级。当从输入(V_{in+} 和 V_{in-})到输出(V_{o+} 和 V_{o-})的相位延迟偏离180度时,放大器100的输入电阻也降级。输入电阻的降级加载LNA,且影响LNA的增益、频率选择性和噪声性能。

[0007] 鉴于以上论述,需要防止对LNA的加载。此外,还需要将与放大器100的输出相关联的共模电压维持在所要范围内以改进线性。

发明内容

[0008] 呈实例放大器形式的实施例包含界定第一输出的第一对晶体管。第一对晶体管的每一晶体管具有耦合到第一输入端子的栅极。放大器还包含界定第二输出的第二对晶体管。第二对晶体管的每一晶体管具有耦合到第二输入端子的栅极。放大器进一步包含使第一输入端子处的输入电阻的降级最小化的第一对电容器和使第二输入端子处的输入电阻的降级最小化的第二对电容器。第一对电容器中的第一电容器耦合到第二输出端子且耦合到第一对晶体管中的第一晶体管的栅极。第一对电容器中的第二电容器耦合到第二输出端子且耦合到第一对晶体管中的第二晶体管的栅极。第二对电容器中的第三电容器耦合到第一输出端子且耦合到第二对晶体管中的第三晶体管的栅极。第二对电容器中的第四电容器耦合到第一输出端子且耦合到第二对晶体管中的第四晶体管的栅极。

[0009] 一种用于控制与电路的输出相关联的共模电压的控制电路的实例包含耦合到所述电路以将共模电压与参考电压进行比较的比较器。数/模转换器(DAC)耦合到比较器。DAC响应于比较器输出处的转变以将DAC配置为对应于所述转变的设定。偏置元件耦合到所述电路且耦合到DAC。偏置元件基于所述设定启用所述电路的偏置,借此控制共模电压。

[0010] 一种用于控制电路的共模电压的方法的实例包含将共模电压与参考电压进行比较。所述方法还包含基于所述比较将数/模转换器(DAC)配置为一设定。所述方法进一步包含基于所述设定对所述电路进行偏置。

附图说明

[0011] 图1说明根据现有技术的放大器;

[0012] 图2说明根据一个实施例的环境;

[0013] 图3说明根据一个实施例的放大器;

[0014] 图4说明根据一个实施例的用于控制与电路的输出相关联的共模电压的控制电路;

[0015] 图5说明根据一个实施例的二级放大器的等效电路;

[0016] 图6是说明根据一个实施例的等效寄生电容对输入电阻的减少的影响的实例表示;

[0017] 图7是说明根据一个实施例的等效校正电容对输入电阻的增强的影响的实例表示;

[0018] 图8是说明根据一个实施例的用于控制对输入电路的加载的方法的流程图;以及

[0019] 图9是说明根据一个实施例的用于控制电路的共模电压的方法的流程图。

具体实施方式

[0020] 图2说明环境200,例如无线接收器。环境200包含输入电路205、放大器230、混频器235、滤波器240、模/数转换器(ADC)245和数字块250。输入电路205可包含低噪声放大器(LNA)210和调谐电路215。调谐电路215耦合到LNA 210的输出,且包含以并联连接耦合的电感器220和电容器225。调谐电路215提供频带内信号的电压增益且拒绝频带外信号。放大器230(例如,RF放大器)耦合在输入电路205与混频器235之间以防止对输入电路205的加载。混频器235可为乘法混频器,其将来自振荡器时钟和来自放大器230的输入相乘以提供输出信号。来自混频器235的输出信号进一步发送到滤波器240。滤波器240可为将输出信号转换为中间频率信号的中间频率滤波器。中间频率信号提供到ADC 245,ADC 245将中间频率信号转换为数字输出。数字块250接收数字输出以执行各种操作。数字块250可包含时钟电路和计数器。数字块250进一步耦合到放大器230以接收输入,且提供输出来控制放大器230的共模电压。

[0021] 在一些实施例中,输入电路205可为提供到放大器230的输入的多级放大器电路的若干级中的一个级。放大器230可因而称为多级放大器电路的输出级放大器,且输入电路205和放大器230可统称为多级放大器电路。

[0022] 输入电路205可提供到放大器230的差分输出。输入电路205的差分输出可称为到放大器230的输入。放大器230放大所述输入且减小对输入电路205的加载。为了防止放大器

230加载输入电路205且使质量因子降级,放大器230需要具有高输入电阻。

[0023] 参看图3,放大器230包含第一对晶体管305A。所述对305A响应于输入(V_{in+})以界定第一输出端子310A处的第一输出(V_{o-})。所述对305A包含第一晶体管315A和第二晶体管320A。晶体管315A具有经由电容器335A (C_{ac})耦合到偏置电路325且耦合到第一输入端子330A的栅极、耦合到电压供应(VCC)的源极(S)和耦合到晶体管320A的漏极(D)的漏极(D)。晶体管320A具有经由电容器335B(C_{ac})耦合到偏置电路325且耦合到输入端子330A的栅极,以及耦合到接地供应(GND)的源极(S)。晶体管315A和晶体管320A的寄生电容表示为寄生电容器340A(C_{pp})和寄生电容器345A(C_{pn})。

[0024] 放大器230还包含第二对晶体管305B。所述对305B响应于输入(V_{in-})以界定第二输出端子310B处的第二输出(V_{o+})。所述对305B包含第三晶体管315B和第二晶体管320B(下文中称为晶体管320B)。晶体管315B具有经由电容器335C(C_{ac})耦合到偏置电路325且耦合到第二输入端子330B的栅极、耦合到电压供应(VCC)的源极,和耦合到晶体管320B的漏极的漏极。晶体管320B具有经由电容器335D(C_{ac})耦合到偏置电路325且耦合到输入端子330B的栅极,以及耦合到接地供应(GND)的源极。晶体管315B和晶体管320B的寄生电容表示为寄生电容器340B(C_{pp})和寄生电容器345B(C_{pn})。

[0025] 放大器230进一步包含使输入端子330A处的输入电阻的降级最小化的第一对电容器。所述第一对电容器包含第一电容器350A(C_{pc})(下文中称为电容器350A)和第二电容器355A(C_{nc})(下文中称为电容器355A)。电容器350A的一个端子(负板)耦合到晶体管315A的栅极,且另一端子(正板)耦合到晶体管315B的漏极。电容器355A的一个端子(负板)耦合到晶体管320A的栅极,且另一端子(正板)耦合到晶体管320B的漏极。

[0026] 放大器230还包含使输入端子330B处的输入电阻的降级最小化的第二对电容器。所述第二对电容器包含第三电容器350B(C_{pc})(下文中称为电容器350B)和第四电容器355B(C_{nc})(下文中称为电容器355B)。电容器350B的一个端子(负板)耦合到晶体管315A的漏极,且另一端子(正板)耦合到晶体管315B的栅极。电容器355B的一个端子(负板)耦合到晶体管320A的漏极,且另一端子(正板)耦合到晶体管320B的栅极。

[0027] 放大器230包含偏置电路325。偏置电路325可包含一对二极管,和一对耦合到二极管的电流源。二极管可为基于晶体管的二极管。

[0028] 电流源可包含至少一个数/模转换器(DAC),其控制与第一输出(V_{o-})和第二输出(V_{o+})相关联的共模电压。共模电压($[(V_{o+})+(V_{o-})]/2$)可确定为第一输出与第二输出的平均值。

[0029] 放大器230还可包含耦合到输出端子310A和输出端子310B的比较器。比较器将共模电压与参考电压进行比较。

[0030] 放大器230可经由输出端子310A和输出端子310B耦合到负载360(Z_o)。

[0031] 在一些实施例中,电容器350A、电容器355A、电容器350B和电容器355B可在大小和电容上相同。电容器335A、电容器335B、电容器335C和电容器335D可为交流电(AC)耦合的电容器,且也可为相同的。

[0032] 在一些实施例中,电容器的组合(四个电容器)可经选择使得电容器的校正电容满足预定义准则。举例来说,在一个方面中,电容器350B与电容器355B的校正电容的比率(C_{pc}/C_{nc})等效于寄生电容器340B与寄生电容器345B的电容的比率(C_{pp}/C_{pn})。类似地,电

容器350B与电容器355B的校正电容的比率等效于寄生电容器340B与寄生电容器345B的电容的比率。

[0033] 在一些实施例中,晶体管315A和晶体管315B包含正金属氧化物半导体(PMOS)型晶体管,且晶体管320A和晶体管320B包含负金属氧化物半导体(NMOS)型晶体管。

[0034] 放大器230通过增强放大器230的输入电阻而防止对输入电路的加载的操作阐释如下:使用偏置电路325来对晶体管315A、晶体管320A、晶体管315B和晶体管320B进行偏置。输入端子330A将正输入电压信号经由电容器335A提供到晶体管315A的栅极,且经由电容器335B提供到晶体管320A的栅极。晶体管315A和晶体管320A为有源的。类似地,输入端子330B将负输入电压信号经由电容器335C提供到晶体管315B的栅极,且经由电容器335D提供到晶体管320B的栅极。晶体管315B和晶体管320B变为有源的。正输入电压信号和负输入电压信号可为从输入电路205发射的AC耦合的RF信号。

[0035] 对应于晶体管315A的寄生电容器340A的第一电流从输入端子330A经由电容器335A、晶体管315A的栅极和寄生电容器340A朝向输出端子310A流动。对应于晶体管320A的寄生电容器345A的第二电流从输入端子330A经由电容器335B、晶体管320A的栅极和寄生电容器345A朝向输出端子310A流动。对应于晶体管315B的寄生电容器340B的第三电流从输入端子330B经由电容器335C、晶体管315B的栅极和寄生电容器340B朝向输出端子310B流动。对应于晶体管320B的寄生电容器345B的第四电流从输入端子330B经由电容器335D、晶体管320B的栅极和寄生电容器345B朝向输出端子310B流动。每一晶体管的寄生电容使放大器230的性能降级。第一对电容器界定校正电流的路径。所述校正电流与归因于第一对晶体管305A的对应寄生电容而流动的电流的量值相等且极性相反。在一个实例中,电容器350A界定第一校正电流的路径,所述第一校正电流与流经寄生电容器340A的第一电流的量值相等且极性相反。第一校正电流从输出端子310B、电容器350A和晶体管315A的栅极流动以减少归因于第一电流的性能降级。在另一实例中,电容器355A界定第二校正电流的路径,所述第二校正电流与流经寄生电容器345A的第二电流的量值相等且极性相反。第二校正电流从输出端子310B、电容器355A和晶体管320A的栅极流动以减少归因于第二电流的性能降级。第二对电容器界定校正电流的路径。所述校正电流与经由第二对晶体管305B的对应寄生电容而流动的电流的量值相等且极性相反。在一个实例中,电容器350B界定第三校正电流的路径,所述第三校正电流与流经寄生电容器340B的第三电流的量值相等且极性相反。第三校正电流从输出端子310A、电容器350B和晶体管315B的栅极流动以减少归因于第三电流的性能降级。在另一实例中,电容器355B界定第四校正电流的路径,所述第四校正电流与流经寄生电容器345B的第四电流的量值相等且极性相反。第四校正电流从输出端子310A、电容器355B和晶体管320B的栅极流动以减少归因于第四电流的性能降级。

[0036] 输入电阻 R_{in} 通过等效校正电容(C_c)增强且确定为

$$[0037] \quad R_{in} = \text{real} \left[\frac{1}{((1 + g_m \times Z_o) \times s \times C_p) + ((1 - g_m \times Z_o) \times s \times C_c)} \right] \quad (2)$$

[0038] 其中 g_m 是放大器230的跨导, Z_o 是负载360的阻抗, C_p ($C_{pp} + C_{pn}$)为晶体管315A和晶体管320A或晶体管115和晶体管120的等效寄生电容, C_c ($C_{pc} + C_{nc}$)为电容器350A和电容器355A或电容器350B和电容器355B的等效校正电容,且 s 表示复合频率且可确定为 $s = j \cdot 2 \cdot \pi \cdot f$,其中 f 为频率。输入电阻的增强也可称为输入端子330A和输入端子330B处的输入电阻

的降级的最小化或防止。

[0039] 在一些实施例中,当偏置电路325包含DAC以控制共模电压时,则偏置电路可称为控制电路。控制电路在图4中阐释。

[0040] 参看图4,控制电路包含耦合到电路(例如,放大器230)的输出端子(例如,输出端子310A和输出端子310B)的电路410。晶体管315A和晶体管320A界定输出端子310A处的第一输出(V_{o-})。类似地,晶体管315B和晶体管320B界定输出端子310B处的第二输出(V_{o+})。电路410耦合到比较器415。比较器415耦合到时钟420。时钟420耦合到计数器425,计数器425又耦合到电流源(例如,数/模转换器(DAC)430)。DAC 430包含一个或一个以上开关,例如开关455A、开关455B、开关455C、开关455D、开关455E和开关455F。DAC 430还包含一个或一个以上晶体管,例如晶体管460A、晶体管460B、晶体管460C、晶体管460D、晶体管460E和晶体管460F,其具有耦合到二极管445(例如,晶体管二极管)的漏极和耦合到对应开关的源极,例如晶体管460F的源极耦合到开关455F。二极管445具有经由电阻器450B耦合到晶体管320A的栅极的栅极和耦合到接地供应(GND)的源极。二极管440(例如,晶体管二极管)具有经由电阻器450A耦合到晶体管315A的栅极的栅极和耦合到电压供应(VCC)的源极。电流源435耦合在二极管440的漏极与接地供应之间。

[0041] 在一些实施例中,控制电路包含电路410、比较器415、时钟420、计数器425、DAC430、二极管445、二极管440、电流源435、电阻器450A和电阻器450B。在一些实施例中,电路410包含一个或一个以上无源元件,例如多个电阻器。在一些实施例中,二极管445(也称为偏置元件)为NMOS型晶体管,且二极管440为PMOS型晶体管。

[0042] 电路410通过对第一输出和第二输出求平均来确定共模电压。比较器415将共模电压与参考电压进行比较。比较器415基于所述比较将比较器输出提供到时钟420。比较器输出包含当共模电压跨越参考电压时的转变。时钟420接收时钟输入(INPUT CLK)和比较器输出,且产生针对计数器425的时钟信号(COUNTER CLK)。计数器425通过控制开关而响应于时钟信号来启用DAC 430的配置。所述开关逐一闭合,且使用计数器425来观察比较器输出。计数器425可使用复位引脚(RST)来复位。开关控制DAC 430中电流的流动,DAC 430又控制晶体管320A的偏置。DAC 430结合二极管445防止晶体管320A的开始操作时间的偏离,且还适应归因于晶体管315A的开始操作时间的偏离而发生的共模电压变化。计数器425将DAC 430配置为当比较器输出包含转变时存在的设定。

[0043] 在一些实施例中,DAC 430为6位DAC。在一些实施例中,电流源435为用于对晶体管315A进行偏置的固定电流源。

[0044] 应注意,控制电路结合晶体管320A和晶体管315A而阐释。类似或不同的控制电路可用于晶体管320B和晶体管315B。

[0045] 图5说明二级放大器的等效电路。二级放大器包含在输入级中的具有跨导 g_{m1} 的放大器505和在输出级中的具有跨导 g_{m2} 的放大器230。放大器505耦合到调谐电路510,调谐电路510与电感器515和电容器520并联连接。放大器505提供经放大输出作为到放大器230的输入。归因于输出级中的放大器230的等效寄生电容(C_p)的电流的存在由归因于等效校正电容(C_c)的校正电流通过增强输入电阻(R_{in})而无效化。 R_{in} 的增强改进频率选择性和放大器230的增益。

[0046] 图6是说明与现有技术相比,等效寄生电容(C_p)对输入电阻(R_{in})的减少的影响的

实例表示。X轴表示等效寄生电容从10毫微微法拉(fF)变化为100fF。Y轴表示输入电阻从0千欧变化为70千欧。波形605对应于放大器230的2.5千兆赫(GHz)下的输入电阻,且波形610对应于放大器230的5GHz下的输入电阻。放大器230的输入电阻增强输入电路205的增益。波形615对应于现有技术的2.5GHz下的输入电阻,且波形620对应于现有技术的5GHz下的输入电阻 R_{in} 。针对给定 C_p 值,对应于波形605的输入电阻与对应于波形615的输入电阻相比较。类似地,针对给定 C_p 值,对应于波形610的输入电阻与对应于波形620的输入电阻相比较。

[0047] 图7是说明针对实例性能范围,等效校正电容(C_c)对输入电阻(R_{in})的增强的影响的实例表示。X轴表示等效校正电容从所需值变化-10%或+10%。所需值可近似等于等效寄生电容。波形705对应于与等效校正电容的变化对应的输入电阻的变化。输入电阻的增加与等效校正电容的增加成正比。

[0048] 图8是说明用于控制对输入电路(例如,低噪声放大器)的加载的方法的流程图。所述控制有助于实现所需增益,且改进频率选择性和噪声性能。输入电路的加载可使用耦合到输入电路的输出的放大器(例如,射频(RF)放大器)来加以控制。放大器包含第一对晶体管(下文中称为第一对)和第二对晶体管(下文中称为第二对)。

[0049] 在步骤805处,第一对电容器跨越第一对耦合,且第二对电容器跨越第二对耦合。第一对响应于正输入而界定第一输出。第二对响应于负输入而界定第二输出。每一晶体管的栅极与漏极之间的寄生电容产生电流,所述电流又使放大器的输入电阻降级。

[0050] 在步骤810处,使用第一对电容器和第二对电容器产生校正电流。为了减少放大器的输入电阻的降级,产生校正电流。所述校正电流与第一输出和第二输出相关联,且流经相应的电容器。

[0051] 在步骤815处,通过使用校正电流来减小所述电流,所述校正电流可与归因于对应寄生电容的电流相等且相反。

[0052] 校正电流减小寄生电容的影响且增加输入电阻。输入电阻的增加改进放大器的增益且防止对输入电路的加载。

[0053] 图9说明用于控制电路的共模电压的方法。所述电路(例如,放大器)包含两对晶体管,例如第一对晶体管(下文中称为第一对)和第二对晶体管(下文中称为第二对)。第一对界定第一输出,且第二对界定第二输出。共模电压可界定为第一输出与第二输出的平均值。

[0054] 在步骤905处,将共模电压与参考电压进行比较。比较器可用于将共模电压与参考电压进行比较。参考电压可等于电压供应的量值的一半。

[0055] 在步骤910处,基于所述比较将数/模转换器(DAC)(例如,DAC 430)配置为一设定。所述设定对应于共模电压对参考电压的跨越。可例如通过使用比较器确定所述跨越。比较器输出处的转变可指示所述跨越。

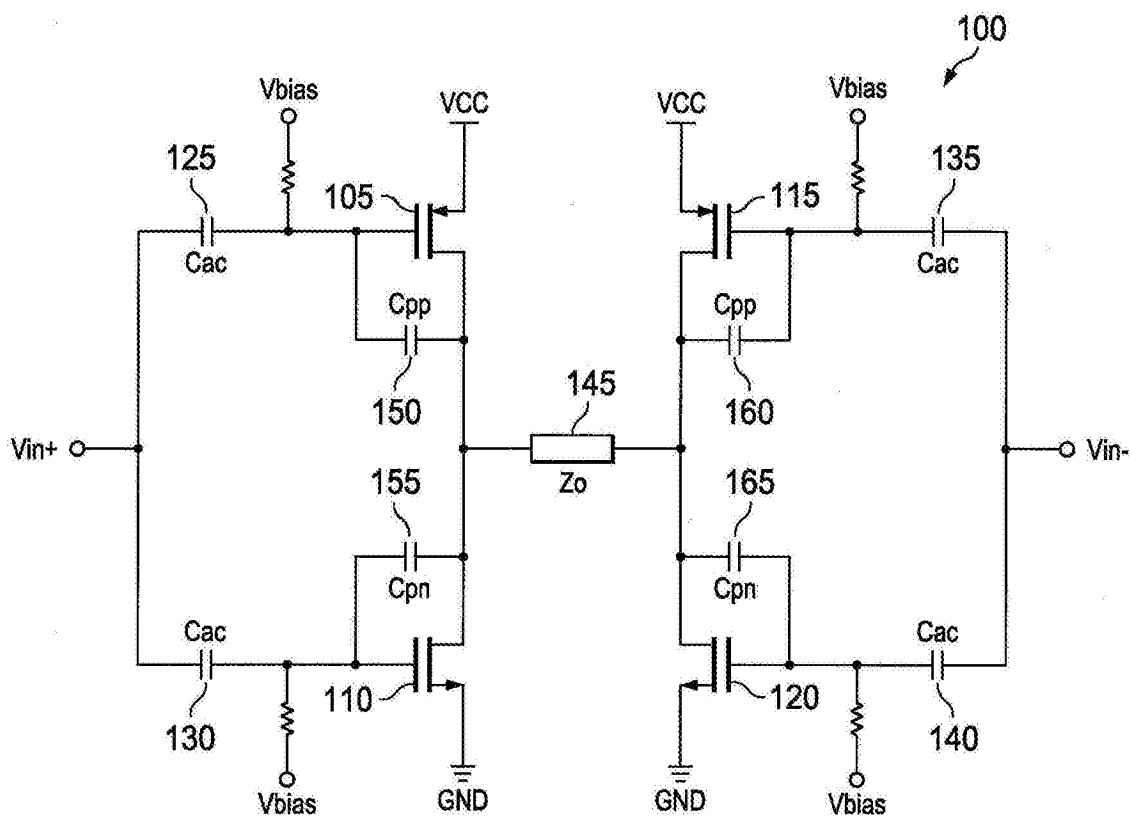
[0056] 在一个实施例中,组合使用包含时钟和计数器的数字块以启用DAC的配置。

[0057] 在另一实施例中,可使用软件或固件来配置DAC。

[0058] 在步骤915处,基于所述设定对电路进行偏置。DAC在经设定之后用于对电路进行偏置以控制共模电压。DAC的配置有助于控制经过DAC的电流,以及第一对和第二对的偏置。所述偏置又通过控制到DAC的输入来控制共模电压。

[0059] 在此希望涵盖具有在具有特征或步骤中的全部或仅一些的实例实施例的情境中

所描述的此类特征或步骤中的一者或一者以上的不同组合的实施例。所属领域的技术人员将了解,在所主张的本发明的范围内,许多其它实施例和变化也是可能的。



(现有技术)

图1

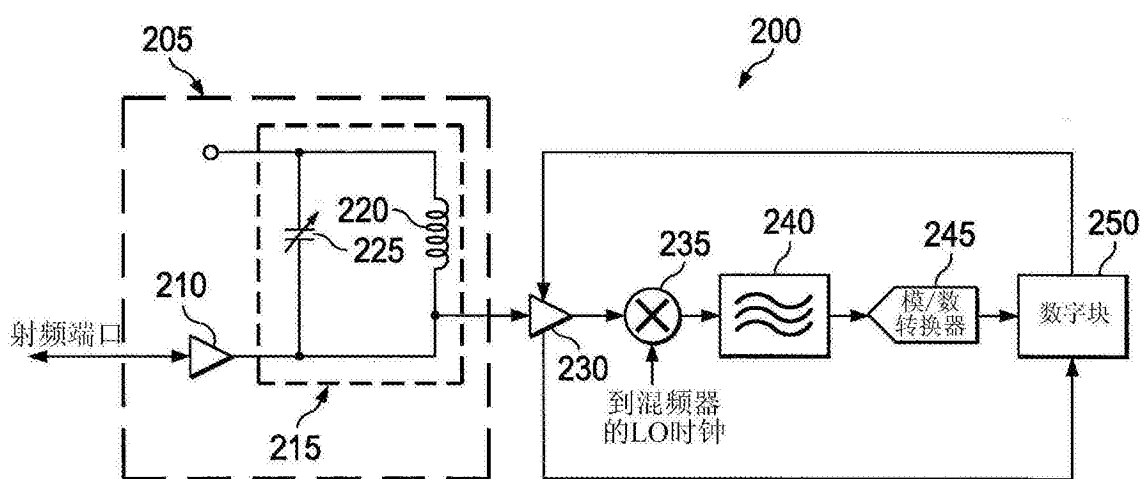


图2

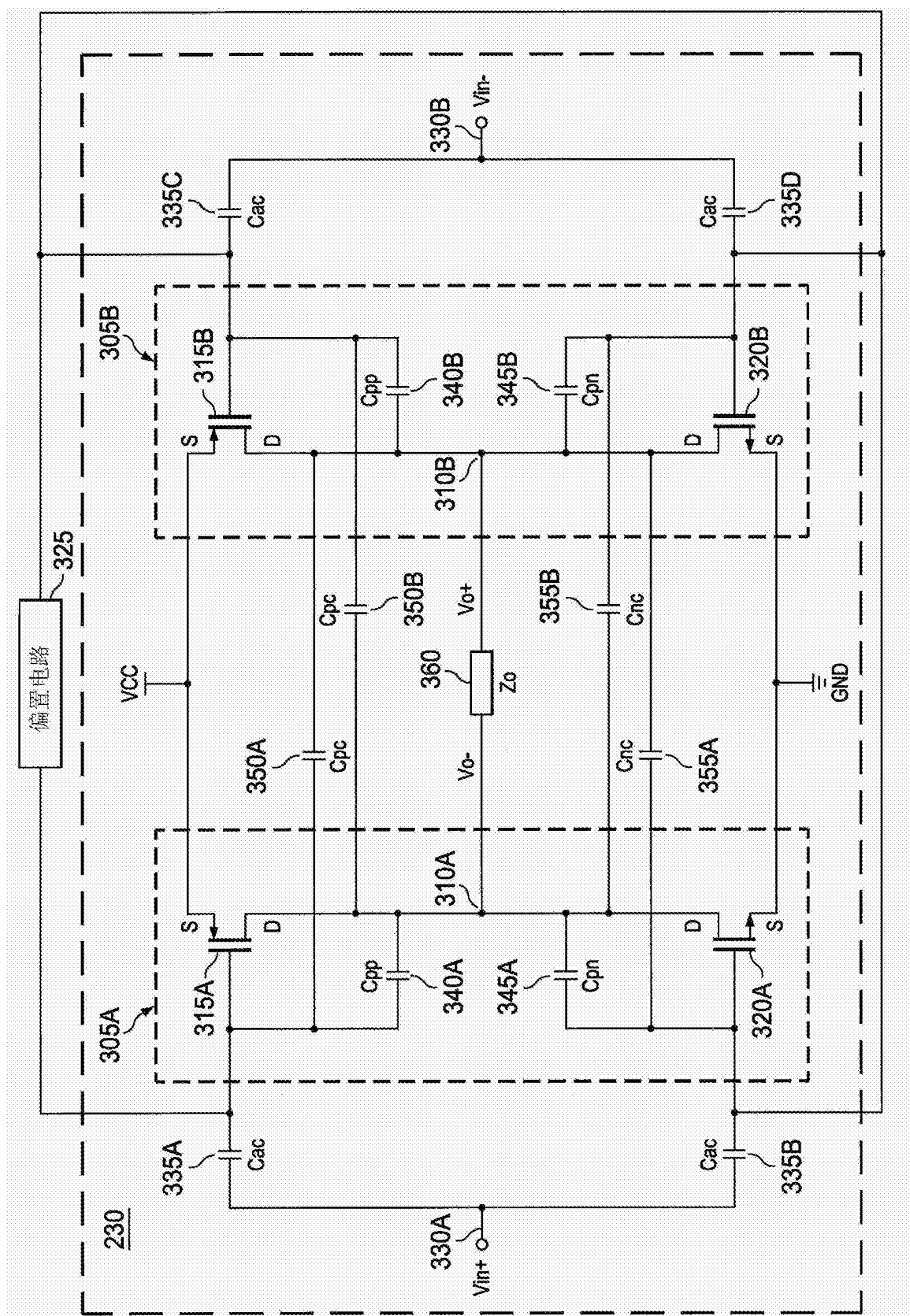


图3

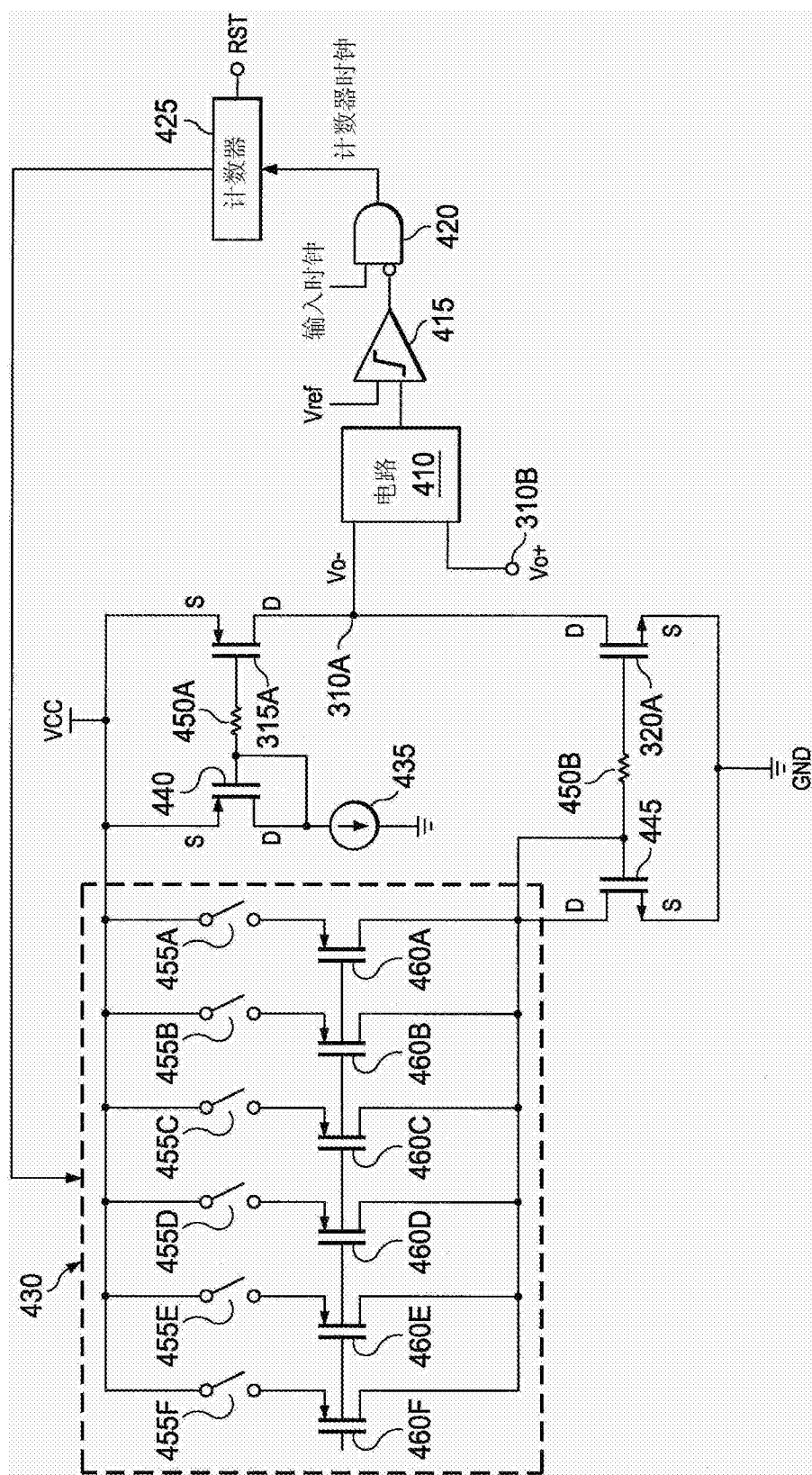


图4

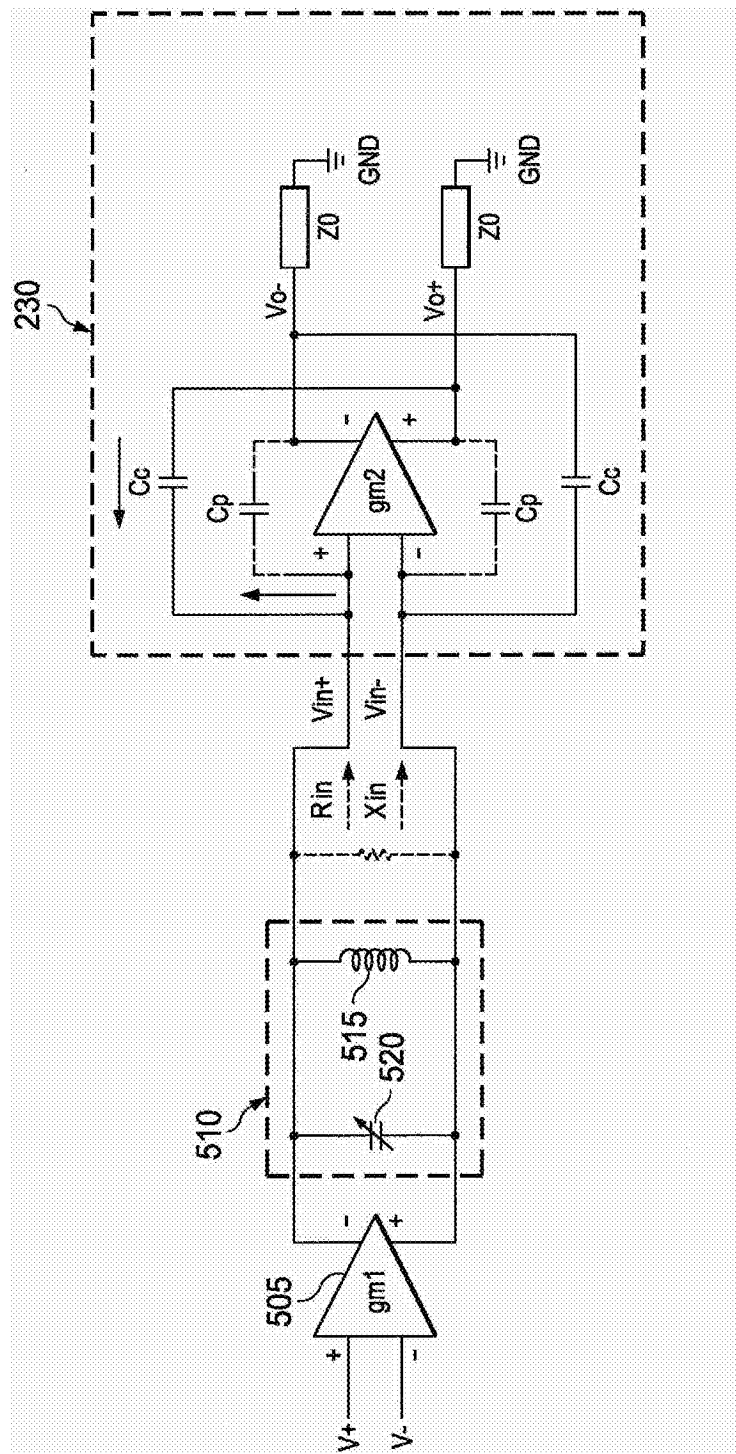


图5

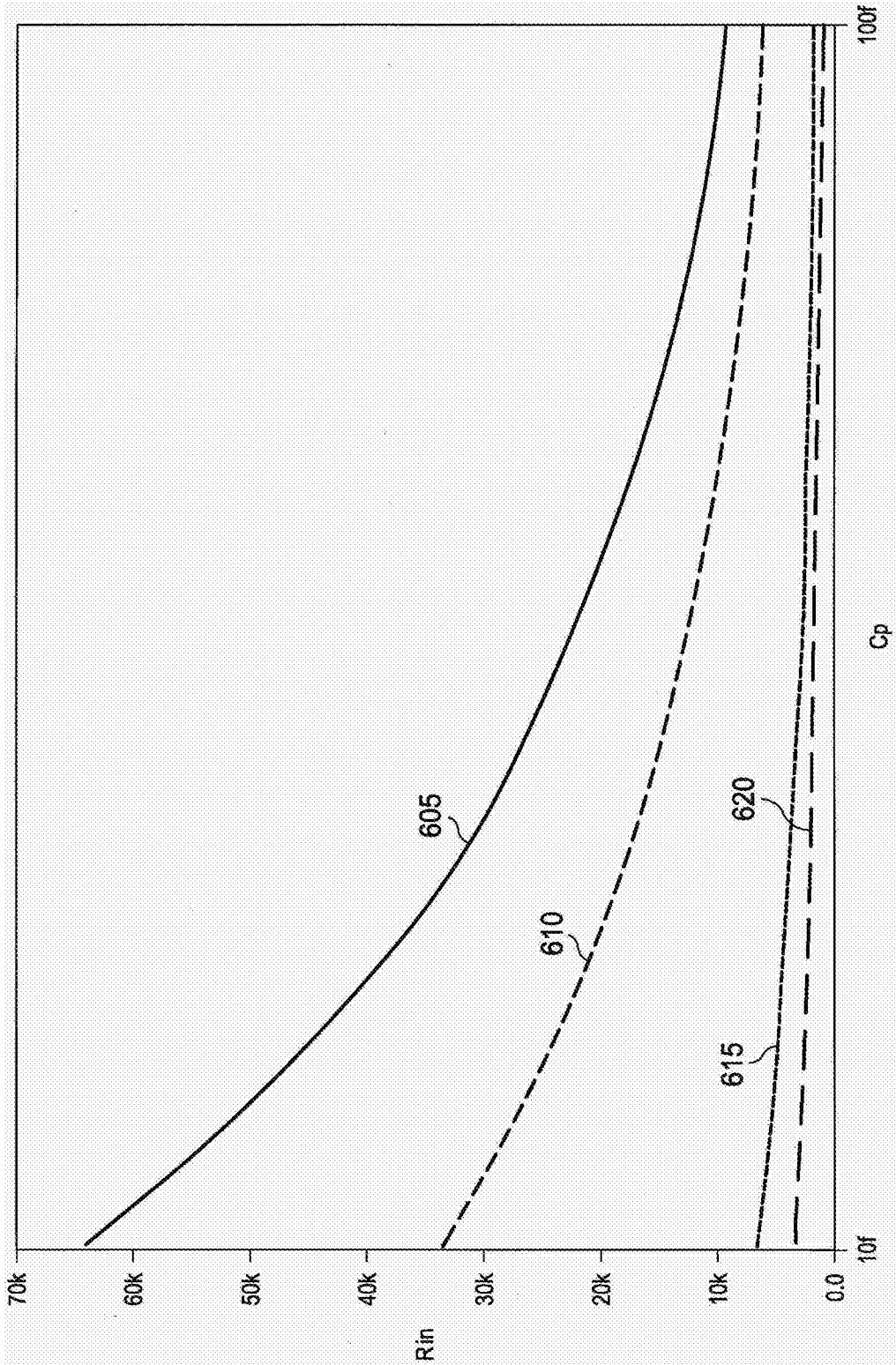


图6

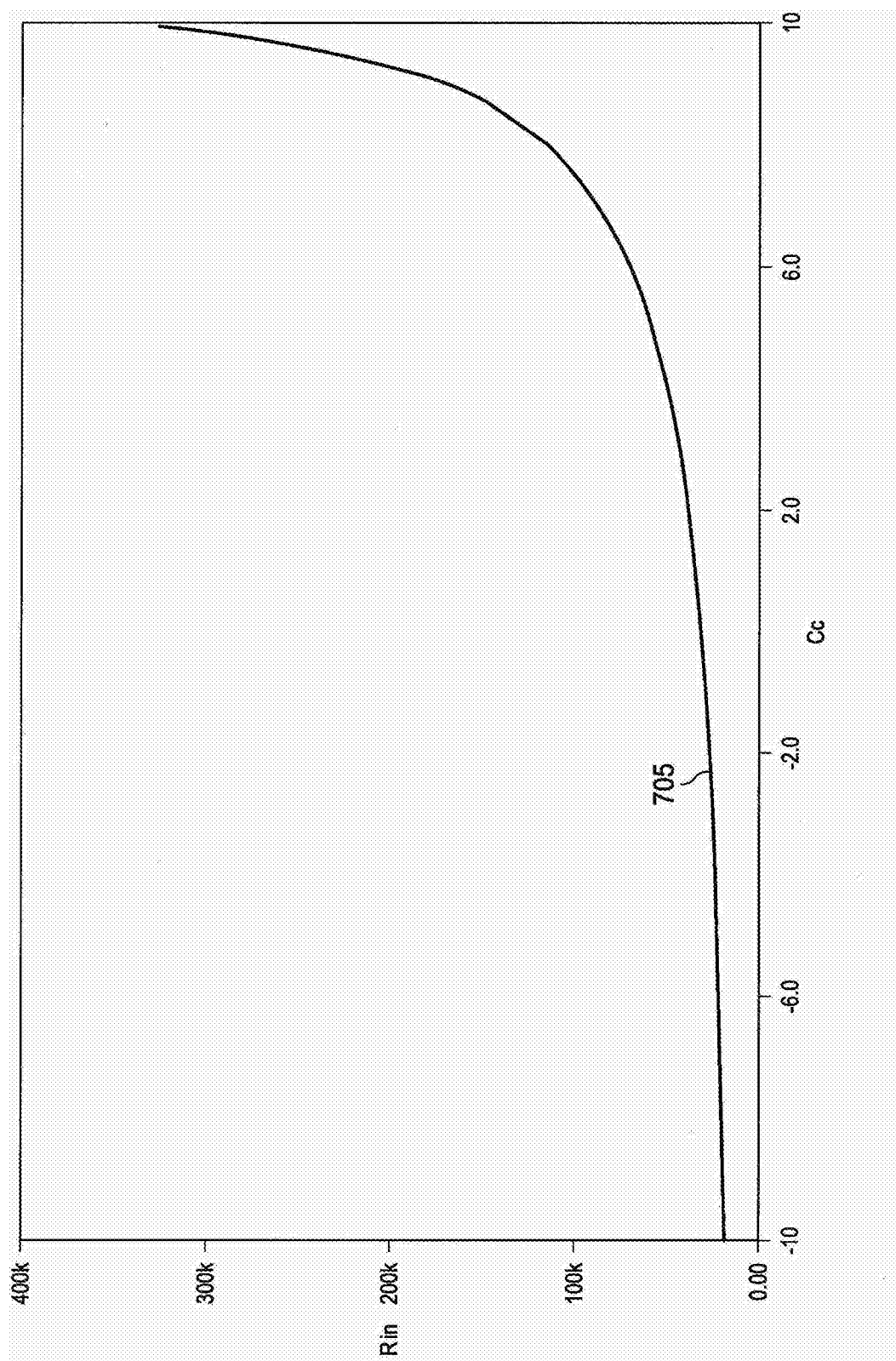


图7

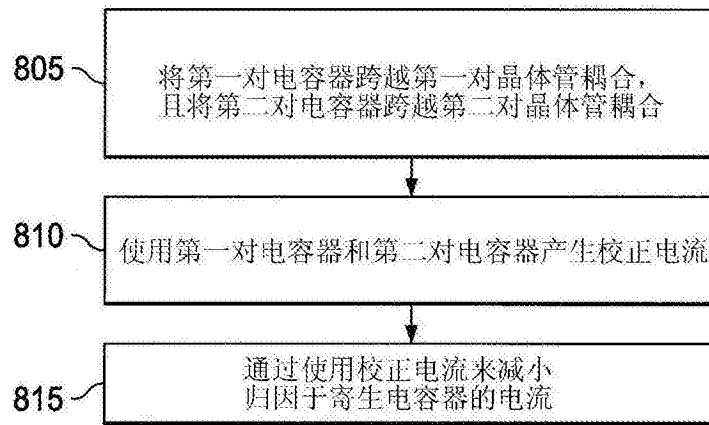


图8

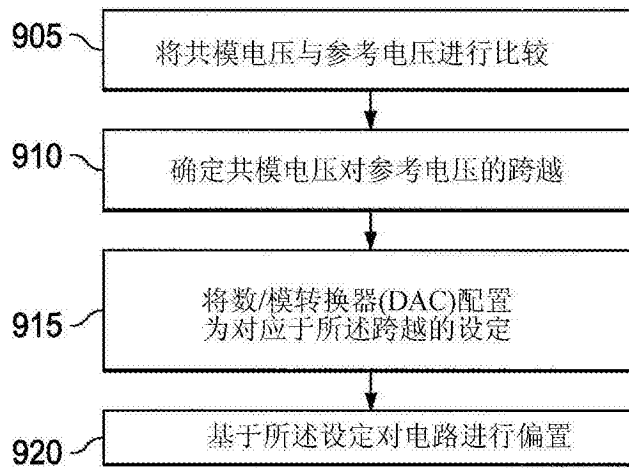


图9