



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2024년10월28일

(11) 등록번호 10-2723008

(24) 등록일자 2024년10월23일

(51) 국제특허분류(Int. Cl.)

H04L 25/49 (2006.01)

(52) CPC특허분류

H04L 25/4917 (2013.01)

(21) 출원번호 10-2023-0157620

(22) 출원일자 2023년11월14일

심사청구일자 2023년11월14일

(56) 선행기술조사문헌

Seoung-Geun Cho 외 1명, 'A PAM-4 Baud-Rate CDR with High-Gain Phase Detector Using Shared Sampler', ISOC, (2023.10.25.) 1부.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

강진구

서울특별시 서초구 잠원로14길 32, 103동 2602호 (잠원동, 래미안 신반포 리오센트)

조성근

충청남도 천안시 서북구 월봉로 131, 111동 203호(쌍용동, 용암마을아파트)

(74) 대리인

양성보

전체 청구항 수 : 총 8 항

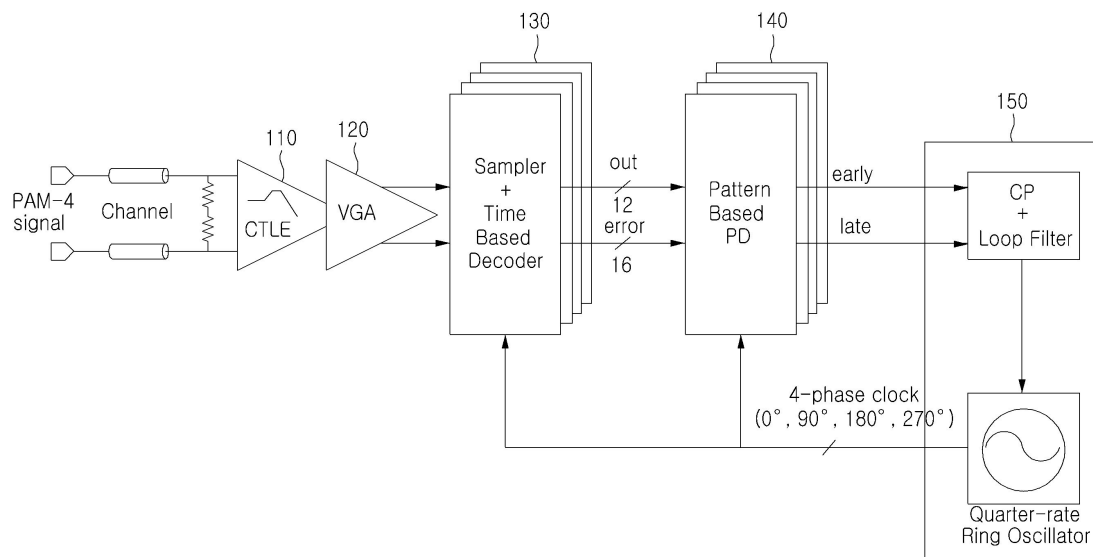
심사관 : 황철규

(54) 발명의 명칭 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR

(57) 요약

저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR은 채널을 통과한 PAM-4 신호를 등화하는 CTLE, 상기 CTLE의 출력 신호를 증폭하는 VGA, 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 복수의 샘플러, 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 복수의 샘플러 중 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 데이터를 판단하는 시간 기반 디코더, 상기 판단 결과에 따른 신호의 위상을 검출하는 PD 및 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 PLL을 포함한다.

대 표 도



이 발명을 지원한 국가연구개발사업

과제고유번호 1711192884
과제번호 2023R1A2C1006578
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 중견연구

연구과제명 다양한 채널환경의 고속 인터페이스를 위한 Dual mode PAM, PWM, Duo-Binary 신호가 혼재된 복합신호 기법을 이용한 SerDes 설계

과제수행기관명 인하대학교
연구기간 2023.03.01 ~ 2026.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1711193592
과제번호 2021-0-02052-003
부처명 과학기술정보통신부
과제관리(전문)기관명 정보통신기획평가원
연구사업명 대학ITRC센터육성지원사업(교육운영수익)
연구과제명 [Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및

인력 양성(3차년도)

과제수행기관명 인하대학교 산학협력단
연구기간 2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711191430
과제번호 S0000163
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 시스템반도체융합전문인력육성(R&D)
연구과제명 산학 밀착형 IoT 반도체 시스템 융합 인력육성 센터
과제수행기관명 성균관대학교
연구기간 2023.01.01 ~ 2023.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

채널을 통과한 PAM-4 신호를 등화하는 CTLE(Complementary Transistor Logic Equalizer);

상기 CTLE의 출력 신호를 증폭하는 VGA(Variable Gain Amplifier);

상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 복수의 샘플러;

입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 복수의 샘플러 중 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 데이터를 판단하는 시간 기반 디코더;

상기 판단 결과에 따른 신호의 위상을 검출하는 PD(Phase Detector); 및

상기 검출된 위상에 따라 위상 고정 동작을 수행하는 PLL(Phase Lock Loop)

을 포함하는 PAM-4 CDR.

청구항 2

제1항에 있어서,

상기 복수의 샘플러는,

각각의 샘플러의 출력이 위상 검출을 위한 정보로써 사용되며 동시에 시간 기반 디코더를 통한 데이터 판단에도 사용되어 하나의 샘플러가 데이터 샘플러와 에리 샘플러의 역할을 동시에 수행하는

PAM-4 CDR.

청구항 3

제1항에 있어서,

상기 시간 기반 디코더는,

펄스 진폭 변조 신호의 복수의 데이터 레벨을 임계 전압으로 사용하는 상기 복수의 샘플러를 통해 샘플링된 펄스 진폭 변조 신호에 대하여 인접한 데이터 레벨을 임계 전압으로 사용하는 복수의 샘플러 출력을 각각 시간 기반 디코더의 입력으로 사용하여 상기 복수의 샘플러의 클락 지연을 비교함으로써 시간 기반 신호를 출력하는

PAM-4 CDR.

청구항 4

제1항에 있어서,

상기 PD는,

연속된 복수의 데이터 패턴을 기반으로 단조 증가하거나 단조 감소하는 패턴만을 사용하여 위상 검출 동작을 수행하는

PAM-4 CDR.

청구항 5

CTLE를 통해 채널을 통과한 PAM-4 신호를 등화하는 단계;

VGA를 통해 상기 CTLE의 출력 신호를 증폭하는 단계;

복수의 샘플러를 통해 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 단계;

시간 기반 디코더를 통해 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 두 샘플러의 출력을 입력

으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 판단하는 단계;
PD를 통해 상기 판단 결과에 따른 신호의 위상을 검출하는 단계; 및
PLL을 통해 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 단계
를 포함하는 PAM-4 CDR의 동작 방법.

청구항 6

제5항에 있어서,
상기 복수의 샘플러를 통해 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 단계는,
각각의 샘플러의 출력이 위상 검출을 위한 정보로써 사용되며 동시에 시간 기반 디코더를 통한 데이터 판단에도 사용되어 하나의 샘플러가 데이터 샘플러와 에러 샘플러의 역할을 동시에 수행하는
PAM-4 CDR의 동작 방법.

청구항 7

제5항에 있어서,
상기 시간 기반 디코더를 통해 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 판단하는 단계는,
펄스 진폭 변조 신호의 복수의 데이터 레벨을 임계 전압으로 사용하는 상기 복수의 샘플러를 통해 샘플링 된 펄스 진폭 변조 신호에 대하여 인접한 데이터 레벨을 임계 전압으로 사용하는 복수의 샘플러 출력을 각각 시간 기반 디코더의 입력으로 사용하여 상기 복수의 샘플러의 클락 지연을 비교함으로써 시간 기반 신호를 출력하는
PAM-4 CDR의 동작 방법.

청구항 8

제5항에 있어서,
상기 PD를 통해 상기 판단 결과에 따른 신호의 위상을 검출하는 단계는,
연속된 복수의 데이터 패턴을 기반으로 단조 증가하거나 단조 감소하는 패턴만을 사용하여 위상 검출 동작을 수행하는
PAM-4 CDR의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 최근 기술 발달로 인해 데이터 처리량이 증가함에 따라 고속 인터페이스(high speed interface) 분야에서 PAM-4(Pulse Amplitude Modulation 4-Level) 신호의 사용량이 증가하고 있다. PAM-4 신호는 대역폭 관점에서 우수성을 가지지만 이를 처리하기 위한 추가적인 하드웨어가 필요하다는 제한사항이 있다.

[0003] 특히, 수신단에서는 PAM-4 신호를 처리하기 위한 CDR 회로의 역할이 중요하다. 기존의 오버샘플링 CDR의 경우 클락 버퍼 및 AFE 단의 부하 증가로 인해 높은 전력 소모가 야기된다.

[0004] 이를 위한 대체제로 보레이트(baud-rate) CDR을 사용할 수 있다. 보레이트 CDR에서 가장 많이 사용하는 MM-PD(Mueller-Mueller Phase Detector)의 경우 추가적인 에러 샘플러(error sampler)를 필요로 한다. 특히, PAM-4 CDR의 경우 많은 에러 샘플러를 필요로 한다.

선행기술문헌

비특허문헌

- [0005] (비특허문헌 0001) [1] S. Park et al., "A 0.83pJ/b 52Gb/s PAM-4 Baud-Rate CDR with Pattern-Based Phase Detector for Short-Reach Applications," 2023 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2023

발명의 내용

해결하려는 과제

- [0006] 본 발명이 이루고자 하는 기술적 과제는 PAM-4 보레이트(baudrate) CDR 및 그 동작 방법을 제공하는데 있다. 제안하는 CDR은 위상 검출(phase detecting) 및 데이터 판단에 필요한 샘플러의 개수를 최소화하여 전력 효율(power efficiency)과 지터 허용 오차(jitter tolerance)가 우수한 CDR을 제안한다.

과제의 해결 수단

- [0007] 일 측면에 있어서, 본 발명에서 제안하는 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR은 채널을 통과한 PAM-4 신호를 등화하는 CTLE(Complementary Transistor Logic Equalizer), 상기 CTLE의 출력 신호를 증폭하는 VGA(Variable Gain Amplifier), 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 복수의 샘플러, 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 복수의 샘플러 중 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 데이터를 판단하는 시간 기반 디코더, 상기 판단 결과에 따른 신호의 위상을 검출하는 PD(Phase Detector) 및 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 PLL(Phase Lock Loop)을 포함한다.

- [0008] 상기 복수의 샘플러는 각각의 샘플러의 출력이 위상 검출을 위한 정보로써 사용되며 동시에 시간 기반 디코더를 통한 데이터 판단에도 사용되어 하나의 샘플러가 데이터 샘플러와 에러 샘플러의 역할을 동시에 수행한다.

- [0009] 상기 시간 기반 디코더는 펄스 진폭 변조 신호의 복수의 데이터 레벨을 임계 전압으로 사용하는 상기 복수의 샘플러를 통해 샘플링된 펄스 진폭 변조 신호에 대하여 인접한 데이터 레벨을 임계 전압으로 사용하는 복수의 샘플러 출력을 각각 시간 기반 디코더의 입력으로 사용하여 상기 복수의 샘플러의 클락 지연을 비교함으로써 시간 기반 신호를 출력한다.

- [0010] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR의 동작 방법은 CTLE를 통해 채널을 통과한 PAM-4 신호를 등화하는 단계, VGA를 통해 상기 CTLE의 출력 신호를 증폭하는 단계, 복수의 샘플러를 통해 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 단계, 시간 기반 디코더를 통해 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 판단하는 단계, PD를 통해 상기 판단 결과에 따른 신호의 위상을 검출하는 단계 및 PLL을 통해 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 단계를 포함한다.

발명의 효과

- [0011] 본 발명의 실시예들에 따르면 PAM-4 보레이트(baudrate) CDR 및 그 동작 방법을 통해 하나의 샘플러가 데이터 샘플러와 에러 샘플러의 역할을 동시에 수행하여 보다 많은 위상 검출 정보를 기반으로 CDR의 지터 성능을 높일 수 있다. 추가로 사용하는 샘플러의 수가 적으므로 클락 버퍼 및 AFE(Analog Front End) 단의 부하가 줄어 적은 전력 소모를 가지는 CDR 설계를 가능하게 한다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시예에 따른 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR의 구조를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR 동작 방법을 설명

하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 위상 검출을 위한 데이터 패턴을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 샘플러 및 시간 기반 디코드의 블록 다이어그램을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 지터 허용 오차에 대한 테스트 설정을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 지터 허용 오차를 비교하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 복구된 클락 아이 다이어그램을 나타내는 도면이다.

도 8은 본 발명의 일 실시예에 따른 전력 브레이크 다운을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0015] 도 1은 본 발명의 일 실시예에 따른 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR의 구조를 나타내는 도면이다.
- [0016] 도 1은 제안하는 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR의 전체 블록도를 나타낸다. 본 발명의 실시예에 따르면, 25-Gbps의 데이터를 처리하기 위해 쿼터 레이트 아키텍처(quarter-rate architecture)로 설계하였다.
- [0017] 본 발명의 일 실시예에 따르면, 먼저 채널을 통과한 PAM-4 신호는 6.25GHz에서 5.9dB 부스트 업(boost up)하는 CTLE(Complementary Transistor Logic Equalizer)(110)에 의해 등화된다. 이어 VGA(Variable Gain Amplifier)(120)에 의해 증폭된 신호는 각각의 데이터 레벨을 임계 전압으로 가지는 네 개의 샘플러(130)에 의해 샘플링되며, 시간 기반 디코더(130)를 통해 해당 출력들은 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 네 개의 샘플러 중 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 데이터를 판단한다. 이후, 패턴 의존형 PD(Phase Detector)(140)를 통해 상기 판단 결과에 따른 신호의 위상을 검출한다. 마지막으로 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 PLL(Phase Lock Loop)(150) 기반 구조로 차지 펌프(charge pump)와 VCO(Voltage Controlled Oscillator)에 의해 출력 주파수가 결정된다.
- [0019] 도 2는 본 발명의 일 실시예에 따른 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR 동작 방법을 설명하기 위한 도면이다.
- [0020] 제안하는 저전력으로 높은 지터 내구성을 갖는 PAM-4 보레이트 CDR 동작 방법은 CTLE을 통해 채널을 통과한 PAM-4 신호를 등화하는 단계(210), VGA를 통해 상기 CTLE의 출력 신호를 증폭하는 단계(220), 복수의 샘플러를 통해 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링하는 단계(230), 시간 기반 디코더를 통해 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 판단하는 단계(240), PD를 통해 상기 판단 결과에 따른 신호의 위상을 검출하는 단계(250) 및 PLL을 통해 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 단계(260)를 포함한다.
- [0021] 단계(210)에서, CTLE을 통해 채널을 통과한 PAM-4 신호를 등화한다.
- [0022] 본 발명의 일 실시예에 따르면, 먼저 채널을 통과한 PAM-4 신호는 6.25GHz에서 5.9dB 부스트 업(boost up)하는 CTLE에 의해 등화된다.
- [0023] 단계(220)에서, VGA를 통해 상기 CTLE의 출력 신호를 증폭한다.
- [0024] 단계(230)에서, 복수의 샘플러를 통해 상기 증폭된 신호에 대해 복수의 데이터 레벨을 임계 전압으로 하여 샘플링한다.
- [0025] 본 발명의 일 실시예에 따르면, 상기 증폭된 신호는 각각의 데이터 레벨을 임계 전압으로 가지는 네 개의 샘플러에 의해 샘플링된다.
- [0026] 본 발명의 일 실시예에 따르면, 각각의 샘플러의 출력이 위상 검출을 위한 정보로써 사용되며 동시에 시간 기반 디코더를 통한 데이터 판단에도 사용되어 하나의 샘플러가 데이터 샘플러와 에러 샘플러의 역할을 동시에 수행할 수 있다.

- [0027] 단계(240)에서, 시간 기반 디코더를 통해 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 판단한다.
- [0028] 본 발명의 일 실시예에 따르면, 시간 기반 디코더를 통해 해당 출력들은 입력 전압 차이에 따른 출력 신호의 지연을 활용한 방식으로 네 개의 샘플러 중 두 샘플러의 출력을 입력으로 받아 어떠한 샘플러의 출력이 더 빨리 도달하였는지 데이터를 판단한다.
- [0029] 본 발명의 일 실시예에 따르면, 펄스 진폭 변조 신호의 복수의 데이터 레벨을 임계 전압으로 사용하는 상기 복수의 샘플러를 통해 샘플링 된 펄스 진폭 변조 신호에 대하여 인접한 데이터 레벨을 임계 전압으로 사용하는 복수의 샘플러 출력을 각각 시간 기반 디코더의 입력으로 사용하여 상기 복수의 샘플러의 클락 지연을 비교함으로써 시간 기반 신호를 출력한다.
- [0030] 단계(250)에서, PD를 통해 상기 판단 결과에 따른 신호의 위상을 검출한다.
- [0031] 본 발명의 일 실시예에 따르면, 패턴 의존형 PD를 통해 상기 판단 결과에 따른 신호의 위상을 검출한다.
- [0032] 단계(260)에서, PLL을 통해 상기 검출된 위상에 따라 위상 고정 동작을 수행한다.
- [0033] 마지막으로 상기 검출된 위상에 따라 위상 고정 동작을 수행하는 PLL 기반 구조로 차지 펌프(charge pump)와 VCO(Voltage Controlled Oscillator)에 의해 출력 주파수가 결정된다.
- [0035] 도 3은 본 발명의 일 실시예에 따른 위상 검출을 위한 데이터 패턴을 나타내는 도면이다.
- [0036] 본 발명의 실시예에 따르면, 일반적인 MM-PD와 달리 연속된 3개의 데이터 패턴을 기반으로 위상 검출 동작을 수행한다. 이는 ISI 영향으로 인해 락 포인트(lock point)가 크게 흔들리는 것을 방지하기 위함이다. 본 발명의 실시예에 따라 사용한 데이터 패턴은 도 3과 같다. 단조 증가 및 단조 감소하는 패턴만을 사용하였으며 단조 증가하는 패턴에 대해서는 d[n]에서 샘플링(sampling)한 값이 -1이면 얼리(early), +1이면 레이트(late)를 출력하며, 단조 감소하는 패턴에 대해서는 그 반대이다. 총 24개의 패턴을 사용하였으므로 $0.375(=24/4^3)$ 의 전이 밀도를 갖는다. 본 발명의 실시예에 따른 PAM-4 보레이트 CDR은 기준 높은 전이 밀도를 갖기에 우수한 지터 허용 오차를 갖는 CDR 설계가 가능하다
- [0038] 도 4는 본 발명의 일 실시예에 따른 샘플러 및 시간 기반 디코더의 블록 다이어그램을 나타내는 도면이다.
- [0039] 도 4는 제안하는 샘플러 및 시간 기반 디코더의 블록 다이어그램이다. 시간 기반 디코더는 입력 전압 차이에 따른 출력 신호의 clock-q 지연을 활용한 방식으로 두 샘플러의 출력을 입력으로 받아 어떤 샘플러의 출력이 더 빨리 도달하였는지 판단한다. 디코딩하는 메커니즘은 다음과 같다.
- [0040] 먼저, 본 발명의 실시예에 따른 PAM-4 신호의 데이터 레벨을 임계 전압으로 사용하는 4개의 샘플러를 통해 PAM-4 신호를 샘플링한다. 본 발명의 실시예에 따르면, 인접한 데이터 레벨을 임계 전압으로 사용하는 3쌍의 샘플러 출력을 각각 시간 기반 디코더의 입력으로 사용한다. 각 시간 기반 디코더는 샘플러의 clock-q 지연을 비교하여 TB 신호를 출력한다. 표 1은 시간 기반 디코더 출력에 따른 PAM-4 신호에 대한 디코딩 테이블이다.

[0041] <표 1>

Decoding table	Input PAM-4 Singal			
	+3	+1	-1	-3
Reference voltage	Input voltage difference			
REF3/REF2	0×/1×	1×/0×	2×/1×	3×/2×
REF2/REF1	1×/2×	0×/1×	1×/0×	2×/1×
REF1/REF0	2×/3×	1×/2×	0×/1×	1×/0×
Time-based decoder	Thermometer Code			
TB32	1	0	0	0
TB21	1	1	0	0
TB10	1	1	1	0

- [0042]
- [0043] 본 발명의 실시예에 따른 1 LSB의 전압 차이를 $1\times$ 라고 정의할 때, 입력 신호에 따른 입력 전압 차이를 정리하였다. 입력 전압 차이에 따라 발생한 시간 기반 디코더 출력이 입력 데이터를 판단한 결과이다. 앞서 설명한 것과 같이 각 샘플러의 출력은 위상 검출 정보로써 사용되며 동시에 시간 기반 디코더를 통해 데이터 판단에도 사

용된다. 이로 인해 하나의 샘플러가 데이터 샘플러와 에러 샘플러의 역할을 동시에 수행하는 것이 가능하다.

[0045] 도 5는 본 발명의 일 실시예에 따른 지터 허용 오차에 대한 테스트 설정을 나타내는 도면이다.

[0046] 도 5를 참조하면, 본 발명의 실시예에 따른 시뮬레이션은 탑-다운(top-down) 방식으로 진행하였으며 보다 정확한 검증을 위해 노이즈 환경을 고려하였다. 고려한 노이즈 환경은 다음과 같다: 1) TX 클락 지터(clock jitter)(RJ+SJ), 2) 비교기 입력 기준 지터(Comparator input-referred noise), 3) 기준 전압 노이즈(Reference voltage noise), 4) VCO 위상 노이즈. 지터 허용 오차 측정을 위해 TX 단의 입력 신호에 정현파 지터(sinusoidal jitter)를 적용하였다. 각 지터 주파수(jitter frequency)에서 특정한 BER(= 10⁻¹²)에 도달할 때까지 지터 진폭(jitter amplitude)을 증가시켰다. 본 발명의 실시예에 따른 시뮬레이션 결과와 종래기술을 비교하였다. 정확한 검증을 위해 PD + 디코더 블록을 제외한 모든 설정을 같게 하여 위상 검출 성능에 의한 지터 허용 오차를 비교하였다.

[0048] 도 6은 본 발명의 일 실시예에 따른 지터 허용 오차를 비교하기 위한 도면이다.

[0049] 도 6을 참조하면, 측정한 지터 허용 오차는 그래프에서 확인할 수 있듯이 제안하는 CDR의 지터 허용 오차가 향상하였으며 그에 따라 대역폭 또한 넓어진 것을 확인할 수 있다.

[0051] 도 7은 본 발명의 일 실시예에 따른 복구된 클락 아이 다이어그램을 나타내는 도면이다.

[0052] 본 발명의 실시예에 따른 CDR에 대하여 CMOS 65nm 공정을 통하여 검증하였다. 초기 주파수는 링 오실레이터(ring oscillator)의 주파수를 6.25GHz에 가깝게 세팅하여 CDR이 타겟 주파수를 찾아갈 수 있도록 하였다. 추가로 기준 전압은 클락 지터가 최소화되도록 직접 세팅하였다. 도 7을 참조하면, 10,000UI 기준, 복원된 클락의 아이 다이어그램이다. 피크 투 피크 지터(Peak to peak jitter)는 약 5.93ps이다.

[0054] 도 8은 본 발명의 일 실시예에 따른 전력 브레이크 다운을 설명하기 위한 도면이다.

[0055] 도 8은 제안하는 CDR의 전력 브레이크 다운으로 전체 전력 소모는 19.75mW이다. 표 2는 제안하는 PAM-4 보레이트 CDR의 시뮬레이션 결과 및 성능이 요약되어 있다.

[0056] <표 2>

	(Measurement)	(Measurement)	This work (Simulation)
Technology	40nm	28nm	65nm
Supply voltage [V]	1.0	1.0	1.2
Channel loss [dB]	6	7.1	17.7
Data rate [Gb/s]	64	52s	25
# of COMPs per UI	4	4	4
Transition Density	0.375	0.125	0.375
Power consumption [mW]	152	43.1	19.75
Power efficiency [pJ/bit]	2.37	0.83	0.79
FOM [pJ/bit/dB]	0.395	0.117	0.045

[0057]

[0058] 표 2를 참조하면, 제안하는 CDR은 샘플러의 수 대비 높은 전이 밀도(transition density)를 가지면서 전력 효율(power efficiency)을 개선할 수 있음을 확인 가능하다.

[0059] 이와 같이, 본 발명의 실시예들에 따르면 PAM-4 보레이트(baudrate) CDR 및 그 동작 방법을 통해 하나의 샘플러가 데이터 샘플러와 에러 샘플러의 역할을 동시에 수행하여 보다 많은 위상 검출 정보를 기반으로 CDR의 지터 성능을 높일 수 있다. 또한, 추가로 사용하는 샘플러의 수가 적으므로 클락 버퍼 및 AFE 단의 부하가 줄어 적은 전력 소모를 가지는 CDR 설계를 가능케 한다.

[0061] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로

세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0062] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

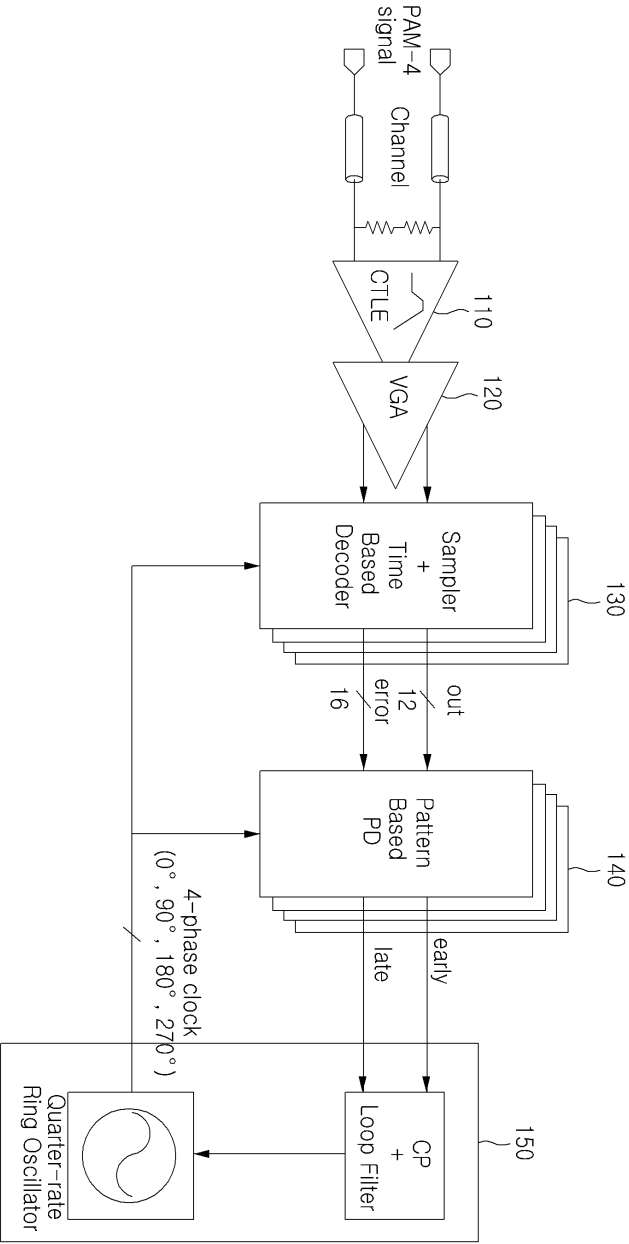
[0063] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0064] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

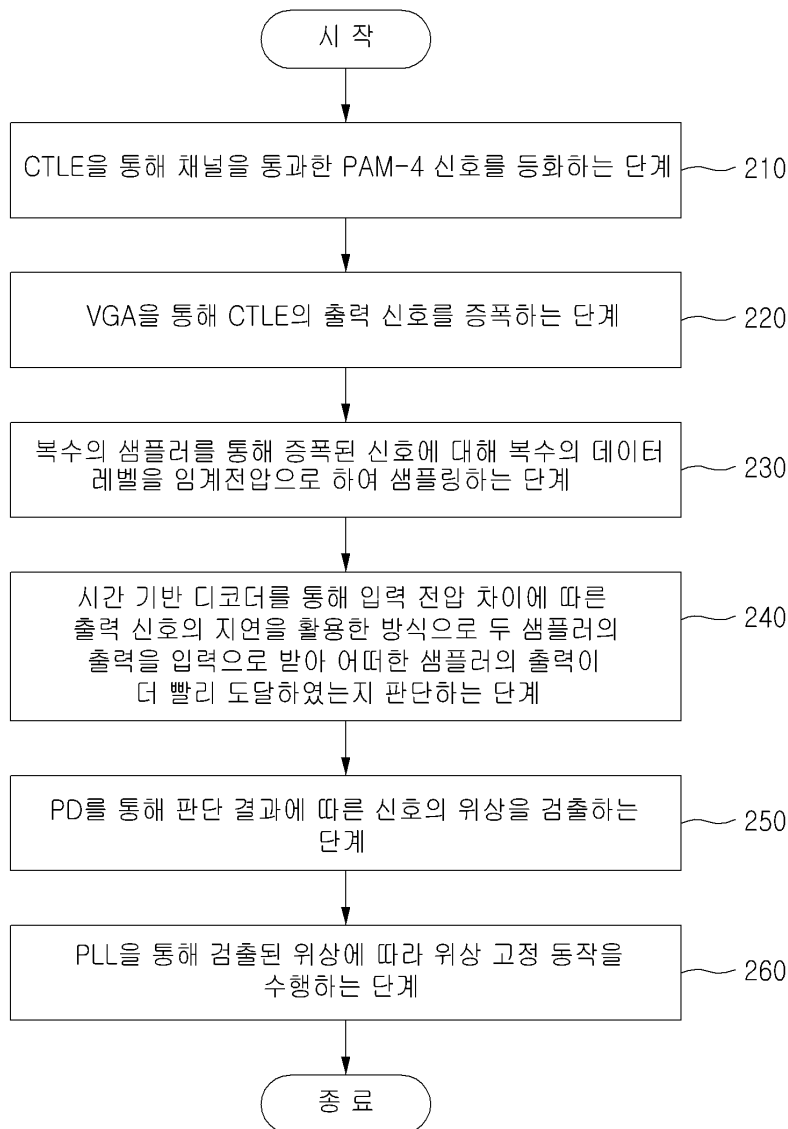
[0065] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

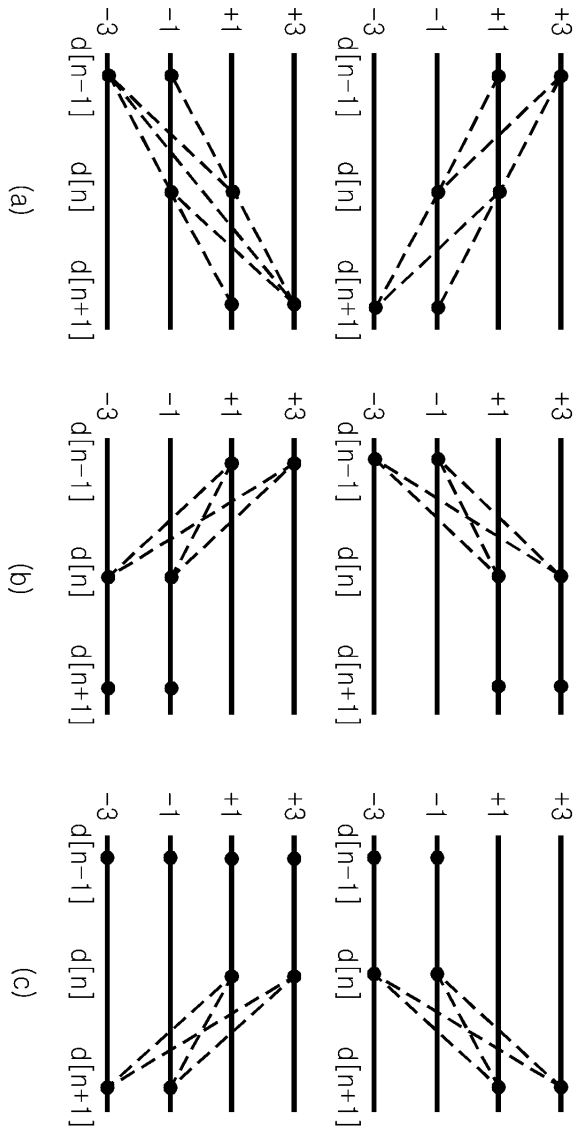
도면1



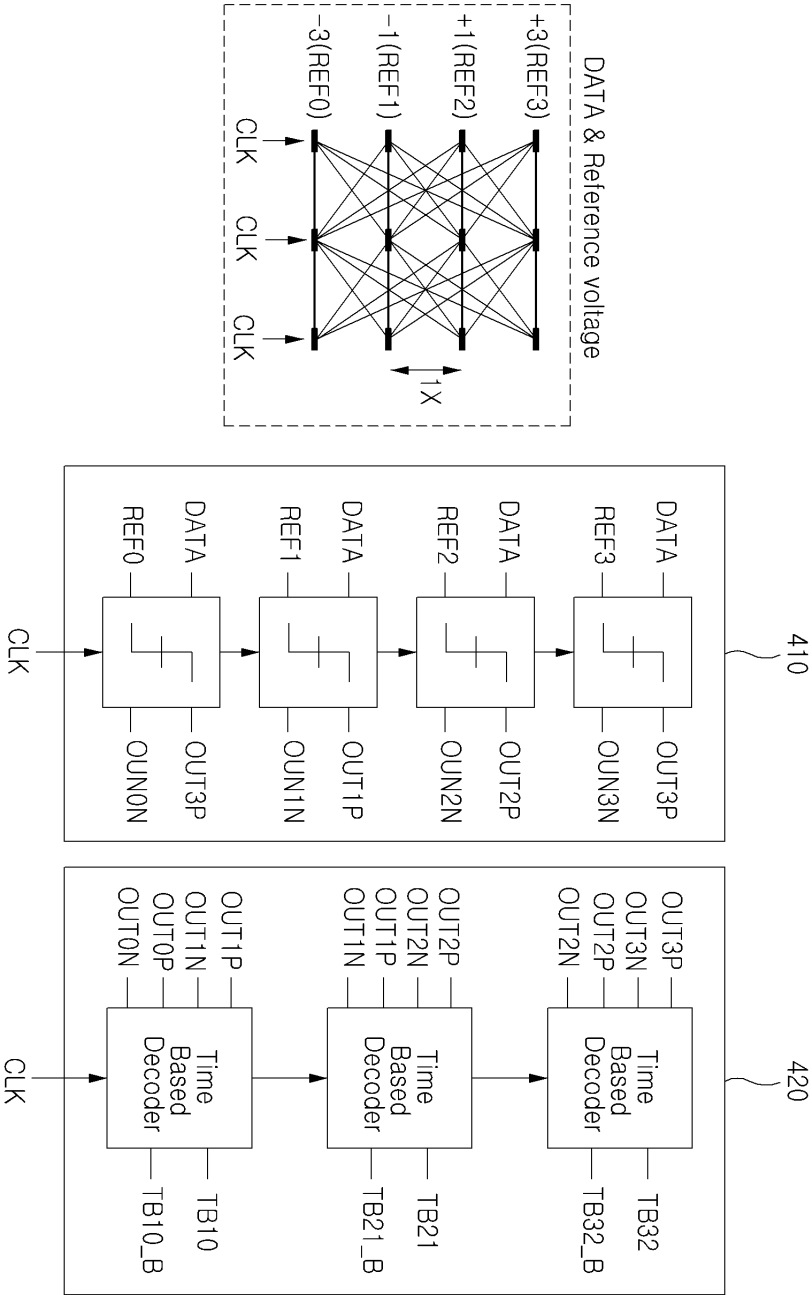
도면2



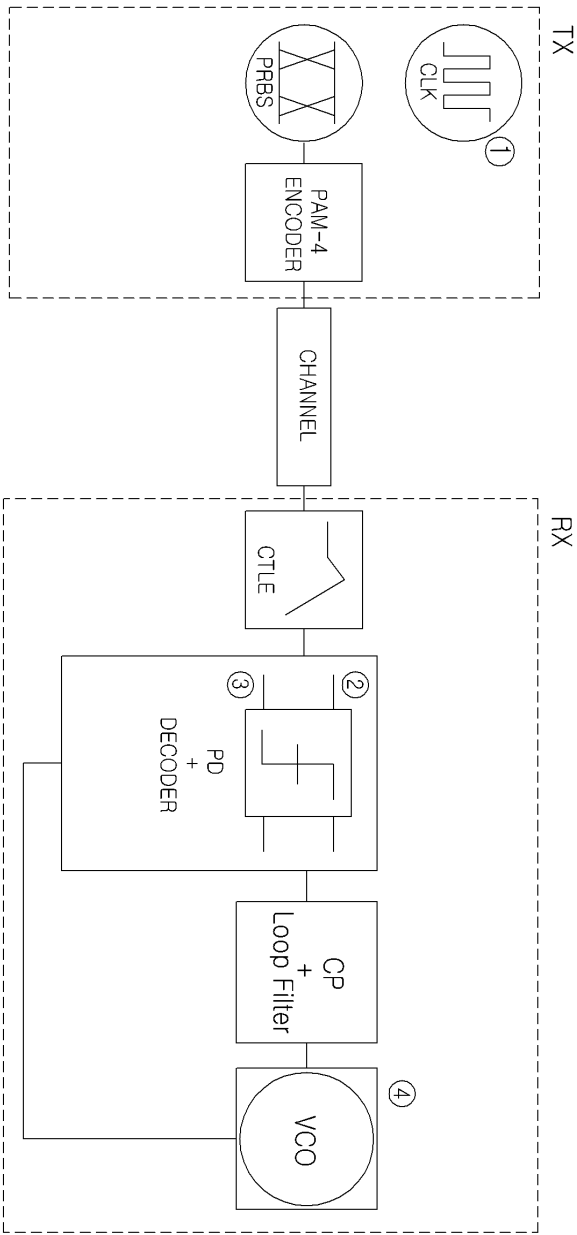
도면3



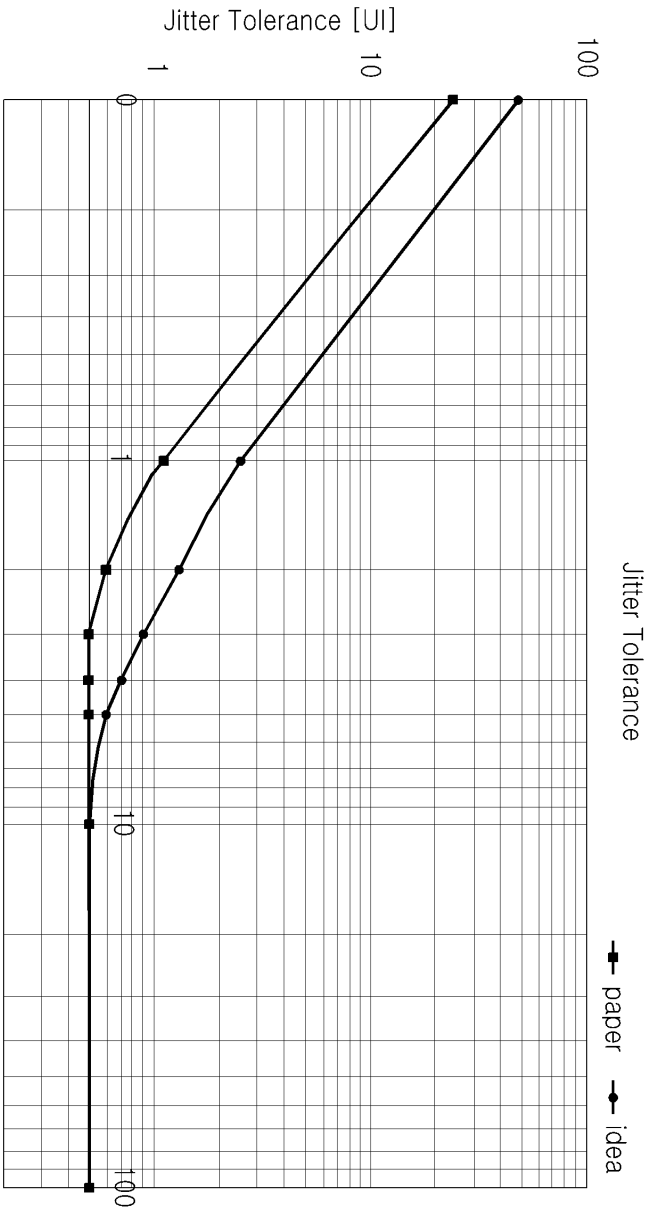
도면4



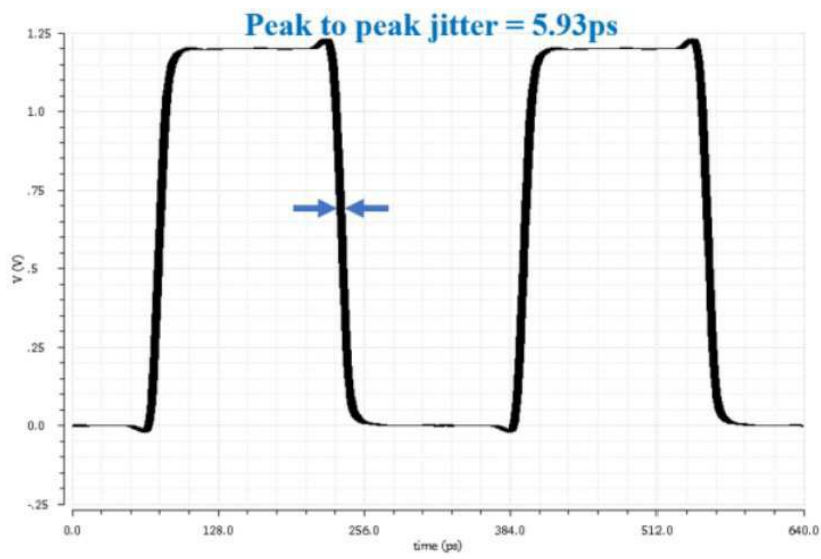
도면5



도면6



도면7



도면8

