(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G02F 1/136

(45) 공고일자 2002년05월13일
(11) 등록번호 10-0336684
(24) 등록일자 2002년05월02일

(21) 출원번호 10-2000-0067983
(22) 출원일자 2000년11월16일

(65) 공개번호 특2001-0051728
(43) 공개일자 2001년06월25일

(30) 우선권주장 99-329725 1999년11월19일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자 미야자와토시오
일본국도쿄도치요다쿠마루노우치1쵸메5-1뉴마루노우치빌딩가부시키가이샤히타치세이사쿠쇼지테키쇼유켄혼부나이
미무라아키오
일본국도쿄도치요다쿠마루노우치1쵸메5-1뉴마루노우치빌딩가부시키가이샤히타치세이사쿠쇼지테키쇼유켄혼부나이

(74) 대리인 이종일

심사관 : 박제현

(54) 액정표시장치와 그 제조방법

요약

본 발명은 액정표시장치와 그 제조방법에 있어서 다수의 박막트랜지스터와 기판주위에 배치된 구동회로 영역에 상응하는 다수의 게이트선 다수의 드레인선 다수의 박막트랜지스터 또한 다수의 화소전극을 지니며 다수의 박막트랜지스터를 구동하기 위한 구동회로를 지니는 기판위의 화소영역에 장착되는 액정표시장치의 관한것으로 박막트랜지스터는 기판에 형성된 다결정실리콘반도체 사이에 들어간 게이트전절연막과 함께 다결정실리콘반도체상에 형성된 게이트전극 다결정실리콘반도체층 게이트절연막과 게이트전극을 커버하는 절연막 다결정실리콘반도체층에 전기적으로 연결되고 절연막에 형성된 드레인 전극 절연막에 형성되고 드레인전극에서 간격을 두고 다결정실리콘반도체층과 전기적으로 연결되고, 절연막에 형성된 드레인전극 절연막에 형성되고 드레인전극에서 간격을 두고 다결정 실리콘반도체층과 전기적으로 연결된 공급전극을 가지고 다결정실리콘반도체층 표면의 요철은 다결정실리콘반도체의 두께의 10%이내인 기술이 제시된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명에 의한 액정표시장치의 제 1실시예의 요부구성을 설명하는 단면도이다.

도 2 는 본 발명에 의한 액정표시장치를 구성하는 액티브매트릭스기판의 제 1 실시예의 일화소부근의 구성을 설명하는 평면도이다.

도 3 은 본 발명에 의한 액정표시장치를 구성하는 액티브매트릭스기판의 형성된 박막트랜지스터의 요부적층 박막구조의 단면의 현미경사진의 모사도이다.

도 4A 및 4B 는 기판상에 형성한 다결정실리콘반도체층의 요철의 상태와 불순물의 두께방향 농도분포(detpth distributions of concentrations)의 피크위치에 대하여 종래기술과 본 실시예를 대비한 설명도이고 도 4A는 종래의 다결정실리콘반도체의 모식단면도이고 도 4B는 실시예의 다결정실리콘반도체층의 모식단면도이다.

도 5A 는 종래기술의 다결정실리콘반도체층의 모식 단면도이다

도 5B 는 본 발명의 실시예의 다결정실리콘반도체층의 모식 단면도이다.

도 6A 는 박막트랜지스터의 게이트전압을 올릴때의 등전위선 분포를 설명하는 종래의 다결정실리콘반도체층의 모식단면도이다.

도 6B 는 종래의 박막트랜지스터의 단면도이고 도 6C는 기생 쌍극성트랜지스터의 등가회로도이다.

도 7A - 7R 은 본 발명에 의한 액정표시장치의 액티브매트릭스 기판의 2개의 박막트랜지스터의 단면도이고 본 발명의 액정표시장치의 제조방법의 제 1실시예에 관한 것이다.

도 8 은 다결정실리콘반도체를 사용하는 액정표시장치의 한 예를 설명하는 액티브매트릭스기판의 개략도이다.

도 9 는 종래의 액정표시장치를 구성하는 액티브매트릭스기판위에 형성된 박막트랜지스터의 요부적층 박막구조의 단면의 현미경사진의 모사도이다.

도 10 은 제 2의 기판(SUB2)를 대기에 노출시키지않고 제 1의 기판(SUB1)에서의 제 2실시예의 공정 1 - 공정 4를 행하기 위한 제조장치의 한 예를 묘사하는 개략도이다.

< 도면의 주요부분에 대한 부호의 설명

TFT : 박막트랜지스터 SUB1 : 기판(액티브매트릭스기판)

PS : 다결정실리콘반도체층 SUB2 : 칼라필터기판(제 2의 기판)

PS1 : 제 1층의 다결정실리콘반도체층

PS2 : 제 2층의 다결정실리콘반도체층

AR : 표시영역 GL : 게이트선(주사신호선)

DL : 드레인선(영상신호선) COM : 공통전극

H : 수평주사구동회로(드레인구동회로)

V : 수직주사구동회로(게이트구동회로)

BM : 블랙매트릭스 BIP : 붕소의 농도분포

PIP : 인의 농도분포 PT : 화소전극

PT : 프리챠지회로 GI : 게이트절연층

GT : 게이트전극 PAS : 절연층

PSV : 보호막 ORI1, ORI2 : 배향막

SD1 : 소스전극 SD2 : 드레인전극

FIL : 칼라필터 LG : 액정층

AFM : 원자간력현미경 RV : 반전층

CH : 채널 HF : 불화수소

RES : 마스크

PS-a : 제 1의 다결정 실리콘반도체막

PS-b : 제 2의 비정질 실리콘반도체막

11 : 기판반송실 19 : 로봇트암

20 : 반송기구 12 : 진공펌프

24 : 문 14 : 제 4 실

R1, R2, R3 : 제 1 실, 제 2 실, 제 3 실

15 : 레이저빛원 16 : 호모쟈이져

17 : 반사경 18 : 집광렌즈

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치에 있어서 특히 레이저 어닐기술을 이용하여 형성한 다결정실리콘반도체를 이용하여 형성한 당해 액정표시장치를 구성하는 액티브매트릭스표시장치와 그 제조방법에 관한 것이다.

정보처리단말의 디스플레이모니터와 텔레비젼수상기의 영상표시디바이스로서 액정표시장치가 폭넓게 이용되고 있다. 이 액정표시장치는 기본적으로는 2매의 절연기판간에 액정층을 봉입하고, 액정층을 구성하는 액정분자의 배향방향을 변화시키는 것에의해 화상과 영상을 표시하는것이다.

액정표시장치는 그 화소형성방식의 다름에 따라 각종의 형식이 알려져 있다.

그 안에서도 한쌍의 절연기판내의 한쪽의 내면에 화소별 스위치소자(능동소자)를 형성하고, 이 스위치소자의 몇개인가를 선택하는 것에 의해 화상을 형성하는 액티브매트릭스방식은 널리 채용되어 있다.

액티브매트릭스방식의 액정표시장치로서 가장 일반적인 것이 상기 스위치소자에 박막 트랙지스터(TFT)를 이용한 박막트랜지스터형 액정표시장치이다.

이 박막트랜지스터형 액정표시장치를 구성하는 박막트랜지스터 수동회로 부품등의 회로소자의 구성재료인 반도체층으로서 최근에는 다결정 실리콘반도체를 이용한 것이 실용화되어 있다.

도 8 은 다결정 실리콘반도체를 이용한 액정표시장치의 일례를 설명하는 액티브매트릭스기판의 모식평면도이다. 참조부호(SBU1)은 제1의 기판(하측기판, 액티브매트릭스기판)이며 표시영역(AR)에는 복수의 주사신호선(게이트선) (GL)과 복수의 영상신호선 (드레인선)(DL)이 종방향과 횡방향으로 부설되고, 그 교차부에 박막트랜지스터(TFT)가 형성되어 이 박막 트랜지스터(TFT)에서 구동되는 화소전극(PT)에서 단위화소가 구성된다.

화소영역(AR)의 주변에는 게이트선(GL)에 주사전압을 인가하는 수직주사구동회로(게이트구동회로)(V), 수평주사구동회로(드레인구동회로)(H), 프리챠지회로(PG)가 당해기판(SUB1)상에 만들어져 있다.

이 기판(SUB1)의 가장자리에는 외부장치(호스트컴퓨터, 영상처리장치등의 신호소스)에서의 표시신호를 입력하기 위한 단자(TM)이 형성되어 있다. 또한 COM은 도시하지 않은 다른쪽의 절연기판에 형성한 공통전극에 구동신호를 인가하기 위한 접속단자를 나타낸다.

다결정 실리콘반도체의 박막을 유리 혹은 석영의 절연기판(이하, 기판이라고 함)상에 형성하는 방법으로서, 당해기판상에 CVD등의 수단을 이용하여 비정질 실리콘막을 형성 후 레이져빔을 조사하여 유리등의 내열온도가 낮은기판이 용해 혹은 파괴되지 않는 온도에서 비정질 실리콘박막만을 국부적으로 용해하여 결정화하여 다결정 실리콘박막의 반도체층을 형성하는 방법이 종래로부터 일반적으로 이용되고 있다.

이 방법은 비교적 저가 유리를 기판으로서 이용하는 것이 가능하고 그 결과 액정표시장치의 저가격화를 도모하고 고품질의 액정표시장치를 시장에 출하하는 것이 가능하다.

또한, 기판상에 CVD등의 수단을 이용하여 비정질 실리콘막을 형성 후 레이져빔을 조사하여 유리등의 내열온도가 낮은 기판상에 다결정 실리콘 박막의 반도체층을 형성하는 방법이 기재된 공지문헌에서는 예를 들면 일본국 특개평10-41234호공보(1998. 2. 13 공개)가 있다.

그러나 일본국 특개평10-41234호 공보에 나타나는 종래기술에서는 1층의 비정질 실리콘막만에 레이져빔을 조사하여 다결정 실리콘박막을 형성하는 것이고 1층째의 다결정실리콘막상에 2층째의 비정질실리콘막에 레이져 빛을 조사하여 1층째의 다결정 실리콘막을 중심으로 2층째의 비정질 실리콘막을 결정성장시키는 것까지는 기재되어 있지 않다.

또한, 1층째의 비정질 실리콘막에 레이져 빛을 조사하여 1층째의 다결정 실리콘 박막을 형성하고 1층째의 다결정 실리콘박막상에 2층째의 비정질 실리콘막을 적층하고 2층째의 비정질 실리콘막에 레이져 빛을 조사하여 다결정 실리콘 박막을 형성하는 선행기술에는 일본국 특개평11-40501호공보(1999. 2. 12공개)가 있다.

그러나 일본국 특개평10-41234호 공보에 개시하는 기술에서는 1층째의 다결정 실리콘박막 표면의 불순물을 제거사상이 없었으므로 1층째와 2층째의 다결정실리콘막의 경계에 불순물 농도의 짙은 부분이 있고 그 불순물이 1층째의 다결정 실리콘막과 2층째의 다결정 실리콘막의 융합을 방해하고 있어서 1층째와 2층째의 다결정 실리콘막의 경계가 없는 결정성이 양호한 일체화한 다결정 실리콘막이 되기 어려웠다.

또한 여기에서 불순물은 대기성분과 대기중에 부유하는 먼지와 티끌을 의미하고 도전형을 결정하기위해 의도적으로 다결정 실리콘막에 도핑하는 붕소 인, 비소등의 불순물은 여기에서는 포함되지 않는다.

또한, 1층째의 다결정 실리콘막형성 후 대기에 접촉없이 2층째의 비정질 실리콘막을 적층하고 2층째의 비정질 실리콘막에 레이져를 조사하여 다결정 실리콘박막을 형성하는 선행기술에는 일본국 특개평7-99321호공보(19995. 4. 11공개)가 있다.

그러나, 일본국 특개평7-99321호공보는 다결정 실리콘막 표면을 평탄화하는 사상이 없기 때문에 2층째의 비정질실리콘막을 적층하기 전에 레이져 조사에 의해 생긴 1층째의 다결정 실리콘막의 돌기를 제거하는 클리닝공정을 행하지 않았다. 따라서 일본국 특개평7-99321호공보에 개시하는 기술에서는 본 발명과 같이 표면이 극히 평탄한 다결정 실리콘박막은 얻기어려웠다.

그러나, 상기 종래의 방법에서 형성한 다결정 실리콘막은 그것을 결정화시킬때 그 결정과 결정간에 커다란 돌기가 발생한다. 통상 다결정 실리콘의 박막은 20nm~100nm간의 막두께로 선택되어지나 이 때, 상기 돌기는 형성한 막 두께의 50 ~200%에 달하며 그 표면상에 다수의 돌기를 갖는 다결정 실리콘막이 되어버린다.

도 9는 종래의 액정표시장치를 구성하는 액티브 매트릭스기판에 형성된 박막 트랜지스터의 요부적층박막구조의 단면의 현미경사진의 모사도이다. 이 박막트랜지스터는 MOS형의 전계효과형 트랜지스터이다.

도 9 는 참조부호 SUB1은 기판, PS는 다결정 실리콘반도체층, GI는 게이트절연층, GT는 게이트전극, PAS는 층간절연층을 나타낸다. 도시한 바와같이 다결정 실리콘 반도체층(PS)에는 그 표면에 커다란 돌기가 다수 형성되어 있다. 따라서 그 상층에 성막되는 게이트절연층(GI) 게이트전극(GT)는 다결정 실리콘 반도체층(PS)의 표면상태에 비슷한 형태로 되어있다.

상기 종래의 방법에서 형성된 다결정 실리콘 반도체박막을 반도체등에 이용한 박막트랜지스터에서는 다음과 같은 디바이스 구조 및 트랜지스터동작에 대한 제약을 받고 결과로서 트랜지스터특성의 쇠화 또는 표시특성의 쇠화를 가져오고 있다.

(1) 다결정실리콘 반도체층과 전계제어층인 게이트전극과의 절연 또는 소망의 전계내압을 갖기위하여 상기의 돌기를 충분히 피복하도록 게이트 절연층(GI)를 두껍게 형성할 필요가 있다. 그 결과 게이트절연층(GI)를 얇게할수 없어 통상은 100nm전후 두께로 선택된다.

(2) 상기 (1)에서 설명한 바와 같은 절연막을 성막한 후 박막트랜지스터의 임계치를 제어하기위한 인프란텐션등의 방법에서 불순물을 도입하는 경우가 있지만 이 불순물의 횡방향의 농도분포(lateral distributions of impurity concentrations)(예를들면, 두께방향의 불순물농도분호(depth distributions of concentration of impurities)의 피크을 결합한 곡선에서 근사한 등농도선(contours of equal-impurity concentrations)은 상기 돌기와 그것을 피복하기 위해 형성된 절연막의 형태에 의존하고 예를들면 절연층이 하지의 다결정실리콘 반도체층에 따르는 경우 불순물의 횡방향농도분포(lateral distributions of impurity concentrations)는 수평면에 대하여(기판표면에 대하여)요철(uneven)로 이루어진 농도분포가 된다.

또한, 절연층이 하지의 다결정 실리콘 반도체층의 요철을 흡수하여 표면이 평평히 하는 것도 가능하지만 이 경우는 상기(1)의 요청사항에 의해 보다 두꺼운 절연층이 되는 경우가 많은것과 장소에 의해 절연층의 두께가 크게 달라지고(20%이상 다름) 전계제어전극인 게이트전극에 의한 전계효과를 국소적으로 변조하는 폐해를 일으킨다.

(3) 상기 (1)에 기재한 것과 같은 절연층을 부착하고 또한 게이트 전극이되는 전극재료를 성막하여 퍼터닝한 후 인프란텐션등에서 불순물을 도입하여 소스영역과 드레인 영역을 형성하는 수법이 일반적이나 이 경우도 (2)와같이 불순물의 등농도선이 기판표면에 대하여 불규칙한 돌기를 갖는 농도분포가 된다.

이 돌기의 크기가 다결정 실리콘의 반도체층의 50%이상이 되면 소스 혹은 드레인 영역내에 있어서 전류의 흐름방향에 국소적인 불순물 농도의 차가 발생하고, 소스 혹은 드레인 영역내의 저항지 제어를 어렵게하고 있다.

본 발명의 목적은 상기 종래기술에 있어서 문제를 해소하고 다결정 실리콘 반도체의 요철을 적게하여 절연층을 얇게하고 불순물의 횡방향 농도분포(lateral distributions of impurity concentration)을 평탄화하여 안정, 저전압, 혹은 고속동작의 박막 트랜지스터를 갖는 액티브매트릭스기판을 구비한 액정표시장치와 그 제조방법을 제공하는 것이다.

발명이 이루고자 하는 기술적 과제

상기 목적을 달성하기 위한 본 발명의 대표적인 구성을 기술하면 다음과 같다. 본 발명에 의한 액정표시장치는 하기의 (1) ~ (7)기재의 구성으로 한다.

(1) 기판상에 형성된 복수의 게이트배선과 상기 기판상에 형성된 복수의 드레인배선과 복수의 박막 트랜지스터와, 상기복수의 박막 트랜지스터에 대응하여 설치된 복수의 화소전극을 갖는 화소영역과 상기 기판의 주변에 상기 복수의 박막 트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서, 상기 박막트랜지스터는 상기 기판상에 형성한 다결정 실리콘 반도체층과 이 다결정 실리콘 반도체층상에 게이트 절연막을 사이에두고 형성한 게이트 전극과 상기 다결정 실리콘 반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과 상기 절연막상에 형성되면서 상기 다결정 실리콘 반도체층에 전기적으로 접속한 드레인 전극과 상기 드레인 전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정 실리콘 반도체층에 전기적으로 접속한 소스전극으로 구성되고, 상기 다결정 실리콘반도체층의 표면요철이 당해다결정실리콘 반도체층의 형성막두께의 10%이하이고 당해다결정실리콘 반도체층의 도전형을 결정하기위한 불순물의 막두께방향의 농도분포의 피크치를 나타내는 위치와 상기 기판표면간의 거리의 변동이 상기 다결정실리콘 반도체층의 막두께의 10%이내인 것을 특징으로 하는 액정표시장치.

(2) 기판상에 형성된 복수의 게이트배선과 상기 기판상에 형성된 복수의 드레인배선과 복수의 박막트랜지스터와 상기 복수의 박막 트랜지스터에 대응하여 설치된 복수의 화소전극을 갖는 화소영역과 상기 기판 주변에 상기 복수의 박막 트랜지스터를 구동하기 위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서, 상기 박막 트랜지스터는 상기 기판상에 형성한 다결정 실리콘 반도체층과 이 다결정 실리콘반도체층상에 게이트절연막을 사이에두고 형성한 게이트전극과 상기 다결정 실리콘반도체층, 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과 상기 절연막상에 형성되면서 상기 다결정 실리콘 반도체층에 전기적으로 접속한 드레인전극과 상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스 전극으로 구성되어 상기 다결정실리콘반도체층의 표면요철이 당해 다결정실리콘반도체층의 형성두께의 10%이하인 것을 특징으로하는 액정표시장치.

(3) 기판상에 형성된 복수의 게이트배선과 상기 기판상에 형성된 복수의 드레인배선과 복수의 박막트랜지스터와 상기 복수의 박막 트랜지스터에 대응하여 설치된 복수의 화소전극을 갖는 화소영역과 상기 기판 주변에 상기 복수의 박막 트랜지스터를 구동하기 위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서, 상기 박막 트랜지스터는 상기 기판상에 형성한 다결정 실리콘 반도체층과 이 다결정 실리콘반도체층상에 게이트절연막을 사이에두고 형성한 게이트전극과 상기 다결정 실리콘반도체층, 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과 상기 절연막상에 형성되면서 상기 다결정 실리콘 반도체층에 전기적으로 접속한 드레인전극과 상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스 전극으로 구성되어 당해다결정실리콘반도체층의 도전형을 결정하기 위한 불순물농도의 피크치를 나타내는 위치와 상기기판표면과의 거리의 변동이 상기 다결정실리콘반도체층의 막두께의 10%이내, 단 상기 피크치를 나타내는 위치는 상기 기판의 수평면에서 측정한 값인것을 특징으로하는 액정표시장치.

(4) 화소전극과 당해화소전극에 결합된 박막 트랜지스터를 갖는 제1의 기판과 상기 화소전극에 대향하도록 설치된 공통전극을 갖는 제2의 기판과 상기 제1의 기판과 상기 제2의 기판과의 간격에 액정층을 봉입하여 이루어진 액정표시장치에 있어서, 상기 박막 트랜지스터는 상기 제1의 기판상에 형성한 다결정 실리콘 반도체층과 이 다결정 실리콘 반도체층위에 게이트절연막을 사이에두고 형성한 게이트전극과 상기 다결정 실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과 상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정 실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고 상기 박막 트랜지스터를 구성하는 다결정실리콘 반도체층은 (a) 제1기판상에 막두께가 50nm이하 또한 그 표면요철이 상기 다결정실리콘반도체층의 막두께의 10%이하이고 레이져어닐을 설치형성한 제1의 다결정실리콘반도체막과 (b) 상기 제1의 다결정 실리콘반도체막상에 막두께가 50nm이하에 성막한 비정질 실리콘반도체막에 레이져어닐을 설치형성한 제2의 다결정 실리콘반도체막에서 구성되고 상기 박막 트랜지스터를 구성하는 상기 다결정실리콘반도체층에 포함되는 산소의 농도가 상기 제1과 제2의 다결정실리콘반도체막의 경계부근에서 10^{19} atoms/㎤이하인것을 특징으로하는 액정표시장치.

(5) 화소전극과 당해화소전극에 결합된 박막 트랜지스터를 갖는 제1의 기판과 상기 화소전극에 대향하도록 설치된 공통전극을 갖는 제2의 기판과 상기 제1의 기판과 상기 제2의 기판과의 간격에 액정층을 봉입하여 이루어진 액정표시장치에 있어서, 상기 박막 트랜지스터는 상기 제1의 기판상에 형성한 다결정 실리콘 반도체층과 이 다결정 실리콘 반도체층위에 게이트절연막을 사이에두고 형성한 게이트전극과 상기 다결정 실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과 상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정 실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고 상기 박막 트랜지스터를 구성하는 다결정실리콘 반도체층은 (a) 제1기판상에 막두께가 50nm이하 또한 그 표면요철이 상기 다결정실리콘반도체층의 막두께의 10%이하이고 레이져어닐을 설치형성한 제1의 다결정실리콘반도체막과 (b) 상기 제1의 다결정 실리콘반도체막상에 막두께가 50nm이하에 성막한 비정질 실리콘반도체막에 레이져어닐을 설치형성한 제2의 다결정 실리콘반도체막에서 구성되고 상기 박막 트랜지스터를 구성하는 상기 다결정실리콘반도체층에 포함되는 산소의 막두께방향의 농도분포의 피크가 상기제1과 제2의 다결정실리콘 반도체막의 경계부근에 없는 것을 특징으로하는 액정표시장치.

(6) 기판상에 형성된 복수의 게이트배선과 상기 기판상에 형성된 복수의 드레인배선과 복수의 박막트랜지스터와 상기 복수의막막 트랜지스터에 대응하여 설치된 복수의 화소전극을 갖즌 화소영역과 상기 기판주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서 상기 박막트랜지스터는,

상기 기판상에 형성한 다결정실리콘 반도체층과 이 다결정실리콘 반도체층상에 게이트절연막을 사이에두고 형성한 게이트전극과 상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과 상기 절연막상에 형성되면서 상기 다결정실리콘 반도체층에 전기적으로 접속한 드레인전극과 상기 드레인전극과 간격을두고 상기 절연막상에 형성되면서 상기 다결정 실리콘반도체층에 전기적으로 접속한 소스전극에서 구성되고 상기 박막트랜지스터를 구성하는 다결정실리콘 반도체층은 (a) 상기 기판상에 막두께가 50nm이하 또한 그표면요철이 상기 다결정실리콘 반도체층의 막두께의 10%이하이며 레이져어닐을 설치형성한 제1의 다결정실리콘 반도체막과, (b) 상기 제1의 다결정실리콘 반도체막상에 막두께가 50nm이하로 성막된 비정질 실리콘 반도체막에 레이져어닐을 설치형성한 제2의 다결정실리콘 반도체막에서 구성되고 상기 박막트랜지스터를 구성하는 상기 다결정실리콘 반도체층에 포함되는 질소의 농도가 상기 제1과 제2의 다결정실리콘 반도체막의 경계부근에서10^{19} atoms/㎤이하인것을 특징으로하는 액정표시장치.

상기 (1) ~ (7)에 기재의 구성인것으로 안정, 저전압 또는 고속동작의 박막 트랜지스터를 갖는 액티브매트릭스기판을 구비한 액정표시장치를 구할 수 있다. 상기 구성에 있어서 개개의 수치범위는 본 발명자가 다수의 실험을 시행한 결과로 알게된 것이다.

그리고 본 발명에 의한 액정표시장치의 제조방법은 하기의 구성이다. 즉, 기판상에 형성된 복수의 게이트배선과 상기 기판상에 형성된 복수의 드레인배선과 복수의 박막트랜지스터와 상기 복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖는 화소영역과 상기 기판 주변에 상기 복수의 박막트랜지스터를 선택적으로 구동하기 위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치의 제조방법에 있어서 (a) 상기 기판상에 제1의 비정질실리콘 반도체막을 성막한 후 레이져어닐에 의해 다결정화하여 제1의 다결정실리콘 반도체막을 형성하는 공정과 (b) 상기 제1의 다결정실리콘 반도체막 표면의 의도없이 불순물량을 10^{19} atoms/㎤이하로하는 클리닝공정과 (c) 상기 제1의 다결정실리콘 반도체막상에 제2의 비정질실리콘반도체막을 성막한 후 레이져어닐에 의해 상기 제1의 다결정실리콘 반도체막의 결정을 중심으로서 상기 제2의 비정질실리콘 반도체막을 제2의 다결정 실리콘 반도체막으로 변환하고 상기 제1의 다결정 실리콘 반도체막의 결정과 상기 제2의 다결정 실리콘 반도체막을 일체화하고 다결정실리콘 반도체층을 형성하는 공정과 (d) 상기 다결정 실리콘 반도체층을 퍼터닝하여 「박막트랜지스터의 다결정 실리콘 반도체층」을 형성하는 공정과 (e) 상기 「박막트랜지스터의 다결정 실리콘 반도체층」상에 게이트절연층을 성막하는 공정과 (f) 상기 게이트 절연층상에 게이트전극으로 이루어지는 제1의 전극재료막을 성막하고 퍼터닝하여 게이트전극을 형성하는 공정과 (g) 소스전극 및 드레인전극의 각각에 대응하는 상기 「박막트랜지스터의 다결정 실리콘 반도체층」의 영역에 도전형을 결정하는 불순물을 도입하는 공정과 (h) 상기 게이트전극을 덮어 층간 절연층을 성막하는 공정과 (i) 상기 「박막트랜지스터의 다결정 실리콘 반도체층」의 상기 소스전극 및 드레인 반도체층 콘택트홀을 형성하는 공정과 (j) 상기 반도체층 콘택트홀을 통하여 상기 「박막트랜지스터의 다결정 실리콘 반도체층」의 상기 소스 전극영역과 상기 드레인 전극영역에 접촉하고 상기 층간절연층을 덮는 제2의 전극재료막을 성막하는 공정과 (k) 상기 제2의 전기재료막을 퍼터닝하여 상기 소스전극과 상기 드레인전극을 형성하는 공정과 (l) 상기 소스전극 및 상기 드레인전극 및 상기 층간절연층을 덮어 보호막을 성막하는 공정과 (m) 상기 보호막을 선택적으로 제거하여 상기 소스전극에 도달하는 소스전극 콘택트홀을 형성하는 공정과 (n) 상기 소스전극 콘택트홀을 통하여 상기 소스 전극에 접촉하고 상기 보호막을 덮는 화소전극재료막을 성막하는 공정과 (o) 상기 화소전극재표막을 퍼터닝하여 화소전극을 형성하는 공정을 갖는 액정표시장치의 제조방법.

상기 제조방법에 의해 다결정 실리콘반도체층의 요철이 작고 절연층이 얇아지고 불순물의 횡방향 농도분포(lateral distribution of impurity concentrations)가 평탄화되어 저전압 또는 고속동작의 박막트랜지스터를 갖는 액티브 매트릭스기판을 구비한 액정표시장치가 구해진다.

상기 구성으로한 제조방법에 의해 다결정실리콘 반도체층의 요철이 작고 절연층이 얇아지고 불순물의 횡방향 농도분포(lateral distribution of impurity concentrations)가 평탄화되어 저전압 또는 고속동작의 박막트랜지스터를 갖는 액티브 매트릭스기판을 구비한 액정표시장치가 구해진다.

또한, 본 발명은 상기의 구성 및 후기술에 의한 실시예의 구성에 한정되지않고 본 발명의 기술사상을 일탈하지 않으며 각종의 변경이 가능하다.

발명의 구성 및 작용

이하, 본 발명의 실시형태에 따라서 실시예의 도면을 참조하여 상세히 설명한다.

도 1 은 본 발명에 의한 액정표시장치의 제1 실시예의 요부구성을 설명하는 단면도이다. 또한 도 2는 본발명에 의해 액정표시장치를 구성하는 액티브매트릭스기판의 제1 실시예의 일화소부근의 구성을 설명하는 평면도이고 도 1과 동일부호는 동일기능부분에 대응하고 도 1은 도 2의 I-I선에 따른 단면도에 상당한다.

도 1 및 도 2에 있어서, 참조부호 SUB1은 액티브매트릭스기판(제 1의 기판)이고 여기에서는 유리기판을 이용하고 있다. 이 기판(SUB1)에는 제 1층 (하층)의 다결정 실리콘반도체층(PS1)과 제2층(상층)의 다결정실리콘 반도체층(PS2)과 2층으로 이루어지는 반도체층이며 다결정실리콘층(PS)와 그 상층에 순차형성된 게이트절연층(GI), 게이트전극(GT), 소스전극(SD1), 드레인전극(SD2), 절연층(PAS), 보호막(PSV), 화소전극(PT) 및 배향막(ORI1)이 형성되어 있다.

또한, 유리기판(SUB1)의 표면에 SiO_2 또는 SiN의 버퍼층을 성막하는 경우도 있지만 본 실시예에서는 이것을 생략한다.

이하의 실시예의 설명에서는 유리기판(SUB1)의 표면에 버퍼층을 설치한경우는 버퍼층도 포함하여 기판이라고 일컫는다.

다결정실리콘반도체층(PS)에는 소스전극(SD1)과 드레인전극(SD2)가 절연층(PAS)에 형성한 콘택트홀을 통하여 형성되어 있다. 그리고 소스전극(SD1)에는 보호층(PSV)에 형성한 소스전극 콘택트홀을 통하여 화소전극(PT)가 접속되어 있다.

다결정실리콘반도체층(PS)에는 후기술하는 제조방법에서 상세기술하듯이 제 1의 다결정실리콘 반도체층(PS1)을 성막하고 그위에 제 2의 다결정실리콘 반도체층(PS2)를 성막 후 제 1 및 제 2의 다결정실리콘반도체층(PS1 및 PS2)을 레이져어닐할 때에 제 1의 다결정실리콘 반도체층(PS1)중에서 레이져어닐에 따라 용융되지않는 부분을 중심으로서 제 2의 다결정실리콘 반도체층(PS2)에 이어지는 커다란 결정을 형성하면서 다결정실리콘반도체층(PS)의 표면요철이 다결정실리콘반도체층(PS)의 성막막두께의 10%이내 또는 막두께방향의 불순물 농도분포의 피크위치의 흩어짐이 기판면에 대하여 다결정실리콘반도체층(PS)의 성막막두께의 10%이내로한 반도체층이다.

다결정실리콘반도체층의 표면요철 및 불순물의 두께방향의 농도분포의 피크치 위치의 변동은 게이트절연막 아래에서 측정하였다.

한편, 위와같이 유리기판을 적절하게 유지하는 다른쪽의 기판(SUB2)의 내면에는 블랙매트릭스(BM)에서 구획된 복수의 칼라필터(FIL)와 그 위에 형성된 평탄화층(오버코트층)(OC)와, 공통전극(COM) 및 배향막(ORI2)가 이 절차로 형성되어 있다.

본 실시예는 칼라표시를 가능하게 하고 있기때문에 기판(SUB2)에는 칼라필터(FIL)를 형성하고 있지만 모노크롬표시의 액정표시장치인 경우는 이 칼라필터는 형성하지 않는다.

상기한 2매의 기판 SUB1과 SUB2의 접합 간극에는 액정층(LC)가 봉입되고 도 8에 나타낸 표시영역(AR)의 주위에 도시하지 않은 씰재를 가지고 봉입한다.

도 3 은 본 발명에 의한 액정표시장치를 구성하는 액티브매트릭스 기판에 형성된 박막트랜지스터의 요부적층박막구조의 단면의 현미경사진의 모사도이다.

도 3에 있어서, SUB1은 액티브매트릭스기판이며 그위에 다결정실리콘반도체층(PS) 게이트절연층(GI) 게이트전극(GT) 절연층(PAS)가 순차형성되어 있다.

본 발명에 있어서는 제2층의 다결정실리콘 반도체층을 형성할 때의 레이져조사에 의해 제 2층의 다결정실리콘과 제 1층의 다결정실리콘이 녹아 융합하기때문에 도 3에 나타나는 단면의 현미경사진 모사도에는 반도체층(PS)를 구성하는 제 1층의 다결정반도체층(PS)를 구성하는 제 1층의 다결정반도체층(PS1)과 제2의 다결정반도체층(PS2)의 경계는 보이지 않는다. 도 3에 나타난 다결정반도체층(PS)의 표면의 요(凹)부분과철 (凸)부분의 높이차를 측정한 결과 ±10 nm이내였다.

다결정반도체층(PS)의 표면의 요철은 원자간 현미경(atomic force microscope, AFM)에 의해 측정하는 것이 가능하다.

본 실시예의 액티브매트릭스기판에 있어서는 그 박막트랜지스터를 구성하는 다결정반도체층(PS)는 그 표면의 요철이 작게되어 있고 다음과 같은 효과를 구할 수 있다.

(1) 다결정반도체층(PS)의 요철이 적어진 분 게이트전극과 다결정실리콘층간에 소망의 전위내압을 갖게하기위하여 종래와 같은 커다란 돌기를 피복하기위해 절연층(예를들면 절연층(GI))의 두께를 두껍게 형성할 필요가 없게된다. 따라서 게이트 절연층의 두께를 얇게하고 당해 다결정반도체층(PS)에 대한 게이트전극전압의 효과(전계)가 높아지기때문에 게이트전극에 인가하는 전압조건을 같이한 경우 그 온/오프특성이 향상한다.

이 구성을 갖는 박막트랜지스터를 액정표시장치의 액티브소자에 이용하는 경우는 반도체층에 높은 전계를 걸수있기 때문에 이동도가 향상하고 온특성의 향상 및 회로의 고속화에 기여하고 게이트전압을 내릴 때의 소스·드레인간의 리크전류가 작아지게되므로 오프특성이 향상하고 구동회로의 안정화와 함께 특히 박막트랜지스터의 소스전극을 액정구동전극으로서 프로팅상태에서 사용하는 화소구동용 스위칭소자일 때의 오프상태에서의 리크전류의 억제에 커다란 효과를 갖는다.

(2) 다결정실리콘반도체층의 요철을 적게하는 것에 의해 다음에 도입되는 불순물의 등농도선을 기판면과 평행(수평)선에 가깝게할 수 있고 결과로서 트랜지스터특성의 안정화 및 고성능화가 달성된다.

도 4A 및 4B는 기판상에 형성한 다결정실리콘반도체층의 요철상태와 인프란텐션된 불순물의 두께방향 농도분포(depth distributions of concentrations)의 피크 위치에 대하여 종래기술과 본 실시예를 대비한 설명도이고 도 4A는 종래의 다결정실리콘반도체층의 모식단면, 도 4B는 본 실시예의 다결정실리콘반도체층의 모식단면을 나타낸다.

도 4A 및 4B중 참조부호 SUB1은 기판, PS는 다결정실리콘 반도체층 GI는 게이트절연층을 나타내고 BIP는 인프란텐션 된 붕소(B)의 농도분포의 피크위치를 결합한 곡선, PIP는 인프란텐션 된 인(P)의 농도분포의 피크위치를 결합한 곡선을 나타낸다.

다결정실리콘반도체층(PS)상에 게이트절연층(GI)을 성막한 후 이 게이트절연층(GI)를 마스크로서 다결정실리콘반도체층(PS)에 불순물을 인프란텐션하는 프로세스를 채용하는 경우에 있어서, 어느 성막조건에 따라서는 게이트절연층(GI)는 하층의 다결정실리콘반도체층(PS)의 표면요철과 비슷한 형으로 성막되고 또한, 도 4A에 나타난바와 같이 절연층(GI)가 하지의 다결정실리콘반도체층(PS)의 요철을 흡수하여 표면이 평평히되도록 하는 것도 가능하다.

다음으로 도 4A에 나타난 경우에 대하여 검토한다. 게이트절연층(GI)의 표면에서 당해 게이트절연층(GI)와 다결정실리콘반도체층(PS)의 경계면까지의 거리는 다결정실리콘반도체층(PS)의 요철에 따라서 변화하고 있다. 즉, 요(凹)부에서는 이 거리가 짧고 철(凸)부에서는 길어진다.

불순물로서 일반적으로 이용되는 붕소(B)와 인(P)가 인프란텐션되었을 때의 두께방향의 불순물 농도분포의 피크위치의 분포는 각각 도 4A중에 BIP, PIP로 나타난바와 같다.

다음으로 게이트절연층(GI)가 한예로서 SiO_2인 경우를 생각한다.

불순물은 붕소(B)의 경우는 SiO_2중과 Si중에 있어서 붕소(B) 의 평균비행행정(mean penetration range)가 거의 같으므로 인프란텐션된 불순물 붕소(B)의 두께방향의 불순물 농도분포의 피크위치의 분포는 다결정실리콘반도체층(PS)의 요철을 반영한 형으로 다결정실리콘반도체층(PS)안에 형성된다.

한편, 불순물이 인(P)의 경우는 Si중에 있는 인(P)의 평균비행행정(mean penetration range)은 SiO_2중에 있는 있는 인(P)의 평균비행행정의 약 1.2배이므로다결정실리콘반도체층(PS)의 요부에 있는 SiO_2층이 얇은 장소에는 Si중에 있는 인(P)의 평균비행행정이 길어져 보다 깊은 곳에 두께방향의 불순물 농도분포의 피크가 가능하고 다결정실리콘반도체층(PS)의 철부에 있는 SiO_2층이 두꺼운 장소에는 Si중에 있는 인(P)의 평균비행행정이 짧아져 보다 얕은곳에 불순물 농도분포의 피크가 가능하다.

그로 인하여 불순물 인(P)의 인프란텐션시는 불순물의 두께방향 농도분포의 피크위치의 분포는 다결정실리콘반도체층(PS)의 요철을 상하방향으로 반전한것 같은 분포가 된다. 이러한 것은 종래의 다결정실리콘반도체층의 경우인 도 4A에 있어서현저히 나타난다.

특히 인(P)의 경우에는 얇은 다결정실리콘반도체층(PS)내에 불순물 인프란텐션에 의한 불순물의 두께방향의 농도분포의 피크위치를 설정하려고 하면 도 4A에 예시한바와 같이 다결정실리콘반도체층(PS)에 커다란 요(凹)부 A에서는 당해 불순물 인(P)의 두께방향의 농도분포의 피크위치(B)가 다결정실리콘반도체층(PS)의 층에서 멀어지는 경우도 있다.

절연기판 SUB1에 의해 다결정 실리콘 반도체층(PS)의 당해 불순물의 두께방향의 농도분포의 피크위치와 기판면간 거리가 변동하는 경우는 다결정실리콘반도체층(PS)를 레이져 조사등에 의해 어닐하여 불순물을 확산할 때에 불순물농도에 흩어짐이생겨 안정한 박막트랜지스터의 특성이 생기지않는 문제가 있다.

이것에 대해 도 4B에 나타난 본 실시예에서는 다결정실리콘반도체층(PS)의 요철이 작기때문에 불순물의 인프란텐션시의 불순물의 두께방향의 농도분포의 피크위치의 분포는 붕소(B), 인(P) 함께 기판(SUB1) 표면과 평행한 방향으로 갖춰지고 상기한바와 같이 붕소(B), 인(P)의 인프란텐션시의 불순물의 두께방향의 농도분포의 피크위치의 분포 BIP, PIP가 다결정실리콘반도체층(PS)에서 멀어지는 경우는 생기지 않는다.

또한, 전계효과형의 박막트랜지스터인 MOS트랜지스터의 채널이 형성되는 게이트전극하에 있어서도 다결정실리콘반도체층의 요철이 큰경우는 좋지않은 경우가 크게 발생한다.

도 5A 및 도 5B는 기판상에 형성한 다결정실리콘반도체층의 요철상태와 등전위분포에 대하여 종래기술과 본 실시예를 대비한 설명도이고 도 5A는 종래의 다결정실리콘반도체층의 모식단면 도 5B는 본 실시예의 다결정실리콘반도체층의 모식단면을 나타낸다.

도 5A 및 도 5B에서는 게이트전극(GT)에 대하여 다결정실리콘반도체층(PS)에 채널이 형성되는 방향의 극성전압이 인가되는 경우의 다결정실리콘반도체층(PS)에 있어서 등전위선분포를 곡선으로 나타낸다. 여기에서는 간단히 게이트전극 아래의 불순물농도는 균일하게 하고 결정입계에 관한 포텐셜의 변동은 무시가능한것으로 하고 있다.

도 5A에서는 게이트(GT)에 인가하는 전압을 올려 행하면 다결정실리콘반도체층(PS)의 요철의 큰 쪽에서 고포텐셜 등전위선이 나타나고 요철에 영향을 받어 다결정실리콘반도체층(PS)의 내부에도 기판(SUB1)의 면에 대하여 평행되지않고 굴곡진 등전위선이 된다.

한편, 도 5B에 나타난 본 실시예에서는 다결정실리콘반도체층(PS)의 요철이 그 두께의 10%이내로 억제되어있기 때문에 등전위선은 거의 기판(SUB1)의 표면과 평행해진다.

도 6A는 종래의 다결정실리콘반도체층의 형태를 갖는 박막트랜지스터의 게이트전압을 올릴때 등전위선분포를 설명하는 다결정실리콘반도체층의 모식단면이다. 도 6A는 도6B에 나타나는 박막트랜지스터의 단면도 a에 나타나는 부분을 확대한 도이다. 게이트전압을 올려가면 드레인(PS2)에서 소스(PS1)으로 통하는 채널(CH)가 형성된다.

게이트전압을 올려가면 다결정실리콘반도체층(PS)의 요철이 크면 고포텐셜 등전위선 점에서 반전층(RV)가 나타난다. 이 반전층(RV)에 의해 국소적인 실전하(true electric charge)가 축적되기 시작한다. 이 국소적인 실전하의 축적은 다결정실리콘반도체층(PS)내의 등전위선의 분포를 바꿔 순조롭게 당해등전위선의 형이 다결정실리콘반도체층(PS)의 요철에 따른 형이된다.

이 상태에서는 게이트절연막(GI)와 다결정실리콘반도체층(PS)의 경계면근방의 다결정실리콘반도체내의 드레인(PS2)에서 소스(PS1)에 통하는 축적실전하의 층 즉 채널(CH)가 되고 이때 드레인(PS2)와 소스(PS1)간에 전위차가 있는 경우 MOS트랜지스터가 온상태가되고 드레인(PS2)와 소스(PS1)간에 전류가 흐르기 시작한다.

이경우 다결정실리콘반도체층(PS)의 요철이 큰 부분에서 채널(CH)안에 국소적인 실전하의 흐르는 장소가 있게된다.

이와 같은 MOS트랜지스터가 동작하는 경우 이하의 특성상의 불안정 구조적인 특성쇠화를 유발하고 결과로서 불안정한 제품 혹은 특성이 떨어진 제품이된다.

즉, (1) 다결정실리콘반도체층의 요철에 의한 임계치전압이 크게 변동한다. 동일 표시장치내에서도 트랜지스터마다 임계치전압이 벗어남이 상당히 크며 결과로서 액정표시장치의 특성 화질의 균일성의 쇠화를 일으킨다.

(2) 채널안의 다결정실리콘반도체층의 요철이 큰 부분에 국소적으로 흐른 실전하는 통상 채널실전하보다 높은 포텐셜에서 여기된상태(뜨거운 상태)에 있어서 그들의 실전하는 통상채널 실전하가 핫캐리어로서 게이트절연층(GI)안에 포착될때의 게이트전압 보다 낮은 게이트전압에서 게이트절연층(GI)안에 주입되어 임계치전압등의 특성을 변동시키는 원인이 되면서 액정표시장치의 신뢰성도 쇠화시킨다.

또한, 상기 현상은 다결정실리콘반도체층의 요철의 크기 게이트전극 아래의 어느위치에 있는지에 의존하기 때문에 특성의 벗어남이 매우 커진다.

(3) 다결정실리콘반도체층의 커다란 요철이 원인으로 채널안에 국소적으로 실전하가 흐르는 현상이 채널의 고전위단측(드레인측)에 발생하면 흐른 실전하는 드레인전압에 끌려서 드레인에 이동한다. 이 때 드레인단에서 전계가 크면 인팩트전류가 되고 드레인언밸런쉐를 일으킨다.

또한 이것이 트리거가되어 기생 쌍극성 트랜지스터가 게이트전압이 낮은 시점에서 온상태가 되고 게이트전극에서 제어하고 있는 MOS트랜지스터와는 별개의 모드에서 전류가 유출하고 액정표시장치 전체로서는 상기의 임계치전압이 불안정하여 외관상의 임계치전압변동을 크게하는 요인이 된다.

여기에서 N채널의 박막트랜지스터를 예로 설명하면 도 6B에 나타나는 박막트랜지스터의 드레인(PS2)(N형) 채널부(PS)(P형) 소스(PS1)(N형)의 반도체층에 의한 기생 쌍극성트랜지스터가 형성된다.

도 6C는 기생 쌍극성트랜지스터의 등가회로를 나타내는 도이다. 드레인 언밸런쉐를 일으키면 드레인(PS2)와 채널부(PS)간에 전류(Ia)가 흐른다. 이 때 드레인(PS2)는 기생 쌍극성트랜지스터의 콜렉터(c) 채널부(PS)는 베이스(b)소스(PS1)은 에미터(e)로서 움직이므로 전류(Ia)가 걸림쇠가되어 드레인(PS2)와 소스(PS1)간에는 게이트(GT)에서는 제어할수 없는 전류(Ib)가 흐른다.

이것과 비교하여 본 실시예에 있어서 다결정실리콘반도체층의 요철이 작은 박막트랜지스터에서는 다결정실리콘반도체층내에서의 등전위선이 기판표면에 대하여 다결정실리콘반도체층의 두께의 20%의 범위내에서 평행으로 있고 상기한 바와 같은 국소적인 고포텐셜 부분이 일어나기 어렵고 국소적인 실전하의 축적도 생기기 어렵다.

따라서 채널형성시도 흐른 국소적인 실전하는 적고 상기한 종래기술과 같은 좋지않은 상황은 일어나지 않으나 일어나도 그 정도가 가벼워서 보다 안정하며 성능좋은 박막트랜지스터를 형성할 수 있다. 그 결과 특성상의 불안정이 없고 구조적인 특성쇠화가 유발되기 어려운 안정되며 고성능의 액정표시장치를 구할 수 있다.

다음으로 본 발명에 의한 액정표시장치의 제조방법의 실시예에 대하여 도 7a에서 7r을 참조하여 설명한다.

실시예1

도 7A에서 도 7R은 본 발명에 의한 액정표시장치를 구성하는 액티브매트릭스 기판의 2개의 박막트랜지스터부분의 제조방법의 제 1 실시예를 설명하는 공정에 있어서의 단면도이다. 본 실시예의 제조방법은 하기의 공정 (A) ~ (R)을 포함한다.

도 7A 에서 도 7R에 나타나는 액티브매트릭스기판 2개의 박막트랜지스터부분의 단면도에 있어서 좌측에 N채널형의 박막트랜지스터(TFT1) 우측에 P채널형의 박막트랜지스터(TFT2)를 나타낸다. 본 실시예에서는 N채널형의 박막트랜지스터(TFT1)과 P채널형의 박막트랜지스터(TFT2)는 동일의 유리기판(SUB1)상에 동시형성된다.

공정 (1) (도 7A 참조) : 우선 절연기판으로서 유리기판(SUB1)상에 CVD에 의한 제 1의 비정질실리콘반도체막(PS-a)를 성막한 후 레이져 빛을 조사하는 레이져어닐에 의해 다결정화하고 제 1의 다결정실리콘반도체막을 형성한다. 상기의 공정은 진공중 또는 감압분위기중에서 시행한다.

제1의 다결정실리콘반도체막의 두께는 50nm이하인것이 바람직하다. 제 1의 다결정실리콘반도체막의 드레인 및 소스에 대응하는 영역에서도 50nm이하인 것이 바람직하다.

공정 (2) (도 7B 참조) : 진공중 또는 감압분위기안에서 기판(SUB1)취출한 후 상기 제1의 다결정실리콘반도체막(PS-a)의 표면 X-Y에서 불순물과 대기 성분의 함유량을 줄이는 클리닝공정을 행한다. 이 때 제 1의 다결정실리콘반도체막(PS-a)의 표면 X-Y도 약간은 엣칭제거하는 것에 의해 공정(1)의 레이져어닐에서 발생한 돌기도 엣칭되고 제 1의 다결정실리콘반도체막(PS-a)의 표면이 어느 정도 평탄화되므로 이후에 공정(3)에서 퇴적되는 제 2의 비정질 실리콘반도체막(PS-b)의 표면도 평탄해지고 다음 공정 (4)에서 레이져어닐에 의해 형성되는 다결정실리콘반도체막(PS)의 표면은 극히 평탄하게 된다. 제 1의 다결정실리콘반도체막(PS-a)의 표면 XX를 엣칭제거하는 양은 다결정실리콘반도체막(PS-a)표면의 불순물과 대기성분과의 규소화합물이 10^{19} atoms/cm^3 이하가 될때까지 제거하는 것이 바람직하다. 특히 대기중의 산소와 규소와의 화합물은 이 후의 공정(4)에서 레이져어닐에 의한 제1의 다결정실리콘반도체막(PS-a)와 제2의 비정질실리콘반도체막(PS)를 형성하는것을 침해하는것으로 제1의 다결정실리콘반도체막(PS-a)표면의 산소의 농도는 10^{19} atoms/cm^3 이하가 될때까지 제거하는 것이 바람직하다. 또한, 제1의 다결정실리콘반도체막(PS-a)의 표면에 흡착한 대기중의 질소도 다결정실리콘반도체막(PS)의 결정성장을 침해하는 것으로 10^{19} atoms/cm^3 이하가 될때까지 제거하는 것이 바람직하다. 제 1의 다결정실리콘반도체막의 표면요철을 두께의 10%이하로 하였다.

상기 제1의 다결정실리콘반도체막(PS-a) 표면의 각 불순물량은 2차이온질량 분석법(Secondary Ion Mass Spectroscopy : SIMS)에 의해 측정하는 것이 가능하다.

다결정실리콘반도체막(PS-a)의 표면을 클리닝하는 방법으로서는 다결정실리콘반도체막(PS-a) 표면을 불화수소(HF)에 쏘이는 방법이 있다.

다결정실리콘반도체막(PS-a)의 표면을 불화수소에 쏘이는 것에 의해 다결정실리콘반도체막(PS-a)의 표면에 형성된 대기중의 산호와 규소의 화합물을 제거하는 것이 가능하다.

또한 다결정실리콘반도체막(PS-a)의 표면을 암모니아수에 쏘는 방법도 다결정실리콘반도체막(PS-a)의 표면을 클리닝할 수 있다.

공정 (3)은 (도 7C 참조) : 상기 공정 2를 행한 후 즉시 기판(SUB1)을 진공중 또는 감압분위기중에 삽입하여 공정 (1)과 같은 CVD에 의해 제 1의 다결정실리콘반도체막(PS-a)상에 제 2의 비정질 실리콘반도체막(PS-b)를 성막한다. 클리닝 공정을 행한 후는 제 1의 다결정실리콘반도체막(PS-a) 표면의 대기성분과 불순물의 농도가 10^{19} atoms/cm^3 넘어서기 전에 진공중 또는 감압분위기중에 삽입할 필요가 있다. 제 2의 비정질실리콘반도체막의 두께는 50nm이하인 것이 바람직하다. 제 2의 비정질실리콘반도체막의 드레인 및 비소에 대응하는 영역에서도 50nm이하인 것이 바람직하다.

공정 (4) (도 7D 참조) : 제 1의 다결정실리콘반도체막(PS-a)의 결정을 중심으로서 레이저어닐에 의한 제 2의 비정질실리콘반도체막(PS-b)를 다결정화하여 다결정실리콘반도체막으로 변환한다.

이 때, 레이져어닐시의 레이져 조사조건을 제 2의 다결정실리콘반도체막(PS-b)는 완전히 용융되나 제 1층의 다결정실리콘반도체막(PS-a)의 일부가 용융되지하고 남도록 설정한다.

이것은 결정부의 레이져흡수에 의한 발열효율이 비정질부의 레이져흡수에 의한 발열효율보다 적은 사실을 이용하고 있다. 레이져조사가 끝나고 냉각에 의해 결정화 할 때 제 1층의 다결정실리콘반도체막(PS-a)의 용융하지않는 부분을 중심으로하여 성장한 제 1과 제 2층의 다결정실리콘반도체막에 이르는 커다란 결정으로 이루어지고 또한 결정간의 돌기가 매우 적은 다결정실리콘반도체막이 구해진다.

공정 (5) (도 7E 참조) : 다결정실리콘반도체막(PS)를 퍼터닝하여 박막트랜지스터를 구성하기 위한 다결정실리콘반도체막(PS)를 형성한다.

공정 (6) (도 7F 참조) : 다결정실리콘반도체막(PS)상에 게이트절연층(GI)를 성막한다. 게이트절연층(GI)층두께는 80nm이하인 것이 바람직하다.

공정 (7) (도 7G 참조) : P채널형의 박막트랜지스터(TFT2)로 이루어지는 다결정실리콘반도체층(PS)상을 포토레지스터등의 마스크(RES)에서 가리고 N채널형의 박막트랜지스터(TFT1)으로 이루어지는 다결정실리콘반도체층(PS)의 부분에 게이트 임계치 전압제어를 위한 불순물을 도입한다. 여기에서는 P형의 도전형을 형성하는 붕소(B)등의 이온종을 도입한다.

공정 (8) (도 7H 참조) : N채널형의 박막트랜지스터(TFT1)로 이루어지는 다결정실리콘반도체층(PS)상을 포토레지스터등의 마스크(RES)에서 가리고 P채널형의 박막트랜지스터(TFT2)으로 이루어지는 다결정실리콘반도체막(PS)의 부분에 게이트 임계치 전압제어를 위한 불순물을 도입한다. 여기에서는 N형의 도전형을 형성하는 인(P)과 비소(As)의 이온종을 도입한다.

그 후 N채널형 및 P채널형의 박막트랜지스터에 대응하는 다결정실리콘반도체막(PS)의 부분에 레이져를 조사하고 레이져어닐을 행하는 공정 (7) 및 공정(8)에서 도입한 불순물을 확산시키면서 활성화시킨다.

공정 (9) (도 7I 참조) : 게이트절연층(GI)상에 게이트전극이되는 전극재료막을 성막하고 퍼터닝하여 게이트전극(GT)를 형성한다.

공정 (10) (도 7J 참조) : P채널형의 박막트랜지스터(TFT2)로 이루어지는 다결정실리콘반도체막(PS)상을 포토레지스터등의 마스크(RES)에서 가리고 N채널형의 박막트랜지스터의 다결정실리콘반도체층(PS)의 소스전극과 드레인전극의 영역에 불순물을 도입한다. 여기에서는 N형의 도전형을 형성하는 인(P)와 비소(As)등의 이온종을 도입한다. 이 때의 불순물의 도입은 저농도로 한다.

또한, 이 불순물의 도입은 생략하는 것도 가능하다.

공정 (11) (도 7K 참조) : N채널형의 박막트랜지스터(TFT1)로 이루어지는 다결정실리콘반도체층(PS)상을 포토레지스터등의 마스크(RES)에서 가리고 P채널형의 박막트랜지스터(TFT2) 다결정실리콘반도체층(PS)의 소스전극과 드레인전극의 영역에 불순물을 도입한다. 여기에서는 P형의 도전형을 형성하는 붕소(B)등의 이온종을 도입한다. 이 때의 불순물의 도입은 P채널형 박막트랜지스터의 다결정실리콘반도체층의 소스(PS1)과 드레인(PS2)가 금속전극(SD1 및 SD2)와 오밍접속을 취해지는 만큼의 충분한 농도로 한다.

공정 (12) (도 7L 참조) : P채널형의 박막트랜지스터(TFT2)로 이루어지는 다결정실리콘반도체층(PS)상을 포토레지스터등의 마스크(RES)에서 가리고 N채널형의 박막트랜지스터(TFT1) 의 게이트 전극 (GT)의 측벽 및 그 부근을 포토레지스터등의 마스크(RES)에서 가리고 N채널형의 박막트랜지스터(TFT1) 의 다결정실리콘반도체층(PS)의 소스전극과 드레인전극의 영역에 불순물을 도입한다. 여기에서는 N형의 도전형을 형성하는 인(P)와 비소(As)등의 이온종을 도입한다. 이 때의 불순물의 도입은 N채널형의 박막트랜지스터의 다결정실리콘반도체층의 소스(PS1)과 드레인(PS2)가 금속전극(SD1 및 SD2)와 오밍접속을 취해지는 만큼의 충분한 농도로 한다.

그 후 N채널형 및 P채널형의 박막트랜지스터에 대응하는 다결정실리콘반도체막(PS)에 레이져를 조사하고 레이져어닐을 행하는 공정 (10) 및 공정(11)및 공정(12)에서 도입한 불순물을 확산시키면서 활성화시킨다.

본 실시예에서는 N채널형 박막트랜지스터의 다결정실리콘반도체층의 소스(PS1)과 드레인(PS2)의 불순물 도입을 공정 (10) 과 공정(12)의 2회로 나눠서 행하여 게이트전극(GT)단부의 불순물의 농도균배가 완화되어지고 N채널형박막트랜지스터의 소스(PS1)과 드레인(PS2)간에 고전압을 인가하여도 박막트랜지스터가 파괴되지 않는다. 특히, N채널형 박막트랜지스터(TFT1)은 제 1도에 나타난바와 같이 화소전극을 선택하는 스위치로서도 사용되므로 화소결함불량을 없애기 때문에 높은 신뢰성이 요구된다.

공정 (13) (도 7M 참조) : 게이트전극(GT)를 덮어 층간절연층(PAS)를 성막한다.

공정 (14) (도 7L 참조) : 다결정실리콘반도체층의 소스(PS1)과 드레인(PS2)에 대응하는 게이트절연층(GI) 및 층간절연층(PAS)의 영역을 선택적으로 제거하여 제 1 콘택트홀(CTH)를 형성한다.

공정 (15) (도 7O 참조) : 제 1 콘택트홀(CTH)를 통하여 다결정실리콘반도체층의 소스(PS1)과 드레인(PS2)에 접식하도록 또한 층간절연층(PAS)를 덮는 전극재료막을 성막한다. 전극재료막을 퍼터닝하여 소스전극(SD1)과 드레인전극(SD2)를 형성한다.

공정 (16) (도 7P 참조) : 소스전극(SD1) 및 드레인전극(SD2) 및 층간절연층(PAS)를 덮어 보호막 (PSV)를 성막한다.

공정 (17) (도 7Q 참조) : 보호막 (PSV)를 선택적으로 제거하여 소스전극(SD1)에 달하는 제 2콘택트홀(CTH2)를 형성한다.

공정 (18) (도 7R 참조) : 제 2콘택트홀(CTH2)를 통하여 소스전극(SD1)에 접하도록 또한 보호막 (PSV)를 덮는 화소전극재료막을 성막한다. 화소전극재료막을 퍼터닝하여 화소전극(PT)를 형성한다.

이 후 보호막을 성막하고 또한 그 위에 배향막(ORI1)을 성막하여 액티브매트릭스기판을 구한다.

이 실시예의 제조방법에 의해 다결정실리콘반도체층의 요철이 작고 절연층이 얇고 불순물의 횡방향 농도분포(later distributions of impurity concentrations)가 평탄화되어 저전압 또는 고속 동작의 연막트랜지스터를 갖는 액티브매트릭스 기판을 구비한 액정표시장치가 구해진다.

실시예 2

본 발명에 의한 액정표시장치의 제조방법의 실시예 2의 특징은 실시예 1의 공정 (2)에서 기판(SUB1)을 대기중에 유출하지 않고 클리닝 공정을 행하는 공정이 있고 실시예 1의 공정 (1)에서 공정 (4)를 진공중 또는 감압분위기중에서 연속하여 행하는 것이다, 그 외의 공정은 실시예 1과 같다.

실시예 2에서는 다결정실리콘반도체막(PS-a)의 표면 XX를 대기중에 쏘이지 않고 드라이엣칭에 의해 제거하는 것에 의한 공정 (1)의 레이져어닐에서 발생한 돌기도 엣칭되어 제1의 다결정실리콘반도체막(PS-a)의 표면 XX이 어느정도 평탄화되는 것으로 이 후의 공정 (3)에서 퇴적되는 제2의 비정질실리콘반도체막(PS-b)의 표면도 평탄화되고 공정(4)에서 레이져어닐에 의해 형성되는 다결정실리콘반도체막(PS)의 표면은 극히 평탄하게 된다.

도 10은 기판(SUB1) 대기에 노출시키지 않고 기판(SUB1)에 대하여 실시예2의 공정 1에서 공정 4를 행하기 위한 제조장치의 한예를 나타내는 개략도이다.

참조번호 (11)은 기판반송실 (19)는 기판을 지지하는 로봇트 암; (20)은 로봇트 암(19)의 반송기구; (12)는 기판반송실(11)을 진공하기 위한 진공펌프; (13)은 기판을 장치에 반입하기 위한 반입실; (24)는 기판을 반입반출할 시에 열고닫히는 문이다. 참조부호 (R1)은 기판에 반도체막을 퇴적하기 위한 제1실; (R2)는 기판에 절연막을 퇴적하기위한 제 2실; (R3)은 기판에 형성된 반도체막 표면을 드라이에칭하여 클리닝하는 제 3실; 참조번호 (14)는 형성된 반도체막 표면을 레이져 빛(4)를 조사하여 어닐하는 제 4실; (15)는 레이져 빛원; (16)은 레이져 빛(4)를 균일하게 하는 호모지나이져; (17)은 반사경; (18)은 집광렌즈이다. 레이져 빛(4)는 제4실 (14)에 설치한 투명한 창(도시안됨)에서 제 4실내에 도입된다. 반입실 (13); 제 1실(R1); 제 2실(R2); 제 3실(R3) 및 제 4실(14)는 기판반송실(11)에 문(21)을 사이에두고 접속된다. 각실은 진공펌프(12)에 의해 진공으로 끌어진다.

실시예2의 특징부분을 도 10에 나타내는 제조장치의 개략도와 도 7A - 7R에 나타내는 공정도를 이용하여 설명한다.

공정 (1) : 절연기판(SUB1)은 반입실(13)에서 취입되어 로봇트암 (19)에 의해 제 1실내의 스테이지(22)상에 배치되어 고정된다. 제 1실(R1)내에 재료가스를 도입하고 CVD에 의한 절연기판(SUB1)상에 제 1의 비정질실리콘반도체막(PS-a)를 성막한다.

그 후 로봇트암(19)에 의해 기판(SUB1)를 제 4실 (14)에 이동하고 스테이지상에 고정한 후 레이져 빛을 조사하는 레이져어닐에 의해 제1의 비정질실리콘 반도체막(PS-a)를 다결정화하고 제 1의 다결정실리콘 반도체막을 형성한다.

상기의 공정은 기판(SUB1)을 대기에 쏘이지 않고 연속하여 행한다.

공정 (2) : 그후 로봇트암(19)에 의해 기판(SUB1)를 제 3실(R3)에 이동하고 스테이지 (22)상에 고정한 후 에칭가스를 제 3실(R3)내에 도입하여 드라이엣칭에 의해 상기 제 1의 다결정실리콘 반도체막(PS-a)의 표면 XX에 형성된 규소화합물(예를들면 산화규소, 질화규소등)과 불순물을 제거하는 클리닝공정을 행한다.

이 때 다결정실리콘 반도체막(PS-a)의 표면 XX도 약간은 엣칭제거하는것에 의해 공정 (1)의 레이져어닐에서 발생한 돌기도 엣칭되어 제 1의 다결정실리콘 반도체막(PS-a)의 표면이 어느정도 평탄화되므로 그 후의 공정(3)에서 퇴적되는 제 2의 비정질 실리콘반도체막(PS-b)의 표면도 평탄하게 되고, 공정(4)에서 레이져어닐에 의해 형성되는 다결정실리콘 반도체막(PS)의 표면은 극히 평탄해진다.

다결정실리콘 반도체막(PS-a)의 표면 XX를 에칭제거하는양은 다결정실리콘 반도체막(PS-a)의 표면이 의도하지 않은 불순물의 농도가 10^{19} atoms/cm^3 이하가 될 때까지 제거하는 것이 바람직하다. 특히 산소와 규소와의 화합물은 이후의 공정(4)에서 레이져어닐에 의해 제 1의 다결정실리콘반도체막(PS-a)와 제 2의 비정질실리콘 반도체막(PS-b)가 융합하여 입자가 크고 결정성이 양호한 다결정실리콘 반도체막(PS)를 형성하는 것을 침해하므로 산소의 양은 10^{19} atoms/cm^3 이하가 될 때까지 제거하는 것이 바람직하다.

또한 제 1의 다결정실리콘반도체막(PS-a)표면에 형성된 질화규소도 다결정실리콘반도체막(PS)의 결정성장을 침해하므로 질소의 양도 1입방cm 당 10^{19} 개 이하가 될 때까지 제거하는 것이 보다 바람직하다.

다결정실리콘반도체막(PS-a)표면을 클리닝하는 방법으로서는 에칭가스에 CF_4와 O_2의 혼합가스를 이용하고 프라즈마를 발생시켜 다결정실리콘반도체막(PS-a)의 표면을 5 ~ 10초의 매우 짧은시간 엣칭만으로 좋다. 상기의 공정도 기판(SUB1)을 대기에 쏘이지 않고 연속하여 행한다.

공정 (3) : 상기 공정(2)를 행한 후 로봇트암(19)에 의해 진공된 반송실(11)을 통하여 기판(SUB1)을 제 3실 (R3)에 이동하고 스테이지(22)에 고정한 후 공정(1)과 같이 CVD에 의해 제1의 다결정실리콘반도체막(PS-a)상에 제 2의 비정질실리콘반도체막(PS-b)를 성막한다. 본 실시예에서는 클리닝공정을 행한 후 기판(SUB1)을 대기에 쏘이지 않고 제 1의 다결정실리콘반도체막(PS-a)상에 제2의 비정질실리콘반도체막(PS-b)를 성막하므로 제 1의 다결정실리콘반도체막(PS-a) 표면에 대기성분과 불순물이 재부착하지 않는다.

공정 (4) :

그 후 로봇트 암(19)에 의해 기판(SUB1)을 제4실 (14)에 이동하고 스테이지(22)상에 고정한 후 제1의 다결정실리콘반도체막(PS-a)의 결정을 중심으로서 레이져어닐에의한 제2의 비정질실리콘반도체막(PS-b)를 다결정화하여 다결정실리콘반도체막을 변환한다.

이 때 레이져어닐시의 레이져 조사조건을 제 2의 다결정실리콘반도체막(PS-b)은 완전히 용융되나 제 1층의 다결정실리콘반도체막(PS-a)의 일부가 용융되지않고 남도록 설정한다.

이것은 결정부의 레이져 흡수에 의한 발열효율이 비정질부의 레이져흡수에 의한 발열효율보다 적은 사실을 이용하고 있다. 레이져조사가 끝나면 냉각에 의해 결정화 할 때 제 1층의 다결정실리콘반도체막(PS-a)의 일부가 용융하지 않는 부분을 중심으로서 성장한 제 1과 제 2층의 다결정실리콘반도체막에 이르는 커다란 결정으로 이루어지고 또한 결정간의 돌기가 매우 적은 다결정실리콘반도체막이 구해진다.

이후의 공정은 실시예 1과 같다.

이 실시예의 방법에 있어서도 다결정실리콘반도체층의 요철이 작고 절연층이 얇고 불순물의 횡방향 농도분포(lateral distributions of impurity concentrations)가 평탄화되어 저전압 또한 고속동작의 박막트랜지스터를 갖는 액티브매트릭스 기판을 구비한 액정표시장치가 구해진다.

또한 실시예 2의 제조방법에 의하면 적어도 공정(1)에서 공정(4)를 기판(SUB1)를 대기에 노출시키지 않고 시행하는 것이 가능하여 제 1층의 다결정실리콘반도체막(PS-a)와 제 2층의 다결정실리콘반도체막(PS-b)의 경계부근에 대기의 성분 (예를들면 산소와 질소등)의 두께방향의 농도분포의 피크가 생기지 않는다.

따라서, 본 실시예에 의하면 대기성분에 방해받지않고 제 1층의 다결정실리콘반도체막(PS-a)와 제2층의 다결정실리콘반도체막(PS-b)를 융합시키는 것이 가능하다.

상기 제 1과 제 2의 다결정실리콘반도체막(PS-a, PS-b)간의 각 불순물양은 2차이온 질량분석법에 의해 측정하는 것이 가능하다.

실시예 3

본 발명에 의한 액정표시장치의 제조방법의 실시예3은 실시예 1의 공정 (2)의 클리닝공정에서 기판 (SUB1)을 대기중에 유출하고 제 1층의 다결정실리콘반도체막(PS-a)의 표면을 연마하는 것에 의해 제 1층의 다결정실리콘반도체막(PS-a)의 표면을 평탄화하고 제 1층의 다결정실리콘반도체막(PS-a)의 표면에 형성된 산화규소와 질화규소등의 규소화합물도 제거하는 것이다. 그 외의 공정은 실시예 1과 같다.

실시예 3에서는 다결정실리콘반도체막(PS-a)의 표면 XX를 연마하여 제거하는것에 의해 공정(1)의 레이져어닐에서 발생한 돌기도 평탄화되고 제 1의 다결정실리콘반도체막(PS-a)의 표면이 극히 평탄하게 되므로 이 후 공정(3)에서 퇴적되는 제 2의 비정질실리콘반도체막(PS-b)의 표면도 평탄해지고 공정(4)에서 레이져어닐에 의해 형성되는 다결정실리콘반도체막(PS)의 표면도 극히 평탄하게 된다.

연마방법은 케미컬·메커니컬·폴리싱(CMP법)등이 있다.

구체적에는 회전가능한 지대위에 액체로 분산한 연마제를 전개하여 기판(SUB1)의 제 1층의 다결정실리콘반도체막(PS-a)의 표면을 연마제가 설치된 지대에 맞춰 지대를 회전시켜서 제 1 층의 다결정실리콘반도체막(PS-a)의 표면을 평탄하게 연마한다. 연마제로서는 다이아몬드등의 미소한 입자를 이용하는 것이 가능하다.

이후의 공정은 실시예 1과 같다.

상기 제조방법의 각 실시예에 의해 다결정실리콘반도체층의 요철이 작고 절연층이 얇고 불순물의 횡방향 농도분포(lateral distributions of impurtity concentrations)가 평탄화되고 저전압 또는 고속동작의 박막트랜지스터를 갖는 액티브매트릭스 기판을 형성가능하다.

발명의 효과

이상 설명한바와 같이 본 발명에 의하면 다결정실리콘반도체층의 요철을 작게하여 절연층을 얇게하고 불순물의 횡방향 농도분포(lateral distributions of impurity concentrations)를 평탄화하여 안정 저전압 또한 고속동작의 박막트랜지스터구조를 갖는 액티브매트릭스기판을 구비한 액정표시장치를 구하는 것이 가능하다.

(57) 청구의 범위

청구항 1.

복수의 게이트배선과,

복수의 드레인배선과,

복수의 박막트랜지스터와,

상기복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖고 기판상에 설치된 화소영역과,

상기 기판의 주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서,

상기 트랜지스터는,

상기 기판상에 형성한 다결정실리콘반도체층과,

상기의 다결정실리콘반도체층상에 게이트절연막을 사이에 두고 형성한 게이트전극과,

상기 다결정실리콘반도체층, 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고,

상기 다결정실리콘반도체층의 표면요철이 당해 다결정실리콘반도체층의 형성두께의 10%이하이고,

당해 다결정실리콘반도체층의 도전형을 결정하기 위한 불순물의 두께방향의 농도분포의 피크치를 나타내는 위치와 상기 기판표면간의 거리 변동이 상기 다결정 실리콘반도체층의 두께의 10%이내인 것을 특징으로 하는 액정표시장치.

청구항 2.

청구항 1에 있어서,

상기 다결정실리콘반도체층의 표면요철 및 상기 불순물의 두께방향의 농도분포의 피크치 위치의 변동은 상기 게이트절연막 아래에서 측정되는 것을 특징으로 하는 액정표시장치.

청구항 3.

복수의 게이트배선과,

복수의 드레인배선과,

복수의 박막트랜지스터와,

상기복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖고 기판상에 설치된 화소영역과,

상기 기판의 주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서,

상기 트랜지스터는,

상기 기판상에 형성한 다결정실리콘반도체층과,

이 다결정 실리콘반도체층상에 게이트절연막을 사이에 두고 형성한 게이트전극과,

상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고,

상기 다결정실리콘반도체층의 표면요철이 당해 다결정실리콘반도체층의 형성두께의 10%이하인 것을 특징으로 하는 액정표시장치.

청구항 4.

청구항 3에 있어서,

상기 다결정실리콘반도체층의 표면요철은 상기 게이트절연막 아래에서 측정되는 것을 특징으로 하는 액정표시장치.

청구항 5.

복수의 게이트배선과,

복수의 드레인배선과,

복수의 박막트랜지스터와,

상기 복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖고 기판상에 설치된 화소영역과,

상기 기판의 주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서,

상기 트랜지스터는,

상기 기판상에 형성한 다결정실리콘반도체층과,

이 다결정 실리콘반도체층상에 게이트절연막을 사이에두고 형성한 게이트전극과,

상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고,

상기 다결정실리콘반도체층의 도전형을 결정하기위한 불순물농도의 피크치를 나타내는 위치와 상기 기판표면과의 거리의 변동이 상기 다결정실리콘반도체층의 두께의 10%이내이고 상기 피크치를 나타내는 위치는 상기 기판의 수평면에서 측정한 값인 것을 특징으로 하는 액정표시장치.

청구항 6.

청구항 5에 있어서,

상기 불순물의 두께방향의 농도분포의 피크치 위치의 변동은 상기 게이트절연막 아래에서 측정되는 것을 특징으로 하는 액정표시장치.

청구항 7.

화소전극과 당해 화소전극에 결합된 박막트랜지스터를 갖는 제 1의 기판과,

상기 화소전극에 대향하도록 설치된 공통전극을 갖는 제 2의 기판과,

상기 제 1의 기판과 상기 제 2의 기판과의 가격에 액정층을 봉입하여 이루어지는 액정표시장치에 있어서,

상기 박막트랜지스터는,

상기 제 1의 기판상에 형성한 다결정실리콘반도체층과,

이 다결정실리콘반도체층상에 게이트절연막을 사이에 두고 형성한 게이트전극과,

상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극은 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인 전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극에서 구성되어,

상기 박막트랜지스터를 구성하는 다결정실리콘반도체층은,

(a) 제 1 기판상에 두께가 50nm이하 또한 그 표면요철이 상기 다결정실리콘반도체층의 두께의 10%이하이고 레이져어닐을 행하여 형성한 제 1의 다결정실리콘반도체막과,

(b) 상기 제 1의 다결정실리콘반도체막상에 두께가 50nm이하로 성막한 비정질실리콘반도체막에 레이져어닐을 행하여 형성한 제 2의 다결정실리콘반도체막으로 구성되고,

상기 박막트랜지스터를 구성하는 상기 다결정실리콘반도체층에 포함되는 산소의 농도가 상기 제 1과 제 2의 다결정실리콘반도체막의 경계부근에서 10^{19} atoms/cm^3 이하인 것을 특징으로 하는 액정표시장치.

청구항 8.

청구항 7에 있어서,

상기 산소의 농도는 상기 게이트절연막 아래에서 측정되는 것을 특징으로하는 액정표시장치.

청구항 9.

청구항 7에 있어서,

상기 상기 게이트절연막의 두께가 80nm 아래인 것을 특징으로 하는 액정표시장치.

청구항 10.

화소전극과 당해 화소전극에 결합된 박막트랜지스터를 갖는 제 1의 기판과,

상기 화소전극에 대향하도록 설치된 공통전극을 갖는 제 2의 기판과,

상기 제 1의 기판과 상기 제 2의 기판과의 간격에 액정층을 봉입하여 이루어지는 액정표시장치에 있어서,

상기 박막트랜지스터는,

상기 제 1의 기판상에 형성한 다결정실리콘반도체층과,

이 다결정실리콘반도체층상에 게이트절연막을 사이에 두고 형성한 게이트전극과,

상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되어,

상기 박막트랜지스터를 구성하는 다결정실리콘반도체층은,

(a) 제 1 기판상에 두께가 50nm이하 또한 그 표면요철이 상기 다결정실리콘반도체층의 두께의 10%이하이고 레이져어닐을 행하여 형성한 제 1의 다결정실리콘반도체막과,

(b) 상기 제 1의 다결정실리콘반도체막상에 두께가 50nm이하로 성막한 비정질실리콘반도체층에 레이져어닐을 행하여 형성한 제 2의 다결정실리콘반도체막으로 구성되고,

상기 박막트랜지스터를 구성하는 상기 다결정실리콘반도체층에 포함되는 산소의 두께방향의 농도분포의 피크이 상기 제 1과 제 2의 다결정실리콘반도체막의 경계부근에 없는 것을 특징으로 하는 액정표시장치.

청구항 11.

복수의 게이트배선과,

복수의 드레인배선과,

복수의 박막트랜지스터와,

상기복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖고 기판상에 설치된 화소영역과,

상기 기판의 주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서,

상기 트랜지스터는,

상기 기판상에 형성한 다결정실리콘반도체층과,

이 다결정 실리콘반도체층상에 게이트절연막을 사이에 두고 형성한 게이트전극과,

상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고,

상기 박막트랜지스터를 구성하는 다결정실리콘반도체층은,

(a) 상기 기판상에 두께가 50nm이하 또한 그 표면요철이 상기 다결정실리콘반도체층의 두께의 10%이하이고 레이져어닐을 행하여 형성한 제 1의 다결정실리콘반도체막과,

(b) 상기 제 1의 다결정실리콘반도체막상에 두께가 50nm이하로 성막한 비정질실리콘반도체층에 레이져어닐을 행하여 형성한 제 2의 다결정실리콘반도체막으로 구성되고,

상기 박막트랜지스터를 구성하는 상기 다결정실리콘반도체층에 포함되는 질소의 농도가 상기 제 1과 제 2의 다결정실리콘반도체막의 경계부근에서 10^{19} atoms/cm^3 이하인것을 특징으로하는 액정표시장치.

청구항 12.

청구항 11에 있어서,

상기 질소의 농도는 상기 게이트절연막의 아래에서 측정되는 것을 특징으로하는 액정표시장치.

청구항 13.

청구항 11에 있어서,

상기 게이트절연막의 두께가 80nm 이하인 것을 특징으로하는 액정표시장치.

청구항 14.

복수의 게이트배선과,

복수의 드레인배선과,

복수의 박막트랜지스터와,

상기복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖고 기판상에 설치된 화소영역과,

상기 기판의 주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치에 있어서,

상기 트랜지스터는,

상기 기판상에 형성한 다결정실리콘반도체층과,

이 다결정 실리콘반도체층상에 게이트절연막을 사이에두고 형성한 게이트전극과,

상기 다결정실리콘반도체층 상기 게이트절연막 및 상기 게이트전극을 덮은 절연막과,

상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 드레인전극과,

상기 드레인전극과 간격을 두고 상기 절연막상에 형성되면서 상기 다결정실리콘반도체층에 전기적으로 접속한 소스전극으로 구성되고,

상기 박막트랜지스터를 구성하는 다결정실리콘반도체층은,

(a) 상기 기판상에 두께가 50nm이하 또한 그 표면요철이 상기 다결정실리콘반도체층의 두께의 10%이하이고 레이저어닐을 행하여 형성한 제 1의 다결정실리콘반도체막과,

(b) 상기 제 1의 다결정실리콘반도체막상에 두께가 50nm이하로 성막한 비정질실리콘반도체층에 레이저어닐을 행하여 형성한 제 2의 다결정실리콘반도체막으로 구성되고,

상기 박막트랜지스터를 구성하는 상기 다결정실리콘반도체층에 포함되는 질소의 두께방향의 농도분포의 피크이 상기 제 1과 제 2의 다결정실리콘반도체막의 경계부근에 없는 것을 특징으로 하는 액정표시장치.

청구항 15.

복수의 게이트배선과,

복수의 드레인배선과,

복수의 박막트랜지스터와,

상기복수의 박막트랜지스터에 대응하여 설치된 복수의 화소전극을 갖고 기판상에 설치된 화소영역과,

상기 기판의 주변에 상기 복수의 박막트랜지스터를 구동하기위한 구동회로를 형성한 구동회로영역을 구비한 액정표시장치의 제조방법에 있어서,

(a) 상기 기판상에 제 1의 비정질실리콘반도체막을 성막한 후 레이저어닐에 의해 다결정화하여 제 1의 다결정실리콘반도체막을 형성하는 공정과,

(b) 상기 제 1의 다결정실리콘반도체막 표면의 의도하지 않은 불순물의 양을 10^{19} atomos/cm^{3} 이하로 하는 클리닝공정과,

(c) 상기 제 1의 다결정실리콘반도체막상에 제 2의 비정질실리콘반도체막을 성막한 후 레이저어닐에 의해 상기 제 1의 다결정실리콘반도체막의 결정을 중심으로서 상기 제 2의 비정질실리콘반도체막을 제 2의 다결정실리콘반도체막으로 변환하고 상기 제 1의 다결정실리콘반도체막의 결정과 상기 제 2의 다결정실리콘반도체막을 일체화 하는 다결정실리콘반도체막층을 형성하는 공정과,

(d) 상기 다결정실리콘반도체막층을 퍼터닝하여 「박막트랜지스터의 다결정실리콘반도체층」을 형성하는 공정과,

(e) 상기 「박막트랜지스터의 다결정실리콘반도체층」상에 게이트절연층을 성막하는 공정과,

(f) 상기 게이트절연층상에 게이트전극으로 이루어지는 제 1의 전극재료막을 성막하고 퍼터닝하여 게이트전극을 형성하는 공정과,

(g) 소스전극 및 드레인전극의 각각에 대응하는 상기 「박막트랜지스터의 다결정실리콘반도체층」의 영역에 도전형을 결정하는 불순물을 도입하는 공정과,

(h) 상기 게이트전극을 덮어 층간 절연층을 성막하는 공정과,

(i) 상기 「박막트랜지스터의 다결정실리콘반도체층」의 상기 소스전극 및 드레인전극 대응영역에 있어서 상기 게이트 절연층과 상기 층간절연층을 선택적으로 제거하여 반도체층 콘택트홀을 형성하는 공정과,

(j) 상기 반도체층 콘택트홀을 통하여 상기 「박막트랜지스터의 다결정실리콘반도체층」의 상기 소스전극 영역을 상기 드레인전극 영역에 접촉하고 또한 상기 층간절연층을 덮는 제 2의 전극재료막을 성막하는 공정과,

(k) 상기 제 2의 전극재료막을 퍼터닝하여 상기 소스전극과 상기 드레인전극을 형성하는 공정과,

(l) 상기 소스전극 및 상기 드레인전극 및 상기 층간절연층을 덮어 보호막을 성막하는 공정과,

(m) 상기 보호막을 선택적으로 제거하여 상기 소스전극에 이르는 전극콘택트홀을 형성하는 공정과,

(n) 상기 소스전극 콘택트홀을 통하여 상기 소스전극에 접촉하고 또한 상기 보호막을 덮는 화소전극재료막을 성막하는 공정과,

(o) 상기 화소전극재료막을 퍼터닝하여 화소전극재료를 형성하는 공정을 갖는 액정표시장치의 제조방법.

청구항 16.

청구항 15에 있어서,

상기 (d) 공정과 (e)공정「박막트랜지스터의 다결정실리콘반도체층」에 게이트 임계치 전압제어를 위한 불순물을 도입하는 공정을 갖는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17.

청구항 15에 있어서,

상기 의도하지 않은 불순물이 산소인 것을 특징으로 하는 액정표시장치의 제조방법.

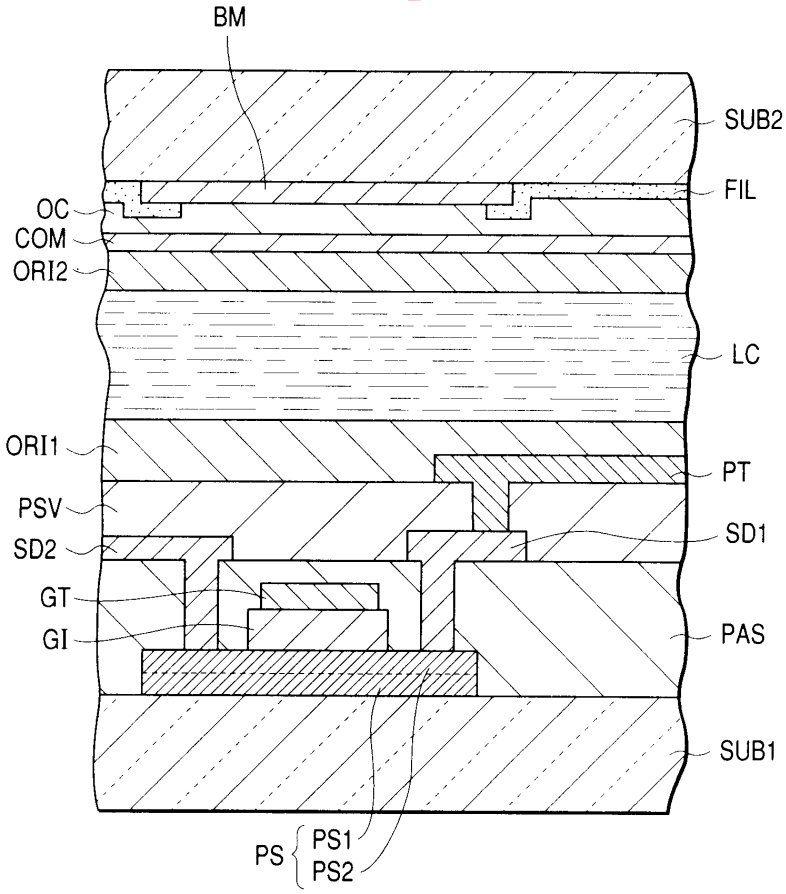
청구항 18.

청구항 15에 있어서,

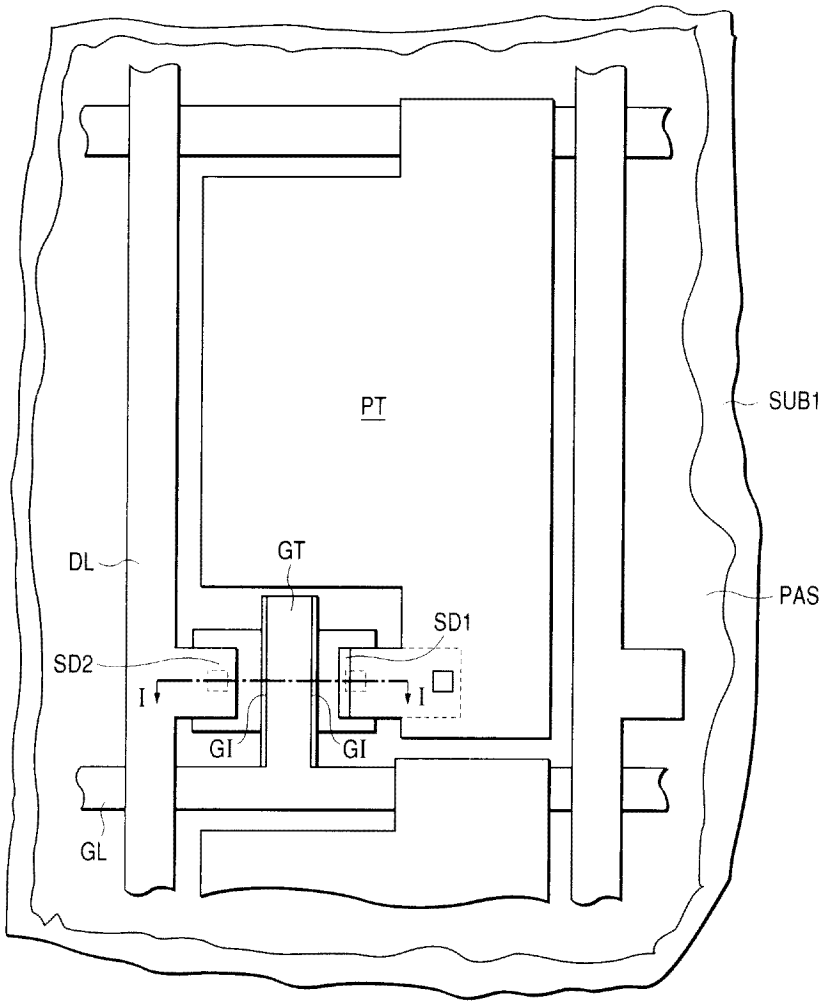
상기 의도하지 않은 불순물이 질소인 것을 특징으로 하는 액정표시장치의 제조방법.

도면

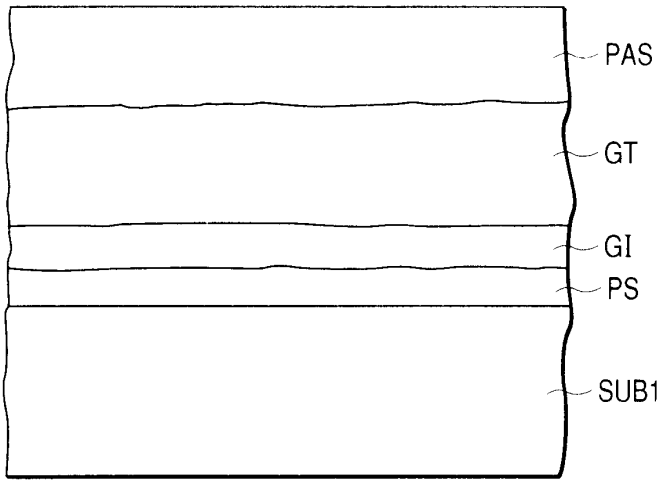
도면 1


BM
SUB2
FIL
OC
COM
ORI2
LC
ORI1
PT
PSV
SD1
SD2
GT
GI
PAS
SUB1
PS
PS1
PS2

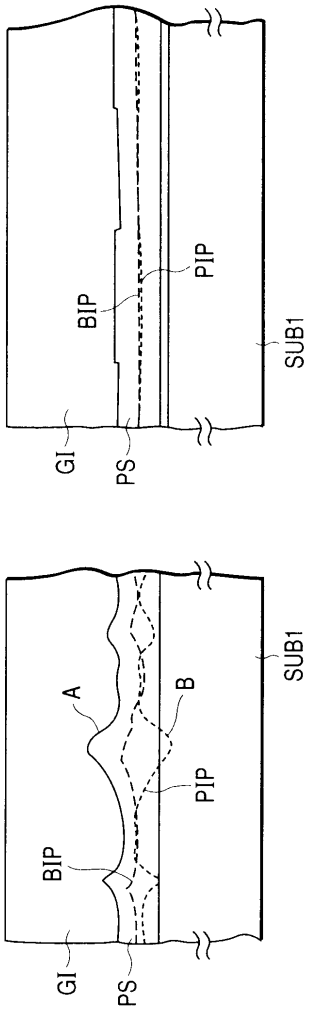
도면 2



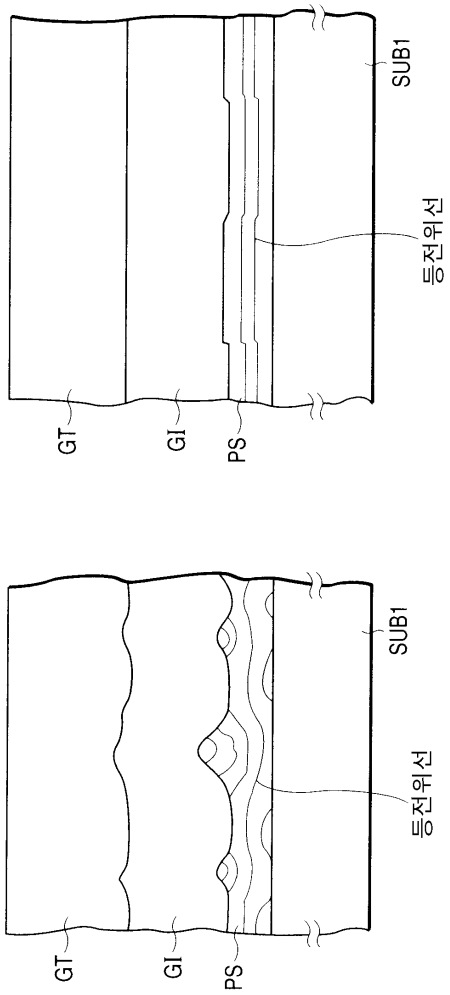
도면 3



도면 4

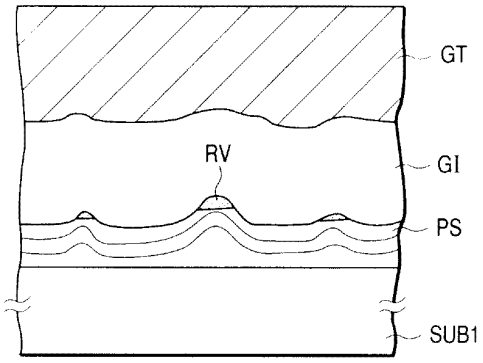


도면 5

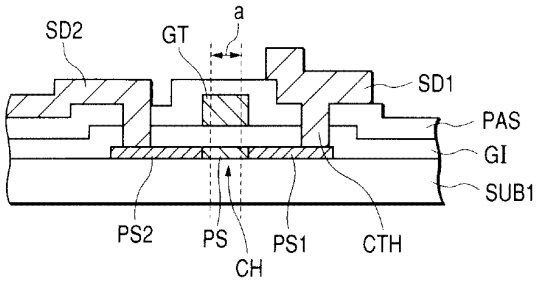


도면 6

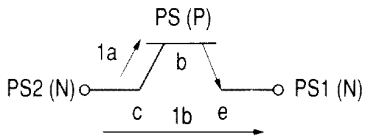
A



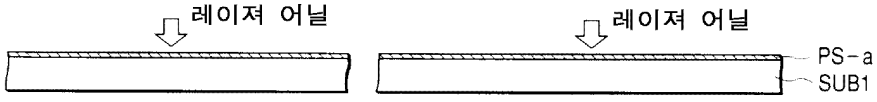
B



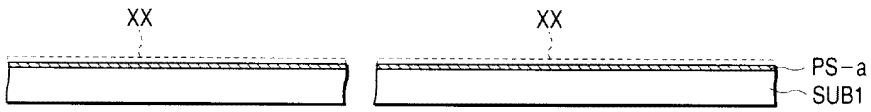
C



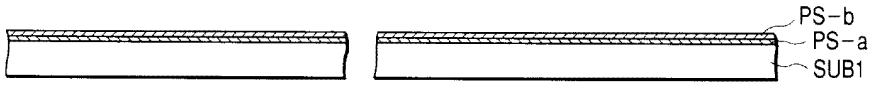
도면 7a



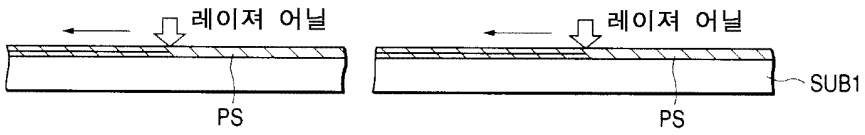
도면 7b



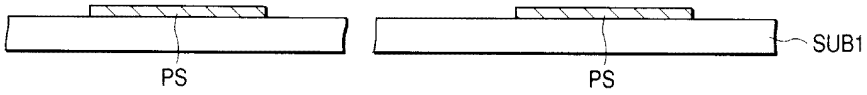
도면 7c



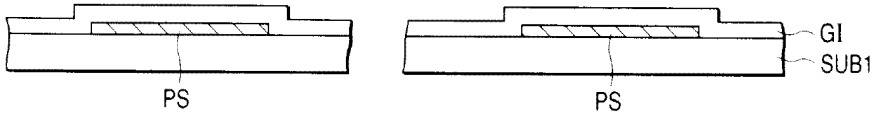
도면 7d



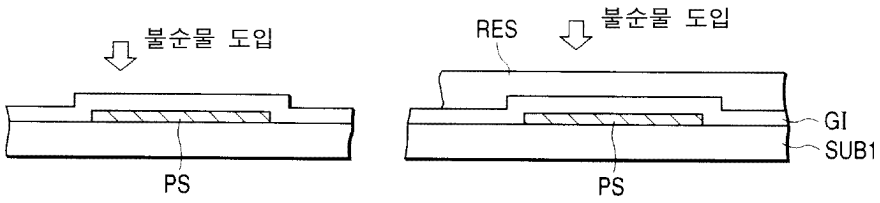
도면 7e



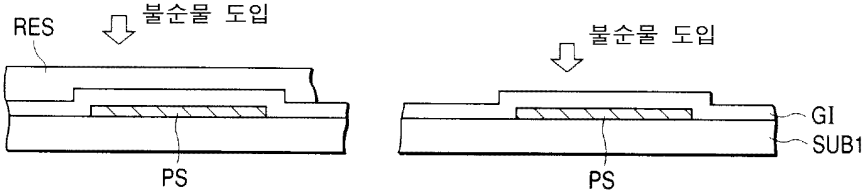
도면 7f



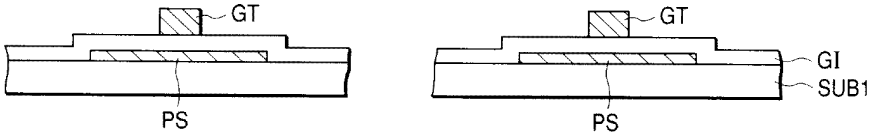
도면 7g



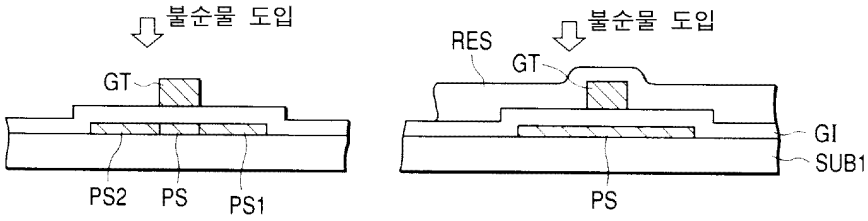
도면 7h



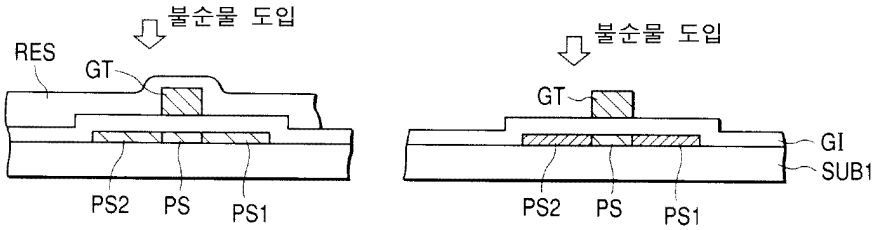
도면 7i



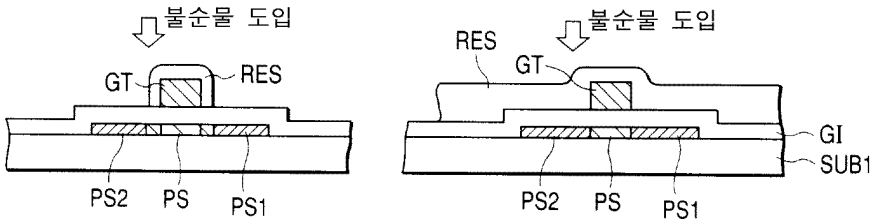
도면 7j



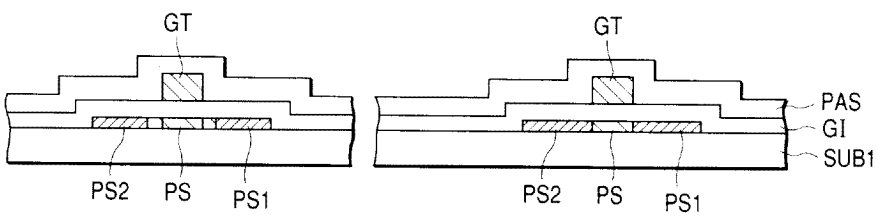
도면 7k



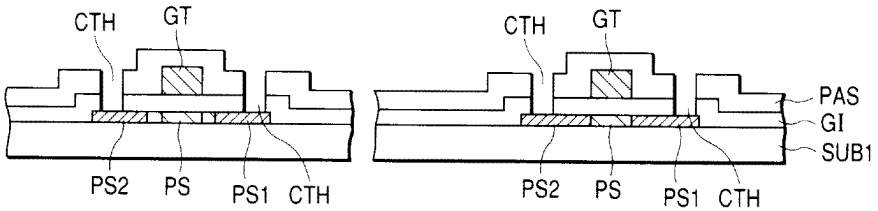
도면 7l



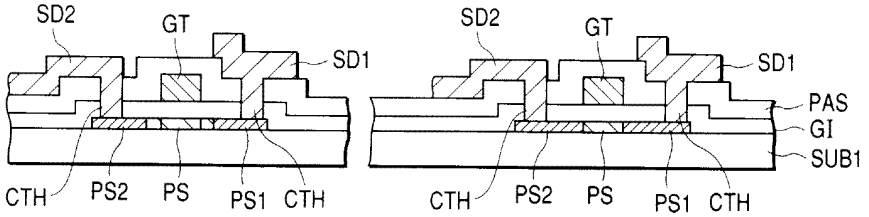
도면 7m



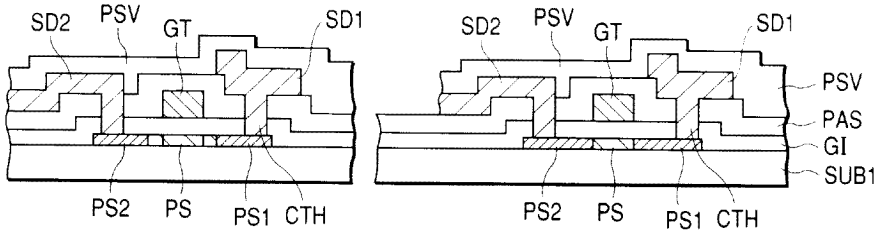
도면 7n



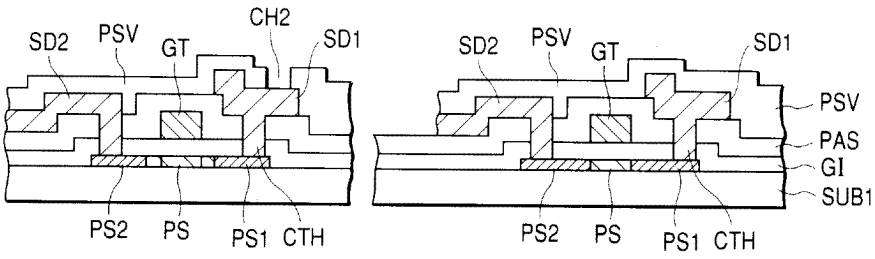
도면 7o



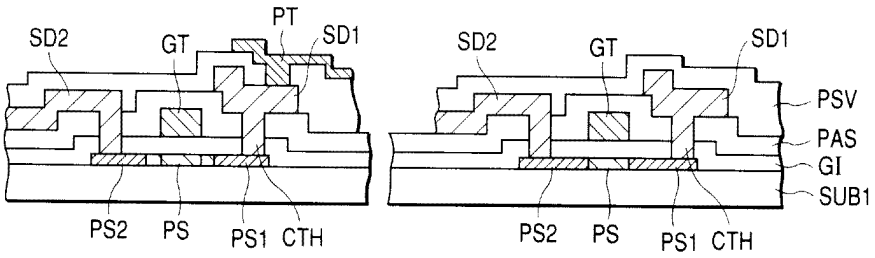
도면 7p



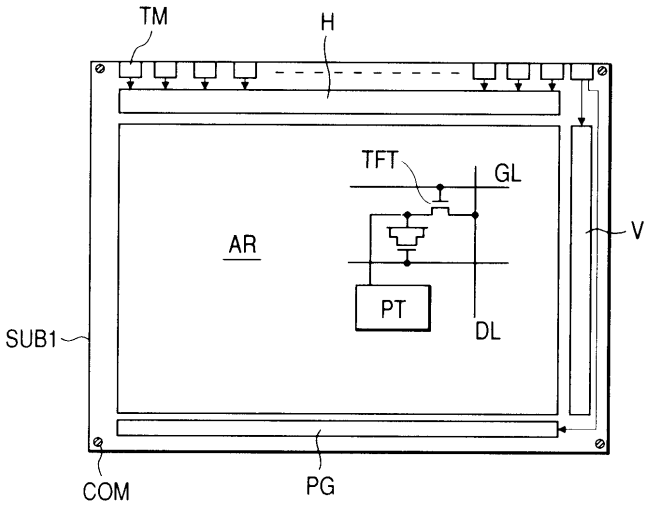
도면 7q



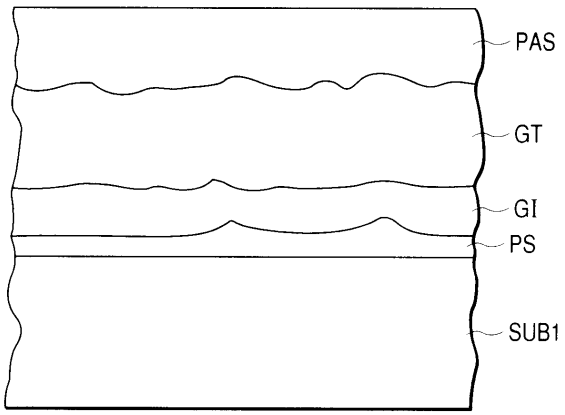
도면 7r


SD2
GT
PT
SD1
PS2
PS
PS1
CTH
SD2
GT
SD1
PSV
PAS
GI
SUB1
PS2
PS
PS1
CTH

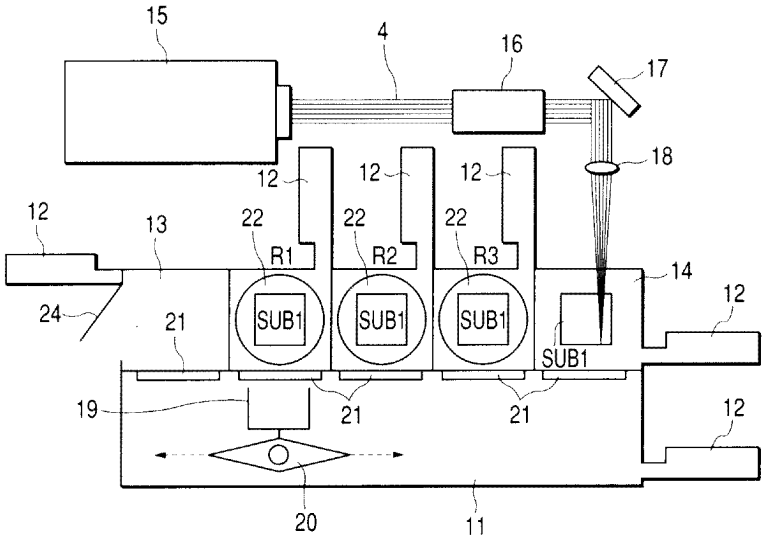
도면 8


TM
H
TFT
GL
AR
V
PT
DL
SUB1
COM
PG

도면 9


PAS
GT
GI
PS
SUB1

도면 10


15
4
16
17
18
12
12
12
12
13
22
22
22
R1
R2
R3
14
12
24
21
SUB1
SUB1
SUB1
SUB1
19
21
21
12
20
11