



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년05월30일  
 (11) 등록번호 10-1862396  
 (24) 등록일자 2018년05월23일

(51) 국제특허분류(Int. Cl.)  
 H01G 4/12 (2006.01) H01G 4/30 (2006.01)  
 (21) 출원번호 10-2011-0091229  
 (22) 출원일자 2011년09월08일  
 심사청구일자 2016년09월01일  
 (65) 공개번호 10-2013-0027780  
 (43) 공개일자 2013년03월18일  
 (56) 선행기술조사문헌  
 JP2007173714 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성전기주식회사  
 경기도 수원시 영통구 매영로 150 (매탄동)  
 (72) 발명자  
 김종한  
 경기도 용인시 수지구 고기로45번길 58, 101동 405호 (동천동, 동문그린아파트)  
 정현철  
 경기도 용인시 기흥구 흥덕1로79번길 37 506동 1402호 (영덕동, 흥덕마을5단지호반베르디움아파트)  
 박재만  
 경기도 수원시 영통구 봉영로1744번길 16 244동 703호 (영통동, 황골마을2단지아파트)  
 (74) 대리인  
 특허법인씨엔에스

전체 청구항 수 : 총 18 항

심사관 : 전한철

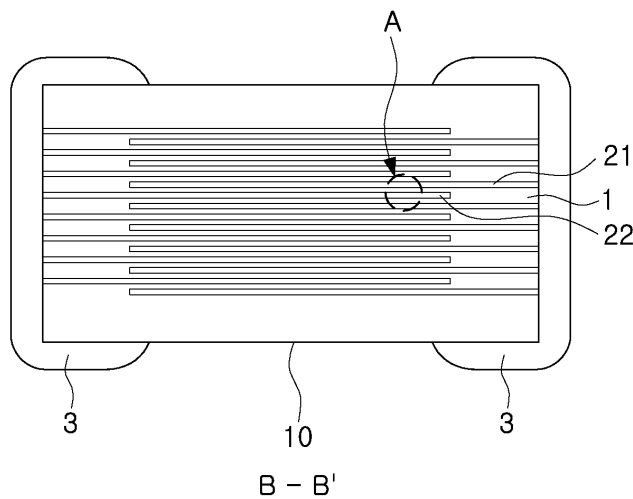
(54) 발명의 명칭 **적층 세라믹 전자부품 및 이의 제조방법**

**(57) 요약**

본 발명은 적층 세라믹 전자부품에 관한 것으로, 본 발명은 유전체층을 포함하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 내부전극층;을 포함하며, 상기 유전체층의 평균 두께를  $t_d$ , 상기 내부 전극층의 평균 두께를  $t_e$ 로 규정할 때,  $0.1 \mu m \leq t_e \leq 0.5 \mu m$  이고,  $(t_d + t_e)/t_e \leq 2.5$  를 만족하며, 상기 내부전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $5 \text{ nm} \leq R_a \leq 30 \text{ nm}$ ,  $150 \text{ nm} \leq R_z \leq t_d/2$  및  $8 \leq R_z/R_a \leq 20$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

본 발명에 따르면 유전체층과 내부전극간의 접착력이 향상되고, 내전압 특성이 향상되어 신뢰성이 우수한 대용량 적층 세라믹 전자부품의 구현이 가능하다.

**대표도** - 도2



**명세서**

**청구범위**

**청구항 1**

유전체층을 포함하는 세라믹 본체; 및

상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극층;을 포함하며,

상기 유전체층의 평균 두께를  $t_d$ , 상기 내부 전극층의 평균 두께를  $t_e$ 로 규정할 때,  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고,  $(t_d + t_e) / t_e \leq 2.5$  를 만족하며, 상기 내부전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $5 \text{ nm} \leq R_a \leq 30 \text{ nm}$ ,  $150 \text{ nm} \leq R_z \leq t_d/2$  및  $8 \leq R_z/R_a \leq 20$ 을 만족하는 적층 세라믹 전자 부품.

**청구항 2**

제1항에 있어서,

상기 유전체층의 평균 두께( $t_d$ )는  $t_d \leq 1.5 \mu\text{m}$  를 만족하는 적층 세라믹 전자부품.

**청구항 3**

제1항에 있어서,

상기 유전체층의 평균 두께( $t_d$ )는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서 유전체층의 평균 두께인 적층 세라믹 전자부품.

**청구항 4**

제1항에 있어서,

상기 내부 전극층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서 내부 전극층의 평균 두께인 적층 세라믹 전자부품.

**청구항 5**

제1항에 있어서,

상기 내부 전극층에 사용되는 금속 분말은 제1 입자와 제1 입자보다 입경이 작은 제2 입자를 포함하는 적층 세라믹 전자부품.

**청구항 6**

제5항에 있어서,

상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배인 적층 세라믹 전자부품.

**청구항 7**

제5항에 있어서,

상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부인 적층 세라믹 전자부품.

**청구항 8**

유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극층을 갖는 세라믹 본체를 포함하며,

상기 유전체층의 평균 두께를  $t_d$ , 상기 내부 전극층의 평균 두께를  $t_e$ 로 규정할 때,  $t_d \leq 1.5 \mu\text{m}$  및  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $8 \leq R_z/R_a \leq 20$ 을 만족하는 적층 세라믹 전자부품.

**청구항 9**

제8항에 있어서,

상기 유전체층의 평균 두께  $t_d$  및 상기 내부 전극층의 평균 두께를  $t_e$ 는  $(t_d + t_e)/t_e \leq 2.5$  를 만족하는 적층 세라믹 전자부품.

**청구항 10**

제8항에 있어서,

상기 십점 평균 거칠기  $R_z$ 는  $150 \text{ nm} \leq R_z \leq t_d/2$ 를 만족하는 적층 세라믹 전자부품.

**청구항 11**

제8항에 있어서,

상기 유전체층의 평균 두께( $t_d$ )는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서 유전체층의 평균 두께인 적층 세라믹 전자부품.

**청구항 12**

제8항에 있어서,

상기 내부 전극층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 중앙부의 내부 전극층의 평균 두께인 적층 세라믹 전자부품.

**청구항 13**

제8항에 있어서,

상기 내부 전극층에 사용되는 금속 분말은 제1 입자와 제1 입자보다 입경이 작은 제2 입자를 포함하는 적층 세라믹 전자부품.

**청구항 14**

제13항에 있어서,

상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배인 적층 세라믹 전자부품.

**청구항 15**

제13항에 있어서,

상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부인 적층 세라믹 전자부품.

**청구항 16**

유전체를 포함하는 세라믹 그린시트를 마련하는 단계;

제1 입자 및 상기 제1 입자보다 입경이 작은 제2 입자를 갖는 금속 분말을 포함하고, 상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부인 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 및

상기 내부전극 패턴이 형성된 그린시트를 적층하고 소결하여, 내부전극층의 평균 두께  $t_e$ 가  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기  $R_a$ 가  $5 \text{nm} \leq R_a \leq 30 \text{nm}$ 를 만족하며, 상기 내부전극 중심선 평균 거칠기  $R_a$ 에 대한 십점 평균 거칠기  $R_z$ 의 비  $R_z/R_a$ 가  $8 \leq R_z/R_a \leq 20$ 을 만족하는 세라믹 본체를 형성하는 단계;

를 포함하는 적층 세라믹 전자부품의 제조 방법.

**청구항 17**

제16항에 있어서,

상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배인 적층 세라믹 전자부품의 제조 방법.

**청구항 18**

제16항에 있어서,

상기 유전체층의 평균 두께( $t_d$ )는  $t_d \leq 1.5 \mu\text{m}$  이고,  $(t_d + t_e) / t_e \leq 2.5$ 를 만족하는 적층 세라믹 전자부품의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유전체층과 내부전극간의 접촉력이 우수한 적층 세라믹 전자부품에 관한 것이다.

**배경 기술**

[0002] 최근, 전자 제품들의 소형화 추세에 따라, 적층 세라믹 전자 부품 역시 소형화되고, 대용량화될 것이 요구되고 있다.

[0003] 이에 따라 유전체와 내부전극의 박막화, 다층화가 다양한 방법으로 시도되고 있으며, 근래에는 유전체층의 두께는 얇아지면서 적층수가 증가하는 적층 세라믹 전자 부품들이 제조되고 있다.

[0004] 또한, 내부전극의 박막화를 위해 최근에 미세한 금속 분말을 사용하여 내부전극을 형성한 세라믹 전자 부품들이

제조되고 있다.

[0005] 이런 경우 내부전극의 표면 조도가 점차 줄어들게 되는 장점은 있으나, 이로 인해 유전체층과 내부전극의 접착력이 저하되는 문제가 있다.

[0006] 이는 적층 세라믹 전자 부품 제조에 있어서, 유전체층과 내부전극의 박리를 초래하게 되어 신뢰성이 저하되는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 유전체층과 내부전극간의 접착력이 우수한 적층 세라믹 전자부품을 제공한다.

**과제의 해결 수단**

[0008] 본 발명의 일 실시형태는 유전체층을 포함하는 세라믹 본체; 및 상기 세라믹 본체 내에서 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극층;을 포함하며, 상기 유전체층의 평균 두께를  $t_d$ , 상기 내부 전극층의 평균 두께를  $t_e$ 로 규정할 때,  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고,  $(t_d + t_e) / t_e \leq 2.5$  를 만족하며, 상기 내부전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $5 \text{ nm} \leq R_a \leq 30 \text{ nm}$ ,  $150 \text{ nm} \leq R_z \leq t_d/2$  및  $8 \leq R_z/R_a \leq 20$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

[0009] 상기 유전체층의 평균 두께는  $t_d \leq 1.5 \mu\text{m}$  를 만족할 수 있다.

[0010] 상기 유전체층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서 유전체층의 평균 두께일 수 있다.

[0011] 상기 내부 전극층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서 내부 전극층의 평균 두께일 수 있다.

[0012] 상기 내부 전극층에 사용되는 금속 분말은 제1 입자와 제1 입자보다 입경이 작은 제2 입자를 포함할 수 있으며, 상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배일 수 있다.

[0013] 또한, 상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부일 수 있다.

[0014] 본 발명의 다른 실시형태는 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극층을 갖는 세라믹 본체를 포함하며, 상기 유전체층의 평균 두께를  $t_d$ , 상기 내부 전극층의 평균 두께를  $t_e$ 로 규정할 때,  $t_d \leq 1.5 \mu\text{m}$  및  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $8 \leq R_z/R_a \leq 20$ 을 만족하는 적층 세라믹 전자부품을 제공한다.

[0015] 상기 유전체층의 평균 두께  $t_d$  및 상기 내부 전극층의 평균 두께를  $t_e$ 는  $(t_d + t_e) / t_e \leq 2.5$  를 만족할 수 있다.

- [0016] 상기 십점 평균 거칠기 Rz는  $150 \text{ nm} \leq Rz \leq td/2$ 를 만족할 수 있다.
- [0017] 상기 유전체층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 중앙부의 유전체층의 평균 두께일 수 있다.
- [0018] 상기 내부 전극층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 중앙부의 내부 전극층의 평균 두께일 수 있다.
- [0019] 상기 내부 전극층에 사용되는 금속 분말은 제1 입자와 제1 입자보다 입경이 작은 제2 입자를 포함할 수 있으며, 상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배일 수 있다.
- [0020] 또한, 상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부일 수 있다.
- [0021] 본 발명의 다른 실시형태는 유전체를 포함하는 세라믹 그린시트를 마련하는 단계; 제1 입자 및 상기 제1 입자보다 입경이 작은 제2 입자를 갖는 금속 분말을 포함하고, 상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부인 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 및 상기 내부전극 패턴이 형성된 그린시트를 적층하고 소결하여, 내부전극층의 평균 두께  $t_e$ 가  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기 Ra가  $5 \text{ nm} \leq Ra \leq 30 \text{ nm}$ 를 만족하며, 상기 내부전극 중심선 평균 거칠기 Ra에 대한 십점 평균 거칠기 Rz의 비  $Rz/Ra$ 가  $8 \leq Rz/Ra \leq 20$ 을 만족하는 세라믹 본체를 형성하는 단계;를 포함하는 적층 세라믹 전자부품의 제조 방법을 제공한다.
- [0022] 상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배일 수 있다.
- [0023] 상기 유전체층의 평균 두께(td)는  $td \leq 1.5 \mu\text{m}$  이고,  $(td + t_e)/t_e \leq 2.5$ 를 만족할 수 있다.

**발명의 효과**

- [0024] 본 발명에 따르면 유전체층과 내부전극간의 접촉력이 향상되고, 내전압 특성이 향상되어 신뢰성이 우수한 대용량 적층 세라믹 전자부품의 구현이 가능하다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 캐패시터를 개략적으로 나타내는 사시도이다.
- 도 2는 도 1의 B-B' 단면도이다.
- 도 3은 도 2에서 내부 전극층과 유전체층의 두께를 나타내는 확대도이다.
- 도 4는 도 3에서 내부전극 중심선 평균 거칠기(Ra)를 나타내는 개략도이다.
- 도 5는 도 3에서 내부전극 십점 평균 거칠기(Rz)를 나타내는 개략도이다.
- 도 6은 본 발명의 다른 실시형태에 따른 적층 세라믹 캐패시터의 제조 공정도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.
- [0028] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 캐패시터를 개략적으로 나타내는 사시도이다.
- [0029] 도 2는 도 1의 B-B' 단면도이다.
- [0030] 도 3은 도 2에서 내부 전극층과 유전체층의 두께를 나타내는 확대도이다.
- [0031] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 유전체층(1)을 포함하는 세라믹 본체(10); 및 상기 세라믹 본체(10) 내에서 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 제 1 및 제2 내부전극층(21, 22);을 포함하며, 상기 유전체층(1)의 평균 두께를  $t_d$ , 상기 내부 전극층(21, 22)의 평균 두께를  $t_e$ 로 규정할 때,  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고,  $(t_d + t_e)/t_e \leq 2.5$  를 만족하며, 상기 내부 전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $5 \text{ nm} \leq R_a \leq 30 \text{ nm}$ ,  $150 \text{ nm} \leq R_z \leq t_d/2$  및  $8 \leq R_z/R_a \leq 20$ 을 만족할 수 있다.
- [0032] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0033] 본 발명의 일 실시형태에 따르면, 상기 유전체층(1)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨( $\text{BaTiO}_3$ ) 분말일 수 있다.
- [0034] 상기 유전체층(1)을 형성하는 재료는 티탄산바륨( $\text{BaTiO}_3$ ) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0035] 상기 유전체층(1) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.
- [0036] 상기 제1 및 제2 내부전극층(21, 22)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0037] 정전 용량 형성을 위해 외부전극(3)이 상기 세라믹 본체(10)의 외측에 형성될 수 있으며, 상기 내부전극층(21, 22)과 전기적으로 연결될 수 있다.
- [0038] 상기 외부전극(3)은 내부전극과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등으로 형성될 수 있다.
- [0039] 상기 외부전극(3)은 상기 금속 분말에 글라스 프린트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0040] 도 2 및 도 3을 참조하면, 본 발명의 일 실시형태인 적층 세라믹 캐패시터는 내부전극층(21, 22)의 평균 두께

(te)가  $0.1 \mu\text{m} \leq te \leq 0.5 \mu\text{m}$  일 수 있다.

- [0041] 본 발명의 일 실시형태에서, 상기 내부전극층(21, 22)의 평균 두께는 도 2와 같이 세라믹 본체(10)의 길이 방향 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0042] 예를 들어, 도 2와 같이 세라믹 본체(10)의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 스캔한 이미지에서 추출된 임의의 내부전극층에 대해서, 길이 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0043] 상기 등간격인 30개의 지점은 내부전극층(21, 22)이 서로 중첩되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0044] 또한, 이러한 평균값 측정을 10개 이상의 내부전극층으로 확장하여 평균값을 측정하면, 내부전극층의 평균 두께를 더욱 일반화할 수 있다.
- [0045] 또한, 상기 유전체층(1)의 평균 두께를 td로 규정할 때,  $(td + te) / te \leq 2.5$  를 만족할 수 있다.
- [0046] 본 발명의 일 실시형태에서, 상기 유전체층(1)의 평균 두께는 내부 전극층(21, 22) 사이에 배치되는 유전체층(1)의 평균 두께를 의미할 수 있다.
- [0047] 상기 유전체층(1)의 평균 두께는 도 2와 같이 세라믹 본체(10)의 길이 방향 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0048] 예를 들어, 도 2와 같이 세라믹 본체(10)의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면을 주사전자현미경(SEM, Scanning Eletron Microscope)으로 스캔한 이미지에서 추출된 임의의 유전체층에 대해서, 길이 방향으로 등간격인 30개의 지점에서 그 두께를 측정하여 평균값을 측정할 수 있다.
- [0049] 상기 등간격인 30개의 지점은 내부전극층(21, 22)이 서로 중첩되는 영역을 의미하는 용량 형성부에서 측정될 수 있다.
- [0050] 상기 유전체층(1)의 평균 두께(td)는  $td \leq 1.5 \mu\text{m}$  를 만족할 수 있다.
- [0051] 본 발명의 일 실시형태에 따르면, 상기 유전체층(1)의 평균 두께(td)와 상기 내부전극층(21, 22)의 평균 두께(te) 사이에  $(td + te) / te \leq 2.5$ 를 만족하도록 조절함으로써, 내전압 특성이 향상될 수 있다.
- [0052] 상기 유전체층(1)의 평균 두께(td)와 상기 내부전극층(21, 22)의 평균 두께(te) 사이의 관계식  $(td + te) / te > 2.5$ 를 초과할 경우에는, 상기 유전체층(1)의 두께가 두꺼우므로 내전압 특성이 문제되지 않을 수 있다.
- [0053] 도 4는 도 3에서 내부전극 중심선 평균 거칠기(Ra)를 나타내는 개략도이다.
- [0054] 도 5는 도 3에서 내부전극 십점 평균 거칠기(Rz)를 나타내는 개략도이다.
- [0055] 도 4 및 도 5를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 캐패시터는 상기 내부전극 중심선 평균 거칠기를 Ra 및 십점 평균 거칠기를 Rz 라 규정할 때,  $5 \text{ nm} \leq Ra \leq 30 \text{ nm}$ ,  $150 \text{ nm} \leq Rz \leq td/2$  및  $8 \leq Rz/Ra \leq 20$ 을 만족할 수 있다.
- [0056] 내부전극 중심선 평균 거칠기(Ra)는 표면에 조도가 형성된 내부전극의 거칠기를 산출한 값으로서, 상기 조도의 가상의 중심선을 기준으로 평균값을 구하여 산출된 내부전극의 거칠기를 의미할 수 있다.



[0057] 구체적으로, 도 4를 참조하면, 상기 내부전극 중심선 평균 거칠기(Ra)를 산출하는 방법은 상기 내부전극의 일 표면에 형성되어 있는 조도에 대하여 가상의 중심선을 그을 수 있다.

[0058] 다음으로, 상기 조도의 가상의 중심선을 기준으로 각각의 거리(예를 들어,  $r_1, r_2, r_3 \dots r_{13}$ )를 측정 한 후 아래 식과 같이 각 거리의 평균값을 구하여 산출된 값으로 내부전극 중심선 평균 거칠기(Ra)를 산출할 수 있다.

$$Ra = \frac{r_1 + r_2 + r_3 + \dots + r_n}{n}$$

[0059]

[0060] 또한, 십점 평균 거칠기(Rz)는 상기 조도의 가상의 중심선을 기준으로 중심선 위쪽에 있는 제일 높은 5개의 점들과 중심선 아래쪽에 있는 제일 낮은 5개의 점들의 각각의 거리의 평균값을 합하여 산출된 값을 의미할 수 있다.

[0061] 구체적으로, 도 5를 참조하면, 상기 십점 평균 거칠기(Rz)를 산출하는 방법은 상기 내부전극의 일 표면에 형성되어 있는 조도에 대하여 가상의 중심선을 그을 수 있다.

[0062] 다음으로, 상기 조도의 가상의 중심선을 기준으로 중심선 위쪽에 있는 제일 높은 5개의 점들( $r_1+r_2+r_3+r_4+r_5$ )과 중심선 아래쪽에 있는 제일 낮은 5개의 점들( $r_6+r_7+r_8+r_9+r_{10}$ )의 각각의 거리를 측정 한 후, 아래 식과 같이 각각의 거리의 평균값을 계산하여 산출할 수 있다.

$$Rz = \frac{(r_1 + r_2 + r_3 + r_4 + r_5) + (r_6 + r_7 + r_8 + r_9 + r_{10})}{10}$$

[0063]

[0064] 상기 내부전극 중심선 평균 거칠기(Ra)를  $5 \text{ nm} \leq Ra \leq 30 \text{ nm}$ 의 범위로 조절함으로써, 내전압 특성이 우수하며, 유전체층과 내부전극간의 접착력이 향상된 신뢰성이 우수한 적층 세라믹 캐패시터를 구현할 수 있다.

[0065] 상기 내부전극 중심선 평균 거칠기(Ra)가 5nm 미만의 경우에는 유전체층과 내부전극간의 접착력이 저하되어, 딜라미네이션(Delamination) 불량 발생 수 있으며, 30nm를 초과하는 경우에는 박막의 유전체층(1)을 사이에 두고, 내부전극층(21, 22)의 층간 간격이 가까워져서 내전압 특성이 저하되는 문제가 있을 수 있다.

[0066] 한편, 십점 평균 거칠기(Rz)를  $150 \text{ nm} \leq Rz \leq td/2$ 의 범위로 조절함으로써, 내전압 특성 및 유전체층과 내부전극간의 접착력이 더욱 향상될 수 있다.

[0067] 상기 십점 평균 거칠기(Rz)가 150nm 미만의 경우에는 유전체층과 내부전극간의 접착력이 저하되어, 딜라미네이션(Delamination) 불량 발생 수 있으며,  $td/2$ 를 초과하는 경우에는 내부전극층(21, 22) 간의 쇼트 불량 등이 발생할 수 있고, 내전압 특성이 저하되는 문제가 있을 수 있다.

[0068] 또한, 상기 내부전극 중심선 평균 거칠기(Ra) 및 십점 평균 거칠기(Rz)의 비( $Rz/Ra$ )를  $8 \leq Rz/Ra \leq 20$  범위로 조절함으로써, 내전압 특성 및 유전체층과 내부전극간의 접착력이 더욱 향상될 수 있다.

[0069] 내부전극을 형성하기 위해 입경이 작은 미세한 금속 분말을 사용하는 경우, 상기 내부전극 중심선 평균 거칠기(Ra)를 줄일 수 있고 내부전극의 박층화가 가능하다.

- [0070] 그러나, 입경이 작은 미세한 금속 분말만 사용한 경우, 내부전극 중심선 평균 거칠기(Ra)가 지나치게 작아서, 유전체층과 내부전극간의 접착력이 저하되고 델라미네이션(Delamination) 불량 발생될 수 있다.
- [0071] 입경이 작은 미세한 금속 분말에 입경이 상대적으로 큰 금속 분말을 적절히 혼합하여 십점 평균 거칠기(Rz)를 적절히 높이면, 유전체층과 내부전극간의 접착력을 향상시킬 수 있다.
- [0072] 다시 말해, 내부전극 중심선 평균 거칠기(Ra)에 대한 십점 평균 거칠기(Rz)의 비(Rz/Ra)를 적절히 조절하면, 내부 전극의 박층화가 가능할 뿐만 아니라, 내전압 특성 및 유전체층과 내부전극간의 접착력이 더욱 향상될 수 있다.
- [0073] 즉, 상기 내부전극 중심선 평균 거칠기(Ra) 및 십점 평균 거칠기(Rz)의 비(Rz/Ra)를  $8 \leq Rz/Ra \leq 20$  범위 내로 조절함으로써, 내부 전극의 박층화 뿐만 아니라, 내전압 특성 및 유전체층과 내부전극간의 접착력을 더욱 향상시킬 수 있다.
- [0074] 상기 내부전극 중심선 평균 거칠기(Ra) 및 십점 평균 거칠기(Rz)의 비(Rz/Ra)가 8 미만의 경우에는 유전체층과 내부전극간의 접착력이 저하되어, 델라미네이션(Delamination) 불량 발생될 수 있으며, 20을 초과하는 경우에는 내전압 특성이 저하되는 문제가 있을 수 있다.
- [0075] 따라서, 본 발명의 일 실시형태에 따르면, 상기 내부전극 중심선 평균 거칠기를 Ra 및 십점 평균 거칠기를 Rz 라 규정할 때,  $5 \text{ nm} \leq Ra \leq 30 \text{ nm}$ ,  $150 \text{ nm} \leq Rz \leq td/2$  및  $8 \leq Rz/Ra \leq 20$ 을 만족하도록 조절함으로써, 유전체층과 내부전극간의 접착력이 강화되며, 내전압 특성이 향상될 뿐만 아니라 신뢰성이 우수한 대용량 적층 세라믹 전자부품의 구현이 가능하다.
- [0076] 상기와 같이 내부전극 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율을 상기 범위 내로 조절하기 위하여, 본 발명의 일 실시형태에 따르면, 상기 내부 전극층(21, 22)에 사용되는 금속 분말이 제1 입자와 제1 입자보다 입경이 작은 제2 입자를 포함할 수 있다.
- [0077] 또한, 상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배일 수 있다.
- [0078] 즉, 내부전극의 박층화를 도모하면서, 내전압 특성을 향상시키기 위하여, 상기 Ra, Rz 및 Rz/Ra를 일정 범위 내로 조절하며, 이를 위해 내부 전극층(21, 22)에 사용되는 금속 분말은 이중 사이즈의 분말을 혼합하여 사용할 수 있다.
- [0079] 상기 이중 사이즈의 분말은 제1 입자와 제1 입자보다 입경이 작은 제2 입자를 포함할 수 있으며, 상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배일 수 있다.
- [0080] 상기 제1 입자의 입경이 상기 제2 입자의 입경의 1.5 배 미만의 경우에는 입경 차이가 적으므로, 유전체층과 내부전극간의 접착력이 저하되어, 델라미네이션(Delamination) 불량 발생될 수 있으며, 2.5배를 초과하는 경우에는 내전압 특성이 저하되는 문제가 있을 수 있다.
- [0081] 상기 금속 분말의 입경은 특별히 제한되지 않으며, 예를 들어 제1 입자는 300nm 이하 및 제1 입자보다 입경이 작은 제2 입자는 200nm 이하의 사이즈로 혼합될 수 있다.
- [0082] 또한, 상기 제1 입자의 첨가량은 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부일 수 있다.

- [0083] 상기 제1 입자의 첨가량이 9 중량부 미만의 경우에는 입경이 큰 입자의 첨가량이 적으므로, 유전체층과 내부전극간의 접착력이 저하되어, 델라미네이션(Delamination) 불량 발생 수 있으며, 20 중량부를 초과하는 경우에는 내전압 특성이 저하되는 문제가 있을 수 있다.
- [0084] 한편, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 유전체층(1) 및 상기 유전체층(1)을 사이에 두고 서로 대향하도록 배치되는 제1 및 제2 내부전극층(21, 22)을 갖는 세라믹 본체(10)를 포함하며, 상기 유전체층(1)의 평균 두께를  $t_d$ , 상기 내부 전극층(21, 22)의 평균 두께를  $t_e$ 로 규정할 때,  $t_d \leq 1.5 \mu\text{m}$  및  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기를  $R_a$  및 십점 평균 거칠기를  $R_z$  라 규정할 때,  $8 \leq R_z/R_a \leq 20$ 을 만족할 수 있다.
- [0085] 상기 유전체층(1)의 평균 두께  $t_d$  및 상기 내부 전극층(21, 22)의 평균 두께를  $t_e$ 는  $(t_d + t_e)/t_e \leq 2.5$  를 만족할 수 있다.
- [0086] 상기 십점 평균 거칠기  $R_z$ 는  $150 \text{ nm} \leq R_z \leq t_d/2$ 를 만족할 수 있다.
- [0087] 상기 내부 전극층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 중앙부의 내부 전극층의 평균 두께일 수 있다.
- [0088] 상기 유전체층의 평균 두께는 상기 세라믹 본체의 폭(W) 방향의 중앙부에서 절단한 길이 및 두께 방향(L-T) 단면에서의 중앙부의 유전체층의 평균 두께일 수 있다.
- [0089] 또한, 이러한 평균값 측정을 10개 이상의 유전체층으로 확장하여 평균값을 측정하면, 유전체층의 평균 두께를 더욱 일반화할 수 있다.
- [0090] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품에 있어서, 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 설명과 중복된 부분은 여기서 생략하도록 한다.
- [0091] 도 6은 본 발명의 다른 실시형태에 따른 적층 세라믹 캐패시터의 제조 공정도이다.
- [0092] 도 6을 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 유전체를 포함하는 세라믹 그린시트를 마련하는 단계; 제1 입자 및 상기 제1 입자보다 입경이 작은 제2 입자를 갖는 금속 분말을 포함하고, 상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부인 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성하는 단계; 및 상기 내부전극 패턴이 형성된 그린시트를 적층하고 소결하여, 내부전극층의 평균 두께  $t_e$ 가  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기  $R_a$ 가  $5 \text{ nm} \leq R_a \leq 30 \text{ nm}$ 를 만족하며, 상기 내부전극 중심선 평균 거칠기  $R_a$ 에 대한 십점 평균 거칠기  $R_z$ 의 비  $R_z/R_a$ 가  $8 \leq R_z/R_a \leq 20$ 을 만족하는 세라믹 본체를 형성하는 단계;를 포함할 수 있다.
- [0093] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 우선 유전체를 포함하는 세라믹 그린시트를 마련할 수 있다.
- [0094] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수  $\mu\text{m}$ 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.

- [0095] 다음으로, 제1 입자 및 상기 제1 입자보다 입경이 작은 제2 입자를 갖는 금속 분말을 포함하고, 상기 제1 입자의 첨가량이 상기 금속 분말 100 중량부에 대하여 9 중량부 내지 20 중량부인 금속 페이스트를 이용하여 상기 세라믹 그린시트 상에 내부전극 패턴을 형성할 수 있다.
- [0096] 상기 제1 입자의 입경은 상기 제2 입자의 입경의 1.5 배 내지 2.5배일 수 있다.
- [0097] 다음으로, 상기 내부전극 패턴이 형성된 그린시트를 적층하고 소결하여, 내부전극층의 평균 두께  $t_e$ 가  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$  이고, 상기 내부전극 중심선 평균 거칠기  $R_a$ 가  $5 \text{ nm} \leq R_a \leq 30 \text{ nm}$ 를 만족하며, 상기 내부전극 중심선 평균 거칠기  $R_a$ 에 대한 십점 평균 거칠기  $R_z$ 의 비  $R_z/R_a$ 가  $8 \leq R_z/R_a \leq 20$ 을 만족하는 세라믹 본체를 형성할 수 있다.
- [0098] 상기 유전체층의 평균 두께( $t_d$ )는  $t_d \leq 1.5 \mu\text{m}$  이고,  $(t_d + t_e)/t_e \leq 2.5$ 를 만족할 수 있다.
- [0099] 그 외 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.
- [0100] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.
- [0101] 본 실시예는  $0.1 \mu\text{m} \leq t_e \leq 0.5 \mu\text{m}$ 의 평균 두께를 갖는 내부 전극층(21, 22)을 적용한 적층 세라믹 캐패시터에 대해, 내부 전극층(21, 22)에 사용되는 이종 입경의 금속 입자 간의 혼합비, 내부 전극층의 중심선 평균 거칠기( $R_a$ ), 십점 평균 거칠기( $R_z$ ), 그 비율( $R_z/R_a$ ) 및 유전체층의 평균 두께( $t_d$ )에 따른 신뢰성 향상 여부를 시험하기 위해 수행되었다.
- [0102] 본 실시예에 따른 적층 세라믹 캐패시터는 하기와 같은 단계로 제작되었다.
- [0103] 우선, 평균 입경이  $0.1 \mu\text{m}$ 인 티탄산바륨( $\text{BaTiO}_3$ ) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 제조된 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체층(1)을 형성하게 된다.
- [0104] 다음으로, 니켈 입자 평균 크기가 각각  $0.3 \mu\text{m}$  및  $0.2 \mu\text{m}$ 인 제1 입자와 제2 입자를 4 : 1 내지 10 : 1의 중량비로 혼합한 내부전극용 도전성 페이스트를 마련하였다.
- [0105] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 190 내지 250층 적층하여 적층체를 만들었다.
- [0106] 이후 압착, 절단하여 0603 규격의 Size의 칩을 만들며, 상기 칩을  $\text{H}_2$  0.1%이하의 환원 분위기의 온도 1050~1200 °C에서 소성하였다.

[0107] 다음으로, 외부전극, 도금 등의 공정을 거쳐 적층 세라믹 캐패시터로 제작하였다.

[0108] 상기 적층 세라믹 캐패시터의 시료들은 단면을 관찰한 결과 내부전극의 평균 두께는 0.10 ~ 0.50  $\mu\text{m}$  수준이고, 유전체층의 평균 두께는 0.10 ~ 0.80  $\mu\text{m}$ 로 구현되었다.

[0109] 아래의 표 1은 내부전극(21, 22)의 평균 두께, 유전체층(1)의 평균 두께 및 유전체층(1)의 평균 두께와 내부전극(21, 22)의 평균 두께의 합과 내부전극(21, 22)의 평균 두께의 비에 따른 절연 파괴 전압(Breakdown Voltage, BDV)을 비교한 표이다.

표 1

시료 NO.	유전체층의 두께(td) ( $\mu\text{m}$ )	내부전극층의 두께(te) ( $\mu\text{m}$ )	(td+te)/te	BDV (Max. 60V) 절연 파괴 여부
*1	0.2	0.1	3.0	X
2	0.15	0.1	2.5	0
3	0.1	0.1	2.0	0
4	0.05	0.1	1.5	0
5	0.2	0.2	2.0	0
6	0.25	0.2	2.3	0
7	0.3	0.2	2.5	0
*8	0.35	0.2	2.8	X
9	0.2	0.3	1.7	0
10	0.3	0.3	2.0	0
11	0.4	0.3	2.3	0
*12	0.5	0.3	2.7	X
13	0.2	0.4	1.5	0
14	0.3	0.4	1.8	0
15	0.4	0.4	2.0	0
16	0.5	0.4	2.3	0
17	0.2	0.5	1.4	0
18	0.3	0.5	1.6	0
19	0.4	0.5	1.8	0
20	0.5	0.5	2.0	0
21	0.6	0.5	2.2	0
22	0.7	0.5	2.4	0
*23	0.8	0.5	2.6	X

[0111] 상기 [표 1]에서 절연 파괴 전압(Breakdown Voltage, BDV)은 1.0 V/sec의 속도로 DC 전압을 인가하면서 평가하였고, 절연 파괴 전압이 60 V를 기준으로 절연 파괴가 일어나는 경우를 0로 하고, 절연 파괴가 일어나지 않은 경우를 X로 표시하였다.

[0112] 상기 [표 1]을 참조하면, 내부전극(21, 22)의 평균 두께(te) 및 유전체층(1)의 평균 두께(td)에 관한 관계가  $(td + te) / te \leq 2.5$ 을 만족하는 경우 절연 파괴가 일어나 신뢰성 시험에서 문제가 생길 수 있음을 알 수 있다.

[0113] 반면 상기 수치범위인 2.5를 초과하는 시료 1, 8, 12 및 23의 경우 유전체층의 두께가 두꺼우므로 절연 파괴가 일어나지 않아 내전압 특성이 문제되지 않음을 알 수 있다.

[0114] 따라서, 후술하는 설명에 따라 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 내부전극(21, 22)의 평균 두께(te) 및 유전체층(1)의 평균 두께(td)에 관한 관계가  $(td + te) / te \leq 2.5$ 을 만족하는 경우에 내부 전극층

의 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율(Rz/Ra)에 따라 내전압 특성이 향상될 수 있음을 알 수 있다.

[0115] 아래의 표 2는 내부전극층(21, 22)의 평균 두께가 다른 경우, 내부 전극층의 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율(Rz/Ra)에 따른 박리 여부를 비교한 표이다.

표 2

시료 NO.	내부전극층의 두께(te) ( $\mu\text{m}$ )	Ra (nm)	Rz (nm)	Rz/Ra	Delamination발생 (O, X)
*1	0.5	5	30	6	O
2	0.8	5	35	7	X
3	1.0	5	40	8	X

[0117]상기 [표 2]를 참조하면, 시료 1은 내부 전극층의 평균 두께가 0.5  $\mu\text{m}$  인 경우로서, 내부 전극층의 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율(Rz/Ra)이 본 발명의 수치 범위를 벗어날 경우 박리(Delamination)가 생겨 신뢰성 시험에서 문제가 생길 수 있음을 보인다.

[0118]반면, 시료 2 내지 3은 내부 전극층의 평균 두께가 0.5  $\mu\text{m}$ 를 초과하는 경우로서, 내부 전극층의 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율(Rz/Ra)이 본 발명의 수치 범위를 벗어나는 경우에도 박리가 발생하지 않아 문제가 없음을 알 수 있다.

[0119]따라서, 후술하는 설명에 따라 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 내부 전극층의 평균 두께가 0.5  $\mu\text{m}$  이하일 때 박리 불량 감소 및 신뢰성 향상에 효과가 있음을 알 수 있다.

[0120]아래의 표 3은 내부 전극층(21, 22)에 사용되는 이중 입경의 금속 입자 간의 혼합비, 내부전극(21, 22)의 평균 두께, 유전체층(1)의 평균 두께 및 유전체층(1)의 평균 두께와 내부전극(21, 22)의 평균 두께의 합과 내부전극(21, 22)의 평균 두께의 비, 내부 전극층의 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율(Rz/Ra)에 따른 절연 파괴 여부 및 박리 발생 여부를 비교한 표이다.

표 3

시료 NO.	제2 입자 / 제1 입자의 혼합비	유전체층의 두께(td) ( $\mu\text{m}$ )	내부전극층의 두께(te) ( $\mu\text{m}$ )	(td+te) / te	Ra (nm)	Rz (nm)	Rz/Ra	BDV (Max. 60V) 절연 파괴 여부	Delamination발생 (O, X)
비교예1	10/1	0.15	0.1	2.5	5	30	6	O	O
비교예2	8/1	0.1	0.1	2.0	5	35	7	O	O
비교예3	6/1	0.05	0.1	1.5	5	40	8	O	O
비교예4	5/1	0.2	0.2	2.0	5	100	20	O	O
비교예5	4/1	0.25	0.2	2.3	8	120	15	O	O
비교예6	10/1	0.3	0.2	2.5	8	144	18	O	O
실시예1	8/1	0.2	0.3	1.7	8	160	20	X	X
실시예2	6/1	0.3	0.3	2.0	15	225	15	X	X
실시예3	5/1	0.4	0.3	2.3	15	300	20	X	X
실시예4	4/1	0.2	0.4	1.5	20	200	10	X	X
실시예5	10/1	0.3	0.4	1.8	20	300	15	X	X
실시예6	8/1	0.4	0.4	2.0	20	400	20	X	X
비교예7	6/1	0.5	0.4	2.3	20	500	25	O	O
비교예8	5/1	0.2	0.5	1.4	25	125	5	O	O

실시예7	4/1	0.3	0.5	1.6	25	250	10	X	X
실시예8	10/1	0.4	0.5	1.8	25	375	15	X	X
실시예9	8/1	0.5	0.5	2.0	25	500	20	X	X
비교예9	6/1	0.6	0.5	2.2	25	625	25	0	0
실시예10	5/1	0.7	0.5	2.4	30	150	5	X	X
실시예11	4/1	0.35	0.3	2.2	30	300	10	X	X
실시예12	6/1	0.35	0.4	1.9	30	450	15	X	X
실시예13	10/1	0.35	0.5	1.7	30	600	20	X	X
비교예10	10/1	0.45	0.4	2.1	35	350	10	0	0

[0122] 상기의 [표 3]을 통해서 알 수 있듯이, 내부 전극층의 중심선 평균 거칠기(Ra), 십점 평균 거칠기(Rz) 및 그 비율(Rz/Ra)이 본 발명의 수치범위를 벗어나는 비교예 1 내지 10의 경우 절연 파괴 전압(BDV)의 최대 전압이 60V에 대해서 절연 파괴가 일어났으며, 박리도 발생하여 신뢰성에 문제가 있음을 알 수 있다.

[0123] 반면, 본 발명의 수치범위를 만족하는 실시예 1 내지 13의 경우 내부전극(21, 22)의 평균 두께(te) 및 유전체층(1)의 평균 두께(td)에 관한 관계가  $(td + te) / te \leq 2.5$ 을 만족하더라도, 절연 파괴가 일어나지 않고, 박리가 발생하지 않으므로, 이에 따라 내전압 특성 및 신뢰성이 우수한 적층 세라믹 캐패시터의 구현이 가능함을 알 수 있다.

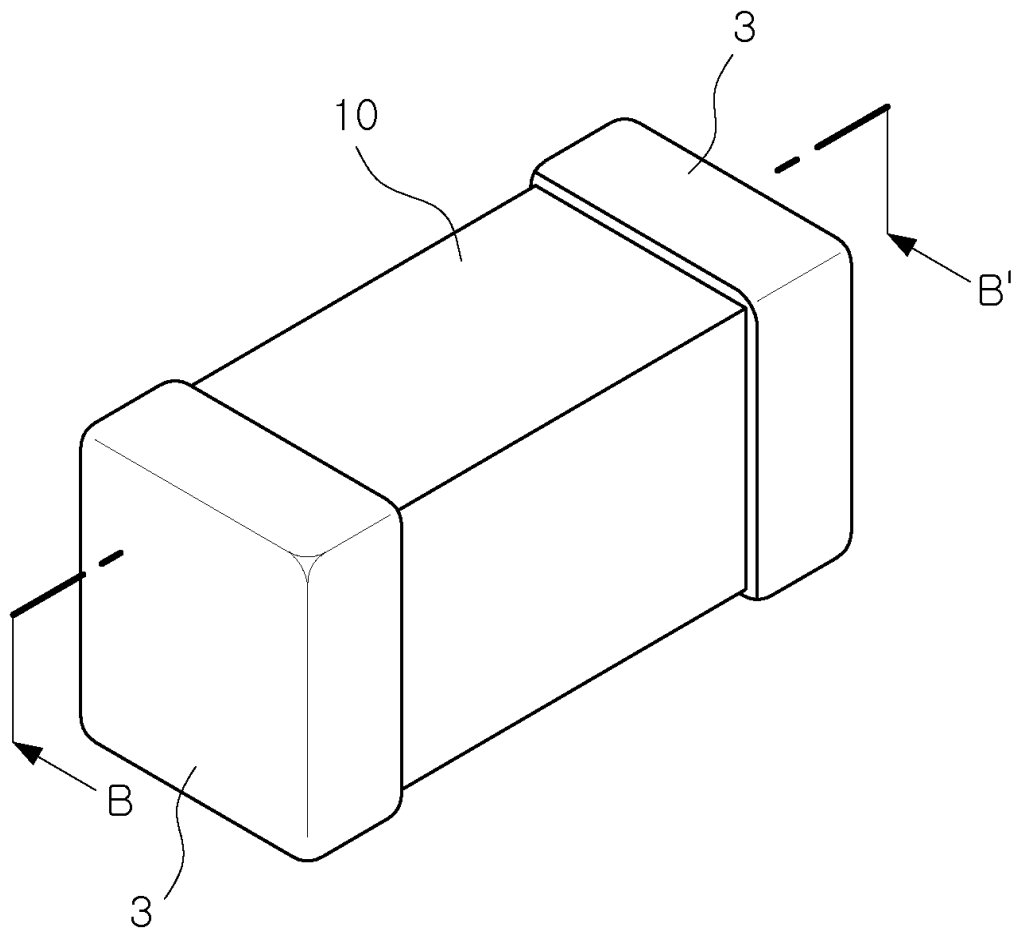
[0124] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

### 부호의 설명

[0125] 1: 유전체 층  
 21, 22: 제1 및 제2 내부전극  
 3: 외부 전극  
 10: 세라믹 소체  
 td: 유전체 층의 평균 두께  
 te: 내부 전극층의 평균 두께  
 Ra: 내부전극 중심선 평균 거칠기  
 Rz: 내부전극 십점 평균 거칠기

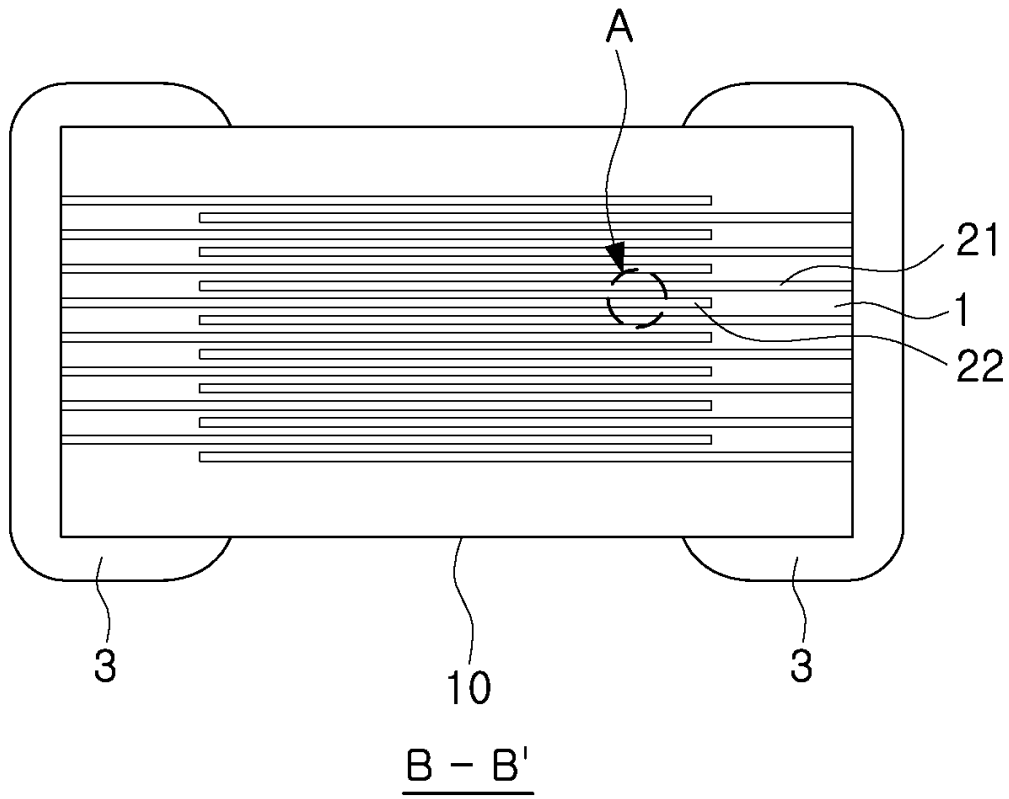
도면

도면1

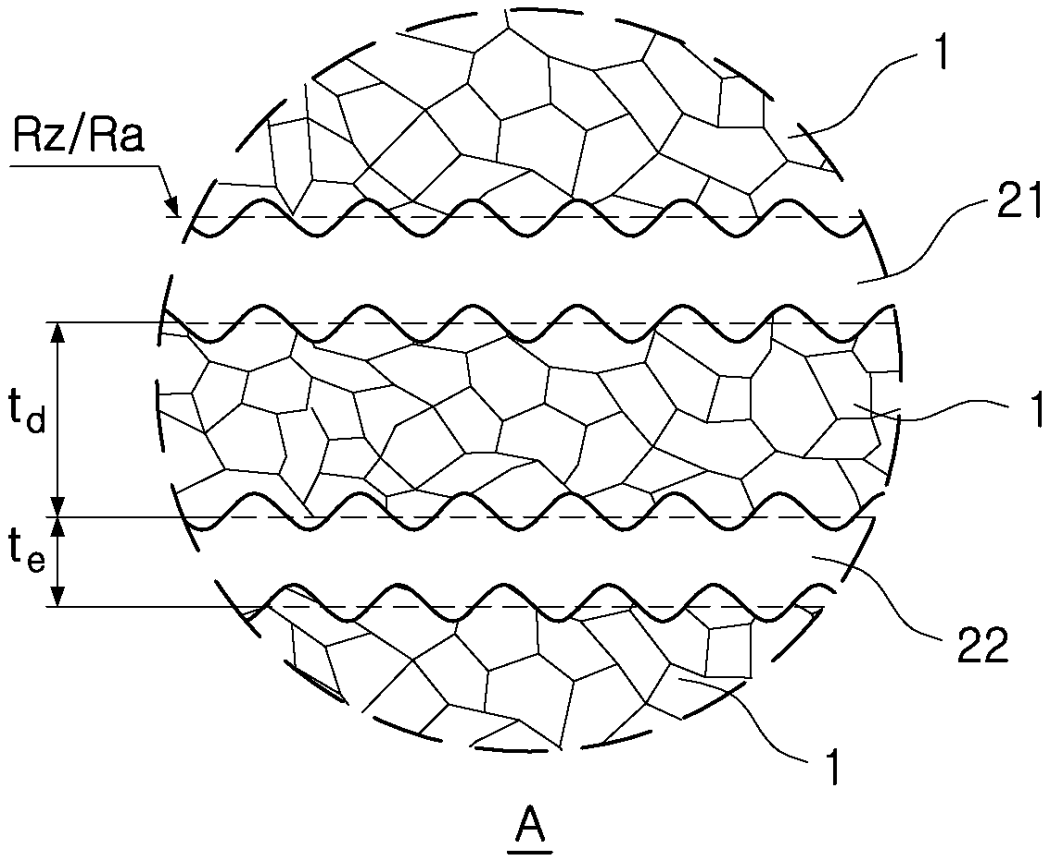




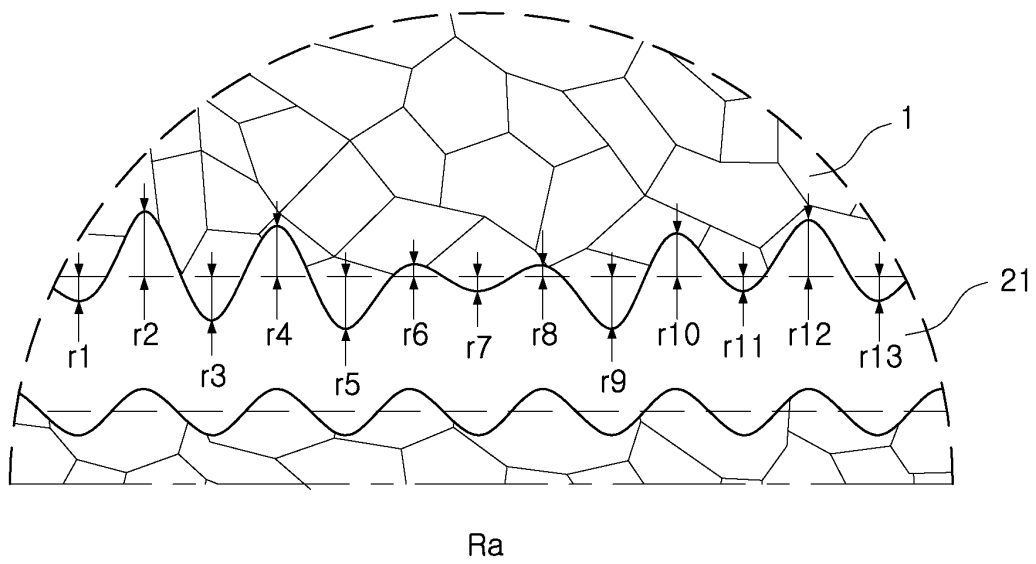
도면2



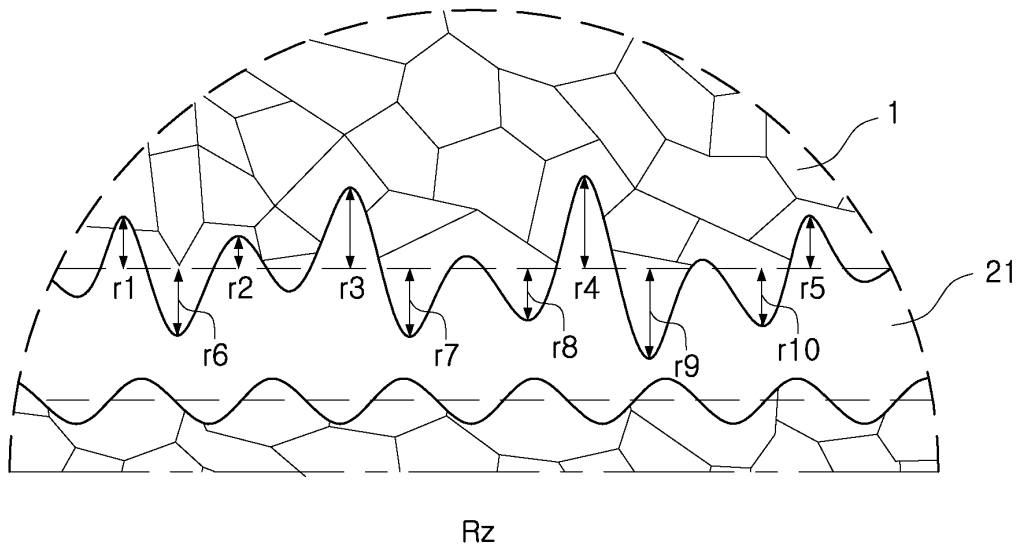
도면3



도면4



도면5



도면6

