

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 9 日 (09.01.2025)



(10) 国际公布号
WO 2025/007410 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/78** (2006.01)
- (21) 国际申请号: PCT/CN2023/116816
- (22) 国际申请日: 2023 年 9 月 4 日 (04.09.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310827613.1 2023年7月6日 (06.07.2023) CN
- (71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。
- (72) 发明人: 董博闻(**DONG, Bowen**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。李辉辉(**LI, Huihui**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。胡琪(**HU, Qi**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。李庚霏(**LI, Gengfei**); 中

国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。王桂磊(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区科创十街18号院11号楼四层401室, Beijing 100176 (CN)。

- (74) 代理人: 北京三高永信知识产权代理有限公司(**BEIJING SAN GAO YONG XIN INTELLECTUAL PROPERTY AGENCY CO., LTD.**); 中国北京市海淀区上地信息产业基地三街1号楼四层C段457, Beijing 100085 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** TRANSISTOR PREPARATION METHOD, TRANSISTOR ARRAY AND ELECTRONIC DEVICE

(54) 发明名称: 晶体管的制备方法、晶体管阵列及电子设备

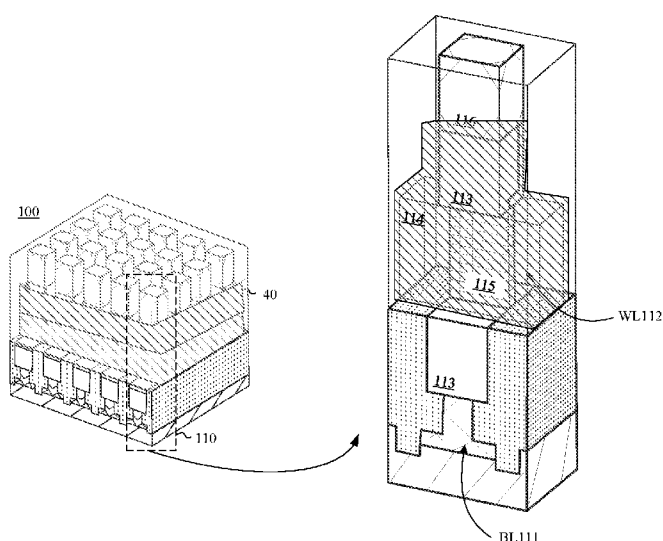


图 1

(57) **Abstract:** A transistor preparation method, comprising: sequentially stacking a first silicon film layer (11), a germanium-silicon film layer (12) and a second silicon film layer (13) on a silicon substrate (00); etching the silicon substrate (00), the first silicon film layer (11), the germanium-silicon film layer (12) and the second silicon film layer (13) in a bit line direction to form a first etched groove, filling the first etched groove with a metal material (20), and performing annealing to generate a bit line; etching the second silicon film layer (13) and the germanium-silicon film layer (12) in a word line direction to form a second etched groove, and after a channel is generated on the basis of the germanium-silicon film layer (12), filling the second etched groove with a gate material (30) to form a word line; and depositing a low-K material (40) in the first and second etched grooves and on the second silicon film layer (13), and forming an air gap by means of etching the low-K material (40) and depositing a silicon dielectric material (50) on the top, so as to isolate the gate material (30), such that a vertical gate-all-around transistor is obtained. Further disclosed are a transistor array and an electronic device.



SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种晶体管的制备方法, 包括: 在硅衬底(00)上依次堆叠第一硅膜层(11)、锗硅膜层(12)和第二硅膜层(13); 沿位线方向刻蚀硅衬底(00)、第一硅膜层(11)、锗硅膜层(12)和第二硅膜层(13)形成第一刻蚀槽, 用金属材料(20)填充第一刻蚀槽并退火生成位线; 沿字线方向刻蚀第二硅膜层(13)、锗硅膜层(12)形成第二刻蚀槽, 并基于锗硅膜层(12)生成沟道后, 用栅极材料(30)填充第二刻蚀槽形成字线; 在第一刻蚀槽、第二刻蚀槽内和第二硅膜层(13)上沉积Low-K材料(40), 并通过刻蚀Low-K材料(40)和在顶部沉积硅介质材料(50)形成空气间隙, 对栅极材料(30)进行隔离, 得到垂直栅极全环绕晶体管。还公开一种晶体管阵列、电子设备。

晶体管的制备方法、晶体管阵列及电子设备

本申请要求于 2023 年 07 月 06 日提交的申请号为 202310827613.1、发明名称为“晶体管的制备方法、晶体管阵列及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及半导体技术领域，特别涉及一种晶体管的制备方法、晶体管阵列及电子设备。

背景技术

垂直栅极全环绕（Vertical Gate-All-Around, VGAA）晶体管是一种新型半导体器件，相对平面 GAA 晶体管，垂直 GAA 晶体管（VGAA）投影面积小，且沟道长度不受限。

相关技术中，VGAA 晶体管阵列中，字线和字线之间的隔离介质影响了字线之间的电容。通常绝缘介质的介电常数 k 值越高，则字线之间的寄生电容 C 越高，从而导致晶体管阵列电路的电阻电容延迟(RC delay)越大。

发明内容

本申请实施例提供了一种晶体管的制备方法、晶体管阵列及电子设备，能够降低字线之间产生电容影响的情况。所述技术方案如下：

一方面，提供了一种晶体管的制备方法，所述方法包括：

在硅衬底上依次堆叠第一硅膜层、锗硅膜层和第二硅膜层，其中，所述第一硅膜层与所述硅衬底相邻；

在所述硅衬底、所述第一硅膜层、所述锗硅膜层和所述第二硅膜层上沿位线方向刻蚀形成第一刻蚀槽，在所述第一刻蚀槽内填充金属材料并退火生成位线；

在所述第二硅膜层、所述锗硅膜层上沿字线方向刻蚀形成第二刻蚀槽，并基于所述锗硅膜层生成沟道后，在所述第二刻蚀槽内沿所述字线方向填充栅极材料生成字线；

在所述第一刻蚀槽、所述第二刻蚀槽内和所述第二硅膜层上沉积低介电材料，并通过刻蚀和在顶部沉积硅介质材料形成空气间隙，对所述栅极材料进行隔离，得到垂直栅极全环绕晶体管。

在一个可选的实施例中，所述在所述第一刻蚀槽和所述第二刻蚀槽内和所述第二硅膜层上沉积低介电材料，并通过刻蚀和在顶部沉积硅介质材料形成空气间隙，对所述栅极材料和所述第二硅膜层进行隔离，得到垂直栅极全环绕晶体管，包括：

在所述第一刻蚀槽和所述第二刻蚀槽内和所述第二硅膜层上沉积所述低介电材料；

刻蚀所述第一硅膜层和所述第二硅膜层表面的所述低介电材料，以及刻蚀所述栅极材料之间的部分低介电材料；

在所述第二硅膜层上沉积硅介质材料，得到所述垂直栅极全环绕晶体管。

在一个可选的实施例中，所述在所述第二硅膜层上沉积硅介质材料，得到所述垂直栅极全环绕晶体管，包括：

在所述第二硅膜层上沉积金属材料与所述第二硅膜层接触；

在所述第一刻蚀槽和所述第二刻蚀槽内沉积所述硅介质材料，得到所述垂直栅极全环绕晶体管。

在一个可选的实施例中，所述在所述硅衬底、所述第一硅膜层、所述锗硅膜层和所述第二硅膜层上沿位线方向刻蚀形成第一刻蚀槽，包括：

在所述第二硅膜层上沿所述位线方向形成多列第一掩膜材料；

刻蚀所述硅衬底、所述第一硅膜层、所述锗硅膜层和所述第二硅膜层中未被所述第一掩膜材料覆盖的区域，形成沿所述位线方向的第一刻蚀槽。

在一个可选的实施例中，所述在所述第一刻蚀槽内填充金属材料并退火生成位线，包括：

在所述第一刻蚀槽内填充得到第一高度的所述硅介质材料，其中，所述第一高度小于所述硅衬底中所述第一刻蚀槽的深度；

在所述硅介质材料上填充所述金属材料并退火生成位线，其中，相邻位线之间通过所述硅介质材料隔离。

在一个可选的实施例中，所述在所述第二硅膜层、所述锗硅膜层上沿字线方向刻蚀形成第二刻蚀槽，包括：

在所述第二硅膜层上沿字线方向形成多列第二掩膜材料；

刻蚀所述第二硅膜层、锗硅膜层中未被所述第二掩膜材料覆盖的区域，形成沿所述字线方向的第二刻蚀槽。

在一个可选的实施例中，所述在所述第二硅膜层上沿字线方向形成多列第二掩膜材料，包括：

在所述第一刻蚀槽内填充得到第二高度的所述硅介质材料，其中，所述第二高度的硅介质材料的上平面与所述第一硅膜层的上平面符合平面距离要求；

在所述第一刻蚀槽内填充氧化物材料，并在填充所述氧化物材料后的第二硅膜层上沿所述字线方向形成多列第二掩膜材料。

在一个可选的实施例中，所述第二掩膜材料包括心轴材料和分布在所述心轴材料两侧的侧墙材料；

所述基于所述锗硅膜层生成沟道，包括：

在所述第一刻蚀槽和所述第二刻蚀槽刻蚀得到的硅柱上，对所述锗硅膜层的表面进行第一厚度的侧向刻蚀；

在所述锗硅膜层被刻蚀的表面生成第二厚度的外延硅材料，所述第二厚度小于所述第一厚度；

在所述第二硅膜层和所述锗硅膜层对被所述心轴材料覆盖的部分进行刻蚀，将所述硅柱拆分为至少两个子硅柱；

对所述至少两个子硅柱中的锗硅膜层去除，并填充氧化物材料，得到围绕所述外延硅材料的氧化物材料，所述外延硅材料形成所述晶体管的沟道。

另一方面，提供了一种晶体管阵列，所述晶体管阵列中包括呈阵列排布的多个晶体管单元；

所述晶体管单元包括垂直依次分布的第一源/漏、沟道、第二源/漏、常闭触点，所述晶体管单元的沟道外环绕包覆栅极材料；

在第一队列中的多个第一晶体管单元的第一源/漏通过耦接埋入式位线连通；

在第二队列中的多个第二晶体管单元的栅极材料连通，得到字线与多个第二晶体管单元耦接，其中，第一队列是沿第一阵列方向的队列，第二队列是沿第二阵列方向的队列；

多个所述第二队列之间所述晶体管单元表面覆盖有低介电材料，多个所述第二队列顶部覆盖有硅介质材料，所述低介电材料之间形成有空气间隙。

另一方面，提供了一种电子设备，所述电子设备中包括逻辑器件，所述逻辑器件中包括如上述实施例中所述的晶体管阵列。

在一个可选的实施例中，所述电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或智能移动终端。

本申请实施例提供的技术方案带来的有益效果至少包括：

在铺设完成晶体管的位线、字线、源极/漏极和环栅后，通过在环栅和顶部源极/漏极之间沉积覆盖一层保护材料避免氧化，最后通过高沉积速率、低台阶覆盖性介质以形成字线之间的空气间隙，降低了字线之间的寄生电容，提高了 VGAA 晶体管的器件性能，并降低了制备

复杂度。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本申请一个或多个示例性实施例提供的垂直栅极全环绕晶体管结构示意图；

图2是本申请一个示例性实施例提供的VGAA晶体管的制备方法的流程图；

图3是基于图2示出的实施例提供的硅衬底上的工艺制备流程的示意图；

图4是基于图2示出的实施例提供的第一掩膜材料形成的工艺制备流程的示意图；

图5是基于图2示出的实施例提供的第一刻蚀槽的工艺制备流程的示意图；

图6是基于图2示出的实施例提供的位线的工艺制备流程的示意图；

图7是基于图2示出的实施例提供的第二掩膜材料形成的工艺制备流程的示意图；

图8是基于图2示出的实施例提供的第二掩膜材料形成的工艺制备流程的示意图；

图9是本申请另一个示例性实施例提供的VGAA晶体管的制备方法的流程图；

图10是基于图9示出的实施例提供的对锗硅膜层进行侧向刻蚀的工艺制备流程的示意图；

图11是基于图9示出的实施例提供的选择性外延生成外延硅材料的工艺制备流程的示意图；

图12是基于图9示出的实施例提供的心轴刻蚀的工艺制备流程的示意图；

图13是基于图9示出的实施例提供的氧化物填充的工艺制备流程的示意图；

图14是基于图9示出的实施例提供的字线的工艺制备流程的示意图；

图15是基于图9示出的实施例提供的低介电材料沉积的工艺制备流程的示意图；

图16是本申请一个或多个示例性实施例提供的堆叠结构的示意图；

图17是本申请一个或多个示例性实施例提供的堆叠结构的示意图；

图18是本申请一个或多个示例性实施例提供的堆叠结构的形成过程的示意图；

图19是本申请另一个或多个示例性实施例提供的堆叠结构的形成过程的示意图；

图20是本申请另一个或多个示例性实施例提供的堆叠结构的形成过程的示意图；

图21是本申请另一个或多个示例性实施例提供的堆叠结构的形成过程的示意图。

硅衬底-00；

第一硅膜层-11，锗硅膜层-12，第二硅膜层-13；

金属材料-20，栅极材料-30，低介电材料-40；

硅介质材料-50，第一掩膜材料-60，第二掩膜材料-70；

氧化物材料-80，外延硅材料-90；

心轴材料-71，侧墙材料-72。

具体实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

全环绕栅极晶体管（Gate-All-Around FET）是指栅极材料在沟道外围环绕包裹的晶体管结构。相对平面GAA晶体管，垂直GAA晶体管的投影面积小，沟道长度不受限，没有接触栅极间距（Contacted Gate Pitch, CGP）限制，寄生电容控制好，适合3D集成。

相关技术中，在制作VGAA晶体管时，通常包括如下过程：

首先，提供硅膜层作为源极，并在硅膜层上形成垂直硅膜层的硅纳米柱，在硅膜层上沉积隔离层后，在硅纳米柱和硅膜层上沉积栅极介质，以及在栅极介质表面沉积栅极材料。刻

蚀栅极材料在硅纳米柱上表面的覆盖，并使硅纳米柱的高度超出栅极材料的覆盖高度，然后沉积隔离层至低于硅纳米柱的高度。在硅纳米柱上沉积硅作为漏极后，设置源极与下层的源极硅膜层接触，设置漏极与上层沉积的漏极硅接触，设置环栅材料沿着字线接触。

然而上述方式中，在设置位线、字线等材料时，无法确保位线、源漏区域、栅极区域、沟道等位置的准确对准。

本申请实施例中，提供了一种晶体管的制备方法，可选地，该晶体管的制备方法主要应用于 VGAA 晶体管的制备过程中。

首先对本申请实施例中，VGAA 晶体管的结构进行介绍。

本申请实施例中，提供了一种晶体管阵列。晶体管阵列中包括呈阵列排布的多个晶体管单元；晶体管单元包括垂直依次分布的第一源/漏、沟道、第二源/漏、常闭触点，晶体管单元的沟道外环绕包覆栅极材料；在第一队列中的多个第一晶体管单元的第一源/漏通过耦接埋入式位线连通；在第二队列中的多个第二晶体管单元的栅极材料连通，得到字线与多个第二晶体管单元耦接，其中，第一队列是沿第一阵列方向的队列，第二队列是沿第二阵列方向的队列；多个第二队列之间晶体管单元表面覆盖有低介电材料，多个第二队列顶部覆盖有硅介质材料，在低介电材料之间形成有空气间隙。

如图 1 所示，在晶体管阵列 100 中包括多个晶体管单元 110。

每个晶体管单元 110 通过源极/漏极 113 连接位线 (Bit Line, BL) 111、通过栅极 114 连接字线 (Word Line, WL) 112，栅极 114 环绕沟道 115、常闭触点 (Normal Contact, NC) 116 与源极/漏极 113 接触。其中，源极/漏极 113 为重掺杂材料，沟道为轻掺杂材料或者不掺杂材料。

其中，晶体管阵列 100 中在同一列的多个晶体管单元 110 通过与延伸的位线 111 耦接，对同一列的多个晶体管单元 110 进行连通；晶体管阵列 100 中在同一行的多个晶体管单元 110 通过与延伸的字线 112 耦接，对同一行的多个晶体管单元 110 进行连通。

其中，字线 WL112 连接栅极 114，作为栅线开启晶体管单元 110；位线 BL111 连接源极/漏极 113，作为数据信号写入线。栅极 114 在沟道 115 外围环绕包裹。

常开触点或者常闭触点 116 是指在没有任何外部作用下的自然状态 (比如通电)，这时候的常开触点就是断开的，常闭触点 116 就是接通的，本申请实施例中，以晶体管单元 110 的源极/漏极 113 连接常闭触点为例进行说明。其中，若与位线 111 连接的是源极，则与常闭触点 116 连接的是漏极；若与位线 111 连接的是漏极，则与常闭触点 116 连接的是源极。

本申请实施例中，栅极 114 和源极/漏极 113 表面覆盖有低介电 (Low-K) 材料 40 形成空气夹层进行隔离。

结合上述对 VGAA 晶体管的介绍，图 2 是本申请一个示例性实施例提供的 VGAA 晶体管的制备方法的流程图，如图 2 所示，该方法包括如下步骤。

步骤 201，在硅衬底上依次堆叠第一硅膜层、锗硅膜层和第二硅膜层。

其中，第一硅膜层 11 与硅衬底 00 相邻。可选地，硅衬底可以适当掺杂以便形成阱。

也即，堆叠顺序为首先在硅衬底 00 上沉积第一硅膜层 11，在第一硅膜层 11 上沉积锗硅膜层 12，再在锗硅膜层 12 上沉积第二硅膜层 13。

其中，第一硅膜层 11 和第二硅膜层 13 是用于作为晶体管中的源极/漏极，在第一硅膜层 11 和第二硅膜层 13 的原位生长过程中进行掺杂 (doping)。其中，通过原位生长的方式沉积第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13，控制原位生长的时长从而控制第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 的厚度；以及在掺杂过程中，控制第一硅膜层 11 和第二硅膜层 13 的离子注入浓度。

示意性的，如图 3 所示，在硅衬底 00 上由下到上依次沉积有第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13。

步骤 202，在硅衬底、第一硅膜层、锗硅膜层和第二硅膜层上沿位线方向刻蚀形成第一刻蚀槽，在第一刻蚀槽内填充金属材料并退火生成位线。

在一些实施例中，在第二硅膜层 13 上沿位线方向形成多列第一掩膜材料 60，并刻蚀硅衬底 00、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 中未被第一掩膜材料 60 覆盖的区域，形成沿位线方向的第一刻蚀槽。

在一些实施例中，将光刻胶（Photoresist，PR）作为第一掩膜材料 60，或者，也可以选择其他材料作为第一掩膜材料 60，第一掩膜材料 60 与硅和锗硅之间存在一定的刻蚀选择比。可选地，采用自对准双重图案化技术（Self-aligned Double Patterning，SADP）或者自对准四重图案化技术（Self-aligned Quattuor Patterning，SAQP）或者其他自对准多重图案化（Self-aligned Multiple Patterning，SAMP）技术，在第一硅膜层 11 上形成多列第一掩膜材料 60。

其中，本实施例中以 SADP 为例进行说明。SADP 是指在一次光刻完成后，相继使用非光刻工艺步骤（薄膜沉积、刻蚀等）实现对光刻图形的空间倍频。最后，使用另外一次光刻和刻蚀把多余的图形去掉，从而所实现图案化掩膜材料形成的过程。在一些实施例中，SADP 的过程包括：提供待刻蚀材料层；在待刻蚀材料层上形成牺牲光刻胶层；将牺牲光刻胶层中顶部和侧壁的光刻胶进行固化形成固化光刻胶外壳；对牺牲光刻胶层顶部的固化光刻胶外壳进行回刻，直到暴露出未固化的内部牺牲光刻胶层，位于内部牺牲光刻胶层侧壁的固化光刻胶外壳形成第一掩膜材料 60 的图形；去除未固化的内部牺牲光刻胶层，得到形成在第一硅膜层 11 上的多列第一掩膜材料 60。

示意性的，如图 4 所示，在第二硅膜层 13 上沿位线方向形成多列第一掩膜材料 60。

在一些实施例中，在刻蚀硅衬底 00、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 中未被第一掩膜材料 60 覆盖的区域时，硅衬底 00、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 的刻蚀速率大于第一掩膜材料 60 的刻蚀速率，从而在保持第一掩膜材料 60 少量牺牲的情况下，对硅衬底 00、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 进行刻蚀。其中，第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 在刻蚀的过程中被穿透，而通过控制刻蚀时长刻蚀部分厚度的硅衬底 00，而不将硅衬底 00 穿透刻蚀。

在一些实施例中，为了避免第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 在生成位线的过程中受到金属材料 20 的影响，通过氧化物对第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 进行隔离。

可选地，首先刻蚀第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 中未被第一掩膜材料 60 覆盖的区域，形成沿位线方向的候选刻蚀槽；沉积氧化物材料 80，将氧化物材料 80 覆盖候选刻蚀槽的内表面和外表面，氧化物材料 80 用于隔离第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 与金属材料 20 之间的反应；在候选刻蚀槽的基础上刻蚀硅衬底 00 中未被第一掩膜材料 60 覆盖的区域，形成沿位线方向的第一刻蚀槽。

示意性的，如图 5 所示，首先通过控制刻蚀时长对第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 中未被第一掩膜材料 60 覆盖的区域进行刻蚀，得到候选刻蚀槽，然后通过原子层沉积（Atomic Layer Deposition，ALD）的方式沉积氧化物材料 80，如：二氧化硅（SiO₂），该氧化物材料 80 覆盖候选刻蚀槽的内表面和外表面，继续对氧化物和硅衬底 00 进行刻蚀，通过控制刻蚀时长，对预设厚度要求的硅衬底 00 进行刻蚀，得到第一刻蚀槽。

在一些实施例中，在第一刻蚀槽底部沉积金属材料 20，如：钨（W）材料，并通过退火处理，将硅衬底 00 退火为金属硅化物（silicide）作为位线。其中，退火是指通过欧姆接触将金属扩散到硅衬底 00 中形成金属硅化物的过程。

在一些实施例中，首先在第一刻蚀槽内填充第一高度的硅介质材料 50，在一些实施例中，该硅介质材料 50 可以实现为氮化物材料或者氧化物材料，本实施例对此不加以限定。以氮化物材料为例进行说明，该硅介质材料 50 可以实现如：氮化硅（SiN），第一高度小于硅衬底 00 中第一刻蚀槽的深度，在硅介质材料 50 上填充金属材料 20 并退火生成位线，其中，相邻位线之间通过硅介质材料 50 隔离。

可选地，在第一刻蚀槽内通过原子层沉积 ALD 或者化学气相沉积法（Chemical Vapor

Deposition, CVD) 沉积硅介质材料 50 并磨平, 再通过控制刻蚀时长将硅介质材料 50 刻蚀至第一高度。其中, 硅介质材料 50 的刻蚀速率大于第一掩膜材料 60 的刻蚀速率。

示意性的, 如图 6 所示, 首先在第一刻蚀槽内填充硅介质材料 50 并磨平, 再通过刻蚀保留第一刻蚀槽内第一高度的硅介质材料 50, 第一高度小于硅衬底 00 部分第一刻蚀槽的深度, 也即, 刻蚀后硅介质材料 50 的上平面在硅衬底 00 上平面以下。在硅介质材料 50 上沉积金属材料 20 后, 通过退火生成金属硅化物作为位线。

可选地, 多余的金属材料 20 通过湿法刻蚀进行去除。

步骤 203, 在第二硅膜层、锗硅膜层上沿字线方向刻蚀形成第二刻蚀槽, 并基于锗硅膜层生成沟道后, 在第二刻蚀槽内沿字线方向填充栅极材料生成字线。

在第二硅膜层 13 上沿字线方向形成多列第二掩膜材料 70, 并刻蚀第二硅膜层 13、锗硅膜层 12 中未被第二掩膜材料 70 覆盖的区域, 形成沿字线方向的第二刻蚀槽。

在一些实施例中, 首先将第一掩膜材料 60 刻蚀清除后, 在第二硅膜层 13 上形成第二掩膜材料 70。

可选地, 第二掩膜材料 70 用于控制字线生成方向, 在沿字线方向形成第二掩膜材料 70 后, 对第二硅膜层 13 和锗硅膜层 12 进行刻蚀, 在一些实施例中, 刻蚀时长控制在锗硅膜层 12 被刻蚀, 而第一硅膜层 11 未被刻蚀或者刻蚀较少。

在一些实施例中, 在第一刻蚀槽内填充得到第二高度的所述硅介质材料 50, 其中, 第二高度的硅介质材料 50 的上平面与第一硅膜层 11 的上平面符合平面距离要求, 如: 硅介质材料 50 的上平面与第一硅膜层 11 的上平面在同一平面或者距离小于距离阈值。在第一刻蚀槽内填充氧化物材料 80, 并在填充氧化物材料 80 后的第一硅膜层 11 上沿字线方向形成多列第二掩膜材料 70。

在一些实施例中, 在第一刻蚀槽内填充得到第二高度的所述硅介质材料 50 时, 首先填充超出第二硅膜层 13 高度的硅介质材料 50, 并做磨平处理, 在通过控制刻蚀时长, 将硅介质材料 50 刻蚀至第二高度。

在一些实施例中, 由于在上述步骤 202 中在第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 表面沉积有氧化物, 可选地, 可以在刻蚀清除氧化物后填充硅介质材料 50, 也可以在不清除氧化物的基础上直接填充硅介质材料 50, 本实施例对此不加以限定。

其中, 硅介质材料 50 的是为了作为沿字线方向刻蚀时, 刻蚀的停止线, 也即, 在沿字线方向对第二硅膜层 13 和锗硅膜层 12 进行刻蚀时, 控制刻蚀时长直至刻蚀到硅介质材料 50 的上表面时, 停止刻蚀。

在一些实施例中, 在沉积第二高度的硅介质材料 50 后, 在硅介质材料 50 上继续沉积氧化物材料 80, 至超出第二硅膜层 13 的高度并磨平。在氧化物和第二硅膜层 13 上形成多列第二掩膜材料 70, 并刻蚀第二硅膜层 13、锗硅膜层 12、氧化物材料 80 中未被第二掩膜材料 70 覆盖的区域, 形成沿字线方向的第二刻蚀槽。

示意性的, 如图 7 所示, 在生成字线后, 通过 ALD/CVD/熔炉法 (furnace) 等方式在第一刻蚀槽内填充硅介质材料 50 至高于第二硅膜层 13 并磨平, 对磨平后的硅介质材料 50 进行刻蚀, 直至硅介质材料 50 对应的上平面与第一硅膜层 11 和锗硅膜层 12 接触面持平。

如图 8 所示, 在硅介质材料 50 上继续沉积氧化物材料 80 至高于第二硅膜层 13 并磨平, 并在氧化物材料 80 和第二硅膜层 13 上通过 SADP 或者 SAQP 形成多列第二掩膜材料 70。在第二掩膜材料 70 的基础上对第二硅膜层 13、锗硅膜层 12、氧化物材料 80 中未被第二掩膜材料 70 覆盖的区域进行刻蚀, 形成第二刻蚀槽, 其中, 第二硅膜层 13、锗硅膜层 12、氧化物材料 80 的刻蚀速率大于第二掩膜材料 70 的刻蚀速率。

在一些实施例中, 通过干法刻蚀或者湿法刻蚀等方式对第二硅膜层 13、锗硅膜层 12、氧化物材料 80 进行刻蚀。

在一些实施例中, 基于第二掩膜材料 70 在锗硅膜层 12 生成沟道后, 在第二刻蚀槽内填充栅极材料 30 (Metal Gate), 得到环绕沟道的栅极以及生成字线, 得到垂直全环绕栅极晶体

管。

步骤 204, 在第一刻蚀槽、第二刻蚀槽内和第一硅膜层上沉积低介电材料, 并通过刻蚀和在顶部沉积硅介质材料形成空气间隙, 对栅极材料进行隔离, 得到垂直栅极全环绕晶体管。

在一些实施例中, 去除字线周围的高 K 值介质后, 沉积低介电材料对栅极材料进行隔离, 保护字线和 S/D。可选地, 栅极材料包括氧化硅、氮化硅、氮氧化硅、氧化铝、氧化钨、氧化锆等介质材料, 或者包括多晶硅, 钽、铝、钨等导电材料。

为了降低高速读写情形下电路的阻容迟滞 (RC delay, 正比于 $R \times C$) 和能量消耗 ($C \times V \times 2f$), 采用介电常数约为 1 的空气间隙 (air gap) 作为字线的介质层, 降低字线之间的寄生电容, 提高晶体管的高速应用场景下的性能。其中, R 表示电阻, C 表示电容, V 表示电压, f 表示电流频率。然而, 由于金属与空气接触易发生氧化影响字线的性能, 故, 本申请实施例中, 在栅极材料之间沉积低介电材料后, 刻蚀部分低介电材料, 并在顶部沉积硅介质材料, 从而在栅极材料之间形成空气间隙, 通过低介电材料和空气间隙对栅极材料进行隔离。

本申请实施例中, 在设置位线、字线、环栅、源极/漏极后, 在环栅和上层源极/漏极表面沉积低介电 (Low-K) 材料, 对字线进行隔离, 降低字线之间的 K 值, 也即降低字线之间的电容量, 从而提高了晶体管的性能表现。

可选地, 在第一刻蚀槽、第二刻蚀槽内和第一硅膜层 11 上沉积低介电材料 40; 刻蚀第一硅膜层 11 和第二硅膜层 13 表面的低介电材料 40, 以及刻蚀栅极材料 30 之间的部分低介电材料 40; 在第二硅膜层 13 上沉积硅介质材料 50, 得到垂直栅极全环绕晶体管。

可选地, 在第二硅膜层 13 上沉积金属材料 20 与第二硅膜层 13 接触; 在第一刻蚀槽和第二刻蚀槽内沉积硅介质材料 50, 得到垂直栅极全环绕晶体管。

综上所述, 本实施例提供的方法, 在铺设完成晶体管的位线、字线、源极/漏极和环栅后, 通过去除字线之间的高介电常数的介质, 同时在环栅和顶部源极/漏极之间沉积覆盖一层保护材料避免氧化, 最后通过高沉积速率、低台阶覆盖性介质以形成字线之间的空气间隙, 降低了字线之间的寄生电容, 提高了 VGAA 晶体管的器件性能, 并降低了制备复杂度。

本实施例提供的方法, 通过依次堆叠的硅衬底、第一硅膜层、锗硅膜层和第二硅膜层, 基于第一硅膜层和第二硅膜层作为源极/漏极, 通过第一掩膜材料在硅衬底上形成位线的基础上, 通过第二掩膜材料形成沟道和字线以及环栅, 提高了位线、沟道、源极/漏极以及字线和环栅之间的对准度, 提高了 VGAA 晶体管的制备准确率和成功率, 提高了 VGAA 晶体管的器件性能, 并降低了制备复杂度。

在一些实施例中, 第二掩膜材料 70 包括心轴材料 71 和分布在心轴材料 71 两侧的侧墙材料 72, 基于心轴材料 71 和分布在心轴材料 71 两侧的侧墙材料 72 生成晶体管的沟道。图 9 是本申请另一个示例性实施例提供的晶体管的制备方法的流程图, 如图 9 所示, 上述步骤 203 至步骤 204 还可以实现为如下步骤 901 至步骤 908。

步骤 901, 在第一刻蚀槽和第二刻蚀槽刻蚀得到的硅柱上, 对锗硅膜层的表面进行第一厚度的侧向刻蚀。

在一些实施例中, 通过侧向 (lateral) 原子层刻蚀工艺 (Atomic Layer Etching, ALE) 或者侧向湿法刻蚀或者侧向干法刻蚀等方式, 在硅柱上对锗硅膜层 12 表面进行第一厚度的侧向刻蚀。

在一些实施例中, 首先通过 lateral ALE 单独对锗硅膜层 12 进行初步的刻蚀, 其中, 在该刻蚀过程中, 第二硅膜层 13 和锗硅膜层 12 的刻蚀存在一定的选择比, 从而锗硅膜层 12 的刻蚀速率大于第二硅膜层 13 的刻蚀速率。再通过硅刻蚀对第二硅膜层 13 和锗硅膜层 12 进行刻蚀, 实现对锗硅膜层 12 表面进行第一厚度的刻蚀。

示意性的, 如图 10 所示, 通过侧向刻蚀, 对硅柱中的锗硅膜层 12 的表面进行一个初步的刻蚀。在通过硅刻蚀对第二硅膜层 13、锗硅膜层 12 进行刻蚀, 实现对锗硅膜层 12 表面的第一厚度的刻蚀。

步骤 902, 在锗硅膜层被刻蚀的表面生成第二厚度的外延硅材料。

其中，第二厚度小于第一厚度。

在硅柱上和硅介质材料 50 上外延生成外延硅材料 90；对第二硅膜层 13 和硅介质材料 50 表面的外延硅材料 90 进行退火，得到在锗硅膜层 12 表面生成的第二厚度的外延硅材料 90。外延硅材料的过程生长速率存在选择性，即硅柱和锗硅材料表面外延硅速率较快，介质材料上速率非常低，因此主要的外延硅存在于硅柱和锗硅材料上。

在一些实施例中，通过选择性外延在第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 表面生成本征硅，也即外延硅材料 90。其中，选择性外延是通过沉积前驱物后，通过前驱物吸附在硅/锗硅材料上反应，生成外延硅材料 90，而其他材料对该前驱物不会进行吸附，故也不会生成外延硅材料 90。通过控制前驱物的吸附量或者外延生长的时长，在第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 表面生成外延硅材料 90，其中，锗硅膜层 12 表面生成第二厚度的外延硅材料 90，通过退火处理将第一硅膜层 11 和第二硅膜层 13 表面的外延硅材料 90 扩散至硅材料中，与源极/漏极化为一体，保留在锗硅膜层 12 表面生成的外延硅材料 90。

示意性的，如图 11 所示，通过选择性外延，在第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13 表面生成外延硅材料 90，通过退火扩散第一硅膜层 11 和第二硅膜层 13 表面的外延硅材料 90 后，保留锗硅膜层 12 表面的外延硅材料 90，得到在锗硅膜层 12 表面的第二厚度的外延硅材料 90。如图 11 可知，第二厚度小于第一厚度。

其中，外延硅材料 90 形成晶体管的沟道。

步骤 903，对第二硅膜层和锗硅膜层被心轴材料覆盖的部分进行刻蚀，将硅柱拆分为至少两个子硅柱。

在一些实施例中，心轴材料 71 和侧墙材料 72 对应一定的刻蚀选择比，从而在刻蚀心轴材料 71 的过程中，侧墙材料 72 仅存在少量的牺牲刻蚀。

可选地，首先在硅柱之间填充氧化物材料 80，并刻蚀未被第二掩膜材料 70 覆盖的氧化物材料 80，然后再硅柱之间填充硅介质材料 50。值得注意的是，硅介质材料 50 可以在刻蚀氧化物材料 80 的基础上填充，也可以直接填充，还可以不填充氧化物材料 80 而直接填充硅介质材料 50，本实施例对此不加以限定。

在填充硅介质材料 50 后，刻蚀第二硅膜层 13 和锗硅膜层 12 中被心轴材料 71 覆盖的部分，从而暴露出子硅柱被刻蚀侧表面的第二硅膜层 13 和锗硅膜层 12。

示意性的，如图 12 所示，首先在硅柱之间填充氧化物材料 80，并刻蚀未被第二掩膜材料 70 覆盖的氧化物材料 80，再填充硅介质材料 50，并刻蚀被心轴材料 71 覆盖的第二硅膜层 13 和锗硅膜层 12。

步骤 904，去除至少两个子硅柱中的锗硅膜层，并填充氧化物材料，得到围绕外延硅材料的氧化物材料。

由于心轴材料 71 被刻蚀后，存在沟道一侧的锗硅膜层 12 被暴露，而沟道另一侧为氧化物材料 80，故，刻蚀锗硅膜层 12 并填充氧化物材料 80，从而氧化物材料 80 能够包围外延硅材料 90，将外延硅材料 90 作为沟道。

示意性的，如图 13 所示，在刻蚀被心轴材料 71 覆盖的第二硅膜层 13 和锗硅膜层 12 后，通过侧向刻蚀清除子硅柱中的锗硅膜层 12，并在子硅柱之间被刻蚀的区域填充氧化物材料 80，并刻蚀未被侧墙材料 72 覆盖的氧化物材料 80，从而得到围绕外延硅材料 90 的氧化物材料 80。

步骤 905，在第二刻蚀槽内填充硅介质材料。

在一些实施例中，刻蚀侧墙材料 72 进行刻蚀后，在子硅柱之间未填充硅介质材料 50 的区域填充硅介质材料 50 至高于第二硅膜层 13 并磨平。

步骤 906，刻蚀氧化物材料并沿第二刻蚀槽的方向填充栅极材料。

在一些实施例中，通过湿法刻蚀的方式对结构中保留的氧化物材料 80 进行刻蚀，并利用氧化物和氮化物之间的选择比，将氧化物替换为栅极材料 30。

步骤 907，刻蚀在第一高度范围内的栅极材料，保留在第二高度范围内的栅极材料。

其中，第一高度范围与第二硅膜层 13 的高度范围对应，也即，刻蚀清除在源极/漏极表面的栅极材料 30，保留在沟道表面的栅极材料 30。

示意性的，如图 14 所示，刻蚀侧墙材料 72 以及与侧墙材料 72 在同一高度范围的硅介质材料 50 后，在各个子硅柱之间填充硅介质材料 50，刻蚀子硅柱上的氧化物材料 80 后，沿字线方向生成栅极材料 30，并刻蚀与第二硅膜层 13 对应高度范围内的栅极材料 30，保留与沟道对应高度范围内的栅极材料 30。

步骤 908，在第一刻蚀槽、第二刻蚀槽内和第二硅膜层上沉积低介电材料，刻蚀栅极材料之间的部分低介电材料，并在顶部沉积硅介质材料形成空气间隙对栅极材料进行隔离，得到垂直栅极全环绕晶体管。

在一些实施例中，各个子硅柱之间填充有硅介质材料 50，故首先刻蚀各个子硅柱之间的硅介质材料 50，然后在子硅柱表面沉积低介电材料 40。可选地，在沉积低介电材料 40 后，由于上层源极/漏极还需要与金属材料 20 接触，将金属材料 20 作为常闭触点，故，将上表面的低介电材料 40 进行刻蚀去除，露出源极/漏极的上表面，并在硅柱上沉积金属材料 20 与第二硅膜层 13 接触，填充硅介质材料 50 形成空气间隙 (air gap) 后，得到垂直环绕栅极晶体管。

如图 15 所示，首先刻蚀各个子硅柱之间的硅介质材料 50，然后在子硅柱表面沉积低介电材料 40，将上层的低介电材料 40 刻蚀后露出上层的源极/漏极，然后在硅柱上沉积金属材料 20 与第二硅膜层 13 接触，填充硅介质材料 50 后，得到垂直环绕栅极晶体管。

综上所述，本实施例提供的方法，在铺设完成晶体管的位线、字线、源极/漏极和环栅后，通过去除字线之间的高介电常数的介质，同时在环栅和顶部源极/漏极之间沉积覆盖一层保护材料避免氧化，最后通过高沉积速率、低台阶覆盖性介质以形成字线之间的空气间隙，降低了字线之间的寄生电容，提高了 VGAA 晶体管的器件性能，并降低了制备复杂度。

本实施例提供的方法，通过依次堆叠的硅衬底、第一硅膜层、锗硅膜层和第二硅膜层，基于第一硅膜层和第二硅膜层作为源极/漏极，通过第一掩膜材料在硅衬底上形成位线的基础上，通过第二掩膜材料形成沟道和字线以及环栅，提高了位线、沟道、源极/漏极以及字线和环栅之间的对准度，提高了 VGAA 晶体管的制备准确率和成功率，提高了 VGAA 晶体管的器件性能，并降低了制备复杂度。

本实施例提供的方法，基于外延的 VGAA 晶体管工艺流程，生成外延硅材料作为沟道并填充栅极材料进行环绕，提高了沟道与字线和栅极之间的对准度，提高了工艺准确率。

本实施例提供的方法，利用氧化物进行自对准替代金属栅极工艺，提高了栅极材料的生成准确率。

基于图 2 所示的方法实施例，在执行步骤 201 时，还在堆叠结构中形成阱隔离。

在一个实施例中，结合参考图 16，图 16 的 (A1) 部分示出了形成阱隔离之后的堆叠结构。图 16 的 (A2) 部分示出了堆叠结构的二维平面图。考虑阱隔离之后的堆叠结构包括硅衬底 00、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13。进一步的，硅衬底 00 包括上部分硅衬底 00-1 和下部分硅衬底 00-2。可选的，下部分硅衬底 00-2 被掺杂为 N 型，上部分硅衬底 00-1 被掺杂为 P 型，第一硅膜层 11 被掺杂为 P 型。可选的，下部分硅衬底 00-2 被掺杂为 P 型，上部分硅衬底 00-1 被掺杂为 N 型，第一硅膜层 11 被掺杂为 N 型。

可以注意到的是，图 16 的 (B1) 部分示出了考虑阱隔离之后得到的多个第一硅柱 1601 的立体结构。图 16 的 (B2) 部分示出了立体结构对应的平面图。此时，执行第一硅柱 1601 的纵向刻蚀的刻蚀深度仅达到上部分硅衬底 00-1，多个第一硅柱 1601 (即位线) 彼此之间通过 PN 结结构相互隔离，防止第一硅柱 1601 之间发生漏电。

在一个实施例中，结合参考图 17，图 17 的 (A1) 部分示出了形成阱隔离之后的堆叠结构。图 17 的 (A2) 部分示出了堆叠结构的二维平面图。考虑阱隔离之后的堆叠结构包括硅衬底 00、第一硅膜层 11、锗硅膜层 12、第二硅膜层 13，以及位于硅衬底 00 和第一硅膜层中间的第三硅膜层 14。可选的，硅衬底 00 被掺杂为 P 型，第一硅膜层 11 和第三硅膜层 14 被

掺杂为 N 型。

可以注意到的是，图 17 的 (B1) 部分示出了考虑阱隔离之后得到的多个第一硅柱 1601 的立体结构。图 17 的 (B2) 部分示出了立体结构对应的平面图。此时，执行第一硅柱 1601 的纵向刻蚀的刻蚀深度仅达到第三硅膜层 14，多个第一硅柱 1601（即位线）彼此之间通过 PN 结结构相互隔离，防止第一硅柱 1601 之间发生漏电。

示意性的，针对上述步骤 201 提供了如下四种可能的实现方式。

第一种可能的实现方式：获取硅衬底；将硅衬底中的下部分硅衬底掺杂为 N 型，将硅衬底中的上部分硅衬底掺杂为 P 型；在硅衬底上依次堆叠第一硅膜层、锗硅膜层和第二硅膜层；将第一硅膜层掺杂为 P 型。可选的，对硅衬底进行掺杂之后通过退火操作恢复硅衬底晶格。

结合参考图 18，图 18 的 (A) 部分示出了硅衬底 00；图 18 的 (B) 部分示出了掺杂为 N 型的下部分硅衬底 00-1 和掺杂为 P 型的上部分硅衬底 00-2。图 18 的 (C) 部分示出了堆叠得到的第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13，第一硅膜层 11 被掺杂为 P 型。

第二种可能的实现方式：获取硅衬底；将硅衬底中的下部分硅衬底掺杂为 P 型，将硅衬底中的上部分硅衬底掺杂为 N 型；在硅衬底上依次堆叠第一硅膜层、锗硅膜层和第二硅膜层；将第一硅膜层掺杂为 N 型。可选的，对硅衬底进行掺杂之后通过退火操作恢复硅衬底晶格。

结合参考图 19，图 19 的 (A) 部分示出了硅衬底 00；图 19 的 (B) 部分示出了掺杂为 P 型的下部分硅衬底 00-1 和掺杂为 N 型的上部分硅衬底 00-2。图 19 的 (C) 部分示出了堆叠得到的第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13，第一硅膜层 11 被掺杂为 N 型。

第三种可能的实现方式：获取硅衬底；将硅衬底掺杂为 N 型；在硅衬底上依次堆叠第三硅层、第一硅膜层、锗硅膜层和第二硅膜层；将第三硅层和第一硅膜层掺杂为 P 型。

结合参考图 20，图 20 的 (A) 部分示出了硅衬底 00；图 20 的 (B) 部分示出了掺杂为 N 型的硅衬底 00。图 20 的 (C) 部分示出了堆叠得到的第三硅膜层 14、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13，第三硅膜层 14 被掺杂为 P 型，第一硅膜层 11 被掺杂为 P 型。

第四种可能的实现方式：获取硅衬底；将硅衬底掺杂为 P 型；在硅衬底上依次堆叠第三硅膜层、第一硅膜层、锗硅膜层和第二硅膜层；将第三硅膜层和第一硅膜层掺杂为 N 型。

结合参考图 21，图 21 的 (A) 部分示出了硅衬底 00；图 21 的 (B) 部分示出了掺杂为 P 型的硅衬底 00。图 21 的 (C) 部分示出了堆叠得到的第三硅膜层 14、第一硅膜层 11、锗硅膜层 12 和第二硅膜层 13，第三硅膜层 14 被掺杂为 N 型，第一硅膜层 11 被掺杂为 N 型。

本申请实施例提供了一种电子设备，该电子设备中包括逻辑器件，逻辑器件中包括如上所述实施例中所提供的晶体管阵列。该逻辑器件可以应用于逻辑运算器和存储器等。该晶体管阵列是通过如上实施例里中所提供的晶体管的工艺制备方法制备得到的。可选地，该电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或智能移动终端。

在本申请中，术语“第一”和“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性。术语“至少一个”是指一个或多个，术语“多个”指两个或两个以上，除非另有明确的限定。本申请中术语“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，本文中字符“/”，一般表示前后关联对象是一种“或”的关系。

以上所述仅为本申请的示例性实施例，并不用以限制本申请，凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权利要求书

1.一种晶体管的制备方法，所述方法包括：

在硅衬底（00）上依次堆叠第一硅膜层（11）、锗硅膜层（12）和第二硅膜层（13），其中，所述第一硅膜层（11）与所述硅衬底（00）相邻；

在所述硅衬底（00）、所述第一硅膜层（11）、所述锗硅膜层（12）和所述第二硅膜层（13）上沿位线方向刻蚀形成第一刻蚀槽，在所述第一刻蚀槽内填充金属材料（20）并退火生成位线；

在所述第二硅膜层（13）、所述锗硅膜层（12）上沿字线方向刻蚀形成第二刻蚀槽，并基于所述锗硅膜层（12）生成沟道后，在所述第二刻蚀槽内沿所述字线方向填充栅极材料（30）形成字线；

在所述第一刻蚀槽、所述第二刻蚀槽内和所述第二硅膜层（13）上沉积低介电材料（40），并通过刻蚀和在顶部沉积硅介质材料（50）形成空气间隙，对所述栅极材料（30）进行隔离，得到垂直栅极全环绕晶体管。

2.根据权利要求1所述的方法，其中，所述在所述第一刻蚀槽和所述第二刻蚀槽内和所述第二硅膜层（13）上沉积低介电材料（40），并通过刻蚀和在顶部沉积硅介质材料（50）形成空气间隙，对所述栅极材料（30）和所述第二硅膜层（13）进行隔离，得到垂直栅极全环绕晶体管，包括：

在所述第一刻蚀槽和所述第二刻蚀槽内和所述第二硅膜层（13）上沉积所述低介电材料（40）；

刻蚀所述第一硅膜层（11）和所述第二硅膜层（13）表面的所述低介电材料（40），以及刻蚀所述栅极材料（30）之间的部分低介电材料（40）；

在所述第二硅膜层（13）上沉积硅介质材料（50），得到所述垂直栅极全环绕晶体管。

3.根据权利要求2所述的方法，其中，所述在所述第二硅膜层（13）上沉积硅介质材料（50），得到所述垂直栅极全环绕晶体管，包括：

在所述第二硅膜层（13）上沉积金属材料（20）与所述第二硅膜层（13）接触；

在所述第一刻蚀槽和所述第二刻蚀槽内沉积所述硅介质材料（50），得到所述垂直栅极全环绕晶体管。

4.根据权利要求1所述的方法，其中，所述在所述硅衬底（00）、所述第一硅膜层（11）、所述锗硅膜层（12）和所述第二硅膜层（13）上沿位线方向刻蚀形成第一刻蚀槽，包括：

在所述第二硅膜层（13）上沿所述位线方向形成多列第一掩膜材料（60）；

刻蚀所述硅衬底（00）、所述第一硅膜层（11）、所述锗硅膜层（12）和所述第二硅膜层（13）中未被所述第一掩膜材料（60）覆盖的区域，形成沿所述位线方向的第一刻蚀槽。

5.根据权利要求4所述的方法，其中，所述在所述第一刻蚀槽内填充金属材料（20）并退火生成位线，包括：

在所述第一刻蚀槽内形成第一高度的所述硅介质材料（50），其中，所述第一高度小于所述硅衬底（00）中所述第一刻蚀槽的深度；

在所述硅介质材料（50）上填充所述金属材料（20）并退火生成位线，其中，相邻位线之间通过所述硅介质材料（50）隔离。

6.根据权利要求1所述的方法，其中，所述在所述第二硅膜层（13）、所述锗硅膜层（12）

上沿字线方向刻蚀形成第二刻蚀槽，包括：

在所述第二硅膜层（13）上沿字线方向形成多列第二掩膜材料（70）；

刻蚀所述第二硅膜层（13）、锗硅膜层（12）中未被所述第二掩膜材料（70）覆盖的区域，形成沿所述字线方向的第二刻蚀槽。

7.根据权利要求 6 所述的方法，其中，所述在所述第二硅膜层（13）上沿字线方向形成多列第二掩膜材料（70），包括：

在所述第一刻蚀槽内填充得到第二高度的所述硅介质材料（50），其中，所述第二高度的硅介质材料（50）的上平面与所述第一硅膜层（11）的上平面符合平面距离要求；

在所述第一刻蚀槽内填充氧化物材料（80），并在填充所述氧化物材料（80）后的第二硅膜层（13）上沿所述字线方向形成多列第二掩膜材料（70）。

8.根据权利要求 7 所述的方法，其中，所述第二掩膜材料（70）包括心轴材料（71）和分布在所述心轴材料（71）两侧的侧墙材料（72）；

所述基于所述锗硅膜层（12）生成沟道，包括：

在所述第一刻蚀槽和所述第二刻蚀槽刻蚀得到的硅柱上，对所述锗硅膜层（12）的表面进行第一厚度的侧向刻蚀；

在所述锗硅膜层（12）被刻蚀的表面生成第二厚度的外延硅材料（90），所述第二厚度小于所述第一厚度；

在所述第二硅膜层（13）和所述锗硅膜层（12）被所述心轴材料（71）覆盖的部分进行刻蚀，将所述硅柱拆分为至少两个子硅柱；

对所述至少两个子硅柱中的锗硅膜层（12）去除，并填充氧化物材料（80），得到围绕所述外延硅材料（90）的氧化物材料（80），所述外延硅材料（90）形成所述晶体管的沟道。

9.一种晶体管阵列，所述晶体管阵列中包括呈阵列排布的多个晶体管单元；

所述晶体管单元包括垂直依次分布的第一源/漏、沟道、第二源/漏、常闭触点，所述晶体管单元的沟道外环绕包覆栅极材料；

在第一队列中的多个第一晶体管单元的第一源/漏通过耦接埋入式位线连通；

在第二队列中的多个第二晶体管单元的栅极材料连通，得到字线与所述多个第二晶体管单元耦接，其中，第一队列是沿第一阵列方向的队列，第二队列是沿第二阵列方向的队列；

多个所述第二队列之间所述晶体管单元表面覆盖有低介电材料，多个所述第二队列顶部覆盖有硅介质材料，在所述低介电材料之间形成有空气间隙。

10.一种电子设备，所述电子设备中包括逻辑器件，所述逻辑器件中包括如权利要求 9 所述的晶体管阵列。

11.根据权利要求 10 所述的电子设备，所述电子设备包括智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或智能移动终端。

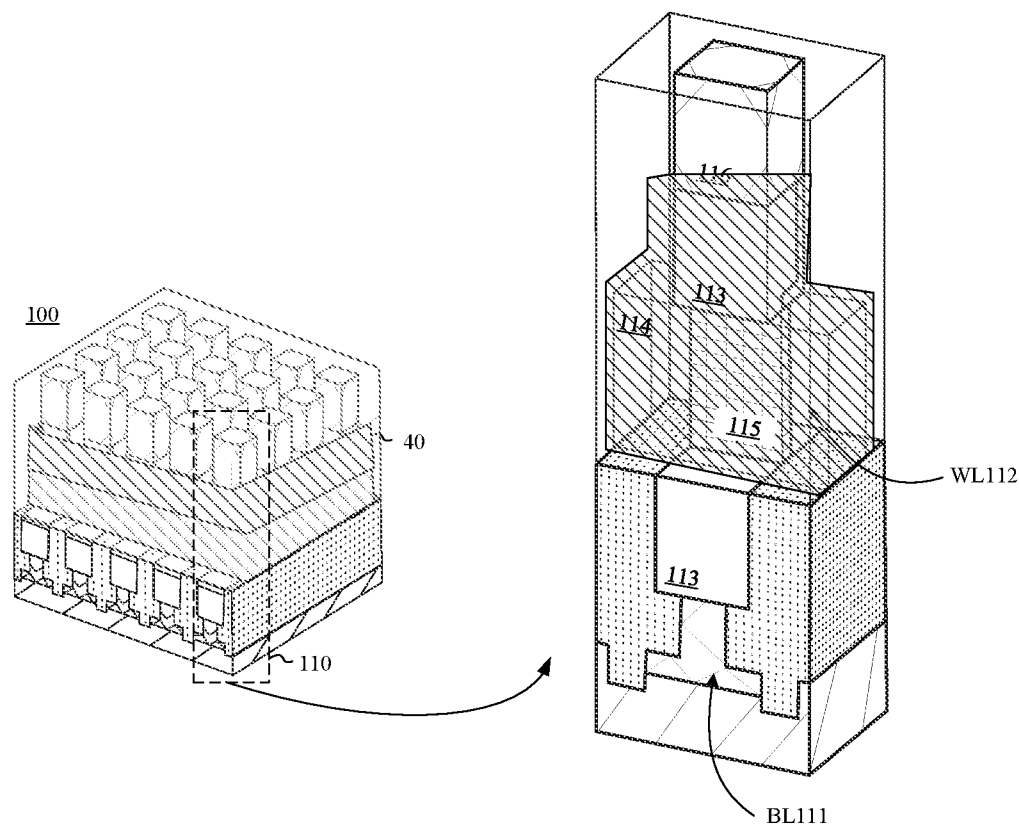


图 1

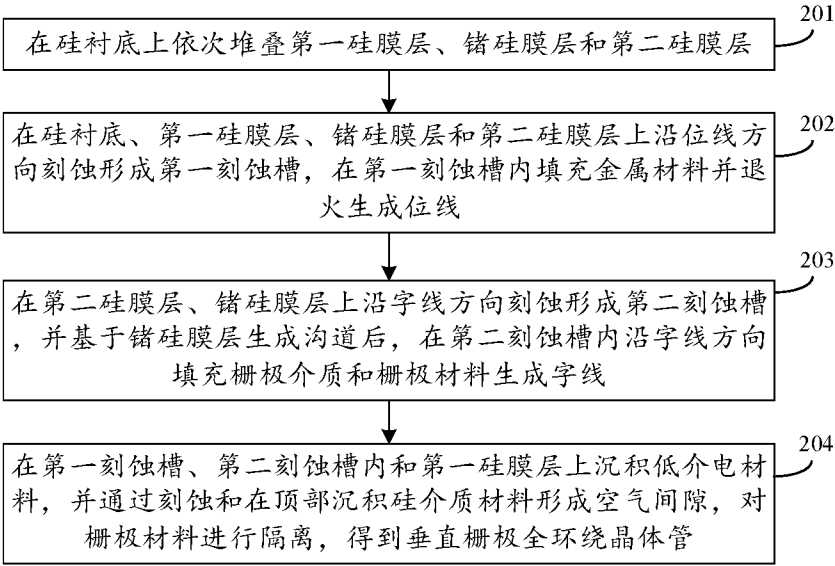
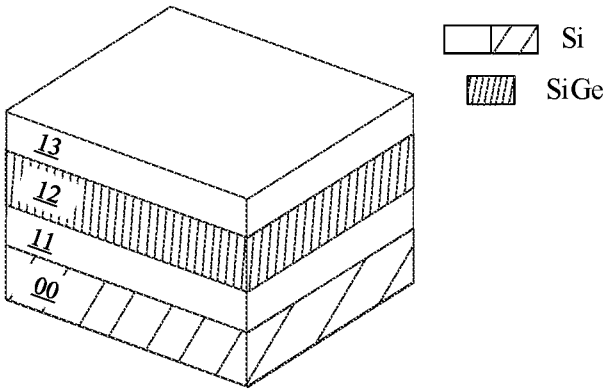


图 2



主视图

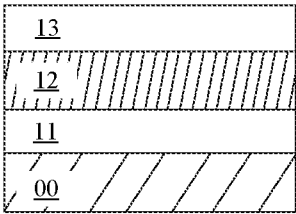
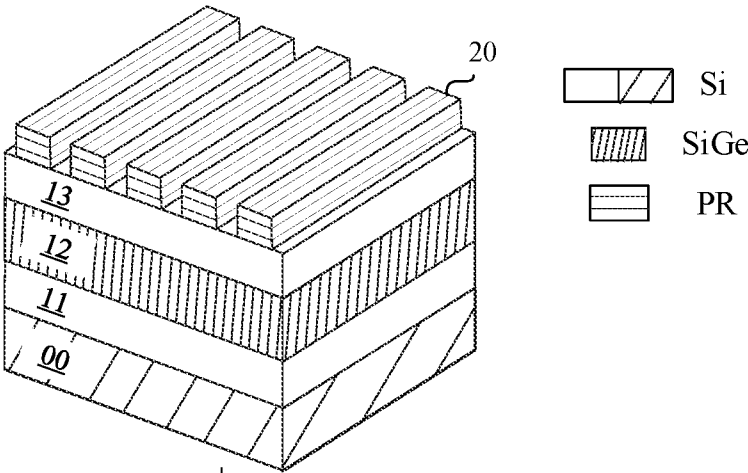


图 3



主视图

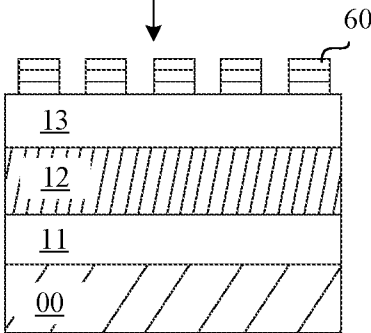


图 4

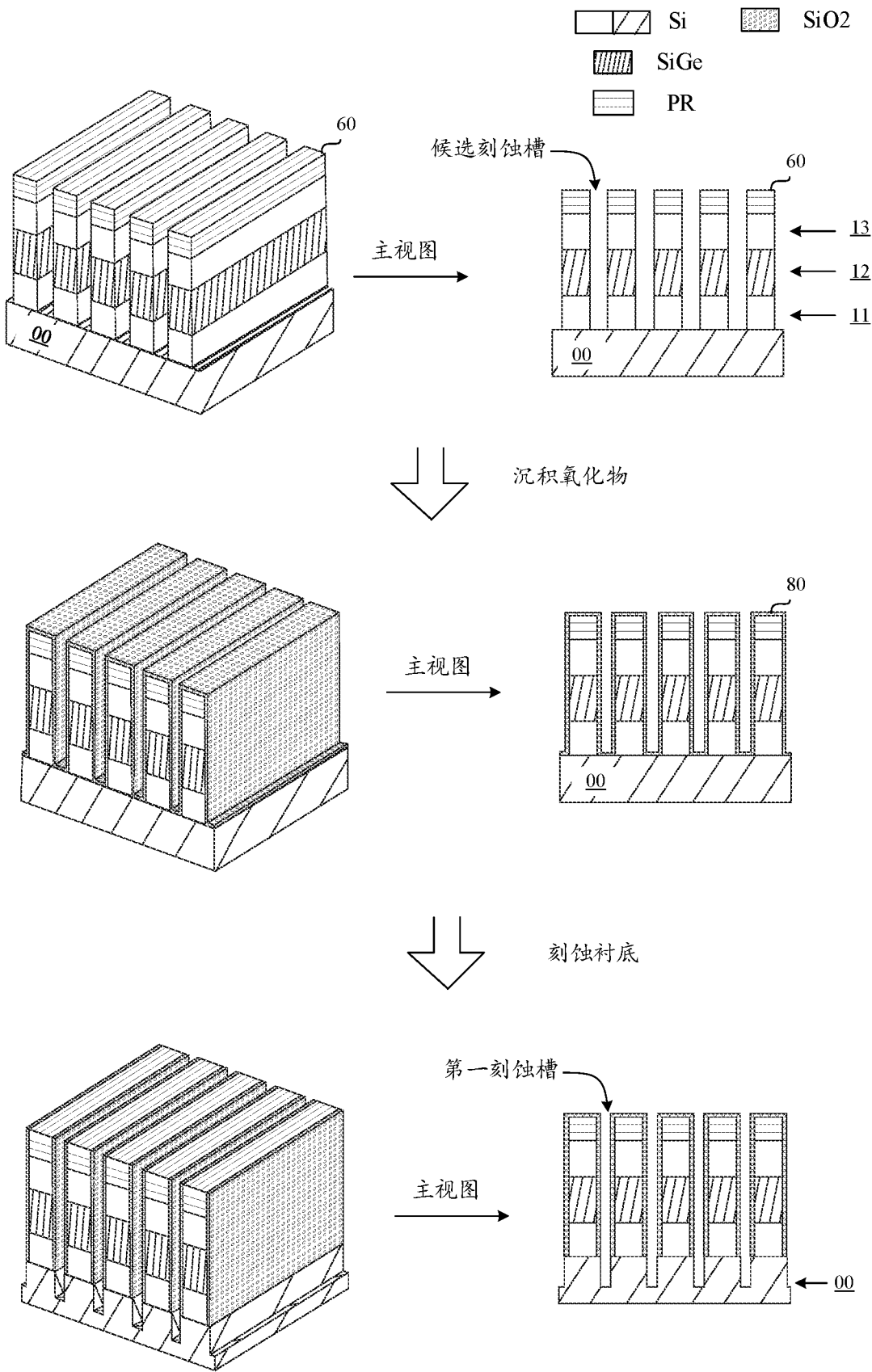


图 5

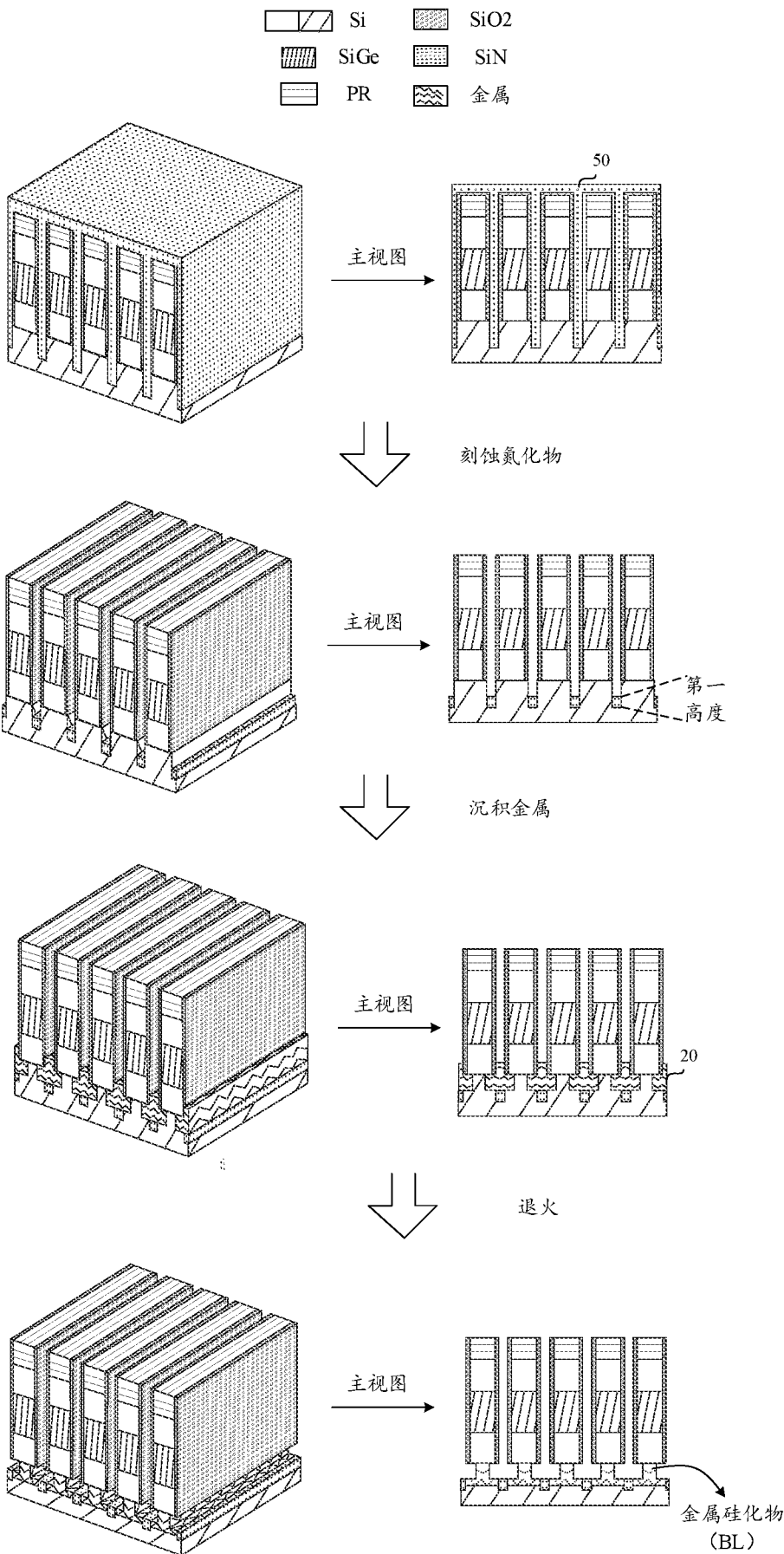
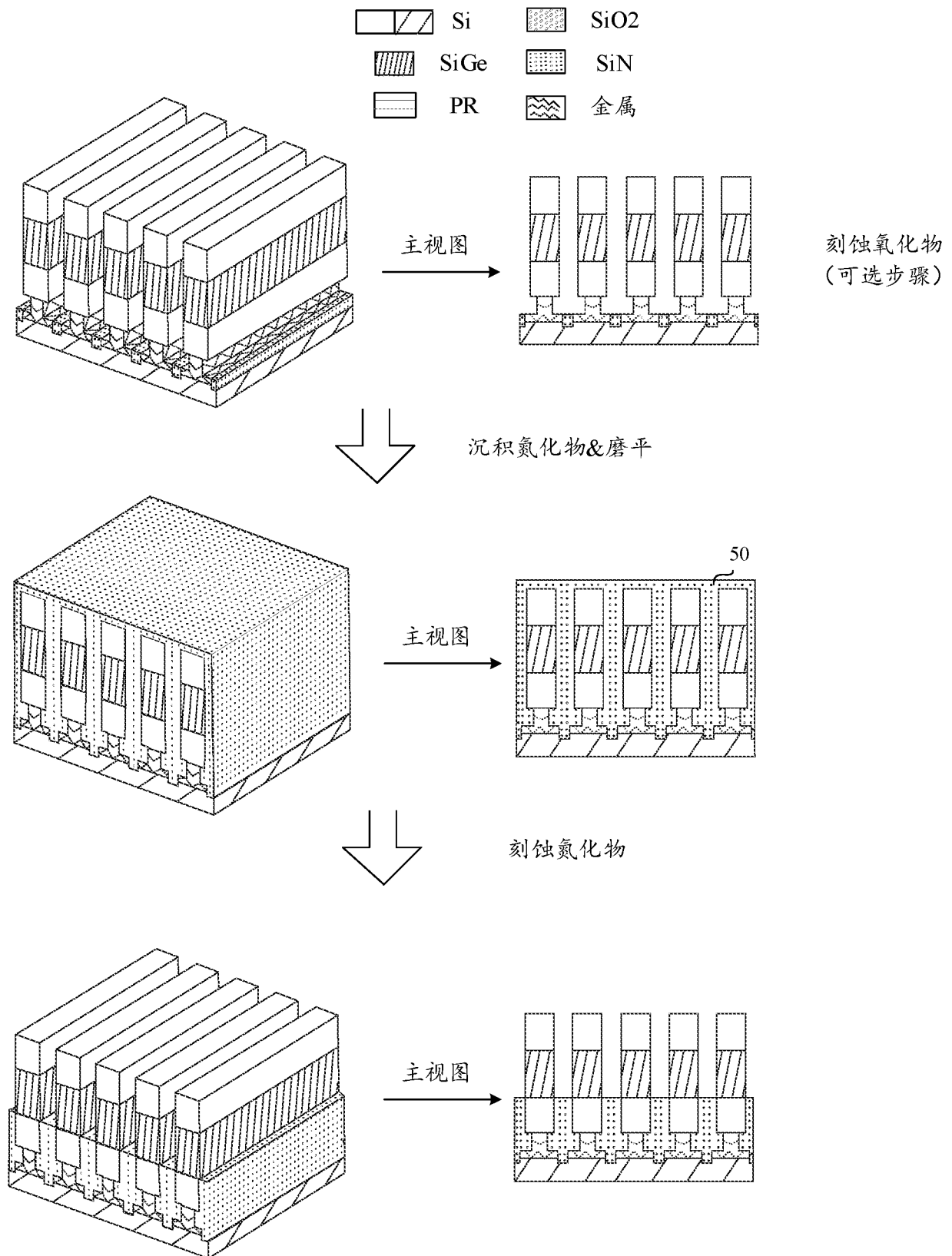


图 6



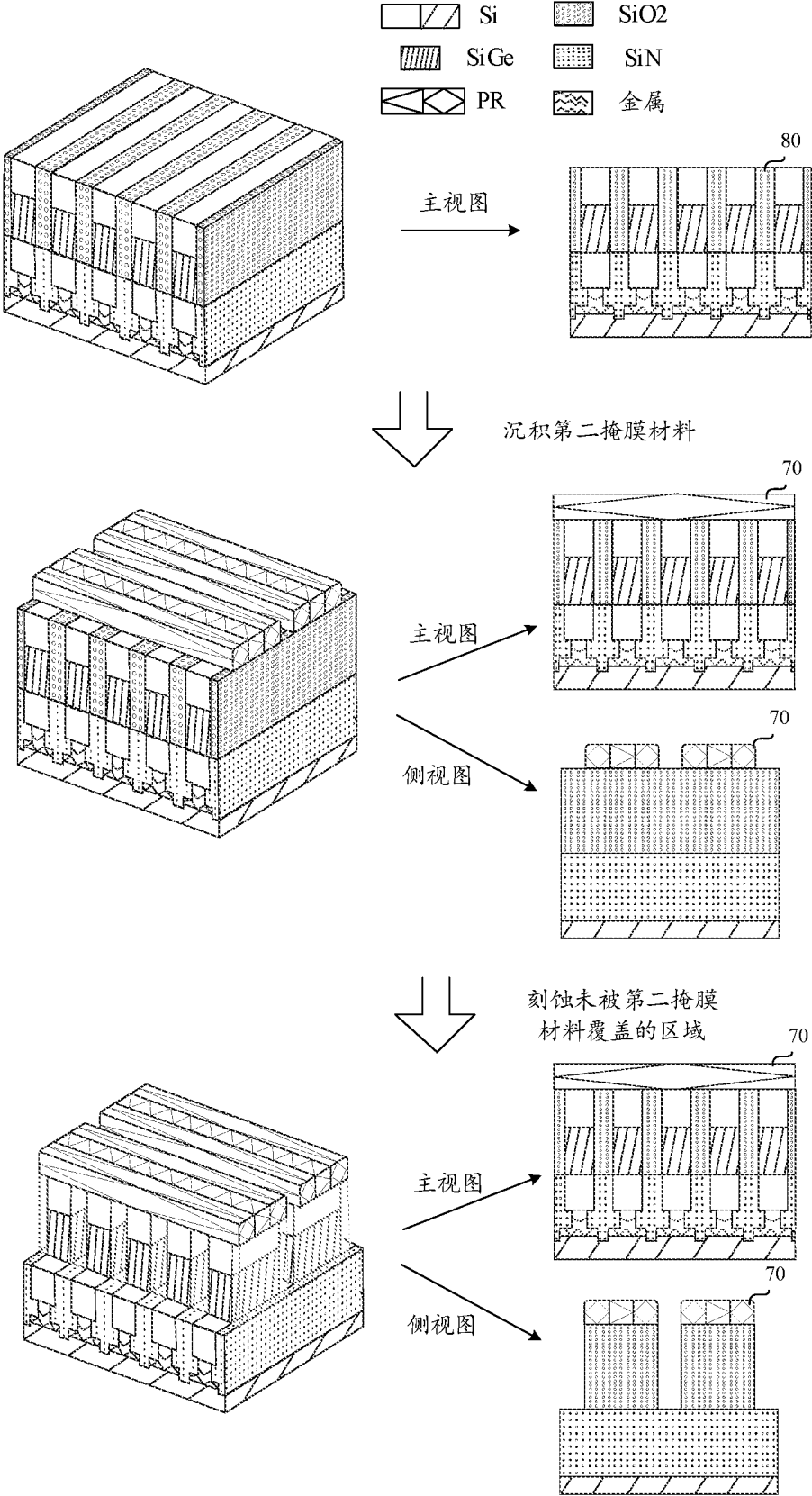


图 8

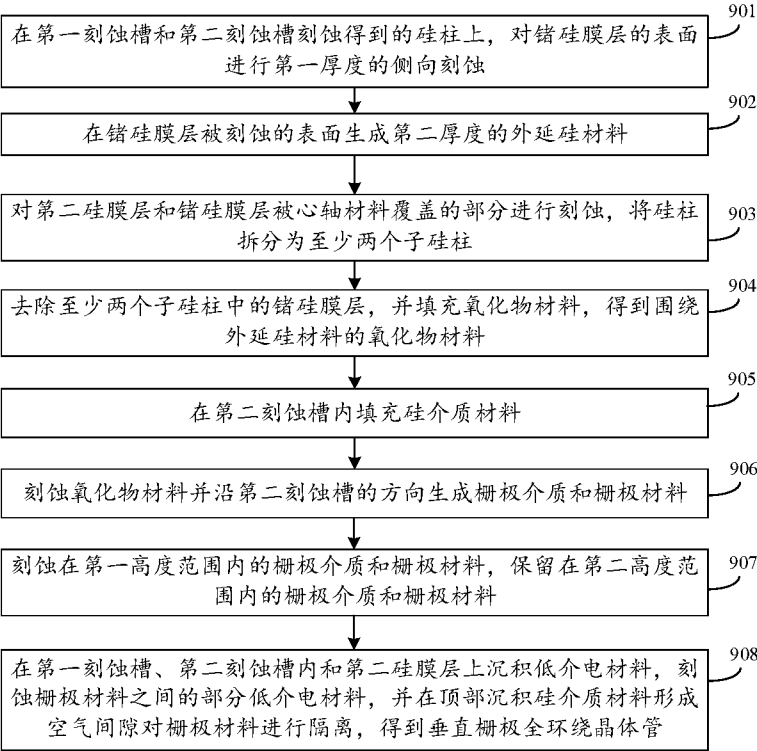


图 9

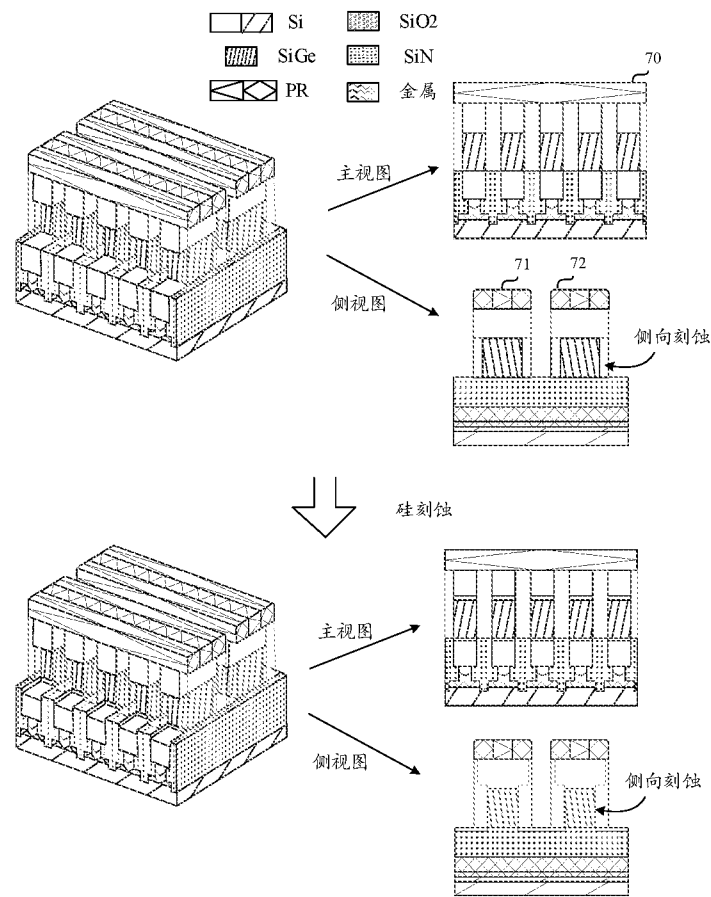
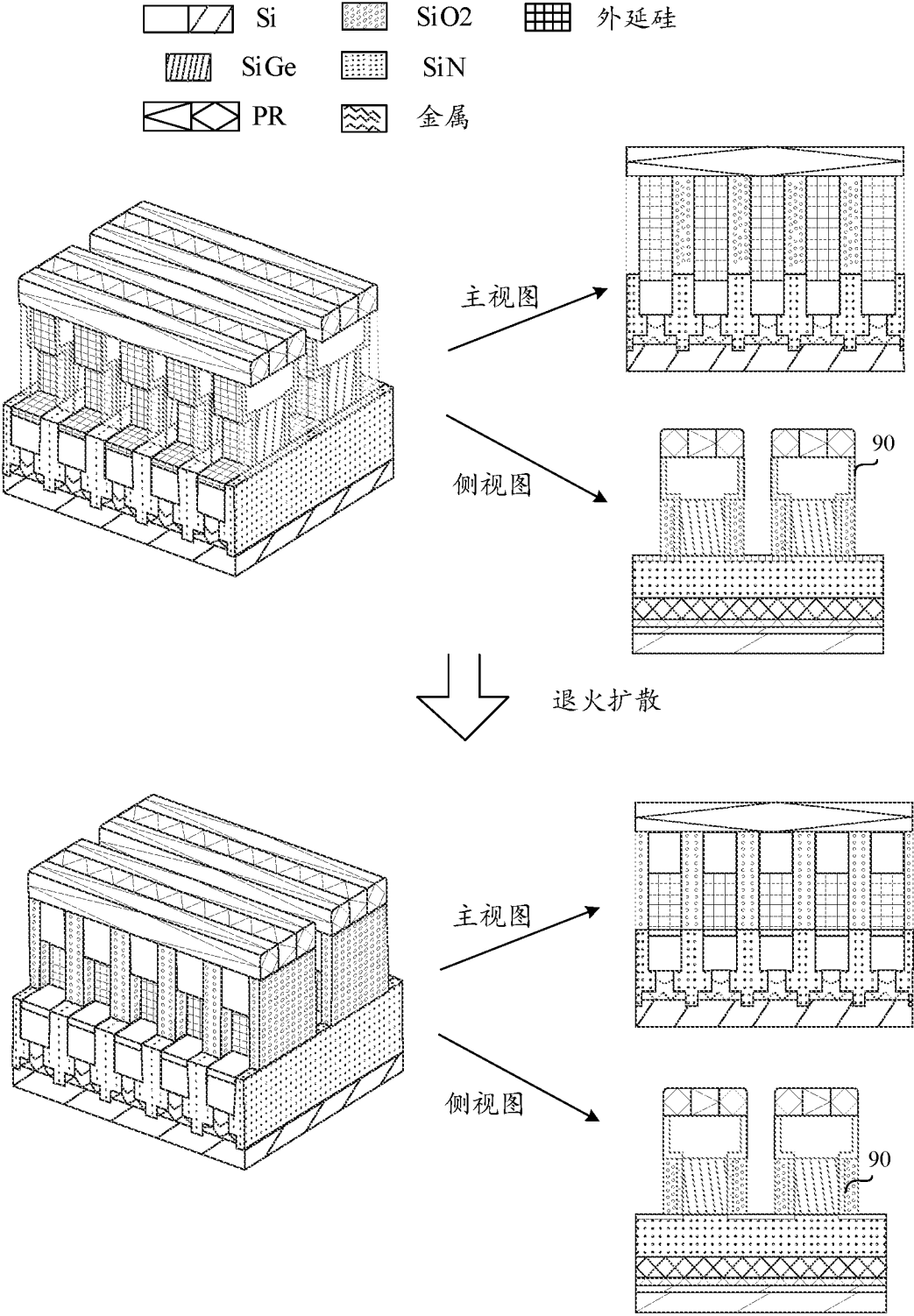


图 10



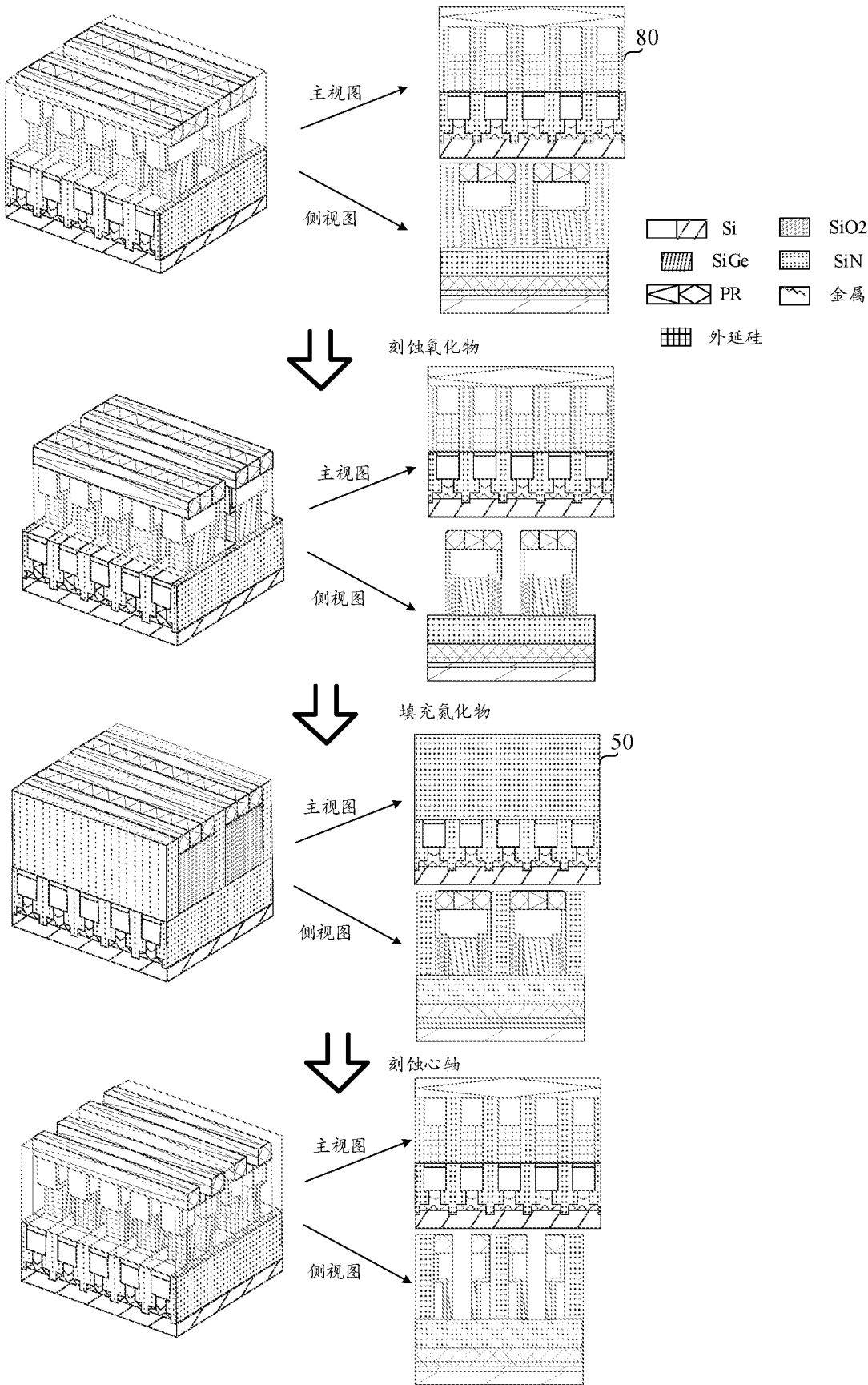


图 12

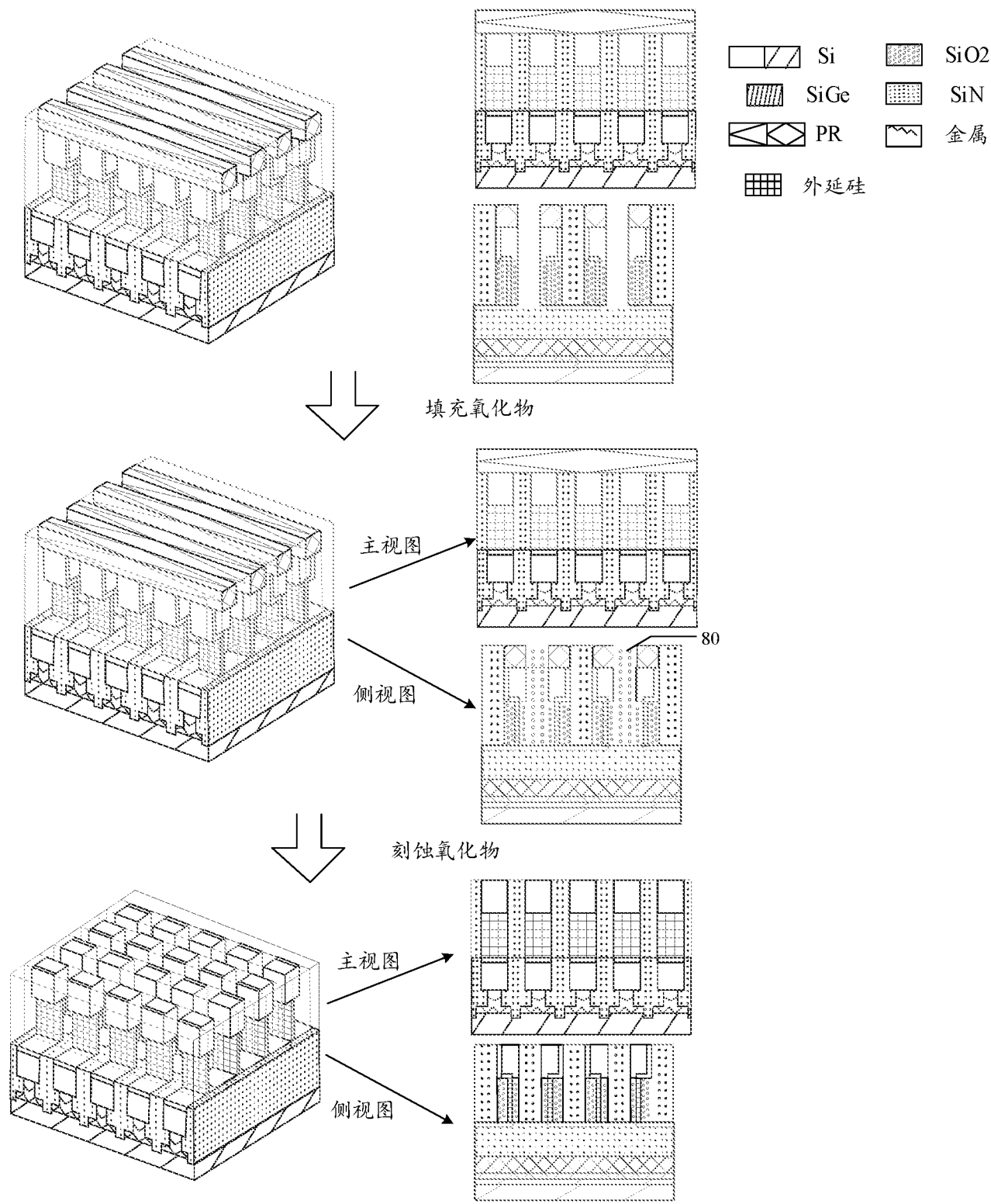


图 13

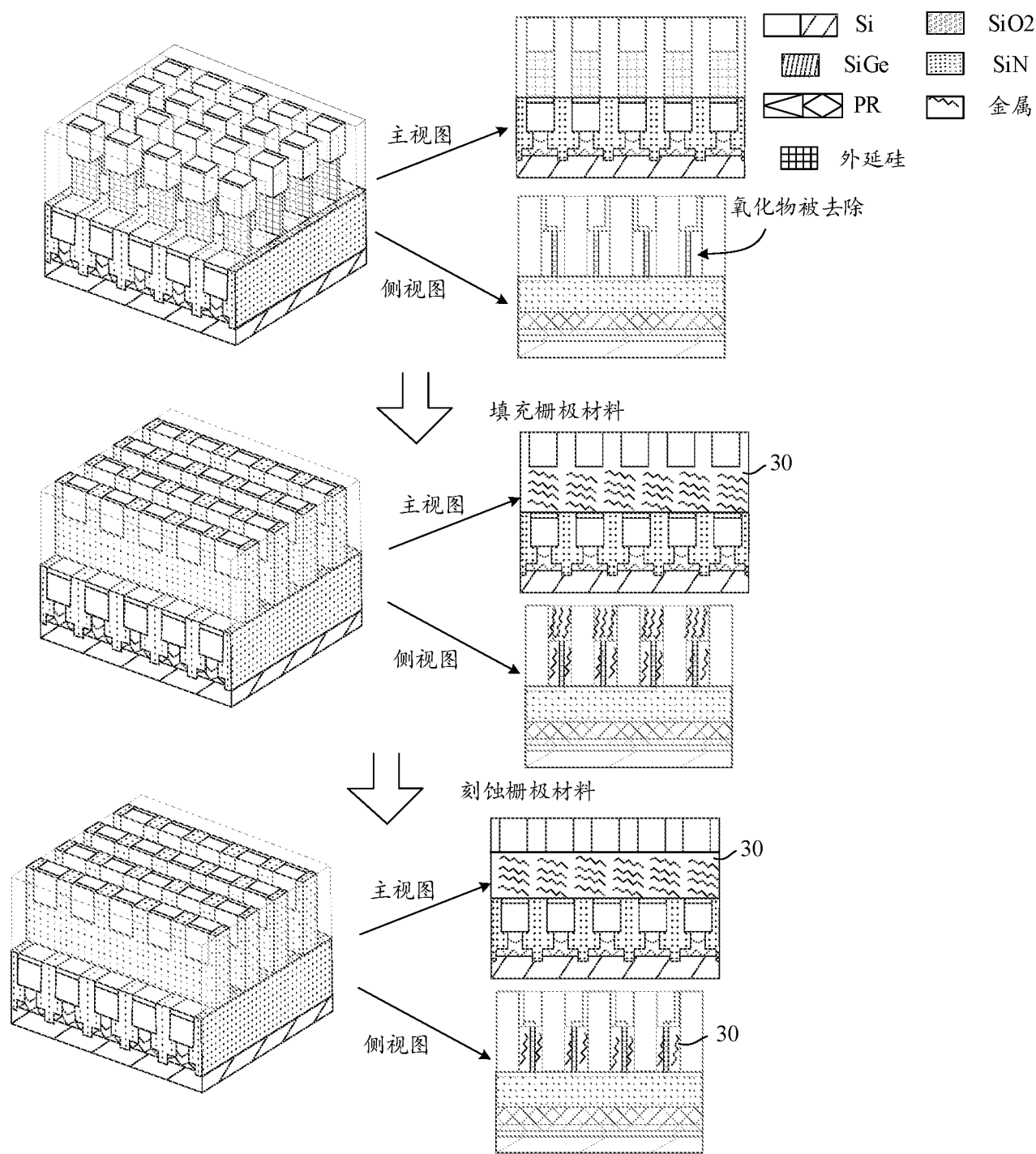
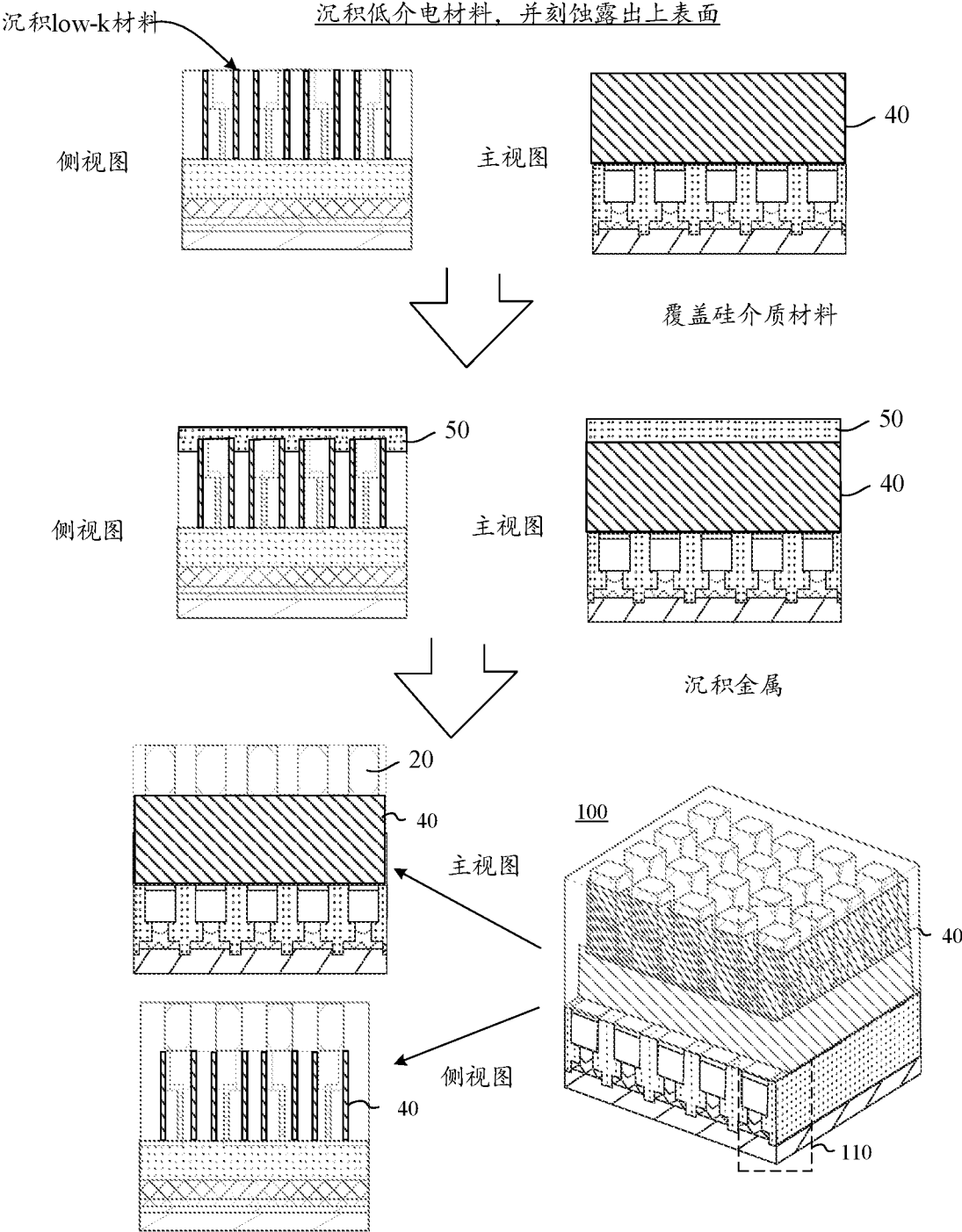


图 14



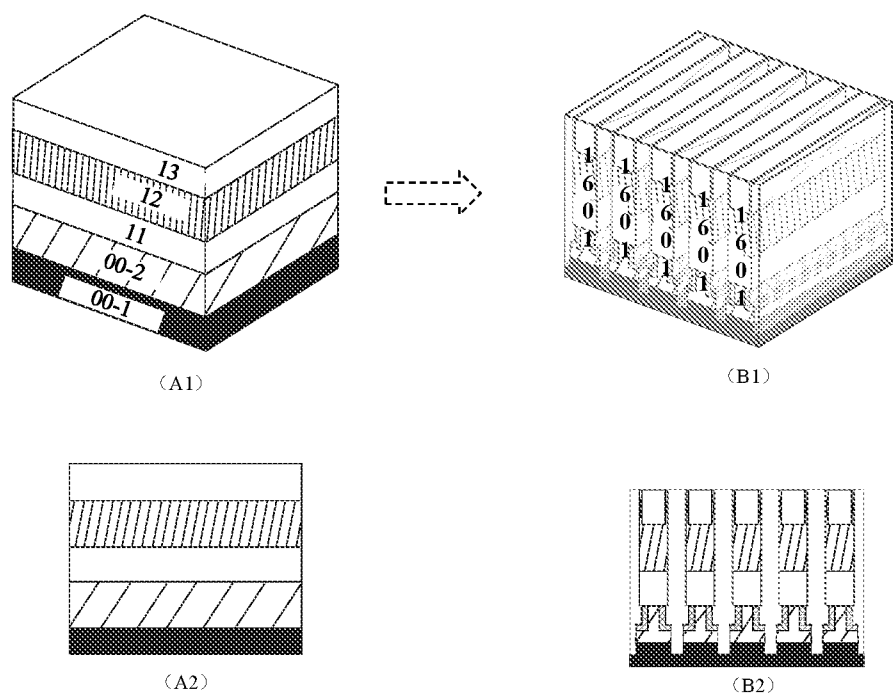


图 16

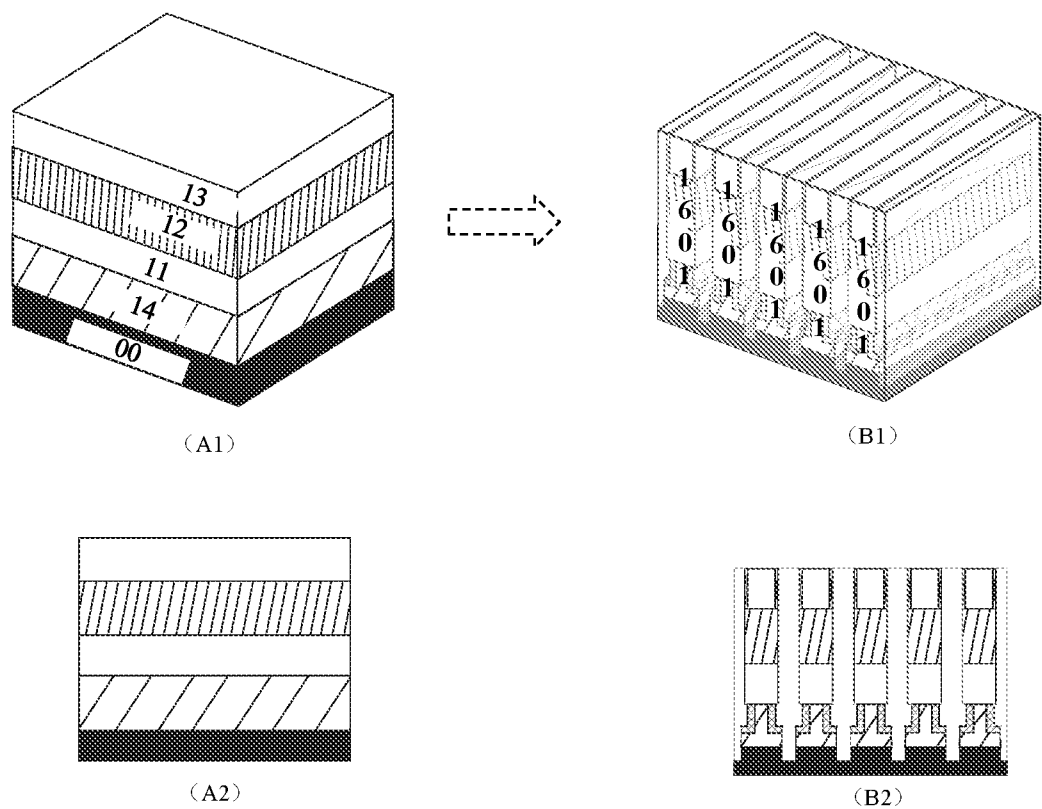
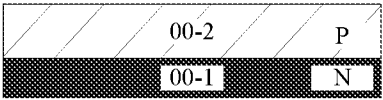


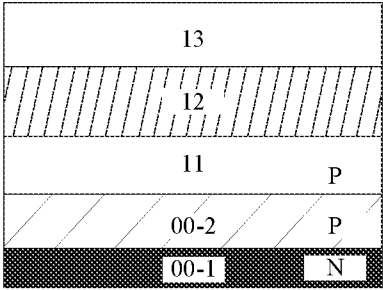
图 17



(A)



(B)

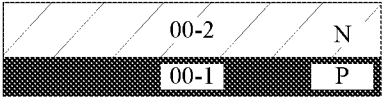


(C)

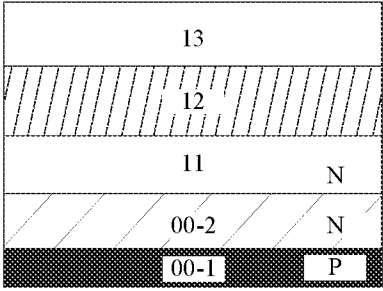
图 18



(A)

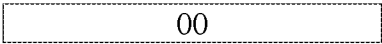


(B)



(C)

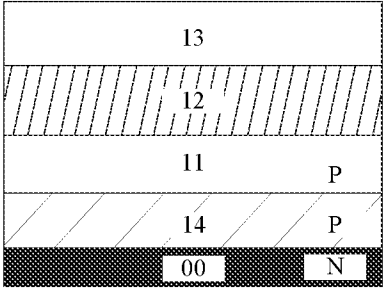
图 19



(A)

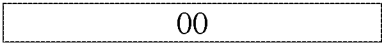


(B)

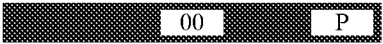


(C)

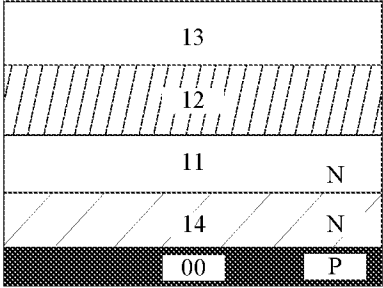
图 20



(A)



(B)



(C)

图 21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/116816

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i; H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, WOTXT, USTXT, DWPI, EPTXT, CNKI, IEEE: 电容, 沟道, 硅, 锗, 位线, 气隙, 心轴, 掩膜, 字线, 全环栅, 介电常数, capacitance, channel, silicon, germanium, air gap, bit line, BL, mandrel, mask, word line, WL, gate-all-around, GAA, dielectric constant

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 116190424 A (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) 30 May 2023 (2023-05-30) description, paragraphs 44-91, and figures 1-13	1-11
Y	CN 111384156 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 07 July 2020 (2020-07-07) description, paragraphs 22-153, and figures 1-38	1-8
Y	CN 114446965 A (DOSILICON CO., LTD.) 06 May 2022 (2022-05-06) description, paragraphs 46-92, and figures 1-9	1-11
Y	CN 111863708 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 30 October 2020 (2020-10-30) description, paragraphs 46-152, and figures 1-19	1-11
Y	CN 114093821 A (ICLEAGUE TECHNOLOGY CO., LTD.) 25 February 2022 (2022-02-25) description, paragraphs 82-176, and figures 2A-15	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 March 2024

Date of mailing of the international search report

25 March 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/116816**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101090117 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 19 December 2007 (2007-12-19) entire document	1-11
A	US 2013323920 A1 (CHANG, Chong Ping et al.) 05 December 2013 (2013-12-05) entire document	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/116816

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	116190424	A	30 May 2023	CN	116190424	B	15 March 2024
CN	111384156	A	07 July 2020	US	2023064415	A1	02 March 2023
				WO	2021147610	A1	29 July 2021
				CN	111384156	B	03 August 2021
CN	114446965	A	06 May 2022	WO	2023142521	A1	03 August 2023
CN	111863708	A	30 October 2020	CN	111863708	B	03 November 2023
CN	114093821	A	25 February 2022	None			
CN	101090117	A	19 December 2007	CN	100561740	C	18 November 2009
US	2013323920	A1	05 December 2013	US	9023723	B2	05 May 2015
				WO	2013180757	A1	05 December 2013
				TW	201541613	A	01 November 2015
				TWI	621244	B	11 April 2018
				TW	201405713	A	01 February 2014
				TWI	500115	B	11 September 2015

A. 主题的分类

H01L21/336(2006.01)i; H01L29/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-; H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNXTXT,VEN,WOTXT,USTXT,DWPI,EPTXT,CNKI,IEEE:电容,沟道,硅,锗,位线,气隙,心轴,掩膜,字线,全环栅,介电常数,capacitance,channel,silicon,germanium,air gap,bit line,BL,mandrel,mask,word line,WL,gate-all-around,GAA,dielectr ic constant

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 116190424 A (北京超弦存储器研究院) 2023年5月30日 (2023 - 05 - 30) 说明书第44-91段, 图1-13	1-11
Y	CN 111384156 A (中国科学院微电子研究所) 2020年7月7日 (2020 - 07 - 07) 说明书第22-153段, 图1-38	1-8
Y	CN 114446965 A (东芯半导体股份有限公司) 2022年5月6日 (2022 - 05 - 06) 说明书第46-92段, 图1-9	1-11
Y	CN 111863708 A (中芯国际集成电路制造(上海)有限公司 等) 2020年10月30日 (2020 - 10 - 30) 说明书第46-152段, 图1-19	1-11
Y	CN 114093821 A (芯盟科技有限公司) 2022年2月25日 (2022 - 02 - 25) 说明书第82-176段, 图2A-15	1-11
A	CN 101090117 A (中芯国际集成电路制造(上海)有限公司) 2007年12月19日 (2007 - 12 - 19) 全文	1-11

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年3月22日

国际检索报告邮寄日期

2024年3月25日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

黄宝莹

电话号码 (+86) 020-28958381

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2013323920 A1 (CHANG,Chorng Ping 等) 2013年12月5日 (2013 - 12 - 05) 全文	1-11

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/116816

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	116190424	A	2023年5月30日	CN	116190424	B	2024年3月15日
CN	111384156	A	2020年7月7日	US	2023064415	A1	2023年3月2日
				WO	2021147610	A1	2021年7月29日
				CN	111384156	B	2021年8月3日
CN	114446965	A	2022年5月6日	WO	2023142521	A1	2023年8月3日
CN	111863708	A	2020年10月30日	CN	111863708	B	2023年11月3日
CN	114093821	A	2022年2月25日	无			
CN	101090117	A	2007年12月19日	CN	100561740	C	2009年11月18日
US	2013323920	A1	2013年12月5日	US	9023723	B2	2015年5月5日
				WO	2013180757	A1	2013年12月5日
				TW	201541613	A	2015年11月1日
				TWI	621244	B	2018年4月11日
				TW	201405713	A	2014年2月1日
				TWI	500115	B	2015年9月11日