

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 16.04.97.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 23.10.98 Bulletin 98/43.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : SGS THOMSON MICROELECTRO-
NICS SA SOCIETE ANONYME — FR.

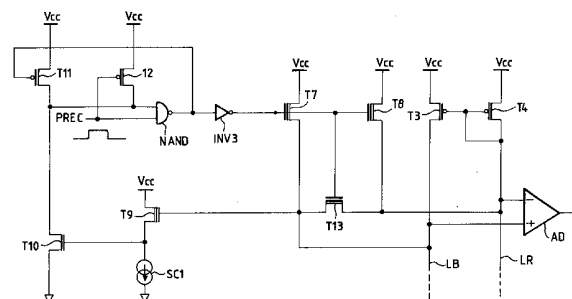
72 Inventeur(s) : YERO EMILIO MIGUEL.

73 Titulaire(s) :

74 Mandataire(s) : BALLOT SCHMIT.

54 CIRCUIT DE LECTURE DE MEMOIRE AVEC DISPOSITIF DE PRECHARGE A COMMANDE DYNAMIQUE.

57 La présente invention concerne un circuit de lecture de mémoire avec dispositif de précharge à commande dynamique. Elle trouve son application dans le domaine des mémoires non volatiles (EEPROM, flash EPROM). Elle se caractérise en ce que les moyens de précharge comportent des moyens pour interrompre la précharge de la ligne de bit et de la ligne de référence lorsque le potentiel de ces dernières atteint une valeur limite référencée par rapport à la masse.



**CIRCUIT DE LECTURE DE MEMOIRE AVEC
DISPOSITIF DE PRECHARGE A COMMANDE DYNAMIQUE**

La présente invention concerne un circuit de
5 lecture de mémoire avec dispositif de précharge à
commande dynamique. Elle trouve son application dans le
domaine des mémoires non volatiles (EEPROM, flash
EPROM).

Les mémoires sont organisées en réseaux de
10 cellules, les cellules d'une même colonne étant reliées
à une ligne de bit et les cellules d'une même rangée
étant reliées à une ligne de mot. La ligne de bit
permet de transmettre une information sur l'état d'une
15 cellule mémoire située au croisement de cette ligne de
bit et d'une ligne de mot sélectionnée. Cette
information est ensuite traitée par un circuit de
lecture pour déterminer l'état de la cellule mémoire.

Dans une mémoire EEPROM, les cellules peuvent être
dans un état vierge, dans lequel elles laissent passer
20 un courant électrique de référence, dans un état
effacé, dans lequel elles laissent passer un courant
supérieur au courant de référence, ou dans état
programmé, dans lequel elles s'opposent au passage d'un
courant. Pour lire l'information, on cherche à détecter
25 la présence d'un courant circulant dans la ligne de bit
reliée à une cellule à lire : un tel courant est
présent si la cellule est effacée ou vierge, sinon elle
est programmée.

Pour détecter la présence du courant, on utilise
30 une ligne de référence semblable à la ligne de bit;
cette ligne de référence est parcourue par le courant
de référence pendant une phase de lecture. Ce courant
de référence peut par exemple être fourni par une

cellule de référence. La phase de lecture d'une cellule mémoire est précédée d'une phase de précharge de la ligne de bit et de la ligne de référence. Pendant cette phase, la ligne de bit et la ligne de référence sont préchargées à un potentiel de l'ordre de 1 volt. On limite ce potentiel à 1 volt afin d'éviter tout stress des cellules raccordées à la ligne de bit. Pendant la phase de lecture, le courant circulant dans la ligne de bit est comparé au courant de référence pour déterminer si la cellule lue est programmée ou effacée.

La figure 1 représente de manière simplifiée un circuit de lecture de l'art connu.

Une cellule mémoire CM, située au croisement d'une ligne de mot LM et d'une ligne de bit LB est sélectionnée par la ligne de mot et délivre une information sur la ligne de bit. De manière classique, la cellule mémoire CM est constituée d'un transistor à grille flottante TGF1 monté en série avec un transistor de sélection TS1. La grille de commande du transistor de sélection TS1 est reliée à la ligne de mot LM alors que la grille de commande du transistor TGF1 reçoit une tension de lecture pendant la phase de lecture. La ligne de bit LB est sélectionnée par un transistor de sélection de ligne de bit TSLB. La ligne de bit LB est préchargée en tension, pendant une phase de précharge, par un transistor de limitation de précharge T1 qui a pour fonction de fournir un courant de précharge à la ligne de bit tout en limitant le potentiel de précharge à une valeur déterminée, de 1 volt environ.

Une ligne de référence LR dont les caractéristiques sont très similaires à celles de la ligne de bit LB, notamment du point de vue des capacités parasites, est également préchargée à un

potentiel d'environ 1 volt par un transistor de limitation de précharge T2. Dans l'exemple de la figure 1, la ligne de référence LR est reliée à une cellule de référence CR constituée d'un transistor de sélection TS2 monté en série avec un transistor à grille flottante TGF2. Pendant la phase de lecture, une tension de lecture est appliquée sur la grille de commande du transistor TGF2 et la ligne de référence est alors parcourue par un courant de référence.

10 Pour limiter la précharge de la ligne de bit LB et de la ligne de référence LR à 1 volt, les transistors T1 et T2 sont rebouclés sur eux-mêmes par des portes inverseuses INV1 et INV2. Ainsi, la source et la grille de commande du transistor T1 sont respectivement connectées à l'entrée et à la sortie de la porte inverseuse INV1. De même, la source et la grille de commande du transistor T2 sont respectivement connectées à l'entrée et à la sortie de la porte inverseuse INV2. Ces quatre éléments forment alors un dispositif de limitation de précharge des lignes LB et LR. Pour obtenir le potentiel de précharge recherché, on détermine la taille des transistors de la porte inverseuse en fonction de la capacité équivalente de la ligne de bit et de la ligne de référence.

25 Pour lire l'état des cellules, on effectue une comparaison entre le courant consommé par la ligne de bit et le courant de référence. Plus précisément, on compare le courant consommé par la ligne de bit à un courant qui est une fraction du courant consommé par la cellule de référence.

30 Pour ce faire, les drains des transistors T1 et T2 sont alimentés par les deux branches d'un miroir de courant ayant un rapport de recopie k inférieur à 1. La

première branche du miroir comprend un transistor de
recopie T3 et la deuxième branche comprend un
transistor de référence T4. Le transistor de recopie T3
tend à recopier le courant circulant dans le transistor
5 de référence T4. Classiquement le rapport de recopie
est égal à $1/2$.

Le transistor de recopie T3 est un transistor de
type P ayant sa source reliée à une borne
d'alimentation Vcc et son drain est relié au drain d'un
10 transistor T1. Le transistor de référence T4 est de la
même façon un transistor de type P dont la source
connectée à la borne d'alimentation Vcc et dont le
drain est relié au drain du transistor T2.

Les grilles de commande des transistors T3 et T4
15 sont reliées entre elles et la grille du transistor T4
est reliée à son drain.

Un amplificateur différentiel AD a ses entrées
reliées aux drains des transistors T3 et T4 et mesure
l'écart entre les potentiels sur ces deux drains. Cet
20 écart est nul si les courants circulant dans les
transistors T3 et T4 ont un rapport égal à k. La sortie
de l'amplificateur AD fournit un signal indiquant si le
rapport des courants est supérieur ou inférieur à k.

Pour accélérer la précharge de la ligne de bit et
25 de la ligne de référence, le circuit de lecture est
complété par deux transistors de précharge T5 et T6.
Ces transistors sont commandés par un signal de
précharge PREC actif pendant la phase de précharge et
ils permettent d'appliquer une tension proche de la
30 tension d'alimentation sur les drains des transistors
de précharge T1 et T2 pendant la phase de précharge.
Ces transistors sont généralement très peu résistifs

pour ne pas pénaliser le temps de précharge de la ligne de bit ou de la ligne de référence.

L'impulsion du signal de précharge PREC appliqué sur les grilles des transistors T5 et T6 est de durée fixe. Cette durée tient compte de plusieurs paramètres. En effet, le temps de précharge d'une ligne de bit peut varier en fonction de la température ou de la capacité variable des cellules auxquelles elle est rattachée. La durée de l'impulsion est donc choisie de façon à garantir une précharge complète quels que soient la valeur de ces paramètres.

L'option de précharge choisie dans ce type de circuit de lecture est de précharger la ligne de bit pendant une durée prédéterminée et de limiter la tension de précharge à une valeur limite dès que la tension de précharge tendrait à dépasser cette limite.

Le principal inconvénient de ce type de circuit de lecture est que le dispositif de limitation de la tension de précharge ne fonctionne pas de manière satisfaisante lorsque le circuit de lecture est alimentée par une faible tension d'alimentation, de l'ordre de 1,8 volts.

La solution adoptée dans la présente demande consiste à supprimer le dispositif de limitation de la précharge et à interrompre la phase de précharge lorsque la valeur limite de la tension de précharge est atteinte.

Aussi, l'invention a pour objet un circuit de lecture pour mémoire non volatile du type comportant une matrice de cellules mémoire, le circuit de lecture étant relié d'une part auxdites cellules mémoires par l'intermédiaire d'au moins une ligne de bit et d'autre part à une cellule de référence par l'intermédiaire

d'une ligne de référence, lequel circuit de lecture comprend des moyens de précharge de la ligne de bit et de la ligne de référence,

5 caractérisé en ce que les moyens de précharge comportent des moyens pour interrompre la précharge de la ligne de bit et de la ligne de référence lorsque le potentiel de ces dernières atteint une valeur limite référencée par rapport à la masse.

10 Selon un mode de réalisation de l'invention, les moyens de précharge comportent:

- un circuit de comparaison du potentiel de précharge des lignes de bit et de référence avec ladite valeur limite, lequel circuit de comparaison délivre un signal de comparaison,

15 - des transistors de précharge pour précharger les lignes de bit et de référence, et

- des moyens de commande des transistors de précharge, lesquels moyens de commande reçoivent ledit signal de comparaison et un signal de précharge de période constante et fournissent un signal de commande aux transistors de précharge.

20 Selon un mode de réalisation particulier, le circuit de comparaison comporte :

- un premier transistor de type N dont le drain est connecté à une borne d'alimentation du circuit de lecture, dont la grille est connectée à la ligne de bit et dont la source est connectée à une source de courant, et

30 - un second transistor de type N dont la grille est connectée à la source du premier transistor, dont la source est connectée à la masse et dont le drain délivre ledit signal de comparaison.

Par ailleurs, selon une forme particulière de réalisation, les moyens de commande comportent:

5 - une porte de type NON ET dont une première entrée est reliée au drain du second transistor et dont une seconde entrée reçoit ledit signal de précharge de période constante,

10 - un troisième transistor de type P dont la grille et le drain sont respectivement connectés à la sortie et à la première entrée de la porte NON ET, et dont la source est connectée à la borne d'alimentation du circuit,

15 - un quatrième transistor de type P dont le drain et la grille sont respectivement connectés aux première et seconde entrées de la porte NON ET, et dont la source est connectée à la borne d'alimentation du circuit; et

- une porte inverseuse dont l'entrée est reliée à la sortie de la porte NON ET et dont la sortie est connectée à la grille des transistors de précharge.

20 D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

25 - la figure 1, déjà décrite, représente un circuit de lecture de l'art antérieur;

- la figure 2 représente un circuit de lecture selon un premier mode de réalisation de l'invention, et

- la figure 3 est une variante du circuit de lecture de la figure 2.

30 La figure 2 représente un premier mode de réalisation d'un circuit de lecture selon l'invention.

Selon l'invention, pendant l'étape de précharge, on compare le potentiel de précharge des lignes de bit

et de référence à une valeur limite. Dès que le potentiel de précharge dépasse cette valeur, l'étape de précharge est stoppée. Ainsi, on ne précharge la ligne de bit LB et la ligne de référence LR que le temps
5 nécessaire.

D'après la figure 2, les moyens de précharge comportent:

- un circuit de comparaison du potentiel des lignes de bit et de référence avec une valeur limite, lequel circuit de comparaison délivre un signal de
10 comparaison,

- des transistors de précharge pour précharger la ligne de bit et la ligne de référence, et

- des moyens de commande des transistors de précharge, lesquels moyens de commande reçoivent le signal de comparaison et un signal de précharge, et
15 fournissent un signal de commande aux transistors de précharge.

Les moyens de comparaison sont constitués de deux transistors T9 et T10 de type N et d'une source de courant SC1. Le drain du transistor T9 est connecté à la borne d'alimentation Vcc du circuit de lecture et sa source est connectée d'une part à la source de courant SC1 et d'autre part à la grille du transistor T10. La
20 source SC1 est prévue pour polariser correctement le transistor T9. On applique par ailleurs le potentiel de la ligne de bit LB sur la grille du transistor T9. Enfin, la source du transistor T10 est reliée à la masse. Ainsi, lorsque le potentiel de la ligne de bit
25 LB est supérieure à la somme des tensions de seuil des transistors T9 et T10, le transistor T10 devient passant et le potentiel présent sur le drain de ce
30 transistor devient à peu près égal à celui de la masse.

La taille des transistors T9 et T10 est choisie de manière à ce que la somme de leurs tensions de seuil soit égale à 1 volt, valeur correspondant à la valeur limite de précharge souhaitée. Pour obtenir, on a donc
5 choisi un transistor T9 qui est natif.

L'information délivrée par le circuit de comparaison est ensuite traitée par les moyens de commande. Dans l'exemple de la figure 2, les moyens de commande comportent deux transistors T11 et T12 dont
10 les drains sont connectés à la borne d'alimentation Vcc et les sources à la première entrée d'une porte NAND de type NON ET. La première entrée de la porte NAND reçoit également l'information en provenance du circuit de comparaison et la seconde entrée de la porte NAND
15 reçoit le signal de précharge PREC. Ce signal est également appliqué sur la grille du transistor T12. Le signal de sortie de la porte NAND est appliqué sur la grille du transistor T11. Il est d'autre part inversé par l'intermédiaire d'une porte inverseuse INV3 et
20 appliqué sur la grille de deux transistors T7 et T8 qui sont destinés à précharger la ligne de bit LB et la ligne de référence LR.

Les moyens de précharge fonctionnent de la manière suivante: en dehors de la phase de précharge, le signal
25 PREC présente un niveau bas; la sortie de la porte NAND présente un niveau haut et les transistors de précharge T7 et T8 sont alors bloqués.

Pendant la phase de précharge, le signal PREC est actif et la porte NAND délivre un signal de niveau bas.
30 Les transistors de précharge sont alors conducteurs et le potentiel de précharge de la ligne de bit LB et de la ligne de référence LR commence à monter. Tant que ce potentiel de précharge est inférieur à 1 volt, les

transistors T9 et T10 sont bloqués. De préférence, les
moyens de précharge sont complétés par un transistor
d'équilibrage T13 pour égaliser les potentiels de la
ligne de bit et de la ligne de référence. Dans le
5 schéma de la figure 1, ce transistor est commandé par
le signal de commande des transistors de précharge.
L'équilibrage est par conséquent exécuté pendant
l'étape de précharge.

Dès que le potentiel de précharge des lignes LB et
10 LR atteint 1 volt, les transistors T9 et T10 deviennent
conducteurs et le transistor T10 impose sur une des
entrées de la porte NAND un potentiel très bas proche
du potentiel de masse. Pour que ce potentiel reste bas
lorsque le transistor T11 est conducteur, le transistor
15 T11 est de préférence choisi très résistif. La sortie
de la porte NAND repasse à un niveau haut et la
précharge des lignes LB et LR est alors interrompue.

Dans le cas où le circuit de lecture est alimenté
par une tension d'alimentation faible, par exemple 1,8
20 volts, les moyens de précharge sont complétés par un
circuit élévateur de tension pour appliquer une tension
suffisante sur la grille du transistor d'équilibrage.
Cette variante est illustrée par la figure 3.

REVENDEICATIONS

1. Circuit de lecture pour mémoire non volatile du type comportant une matrice de cellules mémoire (CM),
5 le circuit de lecture étant relié d'une part auxdites cellules mémoires par l'intermédiaire d'au moins une ligne de bit (LB) et d'autre part à une cellule de référence (CR) par l'intermédiaire d'une ligne de référence (LR), lequel circuit de lecture comprend des
10 moyens de précharge de la ligne de bit et de la ligne de référence,

caractérisé en ce que les moyens de précharge comportent des moyens pour interrompre la précharge de la ligne de bit et de la ligne de référence lorsque le
15 potentiel de ces dernières atteint une valeur limite référencée par rapport à la masse.

2. Circuit de lecture selon la revendication 1, caractérisé en ce que les moyens de précharge comportent:

20 - un circuit de comparaison (T9, T10, SC1) du potentiel de précharge des lignes de bit et de référence avec ladite valeur limite, lequel circuit de comparaison délivre un signal de comparaison,

25 - des transistors de précharge (T7, T8) pour précharger les lignes de bit et de référence, et

- des moyens de commande (T11, T12, NAND, INV3) des transistors de précharge, lesquels moyens de commande reçoivent ledit signal de comparaison et un signal de précharge de période constante et fournissent
30 un signal de commande aux transistors de précharge (T7, T8).

3. Circuit de lecture selon la revendication 2, caractérisé en ce que le circuit de comparaison comporte :

5 - un premier transistor (T9) de type N dont le drain est connecté à une borne d'alimentation (Vcc) du circuit de lecture, dont la grille est connectée à la ligne de bit (LB) et dont la source est connectée à une source de courant (SC1), et

10 - un second transistor (T10) de type N dont la grille est connectée à la source du premier transistor (T9), dont la source est connectée à la masse et dont le drain délivre ledit signal de comparaison.

15 4. Circuit de lecture selon la revendication 3, caractérisé en ce que le premier transistor (T9) est un transistor natif.

5. Circuit de lecture selon l'une des revendications 2 à 4, caractérisé en ce que les moyens de commande comportent:

20 - une porte (NAND) de type NON ET dont une première entrée est reliée au drain du second transistor (T10) et dont une seconde entrée reçoit ledit signal de précharge de période constante,

25 - un troisième transistor (T11) de type P dont la grille et le drain sont respectivement connectés à la sortie et à la première entrée de la porte NON ET (NAND), et dont la source est connectée à la borne d'alimentation (Vcc) du circuit,

30 - un quatrième transistor (T12) de type P dont le drain et la grille sont respectivement connectés aux première et seconde entrées de la porte NON ET (NAND), et dont la source est connectée à la borne d'alimentation (Vcc) du circuit; et

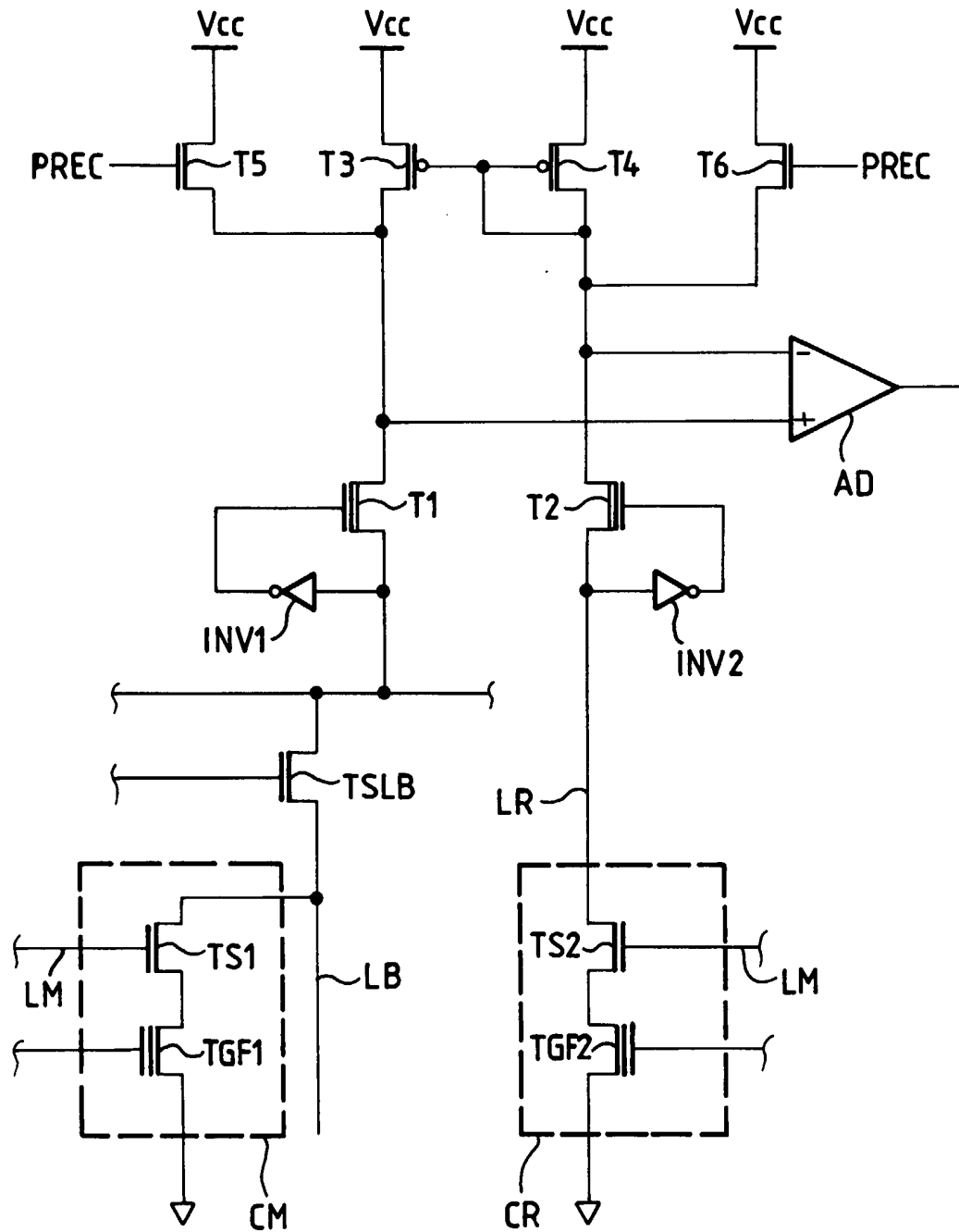
- une porte inverseuse (INV3) dont l'entrée est reliée à la sortie de la porte NON ET (NAND) et dont la sortie est connectée à la grille des transistors de précharge (T7, T8).

5 6. Circuit de lecture selon la revendication 5, caractérisé en ce que le troisième transistor (T11) est résistif.

10 7. Circuit de lecture selon l'une des revendications 2 à 6, caractérisé en ce que les moyens de précharge comportent en outre un transistor d'équilibrage (T13) pour équilibrer le potentiel des lignes de bit et de référence (LB, LR).

15 8. Circuit de lecture selon la revendication 7, caractérisé en ce que les moyens de précharge comportent également un moyen élévateur de tension pour produire une tension de commande du transistor d'équilibrage (T13).

1/3

**FIG_1**

(ETAT DE LA TECHNIQUE)

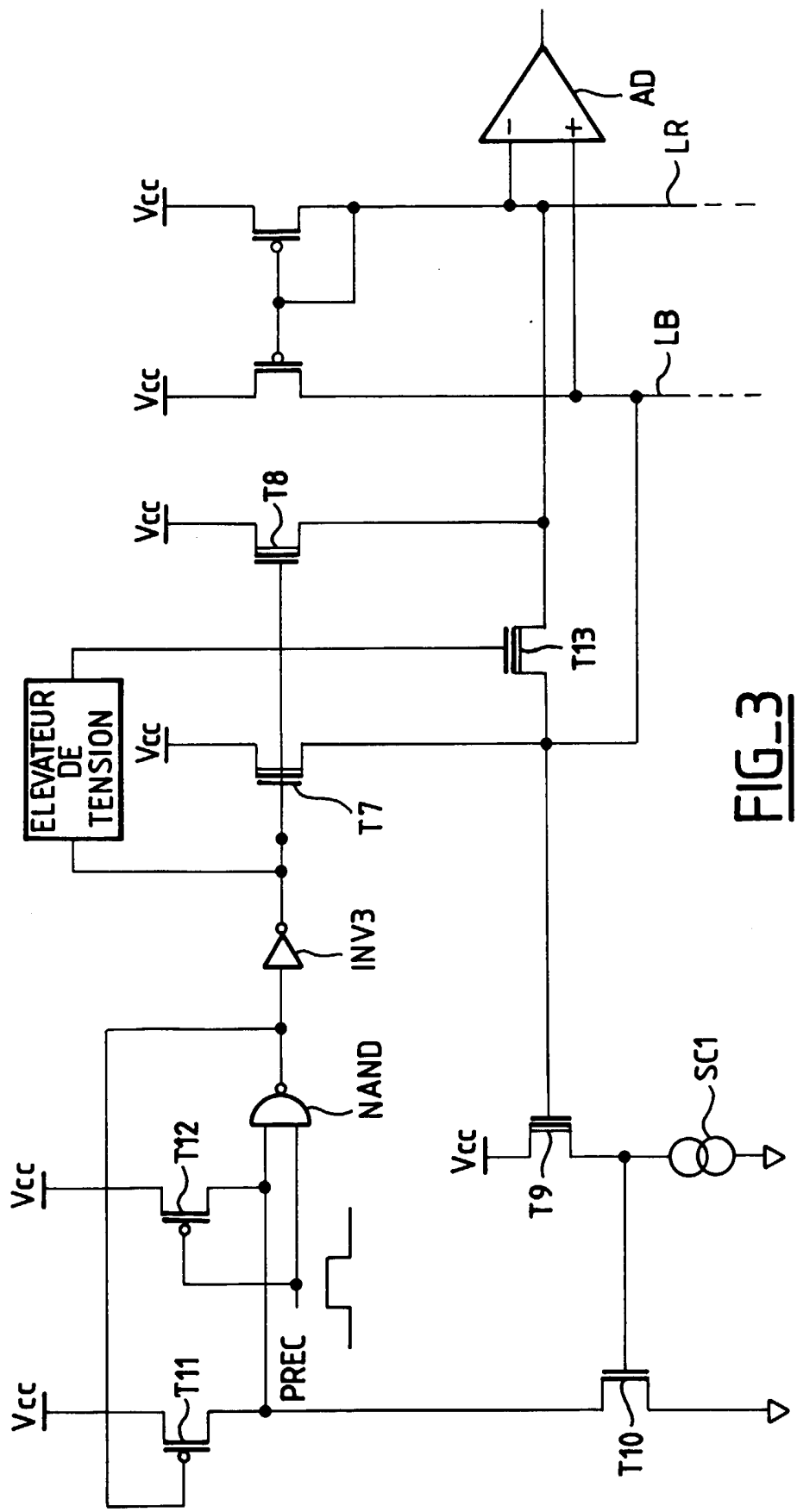


FIG-3

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 546492
FR 9704927

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y A	US 5 083 047 A (HORIE ATSUSHI ET AL) * colonne 8, ligne 14 - ligne 46; figure 8 *	1,2,7 5
Y	--- US 4 725 984 A (IP WILLIAM W ET AL) * colonne 2, ligne 33 - colonne 6, ligne 25; figures *	1,2,7
A	--- EP 0 175 101 A (TOKYO SHIBAURA ELECTRIC CO) * page 6, ligne 12 - page 9, ligne 27; figure 4 *	1,7
A	--- EP 0 643 393 A (TOKYO SHIBAURA ELECTRIC CO) * abrégé *	8
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		G11C
Date d'achèvement de la recherche		Examineur
22 décembre 1997		Cummings, A
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire		

1