

申請日期: 91-11-27	IPC分類
申請案號: 91134449	H01L 27/10

(以上各欄由本局填註)

發明專利說明書

200401432

一、發明名稱	中文	非揮發性半導體記憶裝置
	英文	Nonvolatile Semiconductor Memory Device
二、發明人 (共5人)	姓名 (中文)	1. 加藤宏 2. 久家重博 3. 野田英行
	姓名 (英文)	1. Hiroshi KATO 2. Shigehiro KUGE 3. Hideyuki NODA
	國籍 (中英文)	1. 日本 JP 2. 日本 JP 3. 日本 JP
	住居所 (中文)	1. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 2. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 3. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內
	住居所 (英文)	1. 2. 3.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 三菱電機股份有限公司
	名稱或姓名 (英文)	1. MITSUBISHI DENKI KABUSHIKI KAISHA(三菱電機株式会社)
	國籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中文)	1. 日本國東京都千代田區丸之內二丁目2番3號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 野間口有
	代表人 (英文)	1. Tamotsu NOMAKUCHI



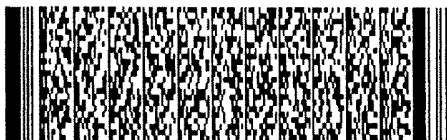
2075_5337-PE(N1).p1d

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中 文)	4. 森下玄 5. 上野修一
	姓 名 (英 文)	4. Fukashi MORISHITA 5. Shuichi UENO
	國 籍 (中 英 文)	4. 日本 JP 5. 日本 JP
	住 居 所 (中 文)	4. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 5. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內
	住 居 所 (英 文)	4. 5.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
日本 JP	2002/07/05	2002-197062	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

本發明係關於非揮發性半導體記憶裝置；更特定的話，係關於包括MONOS(Metal Oxide Nitride Oxide Semiconductor)型記憶體單元的非揮發性半導體記憶裝置。

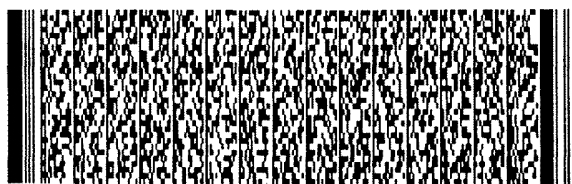
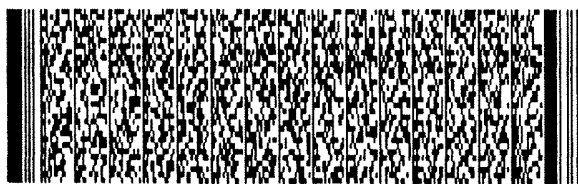
【先前技術】

習知非揮發性半導體記憶裝置，係如第25圖所示，設置著具有層積著浮置閘極20與控制閘極21之閘極構造的記憶體單元者乃屬一般已知者。該記憶體單元係具有：形成於矽基板1主表面上的源極區域4、汲極區域5、及上述層積閘極。浮置閘極20係在Q1主表面上隔著絕緣膜而形成，並在此浮置閘極20上，隔著絕緣膜22而形成控制閘極21。控制閘極21與浮置閘極20係由絕緣膜23所覆蓋著。

但是，最近就非揮發性半導體記憶裝置有提案如第26圖所示之具MONOS型記憶體單元者。

如第26圖所示，此記憶體單元係在閘極7與通道之間，具有由：氧化膜6a、氮化膜6b、及氧化膜6c之層積構造所構成的絕緣膜(以下稱「ONO膜6」)。對該ONO膜6中的氮化膜6b植入電子、或從氮化膜6b中抽取出電子，藉此而執行對記憶體單元的資料寫入(program)與刪除(erase)。另外，因為氮化膜6b屬於絕緣膜，因此一經被此氮化膜6b所捕獲的電子便未在氮化膜6b內移動。

上述MONOS型記憶體單元係具有如下述的各種優點。換句話說，製造容易且可廉價的進行製造。此外，藉由一



五、發明說明 (2)

個單元在物理性互異的二個位置處捕獲電子，便可實現2位元/單元。具體而言，如第26圖所示，在氮化膜6b的左邊部分與右邊部分可確保電子捕獲部，並藉由在各電子捕獲部的捕獲電子，便可執行資料的寫入。另外，在寫入與讀取(read)時，藉由更換流入於通道中的電流方向，便可將對電子植入量的臨限電壓變化量予以變大。

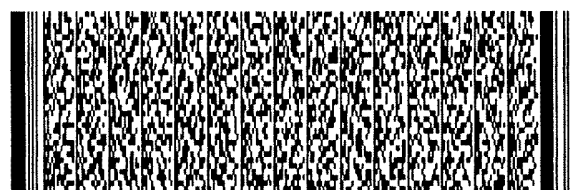
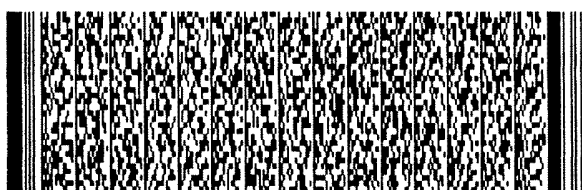
對MONOS型記憶體單元的寫入係利用通道熱電子(Channel Hot Electron:CHE)而執行，而刪除則利用F-N(Fowler-Nordheim)通道現象而執行。

第26圖之記憶體單元係在左右側具有電子捕獲部(電子捕獲區域)L,R，藉由對此電子捕獲部(電子捕獲區域)L,R施行電子植入而執行寫入。因為植入於電子捕獲部L,R中的電子並未在氮化膜6b中進行移動，因此源極/汲極便將反轉，便可將2位元寫入於1單元中。

在刪除動作時，便從電子捕獲部L,R利用F-N通道現象而抽除電子。依此而執行位元單位的刪除。讀取係對各位元而執行，若將閘極電壓設定為既定值的話，則便可不管另一位元的資料，可正確的讀取標的位元的資料。另外，對第26圖所示記憶體單元之各端子的電壓施加法，有如美國專利USP6081456號公報中所揭示者。

除上述MONOS型記憶體單元之外，如第27圖所示，電子捕獲層亦存在有包括含島狀矽之氧化膜24的記憶體單元。

如第25圖所示形態之記憶體單元，當對述於導體的浮



五、發明說明 (3)

置閘極20植入電子之情況時，電子植入量將依存於如寫入電壓、寫入時間、氧化膜膜厚等等較容易控制的因素。換句話說，製造步驟的誤差在原理上將較難產生。

但是，當MONOS型記憶體單元之情況時，電子植入量在除上述要素之外，尚有依存氮化膜6b之結晶缺陷準位的可能性。若結晶缺陷準位較少的話，即便提昇寫入電壓、或延長寫入時間，仍無法獲得所需臨限電壓變化量。

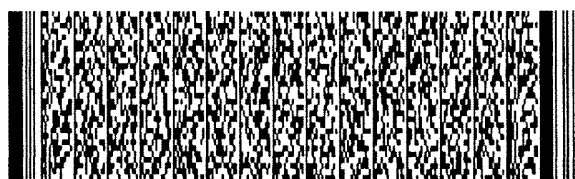
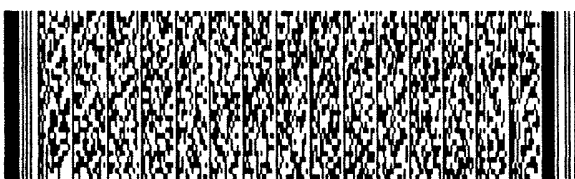
若獲得所需臨限電壓變化量的話，便如第28圖所示，可確保刪除狀態('1')與寫入狀態('0')間的臨限電壓分布餘裕。但是，若無法獲得所需臨限電壓變化量的話，便如第29圖所示，無法確保刪除狀態('1')與寫入狀態('0')間的臨限電壓分布餘裕，便將存在獲得誤辨識'1'與'0'之位元。若存在著含有具此種臨限電壓分布之位元的產品的话，將形成導致產品良率降低的主因之一。

【發明內容】

本發明乃供解決上述課題者。本發明之目的在於提供一種在記憶體單元的刪除狀態與寫入狀態之間，可確保所需臨限電壓分布餘裕的非揮發性半導體記憶裝置。

本發明之非揮發性半導體記憶裝置係含有記憶體單元的非揮發性半導體記憶裝置；包括：半導體基板；位於半導體基板上，且包括有記憶體單元之源極區域、通道區域及汲極區域的半導體層；以及位於半導體基板與半導體層之間的下絕緣層。

如上述藉由在下絕緣膜上形成半導體層(即，採用



五、發明說明 (4)

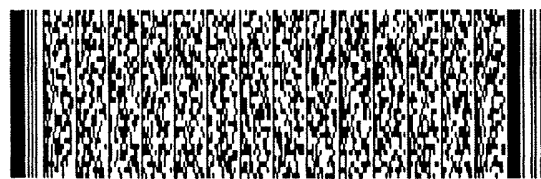
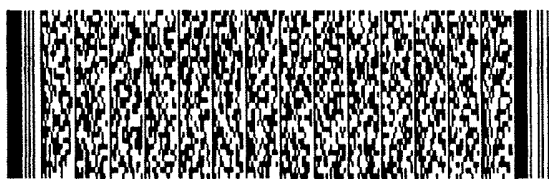
SOI(Silicon On Insulator)構造)，便可增加記憶體單元電流。所以，電荷捕獲部便可捕獲較多的電子，並可增大記憶體單元的臨限電壓變化量。

在上述通道區域上具有絕緣膜，而此絕緣膜係包括有：可捕獲電荷的第1電荷捕獲絕緣膜。藉此構造便可在第1電荷捕獲絕緣膜中，安定的捕獲電子。

上述下絕緣膜最好包括可捕獲電子的第2電荷捕獲絕緣膜。該下絕緣膜係包括如：第1絕緣膜、第2電荷捕獲絕緣膜、以及第2絕緣膜的層積構造。第1與第2電荷捕獲絕緣膜最好為氮化膜。該下電極係包括有：多晶矽膜或雜質擴散區域。最好將上述第2電荷捕獲絕緣膜之電荷捕獲區域，在第2電荷儲存絕緣膜中由平面觀之，設置有：包括源極區域與汲極區域交界所對應部分的區域、以及包括汲極區域與通道區域交界所對應部分的區域。此外，上述電荷載體通常為電子，而電荷儲存絕緣膜等中所謂的「電荷」，亦可與「電子」進行取代。

上述非揮發性半導體記憶裝置係在絕緣膜上包括施加供使第1電荷儲存絕緣膜捕獲電荷之電位用的記憶體單元之閘極(配線部)。此情況下，下絕緣膜最好具有第2電荷捕獲絕緣膜。上絕緣膜最好具有：第1絕緣膜、第1電荷捕獲絕緣膜、與第2絕緣膜的層積構造；而下絕緣膜最好具有：第3絕緣膜、第2電荷捕獲絕緣膜、與第4絕緣膜的層積構造。

上述第1與第2電荷儲存絕緣膜之至少其中一者，最好



五、發明說明 (5)

由氮化膜所構成。亦可使上述第1、第2、第3及第4絕緣膜中之至少其中一個的電容量，不同於其餘膜的電容量。

上述非揮發性半導體記憶裝置亦可包括：施加供使第2電荷捕獲絕緣膜捕獲電荷用之電位的下電極。該下電極係包括有：多晶矽膜或雜質擴散區域。最好在此第1與第2電荷儲存捕獲絕緣膜中，由平面觀之，在包括上述源極區域與通道交界面所對應部分的區域、以及包括上述汲極區域與通道區域交界面所對應部分的區域等二區域中，設置著第1與第2電荷捕獲絕緣膜。並不僅限於第1電荷捕獲絕緣膜與第2電荷捕獲區域均含有一個電荷捕獲區域，當然多數情況為各自具有二個電荷捕獲區域。此外，亦可含有3個以上。

再者，上述所謂「包括上述源極區域與通道交界面所對應部分的區域」係指在上述第1與第2電荷捕獲絕緣膜中，(a1)上述交界面所對應的區域、(a2)從上述交界面所對應部分起至源極區域內的區域、以及(a3)從上述交界面所對應部分起至通道區域內的區域等任何區域。亦可為組合等(a1)~(a3)的區域。所謂「包括上述汲極區域與通道區域交界面所對應部分的區域」，亦係指相同區域。

本佈局的非揮發性半導體記憶裝置係可在一個上述記憶體單元中，記憶著4位元的資訊量。

【實施方式】

以下採用第1圖~第24圖，針對本發明的實施形態進行說明。在下述說明中，係針對本發明使用於包括MONOS型



五、發明說明 (6)

記憶體單元之非揮發性半導體記憶裝置的情況進行說明。
(實施形態1)

非揮發性半導體記憶裝置通常係具有：形成記憶體單元(記憶體單元電晶體)的記憶體單元區域、與形成執行記憶體單元動作控制之周邊電路的周邊電路區域。

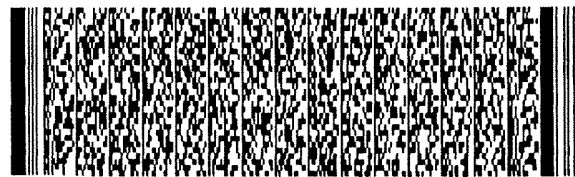
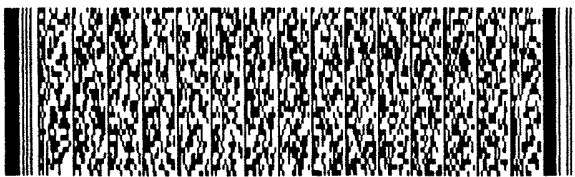
第1圖所示係本實施形態1中，非揮發性半導體記憶裝置之記憶體單元剖面構造例。

如第1圖所示，記憶體單元係形成於在p型矽基板(半導體基板)1主表面上，隔著氧化矽膜等絕緣膜2而所形成矽層(半導體層或SOI(Silicon On Insulator)層)3上。該記憶體單元係具有由依限制通道區域之方式而隔開形成的源極區域(雜質擴散區域)4、汲極區域(雜質擴散區域)5、ONO膜6、及閘極7。

源極區域4與汲極區域5可藉由對矽層3選擇性的植入雜質而形成。源極區域4與汲極區域5係譬如當記憶體單元為n通道MOS(Metal Oxide Semiconductor)電晶體之情況時，便由n型(第1導電型)雜質擴散區域所構成。此時便對通道區域導入p型(第2導電型)雜質。

ONO膜6係由：氧化矽膜等氧化膜6a、氮化矽膜等氮化膜6b、及氧化矽膜等氧化膜6c之層積構造所構成的絕緣膜。此ONO膜6中的氮化膜6b將成為電子捕獲絕緣膜(電荷捕獲絕緣膜)。在電子捕獲絕緣膜中，特別係捕獲電子的部分將屬於電子捕獲區域(電荷捕獲區域)。

因為氮化膜6b屬於絕緣膜，因此所捕獲到的電子在氮



五、發明說明 (7)

化膜6b中幾乎未移動。所以，藉由對氮化膜6b二端附近植入電子，便可在氮化膜6b的二個位置處儲存著電子。即，可實現2位元/1單元。閘極7係可由如經摻雜入雜質的多晶矽配線等而所形成。

如第1圖所示，因為記憶體單元具有SOI構造，因此記憶體單元電流便較大於第26圖所示習知例。所以，可捕獲更多的通道熱電子，並可如第4圖所示，使臨限電壓變化量(ΔV_{th})較大於第26圖所示習知例。此外，因為屬於SOI元件，因此次漏電流(subleak current)亦將可較低於習知例，且可減小待機時的電流。

其次，針對第1圖所示MONOS型記憶體單元動作進行說明。在下述表1中，記載著MONOS型記憶體單元之在寫入、讀取、刪除時對各端子所施加的電壓、與讀取時的記憶體單元臨限電壓。寫入係利用通道熱電子(Channel Hot Electron:CHE)而執行，而刪除則利用F-N(Fowler-Nordheim)通道現象而執行。

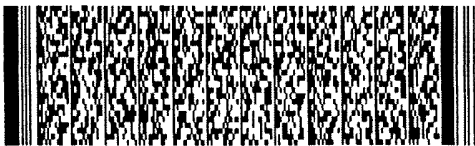


五、發明說明 (8)

【表1】

動作	存取位元	S(V)	D(V)	C(V)	B(V)	Vth(V)	標的位元狀態	其他位元狀態
寫入	R	0	5	10	0	-	-	-
寫入	L	5	0	10	0	-	-	-
刪除	R	浮置	10	0	0	-	-	-
刪除	L	10	浮置	0	0	-	-	-
讀取	R	2	0	3	0	1	1(R:刪除狀態)	1(L:刪除狀態)
讀取	R	2	0	3	0	1.1	1(R:刪除狀態)	1(L:寫入狀態)
讀取	R	2	0	3	0	4	0(R:寫入狀態)	0(L:刪除狀態)
讀取	R	2	0	3	0	4.2	0(R:寫入狀態)	0(L:寫入狀態)
讀取	L	0	2	3	0	1	1(L:刪除狀態)	1(R:刪除狀態)
讀取	L	0	2	3	0	1.1	1(L:刪除狀態)	1(R:寫入狀態)
讀取	L	0	2	3	0	4	0(L:寫入狀態)	0(R:刪除狀態)
讀取	L	0	2	3	0	4.2	0(L:寫入狀態)	0(R:寫入狀態)

譬如在對第1圖之記憶體單元右邊的第1電子捕獲絕緣膜中之電子捕獲區域植入電子之時，便對閘極7施加10V，並對汲極區域5施加5V，而對源極區域4與基板(表1中之B)施加0V或接地。藉此，電子便從源極區域4朝向汲極區域5



五、發明說明 (9)

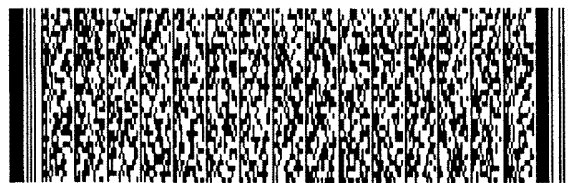
流動，並在汲極區域5附近，使轉成通道熱電子的電子植入於氮化膜6b之電子捕獲區域中。因為經植入於氮化膜6b中的電子在氮化膜6b中並未移動，因此源極/汲極便將反轉，而可將2位元寫入於1單元中。

在刪除動作時，便對閘極7施加0V，並對汲極區域5施加10V，且使源極區域4呈浮置狀態，而對基板施加0V。藉此便利用F-N通道現象，從氮化膜6b中抽取出電子。依此方式便執行位元單位的刪除。

讀取動作係依左右每個位元而執行。譬如當讀取第1圖之記憶體單元右側的位元資料之際，便對閘極7施加3V，對汲極區域5與基板施加0V，並對源極區域4施加2V。此時，當在屬於標的(focused)位元的右側位元上並未吸附電子之情況時，記憶體單元之臨限電壓 V_{th} 較低(1.1V)，且在記憶體單元中將流通著電流。藉由檢測此電流，便可判斷右側位元中是否寫入資料。

如表1所示，即便右側位元中並未吸附電子，若右側位元中並未寫入資料的話，記憶體單元的臨限電壓將變低；而若右側位元中有寫入資料的話，記憶體單元的臨限電壓將變高。即，得知若將讀取時的閘極電壓設定為既定值(如3V)的話，則不管另一位元的資料，均可正確的讀取標的位元的資料。另外，左側位元的資料讀取亦將依照表1同樣的執行。

第2圖所示係第1圖所示例子的變化例。如第2圖所示，取代氮化膜6b，亦可採用將電子捕獲區域形成島狀之



五、發明說明 (10)

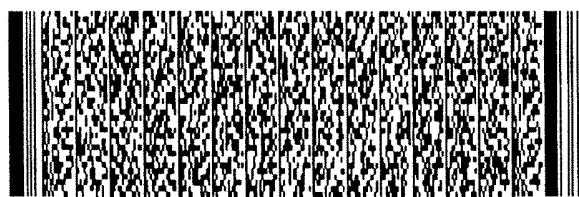
含矽的氧化膜(含矽之氧化膜)24。在為形成此種氧化膜24方面，僅要採用如LPCVD(Low Pressure Chemical Vapor Deposition)法，在既定溫度且含 SiH_4 的既定環境下，成長較薄氧化膜24的話便可。

在本例子的情況下，亦可期待如同第1圖之情況相同的效果。另外，在下述所有的實施形態中，取代當作電子捕獲絕緣膜用的氮化膜，而改為使用可吸附電子的島狀含矽之氧化膜24。

第3圖所示係第1圖所示例子的第2變化例。如第3圖所示，本變化例係埋藏絕緣膜由ONO膜所構成。即，在矽基板1主表面上形成ONO膜13，並在該ONO膜13上形成矽層3。ONO膜13係由氧化膜13a、氮化膜13b、及氧化膜13c之層積構造所構成的絕緣膜，當作SOI構造之埋藏絕緣膜的機能，同時形成第2電荷捕獲絕緣膜之氮化膜13b的其中一部份，將形成第2電子捕獲區域(第2電荷捕獲區域)。除此之外的構造，均如同第1圖的情況。

譬如當將可對記憶體單元右側的位元進行寫入之第3圖所示電位，施加於各要件之際，電子便將從通道區域朝向汲極區域5方向流動，此電子不僅將在汲極區域5附近散亂於上方(閘極側)，而且亦將散亂於下方(基板側)。

所以，如第3圖之例所示，藉由不僅在記憶體單元的禿到區域上方，就連下方亦設置電子捕獲絕緣膜，便可亦將散亂於通道區域下方的電子予以捕獲。在第1圖與第2圖的例子中，雖無法捕獲散亂於通道區域下方的電子，但是



五、發明說明 (11)

相關電子對記憶體單元的臨限電壓上升亦可產生功效。

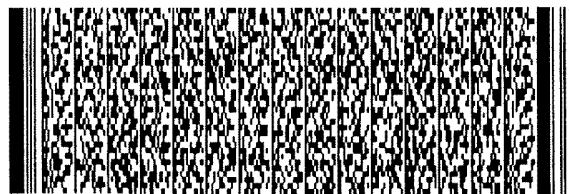
換句話說，可有效的利用無效的上述電子，而如第4圖所示，依相同的電壓施加條件、相同的寫入電流，便可較第1圖、第2圖之記憶體單元，更有效的提昇記憶體單元之臨限電壓。譬如可實現第1圖、第2圖所示記憶體單元之臨限電壓變化(ΔV_{th})二倍的臨限電壓變化($2\Delta V_{th}$)。

如上述，因為第1~3圖中任一記憶體單元，均可獲得較大於第26圖所示習知例的臨限電壓變化，因此便可減少具有如第29圖所示臨限電壓分布之產品的存在機率，可提升良率。

其次，針對具有上述構造的非揮發性半導體記憶裝置之製造方法進行說明。

在為製造第1圖所示元件方面，係依週知方法製造出在具SOI構造之基板(即，矽基板1)上，隔著絕緣膜2形成矽層3的基板。在此矽層3上形成元件隔離區域，並在矽層3中，對構成通道區域的區域植入既定雜質。

在矽層3上，利用如CVD(Chemical Vapor Deposition)法等，形成氧化膜6a、氮化膜6b、及氧化膜6c，並在氧化膜6c上利用CVD法等形成經雜質摻雜過的矽膜。在該多晶矽膜上，利用照相製版而形成罩幕，然後採用該罩幕，對多晶矽膜、氧化膜6c、氮化膜6b、及氧化膜6a施行選擇性的蝕刻處理。藉此而形成ONO膜6與閘極12。然後，以閘極12為罩幕，對矽層3植入與經植入通道區域中之雜質不同導電型的雜質，而形成源極區域4與汲極區



五、發明說明 (12)

域5。

在製造第2圖所示元件之時，僅要取代氮化膜6b，並依上述手法而形成島狀之含矽的氧化膜24的話便可。此外，在製造第3圖所示元件之時，則僅要在矽基板1上，利用CVD法等形成ON0膜13，並在該ON0膜13上利用後述手法形成矽層3的話便可。

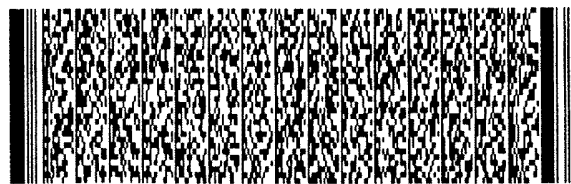
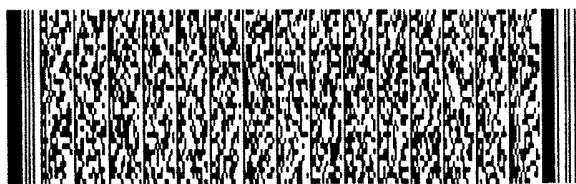
(實施形態2)

其次，採用第5~7圖，針對本發明實施形態2進行說明。本實施形態2係第3圖所示記憶體單元的改良例。

通道區域垂直方向(第5圖上下方向)的電流密度，係依存於通道摻雜量、矽層3厚度、ON0膜6厚度等處理元件參數、以及閘極電壓、汲極電壓等設計參數。

第3圖所示記憶體單元可認為藉由上述參數的組合，隨寫入時之通道區域垂直方向的電子，僅使上方之ON0膜6正下方部分的位能變低，而使通道區域深度方向(朝向下或基板方向)的位能急遽的提高。此情況下，實際上電子移動的區域，在通道區域上方部分，僅為位於ON0膜6正下方的通道區域表層部。所以，便可獲得形成第1電子(電荷)捕獲絕緣膜之上方的氮化膜6b便將較容易捕獲電子，但是在形成第2電子(電荷)捕獲絕緣膜之下方的氮化膜13b則較難捕獲電子的狀態。

所以，在本實施形態2中，便設置著供將電子吸近於下方之ON0膜13側的電極部。更詳言之，對具有電子捕獲區域的上下絕緣膜(ON0膜6, 13)二者均設置著電極部，便



五、發明說明 (13)

可將電子吸近於雙方的電子捕獲區域中，便使電子較容易被捕獲於電子捕獲區域中。

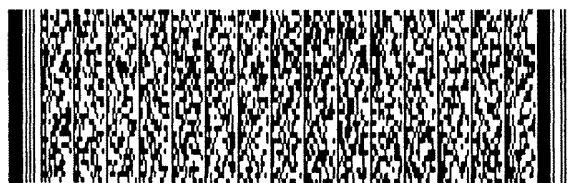
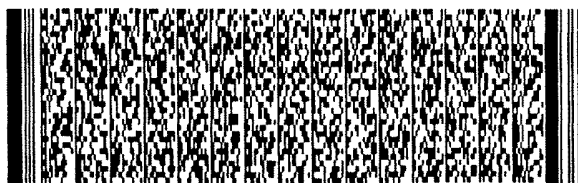
在第5圖所示例子中，在矽基板1上形成氧化矽膜等絕緣膜8，並在絕緣膜8內形成閘極12。下方的閘極12係設置於上方的閘極7正下方，並電耦接於上方的閘極7。除此之外的構造均如同第3圖所示的情況。

如第5圖所示，對上述記憶體單元的各要件施加既定電壓。藉此隨電子的位能，便將使通道區域上方與下方均變低。換句話說，如第5圖所示，在通道區域的上方與下方，實際上電子均可移動。所以，即便下方的氮化膜13b亦可捕獲幾乎如同上方之氮化膜6b等量的電子，便可如同第7圖所示，獲得更大的臨限電壓變化。

在第6圖所示例子中，於矽基板1主表面上形成 n^+ 雜質擴散區域9。此 n^+ 雜質擴散區域9中所含 n 型雜質的濃度，譬如 $1 \times 10^{20} (/cm^3)$ 以上且 $1 \times 10^{22} (/cm^3)$ 以下。該 n^+ 雜質擴散區域9亦電耦接於閘極7。除此之外的構造均如同第3圖所示的情況。此情況下，亦因為在寫入時，可對 n^+ 雜質擴散區域9施加如同閘極7相同的電壓，因此便可獲得如同第5圖所示情況的效果。

其次，針對本實施形態2的非揮發性半導體記憶裝置之製造方法，採用第15~24圖進行說明。

如第15圖所示，在矽基板1主表面上，依5~70keV、 $1 \times 10^{14} (/cm^2) \sim 4 \times 10^{15} (/cm^2)$ 的條件，將砷(As)選擇性的植入。藉此而形成 n^+ 雜質擴散區域9。



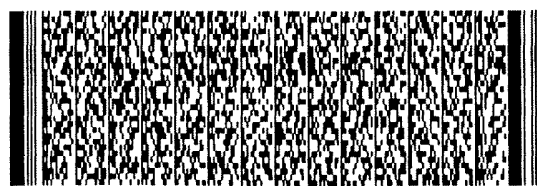
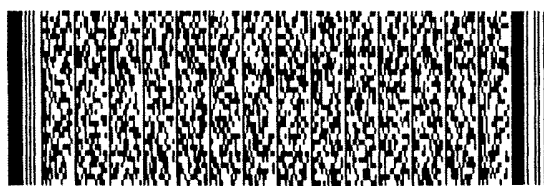
五、發明說明 (14)

其次，如第16圖所示，採用CVD法等，在矽基板1主表面上沉積氧化膜13a、氮化膜13b及氧化膜13c。在此氧化膜13c上選擇性的形成罩幕(未圖示)，然後採用該罩幕，對氧化膜13a、氮化膜13b及氧化膜13c施行蝕刻處理。藉此便如第17圖所示，形成到達矽基板1主表面上的開口部15。

其次，對矽基板1施行熱處理，俾從矽基板1成長出矽層。藉此便如第18圖所示，從開口部15內橫跨至氧化膜13c上形成矽層3。在此矽層3上選擇性的形成罩幕(未圖示)，並採用該罩幕，對矽層3、氧化膜13a、氮化膜13b及氧化膜13c施行蝕刻處理。藉此便如第19圖所示，形成到達矽基板1主表面上的開口部16。

其次，採用CVD法等，依填充於開口部16內之方式，在矽層3上形成氧化矽膜等絕緣膜17。藉由對此絕緣膜17施行CMP(Chemical mechanical polishing)等，便可將絕緣膜17埋藏於開口部16內。在此之後便依如同實施形態1的相同手法，依如第20圖與第21圖所示，形成ON0膜6、閘極7，更形成源極區域4與汲極區域5。藉此便可形成如第6圖所示非揮發性半導體記憶裝置的記憶體單元。

在形成第5圖所示記憶體單元之時，便如第22圖所示，在矽基板1主表面上，採用CVD法沉積著氧化矽膜等絕緣膜8。對此絕緣膜8施行選擇性蝕刻處理，便如第23圖所示，形成溝渠(凹部)18。依埋藏於溝渠18之方式，採用CVD法等，在絕緣膜8上沉積著經摻雜過雜質的多晶矽膜。



五、發明說明 (15)

藉由對此多晶矽膜施行CMP等，而將多晶矽膜埋藏於溝渠18內，便可形成下方的閘極12。

其次，在閘極12上，如第24圖所示，採用CVD法等，沉積著氧化膜13a、氮化膜13b及氧化膜13c。然後，藉由施行照相製版或蝕刻處理等，而形成貫穿絕緣膜8、氧化膜13a、氮化膜13b、及氧化膜13c並到達矽基板1的開口部19。在此之後便依如同上述第6圖所示例子相同的手法，便可形成第5圖所示非揮發性半導體記憶裝置的記憶體單元。

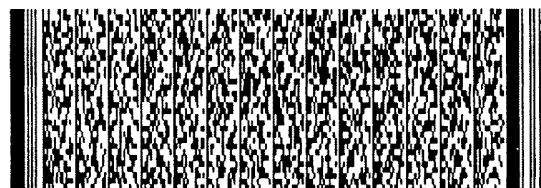
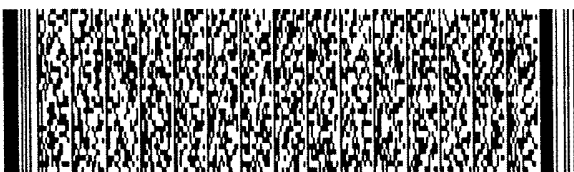
(實施形態3)

其次，採用第8圖與第9圖，針對本發明實施形態3進行說明。本實施形態3係實施形態2的改良例。

在上述實施形態2中，對上下閘極7,12施加相同的電壓，俾將使記憶體單元的臨限電壓變化予以變大。但是，臨限電壓變化雖變大，但是記憶體單元的臨限電壓卻有2種。

但是，若臨限電壓的變化量變大的話，便可認為將可實現3種臨限電壓。所以，在本實施形態3中，便針對獲得3種臨限電壓的記憶體單元(即，實現3值/電子儲存區域之記憶體單元)的手法進行說明。

如第8圖所示，本實施形態3的記憶體單元係在上下的閘極7,12上耦接著電壓控制機構11。電壓控制機構11係將施加給各閘極7,12的電壓個別進行控制，可對各閘極7,12不僅施加相同的電壓，亦可施加不同的電壓。除此之外的



五、發明說明 (16)

構造均如同第5圖所示情況。

第9圖所示例子，係將第6圖所示記憶體單元的 n^+ 雜質擴散區域9、與閘極7耦接於電壓控制機構11，便可使施加於閘極7上的電壓，與施加於 n^+ 雜質擴散區域9上電壓變為不同。

施加於本實施形態3之記憶體單元各元件上的電壓，如表2所示。記憶體單元之左右各位元狀態與此時的臨限電壓，係如表3與表4所示。

【表 2】

動作	存取位元	S(V)	D(V)	上方 G(V)	下方 G(V)
寫入	R	0	5	10	0
	R	0	5	10	10
	L	5	0	10	0
	L	5	0	10	10
刪除	R	浮置	10	0	0
	L	10	浮置	0	0
讀取	R1	2	0	3	0
	R2	2	0	5 5	0
	L1	0	2	3	0
	L1	0	2	5 5	0

如表2與第8圖所示，為能在上方僅對右側的電子捕獲區



五、發明說明 (17)

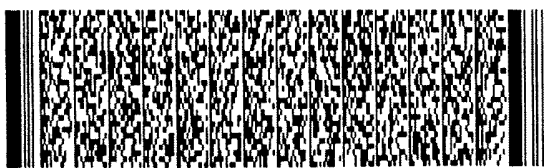
域10b(R)植入電子，僅要對上方的閘極7施加10V、對下方的閘極12與源極區域4施加0V、並對汲極區域5施加5V的話便可。當僅對左側的電子捕獲區域10a(L)植入電子之情況時，則僅要將施加於源極區域4與汲極區域5中的電壓予以互換的話便可。

為對右側上下電子捕獲區域10b(R)、電子捕獲區域10d(R)植入電子，僅要對上方的閘極7與下方的閘極12施加10V、對源極區域4施加0V、並對汲極區域5施加5V的話便可。為對左側上下電子捕獲區域10a(L)、電子捕獲區域10c(L)植入電子，則僅要將施加於源極區域4與汲極區域5中的電壓予以互換的話便可。

如上述，電子捕獲區域的位置係由平面觀之，在上述第1與第2的電荷捕獲絕緣膜中，由平面觀之，在(a1)對應於上述源汲極/通道交界面的區域、(a2)從對應上述交界面的部分起至源極區域內或汲極區域內的區域、以及(a3)從對應上述交界面的部分起至通道區域內的區域等任何區域。亦可為組合等(a1)~(a3)的區域。

在為刪除右側位元的資料方面，僅要對上方的閘極7與下方的閘極12施加0V、並使源極區域4呈浮置狀態，且對汲極區域5施加10V的話便可。在為刪除左側位元的資料方面，則僅要將施加於源極區域4與汲極區域5中的電壓予以互換的話便可。

其次，針對讀取動作進行說明。考慮讀取右側電子捕獲區域之資料的情況。參照表2之R1，對上方的閘極7施加



五、發明說明 (18)

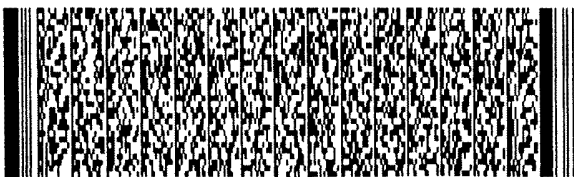
3V，對源極區域4施加2V，並對下方的閘極12與汲極區域5施加0V。此時，若在記憶體單元中流通著電流的話，資料便為'2'。當未流通著電流之情況時，接著便對各元件施加R2中所示電壓。然後，若記憶體單元中流通著電流的話，資料便為'1'。即便此R2中，若未流通著電流的話，資料便為'0'。

如此的話，因為可實現3值/電子儲存區域的記憶體單元，因此相較於實施形態2的情況，便可達3/2倍的高集聚化。

【表 3】

CHE 植入/非植入				讀取電壓 (右側讀取)		V _{th}	資料 (右)
上方右	下方右	上方左	下方左	S	D		
非植入	非植入	非植入	非植入	2	0	1	"2"
		植入	非植入	2	0	1 1	
		植入	植入	2	0	1 2	
植入	非植入	非植入	非植入	2	0	4	"1"
		植入	非植入	2	0	4 1	
		植入	植入	2	0	4 2	
植入	植入	非植入	非植入	2	0	7	"0"
		植入	非植入	2	0	7 1	
		植入	植入	2	0	7 2	

如表3所示，當左側的位元的上下電子捕獲區域中並未捕獲電子之情況時，不管左側位元之上下電子捕獲區域



五、發明說明 (19)

中，是否有捕獲電子，讀取左側位元時的記憶體單元之臨限電壓 V_{th} 將降低為 $1V \sim 1.2V$ 。此外，當僅右側電子捕獲區域中捕獲電子之情況時，在讀取右側位元時的記憶體單元之臨限電壓 V_{th} 將便為中間值的 $4V \sim 4.2V$ ，而當右側位元的上下電子捕獲區域中捕獲電子之情況時，在讀取右側位元時的記憶體單元之臨限電壓 V_{th} 將提高至 $7V \sim 7.2V$ 。

【表 4】

CHE 植入/非植入				讀取電壓 (左側讀取)		V_{th}	資料 (左)
上方左	下方左	上方右	下方右	D	S		
非植入	非植入	非植入	非植入	2	0	1	“2”
		植入	非植入	2	0	1 1	
		植入	植入	2	0	1 2	
植入	非植入	非植入	非植入	2	0	4	“1”
		植入	非植入	2	0	4 1	
		植入	植入	2	0	4.2	
植入	植入	非植入	非植入	2	0	7	“0”
		植入	非植入	2	0	7 1	
		植入	植入	2	0	7 2	

如表4所示，即便左側的位元亦相同，當上下電子捕獲區域中並未捕獲電子之情況時，在讀取左側位元時的記憶體單元之臨限電壓 V_{th} 將降低為 $1V \sim 1.2V$ ；而當僅上側電子捕獲區域中捕獲電子之情況時，在讀取左側位元時的記



五、發明說明 (20)

記憶體單元之臨限電壓 V_{th} 將便為中間值的 $4V \sim 4.2V$ ，而當上下電子捕獲區域中捕獲電子之情況時，在讀取左側位元時的記憶體單元之臨限電壓 V_{th} 將提高至 $7V \sim 7.2V$ 。

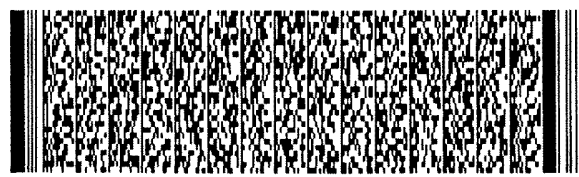
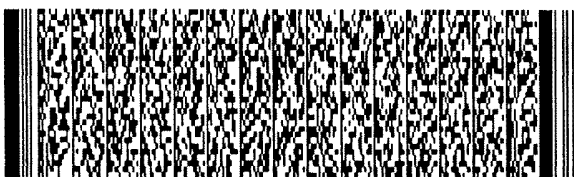
(實施形態4)

其次，採用第10~12圖，針對本發明之實施形態4進行說明。本實施形態4係使對電子捕獲區域中之電子捕獲量臨限電壓的作用度產生變化，而實現4值/電子儲存區域的記憶體單元。

如第10圖所示，在第8圖所示記憶體單元中，氧化膜6a, 6c, 13a, 13c之電容 $C1, C2, C3, C4$ 為相等。此情況下，因為對上下電子捕獲區域中的電子捕獲量臨限電壓之作用度相等，因此在電子捕獲量相等的情況下，便可實現如實施形態3之3值/電子儲存區域的記憶體單元。

但是，如第11圖所示，若設定為 $C1=C2=C3=Cn$ ， $C4=Cn/9$ 的話，便可將記憶體單元之臨限電壓設定為4種類。即，藉由使具有電子捕獲區域的絕緣膜中既定部分（譬如：氧化膜13a）的電容產生變化，便可獲得4種臨限電壓。

以下，針對其理由進行說明。著眼於右側的位元，設定為在上側捕獲電荷 q_u ，而對下側則捕獲電荷 q_l 。被捕獲電荷之附近的上下電極間之電容分別為 $C1, C2, C3, C4$ 。此時，讀取右側時（對源極區域4施加 $2V$ 、對汲極區域5施加 $0V$ 、對下側閘極12施加 $0V$ ）的記憶體單元之臨限電壓（對上側閘極7施加的電壓） $V_{th}(q_u, q_l)$ 便如下式所示。



五、發明說明 (21)

【式1】

$$\begin{aligned}
 V_{th}(q_u, q_l) &= q_u / C_1 + (C_3 / (C_4 + C_3)) \times (1 / C_1 + 1 / C_2) q_l + 2 \times \phi_f \\
 &\times (1 + C_3 \times C_4 / (C_3 + C_4) \times (1 / C_1 + 1 / C_2)) \\
 &= q_u / C_1 + (C_3 / (C_4 + C_3)) \times (1 / C_1 + 1 / C_2) + A \\
 &\quad \dots (1)
 \end{aligned}$$

在式(1)中， ϕ_f 為費米勢(Fermi potential)，A係下述式(2)所示。

$$A = 2 \times \phi_f (1 + C_3 \times C_4 / (C_3 + C_4)) \times (1 / C_1 + 1 / C_2) \dots (2)$$

其中，若設定為 $C_1 = C_2 = C_3 = C_n$ ， $C_4 = C_n / 9$ 的話， $V_{th}(q_u, q_l)$ 便如下述式(3)所示。

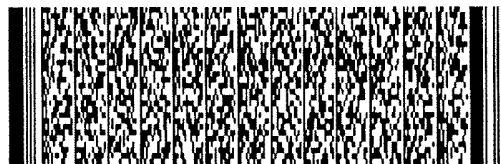
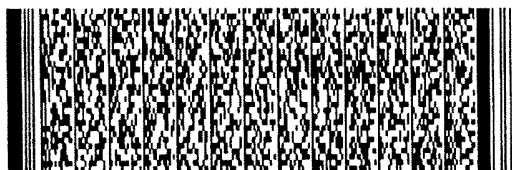
【式2】

$$\begin{aligned}
 V_{th}(q_u, q_l) &= q_u / C_1 + C_3 / (C_3 + C_4) \times (1 / C_1 + 1 / C_2) q_l + A \\
 &= q_u / C_n + 2 / (C_4 + C_n) \times q_l + A \\
 &= q_u / C_n + 2 / (C_n / 9 + C_n) \times q_l + A \\
 &= q_u / C_n + 1.8 \times (q_l / C_n) + A \quad \dots (3)
 \end{aligned}$$

由式(3)，便形成 $V_{th}(0, 0) = A$ ， $V_{th}(q, 0) = q / C_n + A$ ， $V_{th}(0, q) = 1.8 \times (q / C_n) + A$ ， $V_{th}(q, q) = 2.8 \times (q / C_n) + A$ ，而可實現4值/電子儲存區域(2位元/電子儲存區域、4位元/1單元)的記憶體單元。所以，相較於2位元/1單元之下，便可實現2倍的高集聚化。

其次，針對氧化膜13c之厚度(d)與介電率(ϵ)之條件進行說明。

在 $C_1 = C_2 = C_3 = C_n = \epsilon_1 \times (S / d_1)$ ， $C_4 = a \times C_n = \epsilon_4 \times (S / d_4)$ 之條件下， $V_{th}(q_u, q_l)$ 便為 $V_{th}(0, 0) = A$ ，



五、發明說明 (22)

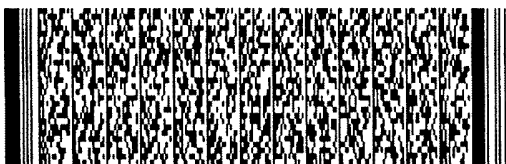
$$V_{th}(q, 0) = (q/C_n) + A, \quad V_{th}(0, q) = 2/(a+1) \times (q/C_n) + A, \\ V_{th}(q, q) = (q/C_n) + 2/(a+1) \times (q/C_n) + A。$$

$$\text{所以，} \Delta V_{th32} = V_{th}(q, q) - V_{th}(0, q) = (q/C_n), \quad \Delta V_{th21} = V_{th}(0, q) - V_{th}(q, 0) = ((1-a)/(1+a)) \times (q/C_n), \quad \Delta V_{th10} = V_{th}(q, 0) - V_{th}(0, 0) = (q/C_n)。$$

此時， $0.7 \times (q/C_n) \leq \Delta V_{th21}$ 較為恰當。此乃因為 ΔV_{th21} 若過小的話，便形成如第29圖所示的臨限電壓分布狀態。

藉此便形成 $a \leq 3/17$ ， $C_4 \leq (3/17) \times C_n$ 。所以，當在電容量 C_1 之絕緣膜與電容量 C_4 之絕緣膜的介電率相等之情況下，厚度條件便為 $d_4 \geq (17/3) \times d_1$ ；而當在電容量 C_1 之絕緣膜與電容量 C_4 之絕緣膜的厚度相等之情況下，介電率條件便為 $\varepsilon_4 \geq (17/3) \times \varepsilon_1$ 。如此藉由適當調整位於電子捕獲區域上下處之絕緣膜部分中至少其中一部份的厚度或介電率，便可實現4值/電子儲存區域的記憶體單元。

下述表5~表7所示本實施形態4之記憶體單元的電荷捕獲狀態、與臨限電壓間之關係。



五、發明說明 (23)

【表 5】

動作	存取位元	S(V)	D(V)	上方 G(V)	下方 G(V)
寫入	R	0	5	10	0
	R	0	5	0	12
	R	0	5	10	12
	L	5	0	10	0
	L	5	0	0	12
	L	5	0	10	12
刪除	R	浮置	12	0	0
	L	12	浮置	0	0
讀取	R1	2	0	3	0
	R2	2	0	5 5	0
	R3	2	0	8	0
	L1	0	2	3	0
	L2	0	2	5 5	0
	L3	0	2	8	0

藉由對記憶體單元的各元件施加上述表5中所示各電壓，便將如同上述各實施形態之情況，可執行寫入、刪除、及讀取動作。



五、發明說明 (24)

【表 6】

CHE 植入 / 非植入				讀取電壓 (右側讀取)		V _{th}	資料 (右)
上方右	下方右	上方左	下方左	S	D		
非植入	非植入	非植入	非植入	2	0	1	“3”
		植入	非植入	2	0	1 1	
		非植入	植入	2	0	1 15	
		植入	植入	2	0	1 2	
植入	非植入	非植入	非植入	2	0	4	“2”
		植入	非植入	2	0	4 1	
		非植入	植入	2	0	4 15	
		植入	植入	2	0	4 2	
非植入	植入	非植入	非植入	2	0	7	“1”
		植入	非植入	2	0	7 1	
		非植入	植入	2	0	7 15	
		植入	植入	2	0	7 2	
植入	植入	非植入	非植入	2	0	9	“0”
		植入	非植入	2	0	9 1	
		非植入	植入	2	0	9 15	
		植入	植入	2	0	9 2	

考慮讀取右側電子捕獲區域的資料之情況。參照表5之R1，對上方閘極7施加3V，對源極區域4施加2V，對下方閘極12與汲極區域5施加0V。此時，若記憶體單元中流通著電流的話，資料便為‘3’。當未流通著電流之情況時，接著便對各元件施加R2所示電壓。然後，若記憶體單元中流



五、發明說明 (25)

通著電流的話，資料仍為'2'。即便此R2中未流通著電流的話，接著便對各元件施加R3所示電壓。然後，若記憶體單元中流通著電流的話，資料便為'1'。即便此R3中未流通著電流的話，資料仍為'0'。

【表 7】

CHE 植入/非植入				讀取電壓 (左側讀取)		Vth	資料 (左)
上方左	下方左	上方右	下方右	S	D		
非植入	非植入	非植入	非植入	0	2	1	"3"
		植入	非植入	0	2	1 1	
		非植入	植入	0	2	1 15	
		植入	植入	0	2	1 2	
植入	非植入	非植入	非植入	0	2	4	"2"
		植入	非植入	0	2	4 1	
		非植入	植入	0	2	4 15	
		植入	植入	0	2	4 2	
非植入	植入	非植入	非植入	0	2	7	"1"
		植入	非植入	0	2	7 1	
		非植入	植入	0	2	7 15	
		植入	植入	0	2	7 2	
植入	植入	非植入	非植入	0	2	9	"0"
		植入	非植入	0	2	9 1	
		非植入	植入	0	2	9 15	
		植入	植入	0	2	9 2	

當讀取左側電子捕獲區域的資料之情況，亦與讀取右



五、發明說明 (26)

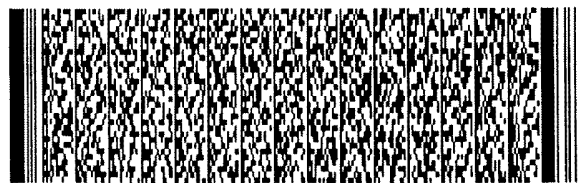
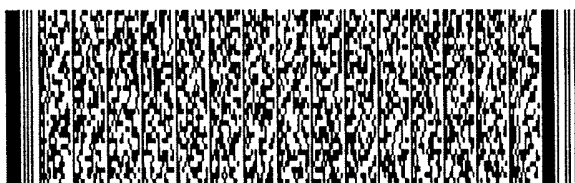
側電子捕獲區域的資料之情況時的基本想法相同。
(實施形態5)

其次，採用第13圖與第14圖，針對本發明實施形態5進行說明。本實施形態5的特徵在於無上方的電子捕獲區域。此情況下，亦可確保如同第1圖所示例子相同的臨限電壓變化量。此外，在上方閘極中並不必要設計電子捕獲區域，在對記憶體單元進行寫入或刪除時，亦無對上方的閘極施加高電壓。所以，便可將上方閘極下面的絕緣膜變薄，並使該絕緣膜之形成程序(所謂的邏輯CMOS(Complementary Metal-Oxide Semiconductor)程序)形成共通化。

第13圖與第14圖所示係。本實施形態5之具體例。如第13圖所示，在矽層3下形成ON0膜13、絕緣膜8及閘極12，並在矽層3上隔著較薄絕緣膜14而形成閘極7。藉由對下側的閘極12施加10V電壓，便可使電子吸附於ON0膜13中的氮化膜13b上。

另外，上側之閘極7雖未直接關聯到記憶體單元之寫入或刪除動作的配線層，但是藉由將上方閘極7電位固定於如接地電位上，便可達記憶體單元動作的安定化或抑制漏電流的功效。此外，亦捨省略形成上方閘極7。

在第14圖所示例子中，取代第13圖的下方閘極12，而改為設置 n^+ 雜質擴散區域9。此 n^+ 雜質擴散區域9係設置於閘極7的正下方，藉由對 n^+ 雜質擴散區域9施加既定電壓，而執行寫入或刪除動作。



五、發明說明 (27)

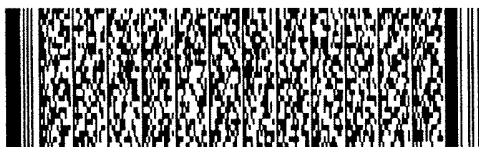
下述表8~表10中所示係本實施形態5中，在執行記憶體單元之寫入、刪除、讀取時，對各端子所施加的電壓、及記憶體單元之臨限電壓。另外，針對記憶體單元之動作，基本上係如同實施形態1的情況。

【表 8】

動作	存取位元	S(V)	D(V)	上方 G(V)	下方 G(V)
寫入	R	0	5	0	10
	L	5	0	0	10
刪除	R	浮置	10	0	0
	L	10	浮置	0	0
讀取	R2	2	0	0	3
	L2	0	2	0	3

【表 9】

CHE 植入/非植入		讀取電壓 (左側讀取)		Vth	資料 (右)
上方右	下方左	S	D		
非植入	非植入	2	0	1	“1”
	植入	2	0	1.1	
植入	非植入	2	0	4	“0”
	植入	2	0	4.1	



五、發明說明 (28)

【表 10】

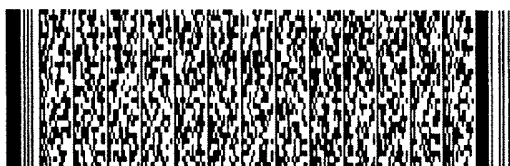
CHE 植入/非植入		讀取電壓 (左側讀取)		Vth	資料 (左)
上方左	下方右	S	D		
非植入	非植入	0	2	1	“1”
	植入	0	2	1.1	
植入	非植入	0	2	4	“0”
	植入	0	2	4.1	

以上雖針對本發明實施形態進行說明，但是亦可組合各實施形態的特徵。

依照本發明的話，因為可將記憶體單元的臨限電壓變化量變大，因此可確保將臨限電壓分布餘裕予以變大，俾達提昇良率。此外，藉由採用SOI構造便可增加可動載子，隨可動載子的增加亦將提昇記憶體單元的驅動能力。另外，尚可執行記憶體單元動作的高速化與低消耗功率化。而且亦可降低記憶體單元待機時的電流。

當具電荷捕獲區域之膜(電荷儲存絕緣膜)係採用氮化膜或含矽之氧化膜等絕緣膜的情況時，因為所捕獲到的電子在膜中並未移動，因此可在記憶體單元置中記憶著2位元的資訊量。

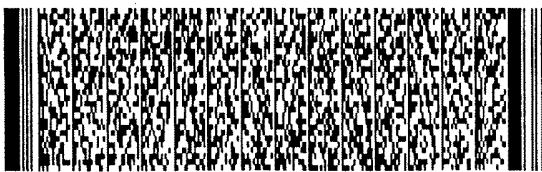
再者，當下絕緣膜係包括第2電荷儲存絕緣膜之情況時，便可在第1與第2電荷儲存絕緣膜二者中均捕獲電荷。所以，可更確實的實現較大的臨限電壓變化。



五、發明說明 (29)

再者，當在電荷捕獲絕緣膜中設置著捕獲到電荷之下電極的情況時，藉由對下電極施加既定電壓，便可將電荷導向於第2電荷捕獲絕緣膜中，並使電荷儲存於第2電荷儲存絕緣膜中。

當位於第1與第2電荷儲存絕緣膜之上下位置處的絕緣膜中，使至少其中一個膜之電容量不同於其餘膜之電容量的情況時，便譬如表6與表7所示，可獲得4種記憶體單元的臨限電壓，且可將4位元的資訊量記憶於4值/電子儲存區域(即各記憶體單元)中。



圖式簡單說明

第1圖係本發明實施形態1中，非揮發性半導體記憶裝置之記憶體單元剖視圖。

第2圖與第3圖係第1圖之記憶體單元之第1與第2變化例剖視圖。

第4圖係寫入(程式)時間、與記憶體單元之臨限電壓 V_{th} 間之關係圖。

第5圖係本發明實施形態2中，非揮發性半導體記憶裝置之記憶體單元剖視圖。

第6圖係第5圖之記憶體單元變化例剖視圖。

第7圖係寫入(程式)時間、與記憶體單元之臨限電壓 V_{th} 間之關係圖。

第8圖係本發明實施形態3中，非揮發性半導體記憶裝置之記憶體單元剖視圖。

第9圖係第8圖之記憶體單元變化例剖視圖。

第10圖係與第8圖之記憶體單元相同形式的記憶體單元剖視圖。

第11圖係本發明實施形態4中，非揮發性半導體記憶裝置之記憶體單元剖視圖。

第12圖係第11圖之記憶體單元變化例剖視圖。

第13圖係本發明實施形態5中，非揮發性半導體記憶裝置之記憶體單元剖視圖。

第14圖係第13圖之記憶體單元變化例剖視圖。

第15~21圖係第6圖所示非揮發性半導體記憶裝置之製造步驟的第1~第7步驟剖視圖。



圖式簡單說明

第22~24圖係第5圖所示非揮發性半導體記憶裝置之製造步驟的第1~第3步驟剖視圖。

第25圖係習知非揮發性半導體記憶裝置之記憶體單元一例的剖視圖。

第26圖係習知非揮發性半導體記憶裝置之記憶體單元另一例的剖視圖。

第27圖係習知非揮發性半導體記憶裝置之記憶體單元再另一例的剖視圖。

第28圖係當可確保臨限電壓之分布餘裕的情況示意圖。

第29圖係當無法確保臨限電壓之分布餘裕的情況示意圖。

【符號說明】

- | | |
|---------------------------|-----------------------------|
| 1 矽基板 | 2, 8, 13a, 13b, 13c, 24 氧化膜 |
| 3 矽層 | 4 源極區域 |
| 5 汲極區域 | 6 ONO膜 |
| 6a, 6b, 6c 氧化膜 | 7 閘極 |
| 9 n^+ 雜質擴散區域 | |
| 10a, 10b, 10c, 10d 電子捕獲區域 | |
| 11 電壓控制機構 | 12 閘極 |
| 13 ONO膜 | 14, 17, 22, 23 絕緣膜 |
| 15, 16, 19 開口部 | 18 溝渠 |
| 20 浮置閘極 | 21 控制閘極 |
| L, R 電子捕獲部 | |



四、中文發明摘要 (發明名稱：非揮發性半導體記憶裝置)

本發明的非揮發性半導體記憶裝置之記憶體單元，係形成於矽基板(1)上隔著ONO膜(13)所形成的矽層(3)上。記憶體單元係包括：矽層(3)內所形成的源極區域(4)與汲極區域(5)、ONO膜(6)及閘極(7)。ONO膜(6)與ONO膜(13)係包括捕獲電荷用之電荷捕獲部的氮化膜(6b, 13b)。

伍、(一)、本案代表圖為：第___3___圖

(二)、本案代表圖之元件代表符號簡單說明：

1~矽基板；	3~矽層；
4~源極區域；	5~汲極區域；
6~ONO膜；	6a~氧化膜；
6b~氮化膜；	6c~氧化膜；
7~閘極；	13~ONO膜；
13a~氧化膜；	13b~氮化膜；
13c~氧化膜。	

六、英文發明摘要 (發明名稱：Nonvolatile Semiconductor Memory Device)

A memory cell of a nonvolatile semiconductor memory device is formed on a silicon layer formed on a silicon substrate through an ONO film. The memory cell has a source region and a drain region formed in the silicon layer, an ONO film and a gate electrode. The ONO film and the ONO film include nitride films having charge trap parts trapping charges.



六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，包括記憶體單元，該非揮發性半導體記憶裝置包括：

半導體基板；

半導體層，位於該半導體基板上，且包括有記憶體單元之源極區域、通道區域及汲極區域；以及

下絕緣層，位於該半導體基板與該半導體層之間。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中，在該通道區域上具有絕緣膜；

而該絕緣膜係包括有可捕獲電荷的第1電荷捕獲絕緣膜。

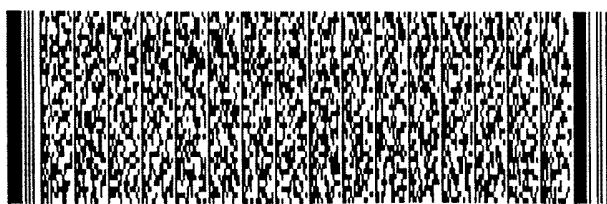
3. 如申請專利範圍第2項之非揮發性半導體記憶裝置，其中，在該絕緣膜上係包括該記憶體單元之閘極，而該記憶體單元之閘極係對該第1電荷捕獲絕緣膜施加供使捕獲電荷用的電位。

4. 如申請專利範圍第3項之非揮發性半導體記憶裝置，其中，該絕緣膜係具有第1絕緣膜、該第1電荷捕獲絕緣膜、及第2絕緣膜的層積構造；

該下絕緣膜係具有第3絕緣膜、捕獲電荷的該第2電荷捕獲絕緣膜、及第4絕緣膜的層積構造。

5. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中，該第1與第2電荷捕獲絕緣膜之至少其中一者係由氮化膜所構成。

6. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中，該第1，第2，第3及第4絕緣膜中，至少其中一者



六、申請專利範圍

的電容量係不同於其餘膜的電容量。

7. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中，包括施加供使該第2電荷捕獲絕緣膜中捕獲電荷用之電位用的下電極。

8. 如申請專利範圍第7項之非揮發性半導體記憶裝置，其中，該下電極係含有多晶矽膜或雜質擴散區域。

9. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中，在該第1電荷捕獲絕緣膜中，係在包括該源極區域與汲極區域之交界所對應部分的區域、以及包括該汲極區域與通道區域之交界所對應部分的區域中，設置著捕獲電荷之第1電荷捕獲區域；

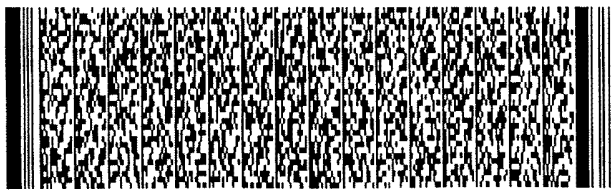
在該第2電荷捕獲絕緣膜中，係在包括該源極區域與通道區域之交界所對應部分的區域、以及包括該汲極區域與通道區域之交界所對應部分的區域中，設置著捕獲電荷之第2電荷捕獲區域。

10. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中，該下絕緣膜係包括可捕獲電荷的電荷捕獲絕緣膜。

11. 如申請專利範圍第10項之非揮發性半導體記憶裝置，其中，該下絕緣膜係包括如：第1絕緣膜、該第2電荷捕獲絕緣膜、以及第2絕緣膜的層積構造。

12. 如申請專利範圍第11項之非揮發性半導體記憶裝置，其中，該第1與電荷捕獲絕緣膜係氮化膜。

13. 如申請專利範圍第11項之非揮發性半導體記憶裝置

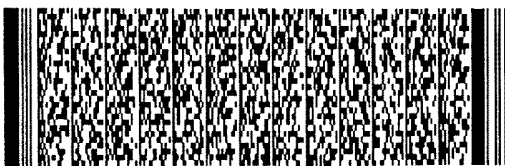


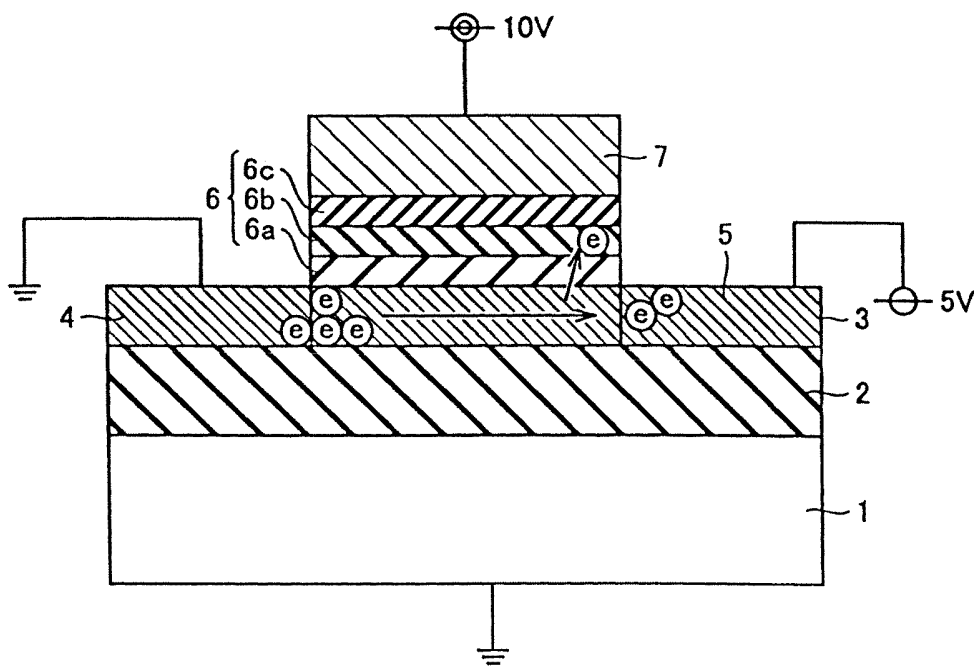
六、申請專利範圍

置，其中，包括供使該第2電荷捕獲絕緣膜中捕獲電荷用之電位的下電極。

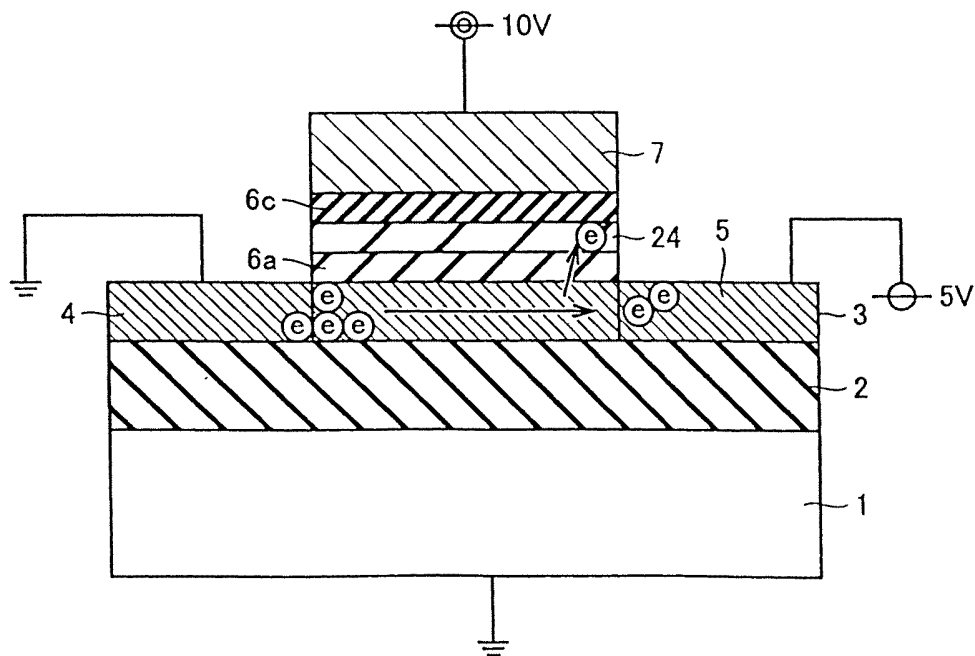
14. 如申請專利範圍第13項之非揮發性半導體記憶裝置，其中，該下電極係包括有：多晶矽膜或雜質擴散區域。

15. 如申請專利範圍第11項之非揮發性半導體記憶裝置，其中，在該第2電荷捕獲絕緣膜中，在包括該源極區域與汲極區域交界所對應部分的區域、以及包括該汲極區域與通道區域交界所對應部分的區域中，設置有捕獲電荷的電荷捕獲區域。

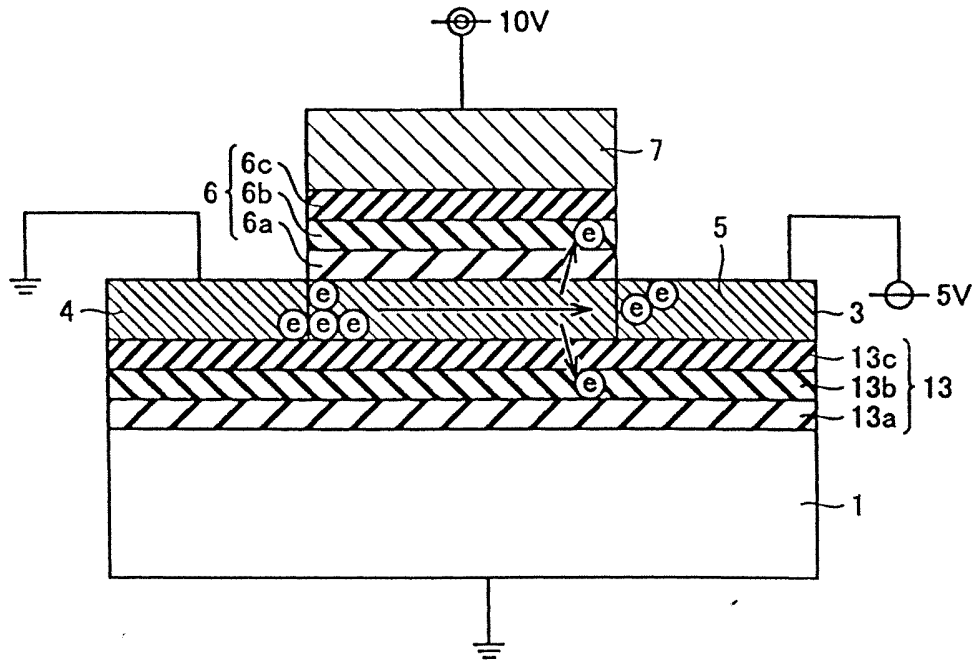




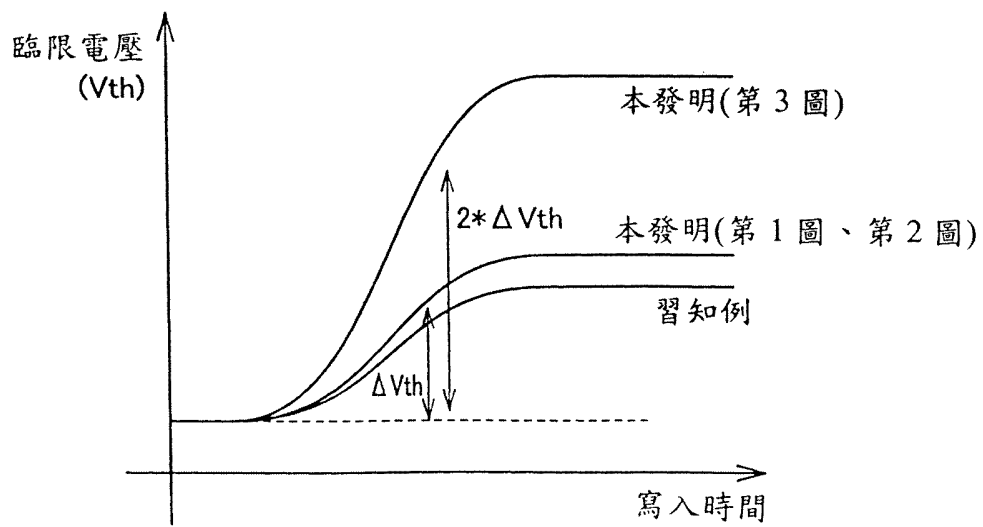
第 1 圖



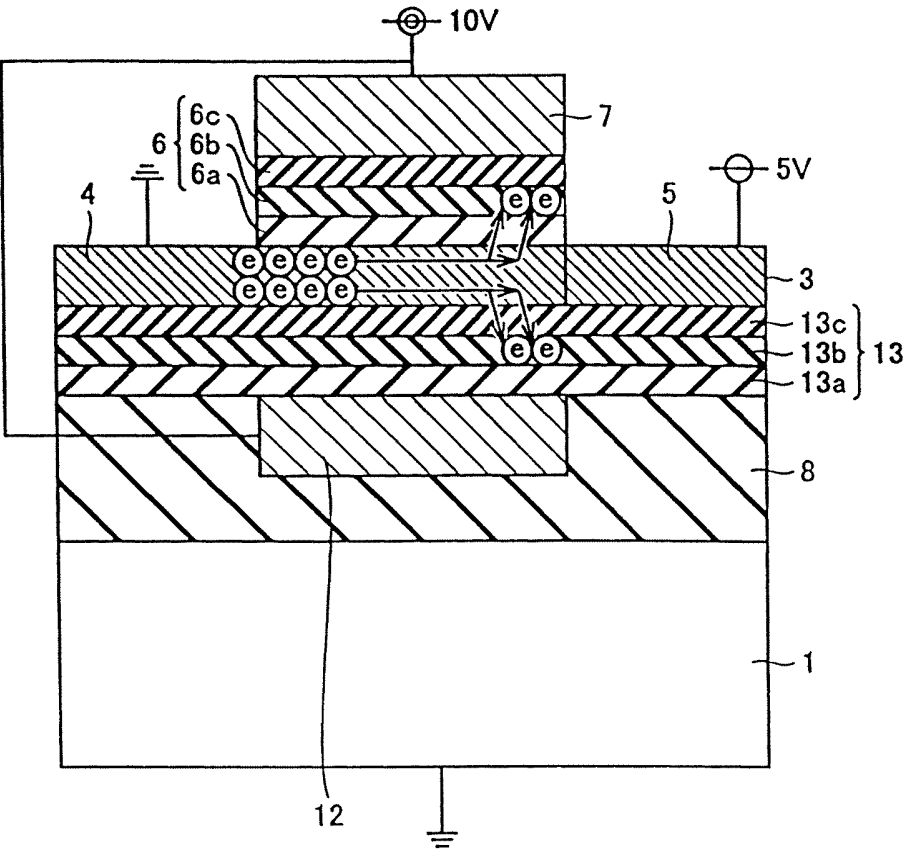
第 2 圖



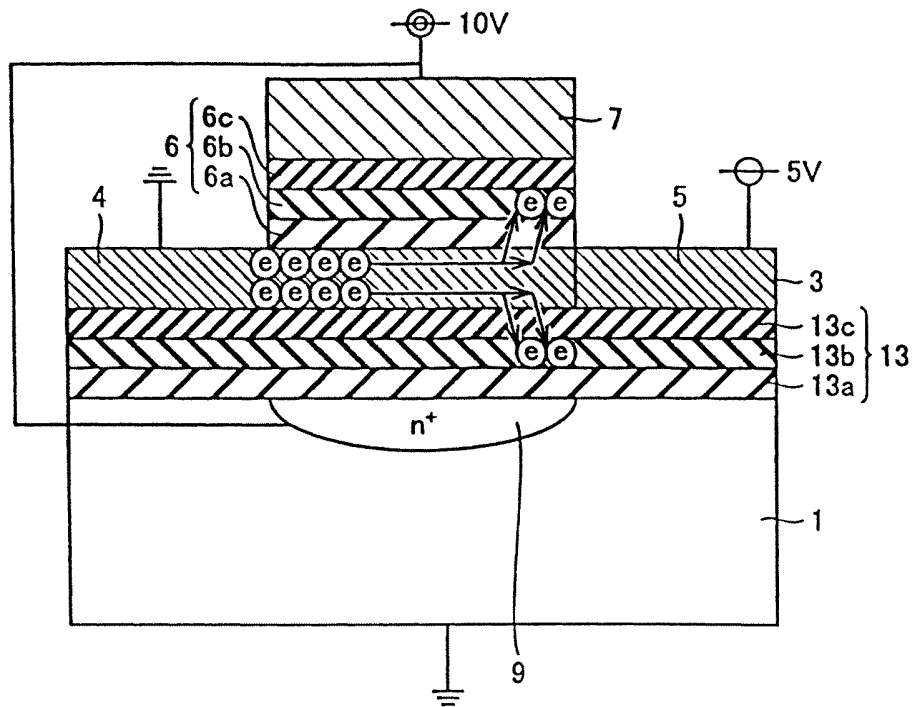
第 3 圖



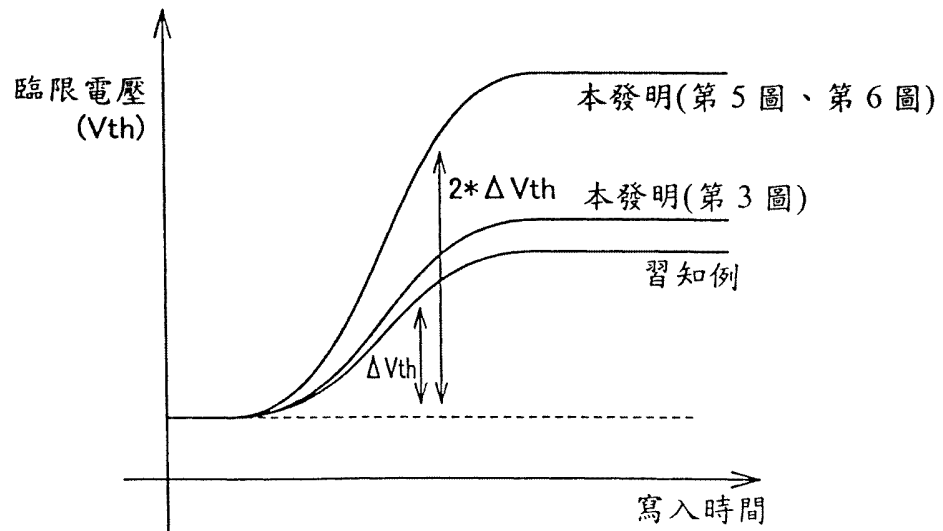
第 4 圖



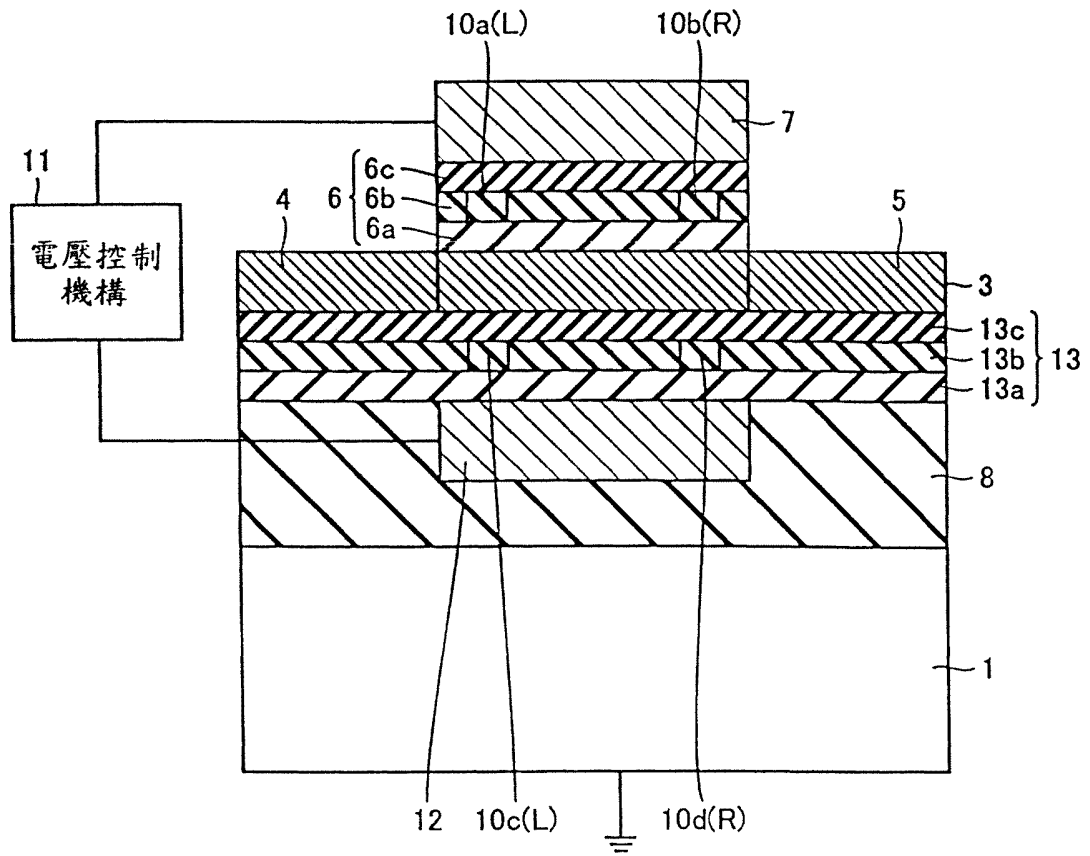
第 5 圖



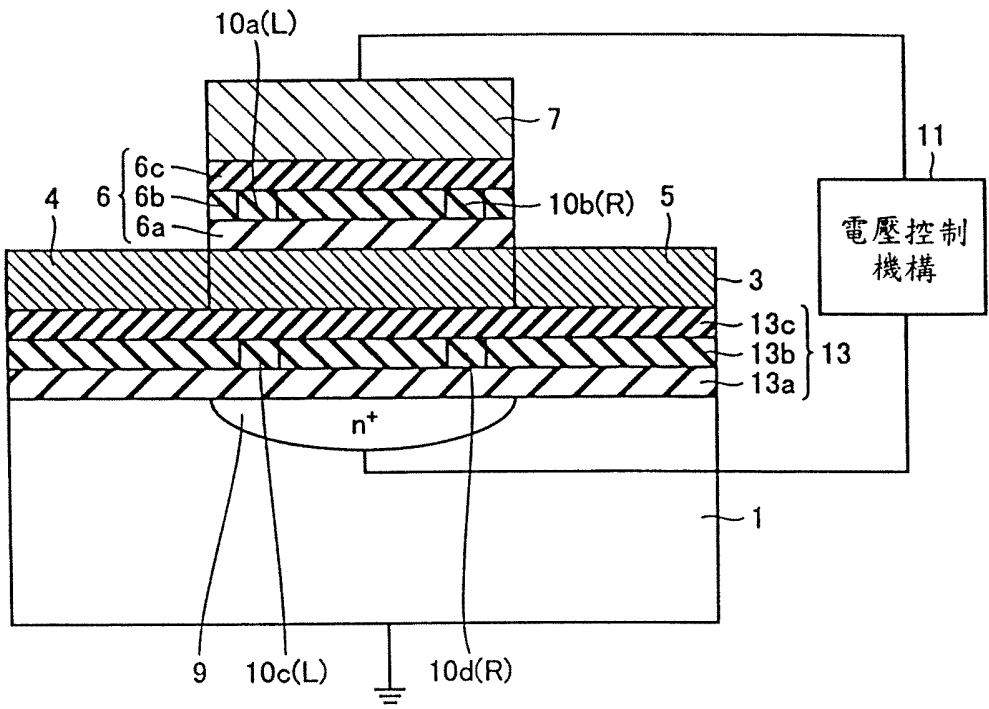
第 6 圖



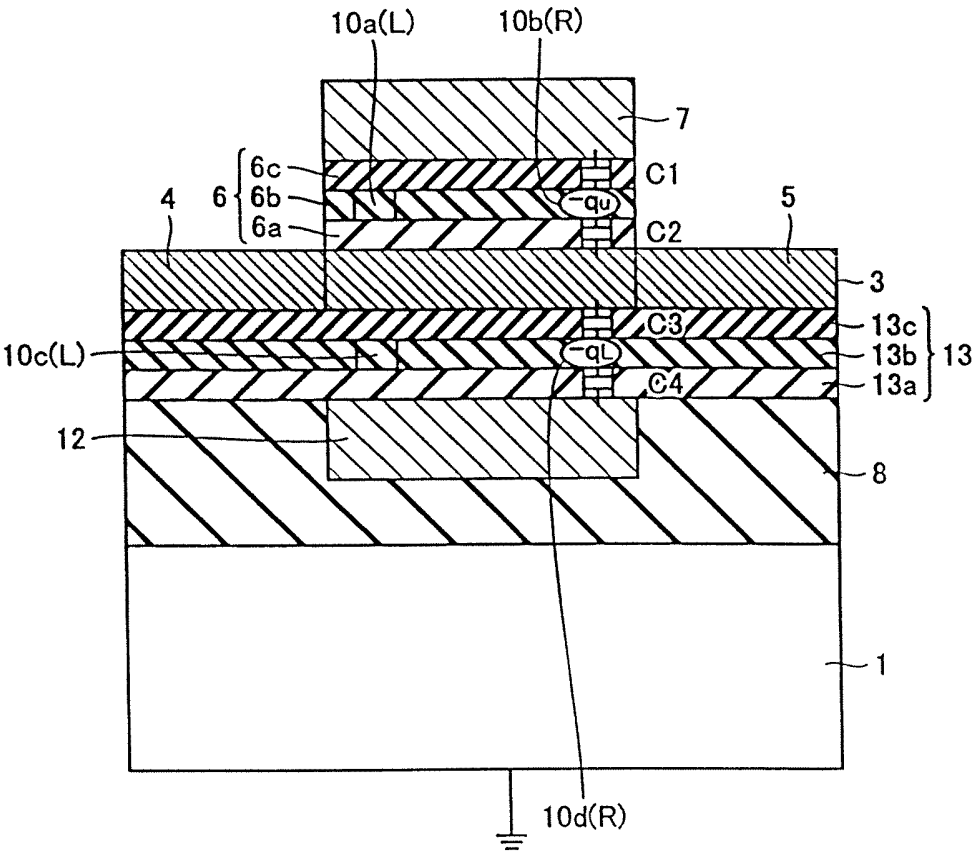
第 7 圖



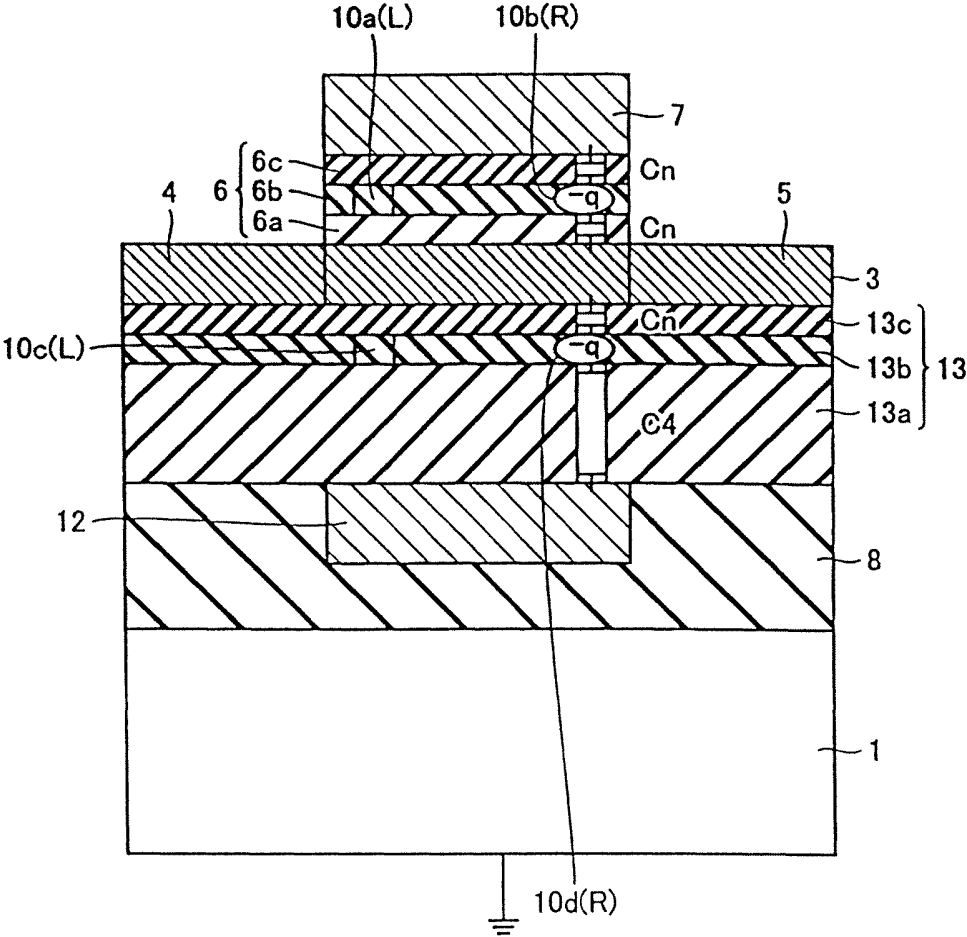
第 8 圖



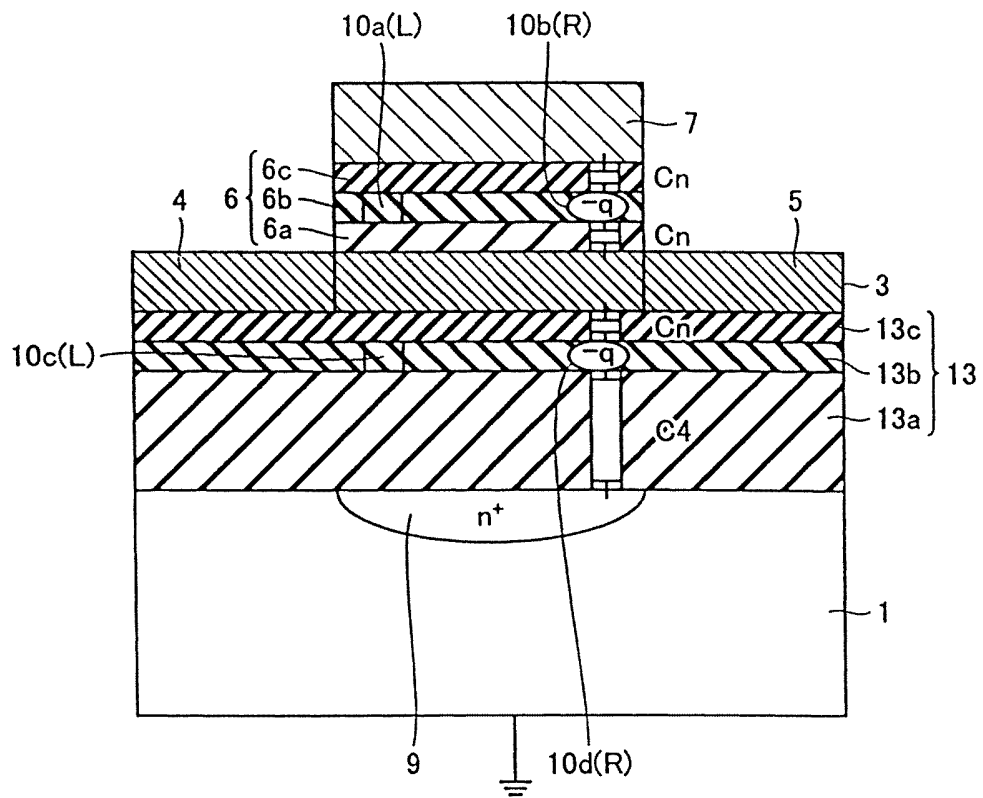
第 9 圖



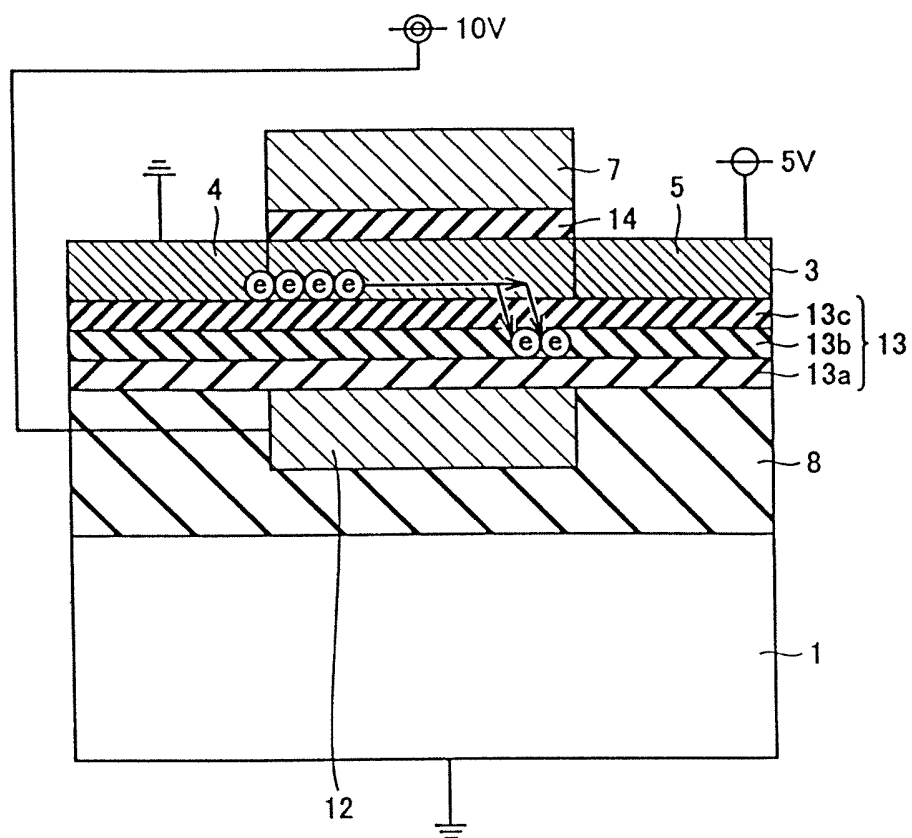
第 10 圖



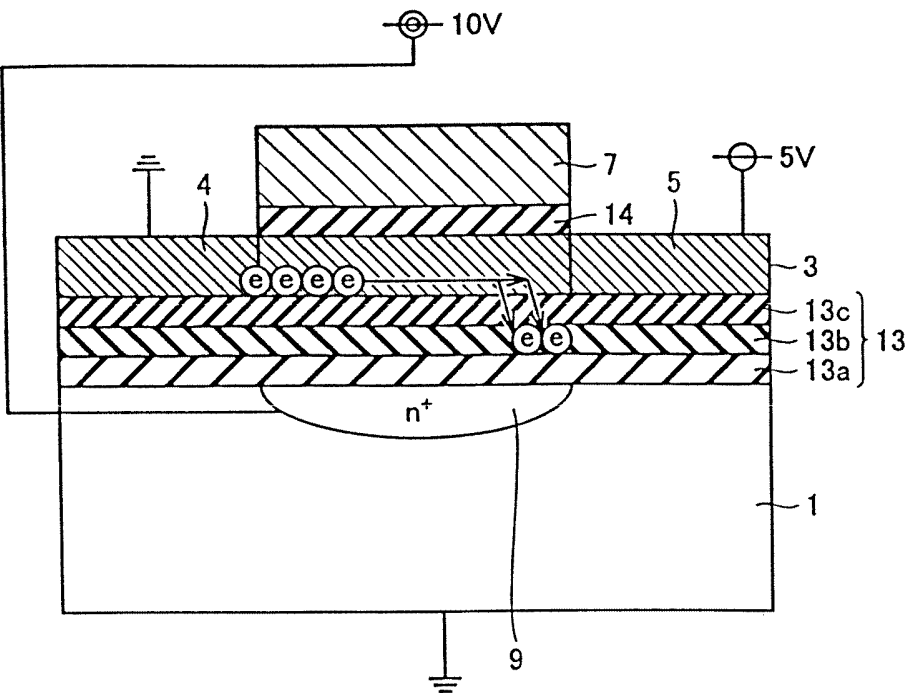
第 11 圖



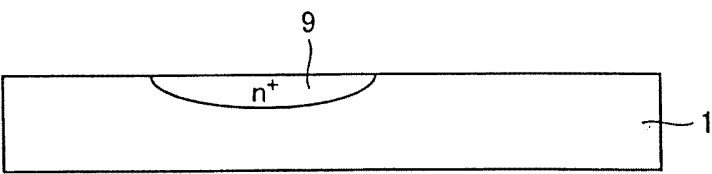
第 12 圖



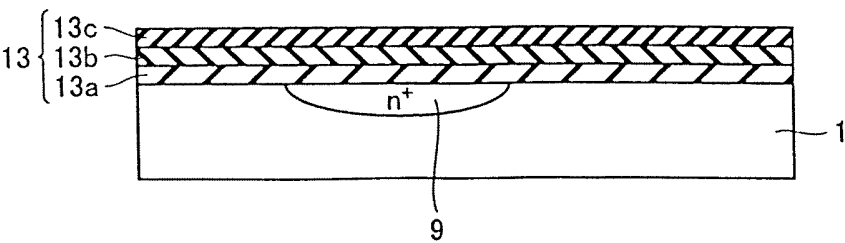
第 13 圖



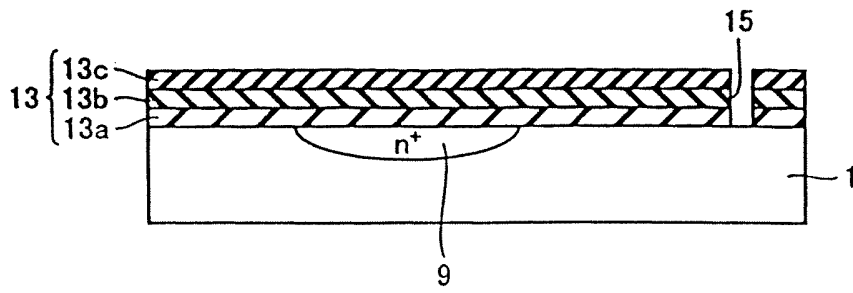
第 14 圖



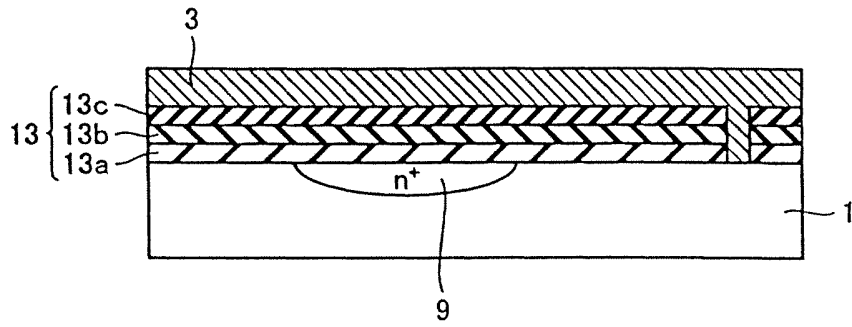
第 15 圖



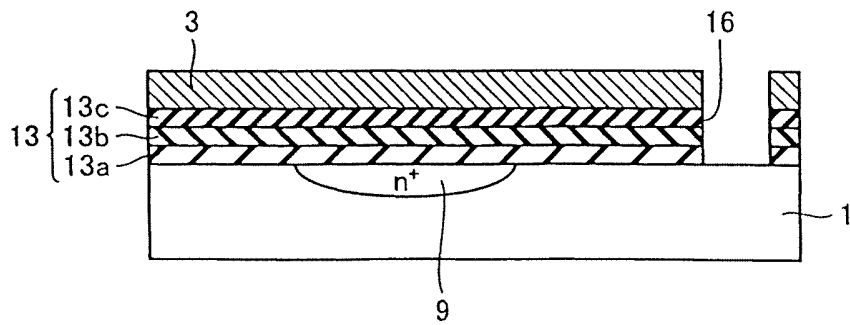
第 16 圖



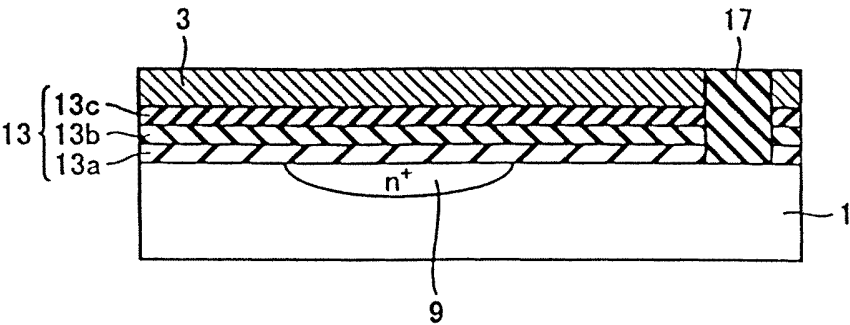
第 17 圖



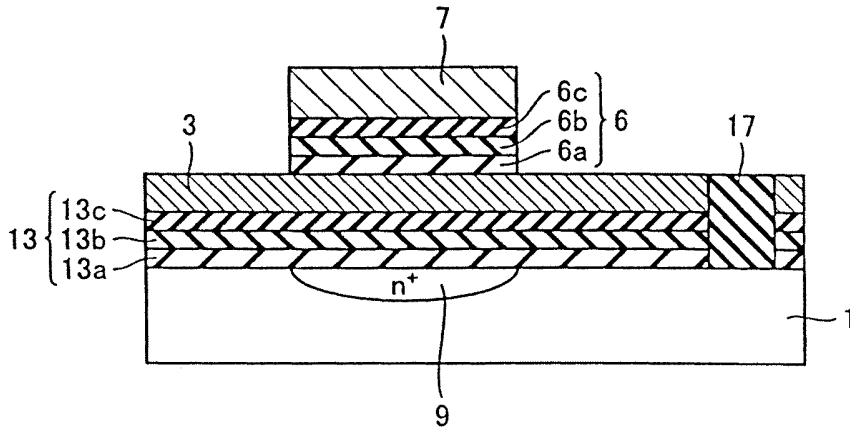
第 18 圖



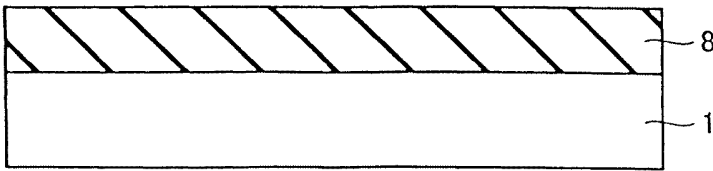
第 19 圖



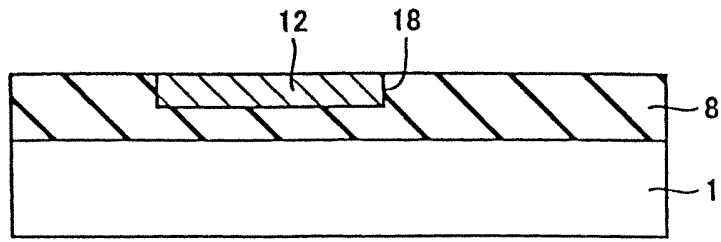
第 20 圖



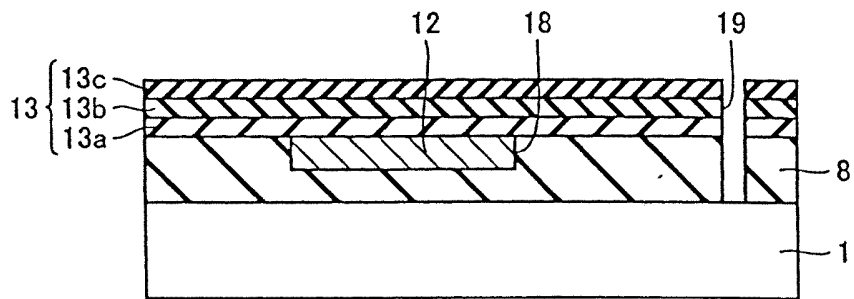
第 21 圖



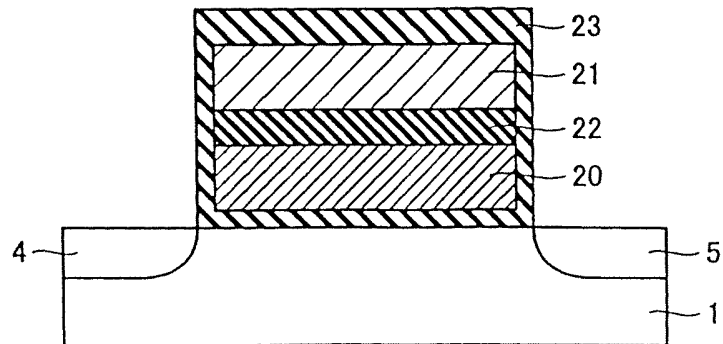
第 22 圖



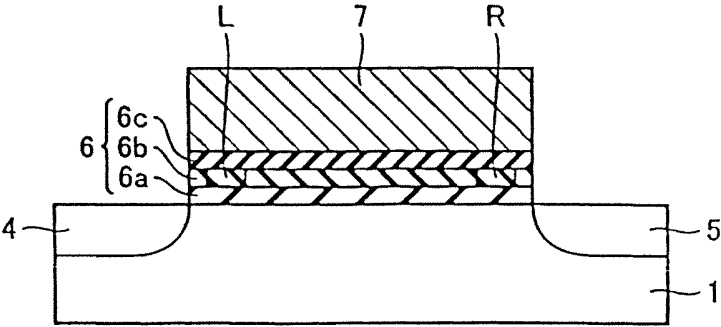
第 23 圖



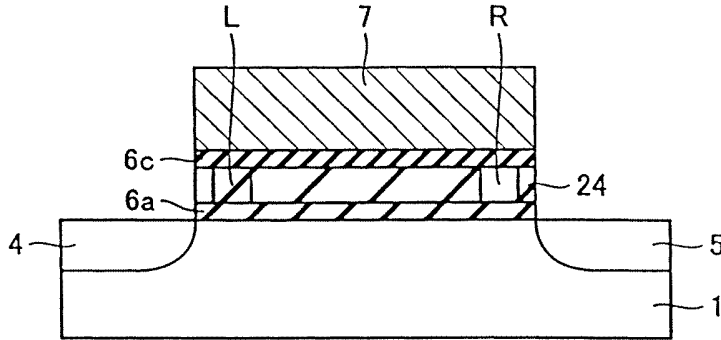
第 24 圖



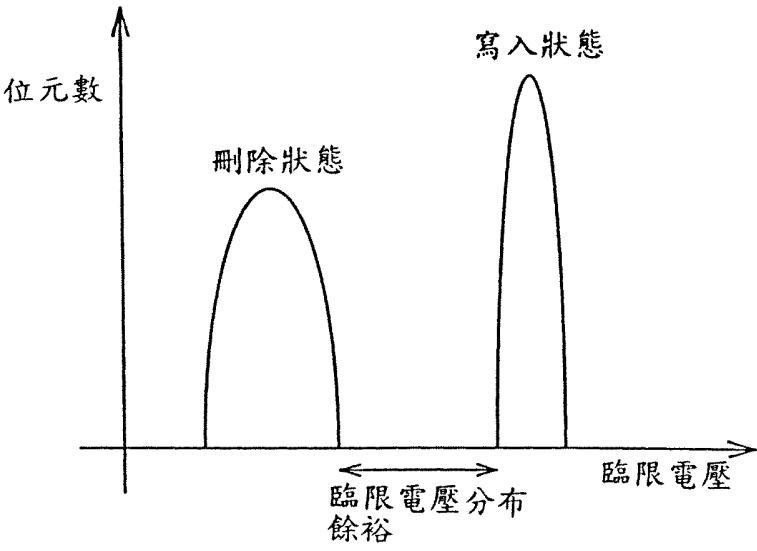
第 25 圖



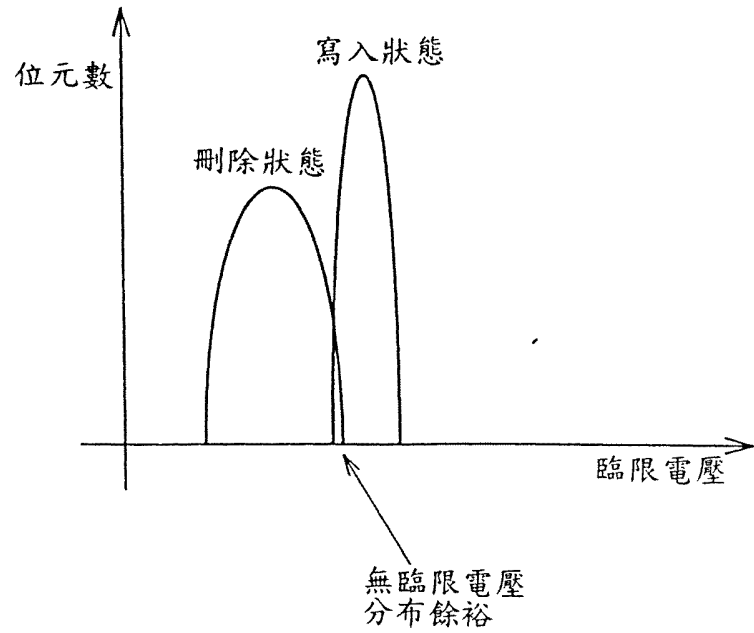
第 26 圖



第 27 圖



第 28 圖



第 29 圖