

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-266349

(P2009-266349A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/50 (2006.01)	G 1 1 C 29/00 6 7 3 M	5 B 1 2 5
G 1 1 C 29/12 (2006.01)	G 1 1 C 29/00 6 7 3 B	5 L 1 0 6
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 Z	
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 4 1	
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 2 B	

審査請求 未請求 請求項の数 5 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-117729 (P2008-117729)
 (22) 出願日 平成20年4月28日 (2008.4.28)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

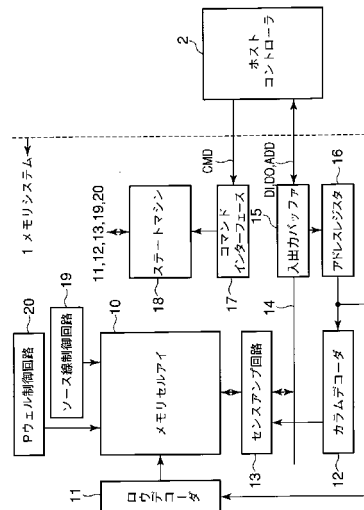
(57) 【要約】

【課題】メモリセルトランジスタの劣化を判定する。

【解決手段】メモリシステム1は、複数のメモリセルトランジスタを含む不揮発性メモリ10と、メモリセルトランジスタの電流経路の一端に電氣的に接続されたビット線BLと、メモリセルトランジスタの電流経路の他端に電氣的に接続されたソース線SLと、メモリセルトランジスタのゲート電極に電氣的に接続されたワード線WLと、ビット線BLに電氣的に接続され、かつメモリセルトランジスタからデータを読み出すセンスアンプ回路13と、ワード線WLに電氣的に接続され、かつメモリセルトランジスタがオンする読み出し電圧をワード線WLに印加するロウデコーダ11と、オン状態のメモリセルトランジスタに流れるセル電流を測定して当該メモリセルトランジスタの劣化を判定するステートマシン18を含む。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

複数のブロックを有し、各ブロックは、第 1 の絶縁膜、電荷蓄積層、第 2 の絶縁膜、ゲート電極が順に積層された積層ゲート構造を有する複数のメモリセルトランジスタを含む、不揮発性メモリと、

前記メモリセルトランジスタの電流経路の一端に電氣的に接続されたビット線と、

前記メモリセルトランジスタの電流経路の他端に電氣的に接続されたソース線と、

前記ゲート電極に電氣的に接続されたワード線と、

前記ビット線に電氣的に接続され、かつ前記メモリセルトランジスタからデータを読み出すセンスアンプ回路と、

前記ワード線に電氣的に接続され、かつ前記メモリセルトランジスタがオンする読み出し電圧を前記ワード線に印加するロウデコーダと、

オン状態のメモリセルトランジスタに流れるセル電流を測定して当該メモリセルトランジスタの劣化を判定する制御部と、

を具備することを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

前記制御部は、前記ブロックに含まれる複数のメモリセルトランジスタのうち所定数のメモリセルトランジスタが劣化している場合に当該ブロックが劣化していると判定し、かつ劣化しているブロックの冗長領域にフラグを書き込むことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

20

【請求項 3】

前記制御部は、データ書き込み時、前記フラグが書き込まれているブロックに印加する書き込み電圧を、劣化していないブロックの書き込み電圧より下げること特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記制御部は、データ消去時、前記フラグが書き込まれているブロックに印加する消去電圧を、劣化していないブロックの消去電圧より上げること特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記制御部は、データ読み出し時、前記フラグが書き込まれているブロックに印加する読み出し電圧を、劣化していないブロックの読み出し電圧より下げること特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に係り、例えば電氣的に書き換えが可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

電氣的に書き換えが可能な不揮発性半導体メモリとしては、NAND型フラッシュメモリが知られている。このNAND型フラッシュメモリは、半導体基板上に、トンネル絶縁膜、電荷蓄積層、ゲート間絶縁膜、制御ゲート電極が順に積層された積層ゲート構造を有するメモリセルトランジスタを備えている。

40

【0003】

このような構造を有するメモリセルトランジスタでは、書き換えを繰り返すと、トンネル絶縁膜にトラップされた電子が増加し、メモリセルトランジスタが劣化する。劣化したメモリセルトランジスタは、閾値電圧が高くなるため書き込みが速くなり、オーバープログラム（書き込みにより所望の閾値電圧より高くなる不良）が起こりやすくなる。また、劣化したメモリセルトランジスタは、高温放置によりトラップされた電子がデトラップされ、大きく閾値落ちするため、データ保持特性が劣化する。

50

【 0 0 0 4 】

現在の N A N D 型フラッシュメモリでは、このようなメモリセルトランジスタの劣化が起こっても動作が保証できるよう書き込みや読み出しの設定にマージンを持たせている。しかしながら、劣化したメモリセルトランジスタの動作を保証するような設定に合わせ込むと、製品出荷直後などの劣化がほとんどない状態ではパフォーマンスが悪くなってしまふ。また、高温での書き換えの間隔を長くすることでメモリセルトランジスタの劣化が回復する場合もあるため、数千回、数万回の書き換えを行った後のメモリセルトランジスタの劣化程度はその条件によって大きく異なってくる。

【 0 0 0 5 】

また、N A N D 型フラッシュメモリは、数千回、数万回の書き換えを行った後のデータ保持特性を保障するため、製品出荷前に信頼性評価を行っている。例えば、N A N D 型フラッシュメモリの寿命を見積るためには、数百時間の信頼性評価を要する。このため、プロセス変更時や量産中に信頼性を短時間でモニタするのは非常に困難である。

10

【 0 0 0 6 】

この種の関連技術として、メモリセルトランジスタに対するデータの書き込み / 消去後にベリファイ読み出しを行い、データの書き込み / 消去が正しく行われたかを検証する。これらデータの書き込み / 消去とベリファイ読み出し動作をデータの書き込み / 消去が正しく行われるまで所定回数繰り返し、所定回数繰り返しても正しいデータ書き込み / 消去が実行されなかったときに、メモリセルトランジスタが劣化したと判断し、劣化したメモリセルトランジスタに代えて冗長用メモリセルトランジスタを選択する技術が開示されている（例えば、特許文献 1 参照）。

20

【特許文献 1】特開平 8 - 7 5 9 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明は、メモリセルトランジスタに流れるセル電流を測定することで、メモリセルトランジスタの劣化を判定することが可能な不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の一視点に係る不揮発性半導体記憶装置は、複数のブロックを有し、各ブロックは、第 1 の絶縁膜、電荷蓄積層、第 2 の絶縁膜、ゲート電極が順に積層された積層ゲート構造を有する複数のメモリセルトランジスタを含む、不揮発性メモリと、前記メモリセルトランジスタの電流経路の一端に電氣的に接続されたビット線と、前記メモリセルトランジスタの電流経路の他端に電氣的に接続されたソース線と、前記ゲート電極に電氣的に接続されたワード線と、前記ビット線に電氣的に接続され、かつ前記メモリセルトランジスタからデータを読み出すセンスアンプ回路と、前記ワード線に電氣的に接続され、かつ前記メモリセルトランジスタがオンする読み出し電圧を前記ワード線に印加するロウデコーダと、オン状態のメモリセルトランジスタに流れるセル電流を測定して当該メモリセルトランジスタの劣化を判定する制御部とを具備する。

30

【発明の効果】

40

【 0 0 0 9 】

本発明によれば、メモリセルトランジスタに流れるセル電流を測定することで、メモリセルトランジスタの劣化を判定することが可能な不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【 0 0 1 1 】

50

(第1の実施形態)

[1. メモリシステム1の構成]

本実施形態のメモリシステム(不揮発性半導体記憶装置)1は、例えば、ホスト装置が実装されたプリント基板上に実装され、バスを介してホスト装置との間でデータの転送を行う。或いは、本実施形態のメモリシステム1は、ホスト装置に対して着脱可能なように構成され、ホスト装置に接続された状態でバスを介してホスト装置との間でデータの転送を行う。図1は、本発明の第1の実施形態に係るメモリシステム1の構成を示すブロック図である。

【0012】

メモリセルアレイ10は、電气的に書き換えが可能であり、不揮発性半導体メモリの一種であるNAND型フラッシュメモリから構成される。メモリセルアレイ10は、データ消去の単位である複数個のブロックを備えている。メモリセルアレイ10には、それぞれがロウ方向に延在するように複数のワード線WLが配設されている。また、メモリセルアレイ10には、それぞれがカラム方向に延在するように複数のビット線BLが配設されている。

10

【0013】

ロウデコーダ11は、メモリセルアレイ10の行選択(ワード線選択)を行い、カラムデコーダ12は、メモリセルアレイ10の列選択(ビット線選択)を行う。データラッチを含むセンスアンプ回路13は、メモリセルアレイ10のビット線BLに接続され、メモリセルアレイ10からデータの読み出しを行い、或いは外部回路から供給された書き込みデータをメモリセルアレイ10に書き込む。

20

【0014】

データ読み出し時、センスアンプ回路13に読み出されたデータは、データバス14、及び入出力バッファ15を介して、外部回路(例えば、ホストコントローラ2)に出力データDOとして出力される。データ書き込み時、ホストコントローラ2からメモリシステム1に入力された入力データDIは、入出力バッファ15、及びデータバス14を介して、書き込みデータとしてセンスアンプ回路13に送られる。

【0015】

ホストコントローラ2から供給されるアドレスADDは、入出力バッファ15を介して、アドレスレジスタ16に保持される。アドレスレジスタ16に保持されたアドレスADDは、ロウデコーダ11及びカラムデコーダ12に送られる。ホストコントローラ2から供給されるコマンドCMDは、コマンドインターフェース17によってデコードされ、制御部であるステートマシン18に送られる。

30

【0016】

ステートマシン(制御部)18は、動作モードに応じて供給されるコマンドCMDに基づいて、データ書き込み、データ読み出し、及びデータ消去の制御を行う。これらの動作を制御するために、ステートマシン18は、ロウデコーダ11、カラムデコーダ12、センスアンプ回路13、ソース線制御回路19、及びPウェル制御回路20の動作を制御する。

【0017】

ソース線制御回路19は、メモリセルアレイ10内に設けられるソース線SLの電圧CELSRCを制御する。Pウェル制御回路20は、動作モードに応じて、メモリセルアレイ10を構成する複数個のブロックに対応する複数のP型半導体領域(P型ウェル)の電圧を制御する。

40

【0018】

図2は、メモリセルアレイ10の構成を示す概略図である。前述したように、メモリセルアレイ10は、データ消去の単位である複数個のブロックを備えている。図2には、メモリセルアレイ10が1024個のブロック(ブロックm0~m1023)を備えている場合を例示している。

【0019】

50

図3は、メモリセルアレイ10に含まれる1個のブロックの構成を示す回路図である。1個のブロックは、X方向に沿って順に配列された複数個(例えば16416個)のNANDストリングを備えている。複数個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BLに接続され、ゲートが選択ゲート線SGDに共通接続されている。また、複数個のNANDストリングにそれぞれ含まれる選択トランジスタST2は、ソースがソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

【0020】

各NANDストリングにおいて、複数個(例えば32個)のメモリセルトランジスタMT(以下、単にセルという場合もある)は、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。すなわち、複数個のメモリセルトランジスタMTは、隣接するもの同士で拡散領域(ソース領域若しくはドレイン領域)を共有するような形でY方向に直列接続される。

10

【0021】

そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート電極がワード線WL0~WL31にそれぞれ接続されている。従って、ワード線WL0に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WL31に接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

20

【0022】

図4は、NANDストリングの構成を示す断面図である。半導体基板30内には、P型ウェル(P-well)31が形成されている。各メモリセルトランジスタMTは、P型ウェル31上に形成された積層ゲート構造を備えたMOSFET(metal oxide semiconductor field effect transistor)から構成される。積層ゲート構造は、P型ウェル31上に、トンネル絶縁膜33、電荷蓄積層(浮遊ゲート電極)34、ゲート間絶縁膜35、制御ゲート電極36が順に積層されて構成されている。隣接する積層ゲート構造間のP型ウェル31内には、拡散領域32が設けられている。

【0023】

メモリセルトランジスタMTは、浮遊ゲート電極34に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じてデータを記憶する。メモリセルトランジスタMTは、2値(1ビット)を記憶するように構成されていてもよいし、多値(2ビット以上のデータ)を記憶するように構成されていてもよい。

30

【0024】

また、選択トランジスタST1は、P型ウェル31上に設けられたゲート絶縁膜37、ゲート絶縁膜37上に設けられたゲート電極38、及びP型ウェル31内に互いに離間して設けられたソース及びドレインから構成されている。選択トランジスタST2についても同様である。

【0025】

ワード線WL0~WL31は、ブロック内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、1個のブロック内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される16416個のメモリセルトランジスタMTは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

40

【0026】

また、ビット線BL0~BL16415は、ブロック間で、選択トランジスタST1のドレインを共通接続している。つまり、複数個のブロック内において同一列にあるNANDストリングは、同一のビット線BLに接続される。

【0027】

50

本実施形態では、隣接する偶数番ビット線 B L e と奇数番ビット線 B L o とが一つのセンスアンプ S A を共有する、共有センスアンプ方式が用いられる。これは、メモリセルアレイ 10 の微細化により、ビット線ピッチ毎にセンスユニットを配置することが困難であること、及び隣接ビット線間の容量結合ノイズが大きくなることを考慮した結果である。偶数番ビット線 B L e と奇数番ビット線 B L o とは、その一方が選択される時に他方をシールド線として用いることにより、ビット線間の容量結合によるノイズの影響を低減することができる。

【 0 0 2 8 】

よって、本実施形態の N A N D 型フラッシュメモリでは、一本のワード線と全偶数番ビット線 B L e により選択されるメモリセルトランジスタ M T の集合が第 1 ページ（偶数ページ）を構成し、同ワード線と全奇数番ビット線 B L o により選択されるメモリセルトランジスタ M T の集合が第 2 ページ（奇数ページ）を構成する。

10

【 0 0 2 9 】

図 5 は、センスアンプ回路 13 に含まれる 1 個のセンスユニット（センスアンプ）S A の構成を示す回路図である。センスアンプ S A への制御信号は、ステートマシン 18 から供給される。

【 0 0 3 0 】

共有センスアンプ方式を用いる場合、メモリシステム 1 は、ビット線選択回路（選択トランジスタ Q 1 ~ Q 4 ）を備えている。すなわち、ビット線選択回路は、ビット線 B L e , B L o を選択的にノード S A B L に接続するための選択信号 B L S e , B L S o によりゲートが駆動される選択トランジスタ Q 1 , Q 2 と、非選択状態のビット線 B L e 或いは B L o に対して固定バイアス B L C R L を与えるため信号 B L A S e , B L A S o によりゲートが駆動されるバイアス用トランジスタ Q 3 , Q 4 とを有する。

20

【 0 0 3 1 】

ノード S A B L は、クランプ用 N M O S トランジスタ Q 5 を介してセンスノード T D C に接続される。クランプ用 N M O S トランジスタ Q 5 のゲートには、信号 B L C L A M P が供給される。N M O S トランジスタ Q 5 は、ビット線電圧をクランプする機能と、ビット線データのプリセンスアンプの機能とを有する。センスノード T D C には、ビット線をプリチャージするためのプリチャージ用 N M O S トランジスタ Q 6 を介してプリチャージ電圧 V P R E が供給される。N M O S トランジスタ Q 6 のゲートには、信号 B L P R E が供給されている。また、センスノード T D C には、電荷保持用キャパシタ C が接続されている。

30

【 0 0 3 2 】

さらに、センスノード T D C には、データ転送用 N M O S トランジスタ Q 7 , Q 19 を介してデータラッチ P D C , S D C が並列接続されている。データラッチ P D C , S D C は、クロックインバータを用いて構成されている。

【 0 0 3 3 】

データラッチ P D C は、データ書き込み及び読み出しに用いられるメインのデータ記憶回路である。データラッチ P D C は、クロックインバータ C I 1 , C I 2 , 及び N M O S トランジスタ Q 14 により構成されている。N M O S トランジスタ Q 14 は、クロックインバータ C I 1 の入力とクロックインバータ C I 2 の入力との相互間に接続されている。この N M O S トランジスタ Q 14 のゲートには、信号 E Q 1 が供給されている。クロックインバータ C I 1 の活性 / 非活性は、信号 S E N 1 , S E N 1 n によって制御される。クロックインバータ C I 2 の活性 / 非活性は、信号 L A T 1 , L A T 1 n によって制御される。

40

【 0 0 3 4 】

データラッチ P D C のノード N 1 とセンスノード T D C との間には、書き込みデータを一時保持する記憶ノード D D C を備えたデータ書き戻し回路が構成されている。具体的には、記憶ノード D D C となる N M O S トランジスタ Q 9 のゲートと、ノード N 1 との間には、データ転送用 N M O S トランジスタ Q 8 が設けられている。N M O S トランジスタ Q 8 のゲートには、信号 D T G が供給されている。

50

【 0 0 3 5 】

NMOSトランジスタQ9の電流経路の一端には、プリチャージ電圧VPREが供給されている。NMOSトランジスタQ9の電流経路の他端とセンスノードTDCとの間には、記憶ノードDDCの保持データに応じて次サイクルの書き込みデータを決定するための、書き戻し用NMOSトランジスタQ10が設けられている。NMOSトランジスタQ10のゲートには、信号REGが供給されている。このような構成により、記憶ノードDDCに保持されたデータに従い、ベリファイ読み出し時にセンスノードTDCを強制的に放電し、或いは充電するといった制御が可能になる。

【 0 0 3 6 】

記憶ノードBDCは、データ書き込み時に、特定のベリファイレベルより若干低いベリファイレベルに達したかどうかを示すデータを記憶する。記憶ノードBDCとなるNMOSトランジスタQ12のゲートとノードN1の間には、データ転送用NMOSトランジスタQ11が設けられている。NMOSトランジスタQ11のゲートには、信号DTGBが供給されている。

10

【 0 0 3 7 】

NMOSトランジスタQ12の電流経路の一端には、プリチャージ電圧VPRE_BDCが供給されている。NMOSトランジスタQ12の電流経路の他端とセンスノードTDCの間には、記憶ノードBDCの保持データに応じて次サイクルの書き込みデータを決定するための、書き戻し用NMOSトランジスタQ13が設けられている。NMOSトランジスタQ13のゲートには、信号BREGが供給されている。このような構成により、記憶ノードBDCに保持されたデータに従い、ベリファイ読み出し時にセンスノードTDCを強制的に放電し、或いは充電するといった制御が可能になる。

20

【 0 0 3 8 】

データラッチPDCのノードN2は、NMOSトランジスタQ16のゲートに接続されている。このNMOSトランジスタQ16の電流経路の一端は、NMOSトランジスタQ15を介して接地されている。このNMOSトランジスタQ15のゲートには、信号CHK1が供給されている。NMOSトランジスタQ16の電流経路の他端は、トランスファージェートを構成するNMOSトランジスタQ17、Q18の電流経路の一端に接続されている。NMOSトランジスタQ17のゲートには信号CHK2nが供給されている。NMOSトランジスタのゲートは、センスノードTDCに接続されている。NMOSトランジスタQ17、Q18の電流経路の他端には、信号COMiが供給されている。この信号COMiは全センスアンプSAに共通の信号であり、全センスアンプSAのベリファイが完了したかどうかを示す信号である。すなわち、ベリファイが完了すると、PDCのノードN2がローレベルとなる。この状態において、信号CHK1、CHK2nをハイレベルとすると、ベリファイが完了している場合、信号COMiがハイレベルとなる。

30

【 0 0 3 9 】

データラッチSDCは、クロックインバータCI3、CI4、及びNMOSトランジスタQ20、Q21により構成されている。NMOSトランジスタQ20は、クロックインバータCI3の入力と、クロックインバータCI4の入力との間に接続されている。NMOSトランジスタQ20のゲートには、信号EQ2が供給されている。データラッチSDCのノードN3は、NMOSトランジスタQ21を介して接地されている。NMOSトランジスタQ21のゲートには、信号PRSTが供給されている。

40

【 0 0 4 0 】

データラッチSDCのノードN3は、カラム選択トランジスタQ22を介して入出力データ線IOに接続され、データラッチSDCのノードN4は、カラム選択トランジスタQ23を介して入出力データ線IONに接続される。これらカラム選択トランジスタQ22、Q23のゲートにはそれぞれ、カラムデコード12からカラム選択信号CSLiが供給されている。

【 0 0 4 1 】

[2 . メモリシステム 1 の動作]

50

このように構成されたメモリシステム 1 の動作について説明する。メモリセルトランジスタ M T は、書き込み及び消去を繰り返していくうちにトンネル絶縁膜に電子がトラップされ、その影響でメモリセルトランジスタ M T に流れる電流（以下、セル電流という）は劣化とともに減少して行く。このため、セル電流を評価することでメモリセルトランジスタ M T が劣化しているかどうかを判定すること可能である。

【 0 0 4 2 】

図 6 は、劣化前のメモリセルトランジスタ（劣化前セル）と劣化後のメモリセルトランジスタ（劣化後セル）との電流 - 電圧特性を示す図である。横軸はメモリセルトランジスタ M T の制御ゲート電極に印加する電圧（V C G）、縦軸はメモリセルトランジスタ M T のセル電流 I の自然対数（ $\log_e I$ ）を示している。なお、劣化前セル及び劣化後セル共にデータが消去された状態での特性である。図 6 に示すように、劣化後セルは、劣化前セルに比べて、セル電流 I が減少している。

10

【 0 0 4 3 】

[2 - 1 . 劣化ブロック判定動作]

図 7 は、劣化したブロックを判定するための判定動作を示すフローチャートである。本実施形態の劣化ブロック判定動作には、各メモリセルトランジスタのセル電流を測定するセル電流測定動作が含まれる。このセル電流測定動作は、通常データ読み出し動作を応用して行われる。なお、N A N D ストリング中にデータが書き込まれているセルがあるとその影響でセル電流が減少してしまうため、劣化ブロック判定動作を行う場合は、予めブロックのデータを消去しておく。

20

【 0 0 4 4 】

まず、ホストコントローラ 2 は、メモリシステム 1 に対して劣化判定コマンドを発行する。劣化判定コマンドを受けると（ステップ S 1 0）、ステートマシン 1 8 は、1 個のブロック内の全メモリセルトランジスタ M T に対してセル電流を測定する（セル電流測定動作）（ステップ S 1 1）。そして、ステートマシン 1 8 は、各セル電流を評価することによって、測定対象のメモリセルトランジスタ M T が劣化している（劣化したセルである）か否かを判定する。具体的には、書き換えを全く行っていないメモリセルトランジスタのセル電流が $1 \mu A$ 以上である場合、書き換えを繰り返したメモリセルトランジスタのセル電流が所定値、例えば $0.1 \mu A$ 未満である場合に、そのメモリセルトランジスタは劣化していると判定する。

30

【 0 0 4 5 】

続いて、ステートマシン 1 8 は、1 個のブロックに含まれる全メモリセルトランジスタ M T の数に対して劣化したセルの数が所定割合（例えば 8 割）を超えたか否かを判定する（ステップ S 1 2）。この所定割合は、劣化したブロックを判定する基準となり、任意に設定可能である。所定割合を超えた場合、ステートマシン 1 8 は、当該ブロック内の冗長部に、劣化したブロックであることを示すフラグを書き込む（ステップ S 1 3）。一方、ステップ S 1 2 において所定割合を超えていないと判定された場合、ステートマシン 1 8 は、当該ブロックに対してフラグを書き込まない。続いて、ステートマシン 1 8 は、全ブロックに対してセル電流の測定が完了するまで、ステップ S 1 1 ~ S 1 3 までの動作を繰り返す（ステップ S 1 4）。

40

【 0 0 4 6 】

次に、メモリセルトランジスタ M T のセル電流測定動作について説明する。セル電流は、メモリセルトランジスタ M T の放電特性によって測定される。通常読み出し動作においては、他のセルの影響やセル電流劣化の影響を見えにくくするために、ビット線放電時間を十分に取り、N A N D ストリングを流れる電流が少ないところで閾値電圧を判定している。しかし、本実施形態のセル電流測定動作では、電流の多いところで判定を行いたい。ため、通常読み出し動作に比べて、ビット線放電時間を短く設定できるようにしている。

【 0 0 4 7 】

図 8 は、セル電流測定時におけるビット線の放電特性を示す図である。横軸はビット線

50

の放電時間、縦軸はビット線電圧（BL電圧）を示している。また、図8には、書き込み状態のセル（書き込みセル）、消去状態かつ劣化前のセル（劣化前消去セル）、及び消去状態かつ劣化後のセル（劣化後消去セル）についての放電特性を示している。

【0048】

劣化前消去セルでは、ビット線の放電が開始されると、ビット線電圧は急激に低下し一定の値に落ち着く。一方、劣化後消去セルでは、ビット線の放電が開始されると、セル電流が小さいため、ビット線電圧が緩やかに低下し一定の値に落ち着く。本実施形態では、セル電流を測定するタイミングは、劣化前消去セルが消去状態（“0”データ記憶）として判定され、劣化後消去セルが書き込み状態（“1”データ記憶）として判定される放電時間に設定される。

10

【0049】

この結果、メモリセルトランジスタMTの制御ゲート電極に消去状態でオンする読み出し電圧を印加しつつ図8に示したタイミングでセル電流を測定した場合、劣化前消去セルでは、ビット線電圧が十分下がっているため消去状態（“0”データ記憶）として判定される一方、劣化後消去セルでは、ビット線電圧があまり下がっていないため書き込み状態（“1”データ記憶）として判定される。このようにして、メモリセルトランジスタMTのセル電流を測定することが可能となる。

【0050】

図9は、メモリシステム1のセル電流測定動作を示すタイミングチャートである。まず、ソース線制御回路19は、ソース線SLの電圧CELSRCを接地電圧Vssに設定する。また、ロウデコーダ11によって選択ゲート線SGSは接地電圧Vssに設定されており、選択トランジスタST2はオフしている。

20

【0051】

続いて、ビット線BLがプリチャージされる。すなわち、ロウデコーダ11によって選択ゲート線SGDが、電源電圧Vddよりトランジスタの閾値電圧Vthだけ高い電圧Vsg ($Vdd + Vth$) に設定され、選択トランジスタST1がオンする。続いて、プリチャージ電圧VPREが電源電圧Vddに設定され、信号BLPREが電圧Vsgに設定される。これにより、NMOSTランジスタQ6がオンし、センスノードTDCは電圧Vddに設定される。そして、信号BLCLAMPが電圧Vclamp（例えば $Vdd + Vth$ ）に設定されることでクランプ用NMOSTランジスタQ5がオンし、ビット線が電圧Vddにプリチャージされる。その後、信号BLCLAMPが接地電圧Vssに設定されてクランプ用NMOSTランジスタQ5がオフし、ビット線がフローティング状態になる。

30

【0052】

また、ロウデコーダ11によって測定対象のメモリセルトランジスタが接続されたワード線WL（選択ワード線）が読み出し電圧Vcgrxxに設定され、それ以外のワード線WL（非選択ワード線）が全データ閾値電圧の上限値より高い読み出しバス電圧Vreadに設定される。なお、2値の場合を例にとると、読み出し電圧Vcgrxxは、消去状態のセル（“0”データを保持するセル）がオンし、かつ書き込み状態のセル（“1”データを保持するセル）がオフする電圧に設定される。

【0053】

続いて、ビット線BLが放電される。すなわち、ロウデコーダ11によって選択ゲート線SGSが、電圧Vsg ($Vdd + Vth$) に設定され、選択トランジスタST2がオンする。

40

【0054】

続いて、データラッチPDCを非活性状態にしてからNMOSTランジスタQ7をオンし、センスノードTDCとノードN1とを同電圧にする。そして、電圧VPREを電源電圧Vddに設定した後、NMOSTランジスタQ6をオンさせてセンスノードTDCを電源電圧Vddにプリチャージする。その後、NMOSTランジスタQ6をオフする。

【0055】

続いて、信号BLCLAMPにセンス電圧Vsenを印加する。ここで、選択トランジスタS

50

T2 がオンしてから、信号BLCLAMPにセンス電圧 V_{sen} を印加するまでのBL放電時間は、通常の読み出し動作に比べて、短く設定される。

【0056】

ビット線電圧が“VPRE - V_{th} ”から“ $V_{sen} - V_t$ ”まで放電されていた場合、クランプ用NMOSトランジスタQ5がオンするため、ノードTDC、N1の電圧は、ビット線電圧とほぼ等しくなるまで低下する。この時、ノードTDC、N1の電圧は、Vddからビット線電圧まで低下する。また、ノードTDC、N1の容量に比べて、ビット線容量は非常に大きいため、ノードTDC、N1の電荷は瞬時に抜ける。一方、ビット線電圧が“ $V_{sen} - V_{th}$ ”まで放電されていない場合は、クランプ用NMOSトランジスタQ5がオンしないため、ノードTDC、N1にはVddが保持される。続いて、データラッチPDCを活性状態にして、センスノードTDCの電圧をデータラッチPDCでセンスする。このようにして、メモリセルトランジスタMTのセル電流を測定することが可能となる。

10

【0057】

[2-2.書き込み動作]

セルが劣化すると、これのトンネル絶縁膜にトラップされる電子が増加するため、セルの閾値電圧が高くなる。これにより、劣化後のセルは、劣化前のセルに比べて、より書き込みされやすくなる。NAND型フラッシュメモリを多値で使用する場合、データを書き込む際に所望の閾値電圧より高い閾値電圧に設定されてしまう結果、所望のデータと異なるデータが書き込まれてしまう、いわゆるオーバープログラムと呼ばれる不良が発生する。

20

【0058】

しかし、本実施形態では、劣化したブロックが予め判定できるため、劣化したブロックに対しては、データ書き込み時に書き込み電圧を下げることでオーバープログラムを抑制することができる。すなわち、前述したように劣化したブロックであるか否かを判定し、劣化したブロックである場合には、以後、そのブロックに対しては書き込み電圧を変更して書き込み動作を行うようにしている。図10は、メモリシステム1の書き込み動作を示すフローチャートである。

【0059】

まず、ホストコントローラ2は、メモリシステム1に対して書き込みコマンドを発行し、さらに、アドレス及びデータを送る。メモリシステム1は、これら書き込みコマンド、アドレス、及びデータを受ける(ステップS20)。

30

【0060】

続いて、ステートマシン18は、アドレスに対応するブロックから、劣化したブロックであるか否かを示すフラグを読み出す(ステップS21)。そして、ステートマシン18は、このフラグを用いて、上記ブロックが劣化しているか否かを判定する(ステップS22)。ブロックが劣化していない場合、ロウデコーダ11は、通常書き込み電圧を用いて、上記ブロックに対してデータの書き込みを実行する(ステップS24)。

【0061】

一方、ステップS22においてブロックが劣化していると判定された場合、ロウデコーダ11は、通常書き込み電圧より低い劣化用書き込み電圧を用いて、上記ブロックに対してデータの書き込みを実行する(ステップS23)。書き込み電圧の下げ幅は、メモリセルトランジスタMTの特性に基づいて決定され、例えば、劣化したメモリセルトランジスタMTの閾値電圧が上昇した分だけ書き込み電圧を下げるようにする。このような書き込み動作によって、劣化したブロックに対してオーバープログラム不良が発生するのを抑制することができる。

40

【0062】

[3.フラグの格納方式]

次に、劣化したブロックであることを示すフラグの格納方式について説明する。NAND型フラッシュメモリ(メモリセルアレイ10)は、各ブロック内に冗長領域を備えてお

50

り、この冗長領域の一部にフラグを格納する。図 1 1 は、1 個のブロックの冗長領域の構成を示す図である。

【 0 0 6 3 】

本実施形態では、1 個のブロックは、6 4 個のページ p 0 ~ p 6 3 を備えている。各ページは、2 0 5 2 バイトを有しており、そのうち 2 0 4 8 バイトがユーザデータを格納するユーザ領域であり、残りの 4 バイトが冗長領域である。そして、任意のページの 4 バイトの冗長領域（冗長部 r 0 ~ r 3 ）のうちの 1 バイトの冗長部（例えば、冗長部 r 3 ）が、フラグを格納するために使用される。

【 0 0 6 4 】

さらに本実施形態では、劣化したブロックであることを示すフラグデータに信頼性を持たせるため、劣化したブロックの冗長部 r 3 には“ 8 ' h F F ”、劣化していないブロックには“ 8 ' h 0 0 ”を書き込むようにする。そして、8 ビットのフラグデータのうち、“ 1 ”データと“ 0 ”データとの多数決によって劣化したブロックであるか否か判定する。なお、フラグを書き込むアドレスは、冗長部 r 3 に限らず他の目的で使用しない冗長部であればどこでも良い。また、フラグデータのビット数は、ブロックの劣化を判定するための信頼性が確保できる範囲であれば何ビットでも構わない。

10

【 0 0 6 5 】

以上詳述したように本実施形態によれば、メモリセルトランジスタのセル電流を測定することで、このメモリセルトランジスタが劣化しているか否かを判定するようにしている。具体的には、消去状態のセルの放電特性を用いて、所定の放電時間でのセル電流の大きさ（ビット線電圧の大きさ）によりメモリセルトランジスタの劣化を判定している。これにより、劣化したメモリセルトランジスタを認識することが可能となる。さらに、1 個のブロック内の全メモリセルトランジスタの劣化を判定することで、ブロック単位で劣化の判定が可能となる。

20

【 0 0 6 6 】

また、劣化したブロックに対しては、データ書き込み時に、通常書き込み電圧に比べて、書き込み電圧を低く設定するようにしている。これにより、オーバープログラムが発生するのを抑制することができるため、書き込み動作に要する時間が低減でき、かつデータの信頼性を向上させることが可能となる。

【 0 0 6 7 】

また、劣化したブロックに対しては、当該ブロック内の冗長領域に、劣化したブロックであることを示すフラグを格納するようにしている。これにより、以後の書き込み動作等において、ブロックが劣化しているか否かを容易に判定することができる。

30

【 0 0 6 8 】

また、劣化したブロックであることを示すフラグデータを複数ビットで構成し、複数ビットを総合的に判定して、フラグの状態を読み出している。これにより、フラグデータの信頼性を向上させることができる。

【 0 0 6 9 】

（第 2 の実施形態）

ブロックは、書き込みに先立って一括消去される。消去動作は、以下のように行われる。まず、ロウデコーダ 1 1 によってブロック内の全ワード線が接地電圧 V_{ss} に設定される。続いて、P ウェル制御回路 2 0 は、ブロックが形成された P 型ウェル 3 1 に 2 0 V 程度の消去電圧 V_{era} を印加する。これにより、ブロック内の全メモリセルトランジスタ M T は、浮遊ゲート電極の電子が P 型ウェル 3 1 に放出され、閾値電圧の低い消去状態になる。データ消去は、消去電圧の印加と、消去状態を確認する消去ベリファイとの繰り返しにより行われる。

40

【 0 0 7 0 】

第 2 の実施形態は、データが正確に消去されたか否かを判定する消去ベリファイ動作を応用して、メモリセルトランジスタ M T のセル電流を測定するようにしている。図 1 2 は、本発明の第 2 の実施形態に係るメモリシステム 1 のセル電流測定動作を示すタイミング

50

チャートである。

【0071】

第1の実施形態と同様に、セル電流は、メモリセルトランジスタMTの放電特性によって測定される。通常の消去ペリファイ動作においては、他のセルの影響やセル電流劣化の影響を見えにくくするために、ビット線充電時間を十分に取り、NANDストリングを流れる電流が少ないところで閾値を判定している。しかし、本実施形態のセル電流測定では、電流の多いところで判定を行いたいため、ビット線充電時間を短く設定できるようにしている。

【0072】

まず、ソース線制御回路19は、ソース線SLの電圧CELSRCを電源電圧Vddに設定する。ロウデコーダ11によって選択ゲート線SGSは電圧Vsg (Vdd + Vth) に設定され、選択トランジスタST2はオンしている。また、ロウデコーダ11によって選択ゲート線SGDは接地電圧Vssに設定され、選択トランジスタST1はオフしている。

10

【0073】

続いて、ビット線BLが放電される。すなわち、電圧VPREが接地電圧Vssに設定され、信号BLPREが電圧Vsgに設定される。これにより、NMOSTランジスタQ6がオンし、センスノードTDCは電圧Vssに設定される。そして、信号BLCLAMPが電圧Vclamp (例えばVdd + Vth) に設定されることでクランプ用NMOSTランジスタQ5がオンし、ビット線が電圧Vssまで放電される。

【0074】

20

続いて、ロウデコーダ11によって測定対象のメモリセルトランジスタが接続されたワード線WL (選択ワード線) が読み出し電圧Vcgrxxに設定され、それ以外のワード線WL (非選択ワード線) が全データ閾値電圧の上限値より高い読み出しパス電圧Vreadに設定される。その後、信号BLCLAMP及び信号BLPREが接地電圧Vssに設定され、クランプ用NMOSTランジスタQ5及びNMOSTランジスタQ6がオフする。

【0075】

続いて、測定対象のメモリセルトランジスタの放電特性によって、ビット線BLが充電される。すなわち、ロウデコーダ11によって選択ゲート線SGDが、電圧Vsg (Vdd + Vth) に設定され、選択トランジスタST1がオンする。

【0076】

30

続いて、データラッチPDCを非活性状態にしてからNMOSTランジスタQ7をオンし、センスノードTDCとノードN1とを同電圧にする。そして、電圧VPREを電源電圧Vddに設定した後、NMOSTランジスタQ6をオンさせてセンスノードTDCを電源電圧Vddにプリチャージする。その後、NMOSTランジスタQ6をオフする。

【0077】

続いて、信号BLCLAMPにセンス電圧Vsenevを印加する。選択トランジスタST1がオンしてから、信号BLCLAMPにセンス電圧Vsenevを印加するまでのBL充電時間は、通常の消去ペリファイ動作に比べて、短く設定される。

【0078】

40

ここで、ビット線電圧がハイレベルに充電されていた場合、クランプ用NMOSTランジスタQ5がオンしないため、ノードTDC、N1にはVddが保持される。一方、ビット線電圧がローレベルを維持している場合、クランプ用NMOSTランジスタQ5がオンするため、ノードTDC、N1の電圧は、ビット線電圧とほぼ等しくなるまで低下する。この時、ノードTDC、N1の電圧は、Vddからビット線電圧まで低下する。また、ノードTDC、N1の容量に比べて、ビット線容量は非常に大きいため、ノードTDC、N1の電荷は瞬時に抜ける。続いて、データラッチPDCを活性状態にして、センスノードTDCの電圧をデータラッチPDCでセンスする。

【0079】

通常の消去ペリファイ動作においては、他のセルの影響やセル電流劣化の影響を見えにくくしてデータの判定を容易にするために、ビット線の充電時間を十分に長くしている。

50

一方、セル電流測定動作においては、劣化の程度を判定するために、劣化前と劣化後とでビット線電圧の差が大きい場所で判定をするようにしている。このように、消去ベリファイ時の充電時間より短い所定の充電時間が過ぎた後のビット線電圧をセンスすることで、劣化したメモリセルトランジスタであるか否かを判定することができる。

【0080】

(第3の実施形態)

メモリセルトランジスタが劣化すると、トンネル絶縁膜にトラップされた電子の増加によりメモリセルトランジスタの閾値電圧が高くなるため、劣化前に比べて消去しにくくなる。そこで、第3の実施形態では、消去動作を行う前にブロックが劣化しているか否かを判定し、劣化したブロックに対しては、消去電圧を高くして消去動作を行うようにしている。図13は、本発明の第3の実施形態に係るメモリシステム1の消去動作を示すフローチャートである。

10

【0081】

まず、ステートマシン18は、消去対象のブロックから、劣化したブロックであるか否かを示すフラグを読み出す(ステップS30)。そして、ステートマシン18は、このフラグを用いて、上記ブロックが劣化しているか否かを判定する(ステップS31)。ブロックが劣化していない場合、Pウェル制御回路20は、通常の消去電圧を用いて、消去対象のブロックに対してデータの消去を実行する(ステップS33)。

【0082】

一方、ステップS31においてブロックが劣化していると判定された場合、Pウェル制御回路20は、通常の消去電圧より高い劣化用消去電圧を用いて、消去対象のブロックに対してデータの消去を実行する(ステップS32)。消去電圧の上げ幅は、メモリセルトランジスタMTの特性に基づいて決定され、例えば、劣化したセルトランジスタMTの閾値電圧が上昇した分だけ消去電圧を上げるようにする。

20

【0083】

従来は、1回の消去処理で全セルのデータが消去されなかった場合は、全セルのデータが消去されるまで更に数回の消去処理を繰り返していたため、この消去処理の繰り返しによる消去時間が長くなっていた。しかし、本実施形態では、劣化したブロックに対しては、消去電圧を上げて消去動作を行うので、1回の消去処理でブロック内の全セルのデータを消去できる確率が高くなる。これにより、消去時間の増加を抑制することができる。

30

【0084】

(第4の実施形態)

メモリセルトランジスタが劣化すると、トンネル絶縁膜にトラップされた電子が増加するが、そのまま放置するとトラップされた電子がトンネル絶縁膜から抜けるためメモリセルトランジスタの閾値電圧が低くなる。すなわち、メモリセルトランジスタが劣化すると、データ保持特性(data retention characteristics)が劣化する。そこで、第4の実施形態では、読み出し動作を行う前にブロックが劣化しているか否かを判定し、劣化したブロックに対しては、読み出し電圧を低くして読み出し動作を行うようにしている。

【0085】

図14は、劣化前における多値(4値)を保持するメモリセルトランジスタMTの閾値電圧分布を示す図である。横軸はメモリセルトランジスタMTの閾値電圧 V_{th} 、縦軸はセル数を示している。

40

【0086】

この例では、閾値電圧の負側に1つの分布、正側に3つの分布を割り当てており、閾値電圧の低い方から順に“E”、“A”、“B”、“C”とする。“E”と“A”とを判定する読み出し電圧を V_{cgra} 、“A”と“B”とを判定する読み出し電圧を V_{cgrb} 、“B”と“C”とを判定する読み出し電圧を V_{cgrc} とする。図14に示すように、劣化前のメモリセルトランジスタMTでは、各閾値分布と読み出し電圧との間隔を広げることで、データ保持特性のマージンを確保している。このように、劣化前のブロックに対しては、読み出し電圧を V_{cgra} 、 V_{cgrb} 、及び V_{cgrc} を用いて読み出し動作を行う。

50

【0087】

図15は、本発明の第4の実施形態に係るメモリシステム1の読み出し動作を示すフローチャートである。まず、ホストコントローラ2は、メモリシステム1に対して読み出しコマンドを発行し、さらに、アドレスを送る。メモリシステム1は、これら読み出しコマンド及びアドレスを受ける(ステップS40)。

【0088】

続いて、ステートマシン18は、アドレスに対応するブロックから、劣化したブロックであるか否かを示すフラグを読み出す(ステップS41)。そして、ステートマシン18は、このフラグを用いて、上記ブロックが劣化しているか否かを判定する(ステップS42)。ブロックが劣化していない場合、ロウデコーダ11は、読み出し電圧Vcgra、Vcgrb、及びVcgrcを用いて、上記ブロックに対してデータの読み出しを実行する(ステップS44)。

10

【0089】

一方、ステップS42においてブロックが劣化していると判定された場合、ロウデコーダ11は、読み出し電圧Vcgra、Vcgrb、及びVcgrcより低い劣化用読み出し電圧を用いて、上記ブロックに対してデータの読み出しを実行する(ステップS43)。読み出し電圧の下げ幅は、メモリセルトランジスタMTの特性に基づいて決定され、例えば、劣化したセルトランジスタMTの閾値電圧が時間と共にどの程度低下するかを算出して設定される。

【0090】

以上詳述したように本実施形態によれば、劣化したブロックに対しては、読み出し電圧を下げて読み出し動作を行うので、メモリセルトランジスタMTから読み出されるデータの信頼性を向上させることが可能となる。

20

【0091】

(第5の実施形態)

第5の実施形態は、メモリセルトランジスタMTのセル電流を測定することで、このメモリセルトランジスタMTを含むブロックが劣化しているか否かを判定し、ブロックが劣化している場合に、そのブロックを使用禁止にする(Bad Block化する)ようにしている。図16は、本発明の第5の実施形態に係るメモリシステム1のブロックの使用禁止設定動作を示すフローチャートである。

30

【0092】

まず、ホストコントローラ2は、メモリシステム1に対して劣化判定コマンドを発行する。劣化判定コマンドを受けると(ステップS50)、ステートマシン18は、1個のブロック内の全メモリセルトランジスタMTに対してセル電流を測定する(ステップS51)。そして、ステートマシン18は、各セル電流を評価することによって、測定対象のメモリセルトランジスタMTが劣化しているか否かを判定する。

【0093】

続いて、ステートマシン18は、ブロックの全メモリセルトランジスタMTの数に対して劣化したセルの数が所定割合(例えば8割)を超えたか否かを判定する(ステップS52)。この所定割合は、劣化したブロックを判定する基準となり、任意に設定可能である。所定割合を超えた場合、ステートマシン18は、当該ブロックを使用禁止にする(ステップS53)。具体的には、ステートマシン18は、ブロックにBad Blockマークを書き込む。このBad Blockマークは、ステートマシン18が識別できるものであればどんなマークでもよく、例えば、ブロック内の全セルに“0”データを書き込むようにする。以後、ステートマシン18は、Bad Block化されたブロックを使用しないようにする。

40

【0094】

一方、ステップS52において所定割合を超えていないと判定された場合、ステートマシン18は、当該ブロックに対してBad Blockマークを書き込まない。続いて、ステートマシン18は、全ブロックに対してセル電流の測定が完了するまで、ステップS51~S53までの動作を繰り返す(ステップS54)。

50

【 0 0 9 5 】

以上詳述したように本実施形態によれば、ブロックが劣化しているか否かを判定し、劣化したブロックを使用禁止にする（Bad Block化する）ようにしている。これにより、データ保持特性、書き込み特性及び消去特性などが劣化したメモリセルトランジスタMTを使用しないので、結果としてメモリシステム1の信頼性を向上させることができる。

【 0 0 9 6 】

（第6の実施形態）

第6の実施形態は、メモリセルトランジスタMTが劣化しているか否かを判定する方法として、ブロックの全データを消去するために行った消去処理の回数（消去ループ回数）を用いるようにしている。メモリセルトランジスタMTが劣化すると、このデータが消去しにくくなることは前述の通りであるが、あるブロックの全データを消去する際に、1回目の消去処理で全データが消去できなかった場合は消去できるまで消去処理を繰り返す。すなわち、何回消去処理を繰り返したかによってセルの劣化度合いを知ることができる。

10

【 0 0 9 7 】

図17は、劣化したブロックを判定するための判定動作を示すフローチャートである。まず、ホストコントローラ2は、メモリシステム1に対して劣化判定コマンドを発行する。劣化判定コマンドを受けると（ステップS60）、ステートマシン18は、任意のブロックの消去ループ回数を読み出す（ステップS61）。消去ループ回数は、各ブロックの消去動作時にステートマシン18が計測する。ブロックごとの消去ループ回数は、ステートマシン18自身が格納していてもよいし、メモリセルアレイ10の任意の領域に格納するようにしてもよい。

20

【 0 0 9 8 】

続いて、ステートマシン18は、消去ループ回数が所定値（例えば2回）を超えているか否かを判定する（ステップS62）。この所定値は、劣化したブロックを判定する基準となり、メモリセルトランジスタMTの特性に基づいて決定される。所定値を超えていた場合、ステートマシン18は、当該ブロック内の冗長部に、劣化したブロックであることを示すフラグを書き込む（ステップS63）。一方、ステップS62において所定値を超えていないと判定された場合、ステートマシン18は、当該ブロックに対してフラグを書き込まない。続いて、ステートマシン18は、全ブロックに対して劣化判定が完了するまで、ステップS61～S63までの動作を繰り返す（ステップS64）。

30

【 0 0 9 9 】

以上詳述したように本実施形態によれば、ブロックの全データを消去するために行った消去処理の回数（消去ループ回数）を用いることで、ブロックが劣化しているか否かを判定することが可能となる。そして、ブロックが劣化しているか否かを示すフラグを用いて、第1、第3、及び第4の実施形態でそれぞれ示した書き込み動作、消去動作、及び読み出し動作を行うことができる。さらに、本実施形態に第5の実施形態を適用することで、劣化したブロックを使用禁止にするようにしてもよい。

【 0 1 0 0 】

（第7の実施形態）

第7の実施形態は、メモリセルトランジスタMTが劣化しているか否かを判定する方法として、メモリセルトランジスタMTにデータを書き込む（プログラムする）ために行った書き込み処理の回数（プログラムループ回数）を用いるようにしている。メモリセルトランジスタMTが劣化すると、書き込みしやすくなることは前述の通りであるが、あるセルにデータを書き込む際に何度か書き込みを行い（例えば10回）、あるワード線WLに接続された全てのセル（ページ）にデータが書き込まれたと判定されれば書き込み動作が終了する。すなわち、プログラムループ回数がどの程度減ったかによってセル劣化の度合いを知ることができる。

40

【 0 1 0 1 】

図18は、劣化したブロックを判定するための判定動作を示すフローチャートである。

50

まず、ホストコントローラ 2 は、メモリシステム 1 に対して劣化判定コマンドを発行する。劣化判定コマンドを受けると (ステップ S 7 0)、ステートマシン 1 8 は、任意のブロックのプログラムループ回数を読み出す (ステップ S 7 1)。プログラムループ回数は、各ブロックに含まれるページへの書き込み動作時にステートマシン 1 8 が計測する。ページごとのプログラムループ回数は、ステートマシン 1 8 自身が格納していてもよいし、メモリセルアレイ 1 0 の任意の領域に格納するようにしてもよい。

【 0 1 0 2 】

続いて、ステートマシン 1 8 は、プログラムループ回数が所定値 (例えば 1 0 回) 以下であるか否かを判定する (ステップ S 7 2)。この所定値は、劣化したブロックを判定する基準となり、メモリセルトランジスタ M T の特性に基づいて決定される。所定値以下である場合、ステートマシン 1 8 は、当該ブロック内の冗長部に、劣化したブロックであることを示すフラグを書き込む (ステップ S 7 3)。一方、ステップ S 7 2 において所定値を超えていると判定された場合、ステートマシン 1 8 は、当該ブロックに対してフラグを書き込まない。続いて、ステートマシン 1 8 は、全ブロックに対して劣化判定が完了するまで、ステップ S 7 1 ~ S 7 3 までの動作を繰り返す (ステップ S 7 4)。

10

【 0 1 0 3 】

以上詳述したように本実施形態によれば、メモリセルトランジスタ M T にデータを書き込むために行ったプログラムループ回数を用いることで、このメモリセルトランジスタ M T を含むブロックが劣化しているか否かを判定することが可能となる。そして、ブロックが劣化しているか否かを示すフラグを用いて、第 1、第 3、及び第 4 の実施形態でそれぞれ示した書き込み動作、消去動作、及び読み出し動作を行うことができる。さらに、本実施形態に第 5 の実施形態を適用することで、劣化したブロックを使用禁止にするようにしてもよい。

20

【 0 1 0 4 】

(第 8 の実施形態)

第 8 の実施形態は、メモリセルトランジスタの劣化に伴う各ブロックの設定変更をホストコントローラ 2 で制御する構成例について示している。図 1 9 は、劣化したブロックを判定するための判定動作を示すフローチャートである。なお、NAND ストリング中にデータが書き込まれているセルがあるとその影響でセル電流が減少してしまうため、劣化ブロック判定動作を行う場合は、予めブロックのデータを消去しておく。

30

【 0 1 0 5 】

まず、ホストコントローラ 2 は、メモリシステム 1 に対して劣化判定コマンドを発行する。劣化判定コマンドを受けると (ステップ S 8 0)、ステートマシン 1 8 は、1 個のブロック内の全メモリセルトランジスタ M T に対してセル電流を測定する (ステップ S 8 1)。そして、ステートマシン 1 8 は、各セル電流を評価することによって、測定対象のメモリセルトランジスタ M T が劣化している (劣化したセルである) か否かを判定する。

【 0 1 0 6 】

続いて、ステートマシン 1 8 は、ブロックの全メモリセルトランジスタ M T の数に対して劣化したセルの数が所定割合 (例えば 8 割) を超えたか否かを判定する (ステップ S 8 2)。この所定割合は、劣化したブロックを判定する基準となり、任意に設定可能である。所定割合を超えた場合、ステートマシン 1 8 は、劣化したブロックであることを示すステータス情報を生成し、このステータス情報をホストコントローラ 2 に出力する (ステップ S 8 3)。一方、ステップ S 8 2 において所定割合を超えていないと判定された場合、ステートマシン 1 8 は、当該ブロックに対してステータス情報を生成しない。続いて、ステートマシン 1 8 は、全ブロックに対してセル電流の測定が完了するまで、ステップ S 8 1 ~ S 8 3 までの動作を繰り返す (ステップ S 8 4)。

40

【 0 1 0 7 】

ホストコントローラ 2 は、ステータス情報を用いることで、劣化したブロックを認識することができる。そして、ホストコントローラ 2 は、第 1、第 3、及び第 4 の実施形態でそれぞれ示した書き込み動作、消去動作、及び読み出し動作が実行される際に、書き込み

50

電圧、消去電圧、及び読み出し電圧の設定を変更するようにメモリシステム 1 に指示する。メモリシステム 1 側では、ホストコントローラ 2 により指示された書き込み電圧、消去電圧、及び読み出し電圧を用いて、書き込み動作、消去動作、及び読み出し動作を実行する。

【0108】

本実施形態では、ホストコントローラ 2 側で設定変更を行うようにしているため、それぞれの製品の使用に応じて設定変更を行うことが可能となる。なお、劣化判定の方法としては、第 6 及び第 7 の実施形態を用いるようにしてもよい。

【0109】

(第 9 の実施形態)

第 9 の実施形態は、メモリシステム 1 がユーザ若しくはホストコントローラ 2 に対してブロックが劣化しているか否かを示す情報を出力するようにしている。図 20 は、メモリシステム 1 の劣化ブロック情報出力動作を示すフローチャートである。ブロックが劣化しているか否かを示すフラグをブロックの冗長領域に格納するまでの動作は、第 1、第 6、及び第 7 の実施形態と同じである。

【0110】

まず、ホストコントローラ 2 は、メモリシステム 1 に対してフラグ読み出しコマンドを発行する。フラグ読み出しコマンドを受けると(ステップ S90)、ステートマシン 18 は、各ブロックに格納された、ブロックが劣化しているか否かを示すフラグを読み出す(ステップ S91)。

【0111】

続いて、ステートマシン 18 は、全ブロックから読み出した複数のフラグからなるフラグ情報を生成し、このフラグ情報をホストコントローラ 2 に出力する(ステップ S92)。ホストコントローラ 2 は、フラグ情報を用いることで、劣化したブロックを認識することができる。よって、以後、ホストコントローラ 2 は、劣化していないブロックを使用して、書き込み動作などをメモリシステム 1 に指示することが可能となる。

【0112】

また、メモリセルアレイ 10 に含まれる全ブロックのうち所定割合以上(例えば全ブロックの 8 割以上)が劣化している場合に、ユーザ若しくはホストコントローラ 2 にメモリの交換を促すよう警告を出すようにしてもよい。図 21 は、メモリの交換を促す旨の警告出力動作を示すフローチャートである。

【0113】

まず、ステートマシン 18 は、各ブロックに格納された、ブロックが劣化しているか否かを示すフラグを読み出す(ステップ S100)。続いて、ステートマシン 18 は、これらフラグを用いて、メモリセルアレイ 10 に含まれる全ブロックのうち所定割合以上(例えば全ブロックの 8 割以上)のブロックが劣化しているか否かを判定する(ステップ S101)。所定割合以上のブロックが劣化している場合、ステートマシン 18 は、ユーザ若しくはホストコントローラ 2 に、メモリの交換を促す旨の警告を出力する(ステップ S102)。

【0114】

ユーザ側では、この警告に基づいてメモリの寿命が短いことを認識することができる。このため、ユーザ側は、データが破壊されたり、メモリに格納したデータが読み出せなくなる前に、データを他のメモリにコピーするなどの処置が可能となる。この警告出力動作は、ブロックの劣化判定動作ごとに行うようにしてもよいし、ホストコントローラ 2 からコマンドを受けた場合に行うようにしてもよい。

【0115】

なお、前述したステータス情報若しくはフラグ情報を簡易信頼性試験用として用いることも可能である。通常の不揮発性メモリの信頼性試験は、書き込み及び消去ストレスを与えた後に、ディスターブ評価、データリテンション評価など非常に大掛かりな評価を行う必要がある。しかし、本実施形態の劣化判定方法では、単純なフラグ読み出しで判定可能

10

20

30

40

50

なため、これらの劣化判定方法を出荷テストなどに組み込むことも可能である。

【0116】

本発明は、上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化できる。本発明はNAND型フラッシュメモリに限らず、トンネル絶縁膜を用いて電荷蓄積層に電子を注入するタイプ、例えば、NOR型、AND型フラッシュメモリ等、の不揮発性メモリ全般に適用できる。また、上述した実施形態において、制御部としてのステートマシン18はハードウェアロジックで構成しても良いし、マイクロコンピュータで構成しても良い。

【図面の簡単な説明】

【0117】

【図1】本発明の第1の実施形態に係るメモリシステム1の構成を示すブロック図。

【図2】メモリセルアレイ10の構成を示す概略図。

【図3】メモリセルアレイ10に含まれる1個のブロックの構成を示す回路図。

【図4】NANDストリングの構成を示す断面図。

【図5】センスアンプ回路13に含まれる1個のセンスアンプSAの構成を示す回路図。

【図6】劣化前セルと劣化後セルとの電流-電圧特性を示す図。

【図7】メモリシステム1の劣化ブロック判定動作を示すフローチャート。

【図8】セル電流測定時におけるビット線の放電特性を示す図。

【図9】メモリシステム1のセル電流測定動作を示すタイミングチャート。

【図10】メモリシステム1の書き込み動作を示すフローチャート。

【図11】1個のブロックの冗長領域の構成を示す図。

【図12】第2の実施形態に係るメモリシステム1のセル電流測定動作を示すタイミングチャート。

【図13】第3の実施形態に係るメモリシステム1の消去動作を示すフローチャート。

【図14】劣化前におけるメモリセルトランジスタMTの閾値電圧分布を示す図。

【図15】第4の実施形態に係るメモリシステム1の読み出し動作を示すフローチャート。

【図16】第5の実施形態に係るメモリシステム1のブロックの使用禁止設定動作を示すフローチャート。

【図17】第6の実施形態に係るメモリシステム1の劣化ブロック判定動作を示すフローチャート。

【図18】第7の実施形態に係るメモリシステム1の劣化ブロック判定動作を示すフローチャート。

【図19】第8の実施形態に係るメモリシステム1の劣化ブロック判定動作を示すフローチャート。

【図20】第9の実施形態に係るメモリシステム1の劣化ブロック情報出力動作を示すフローチャート。

【図21】メモリシステム1の警告出力動作を示すフローチャート。

【符号の説明】

【0118】

MT...メモリセルトランジスタ、ST1, ST2...選択トランジスタ、1...メモリシステム、2...ホストコントローラ、10...メモリセルアレイ、11...ロウデコーダ、12...カラムデコーダ、13...センスアンプ回路、14...データバス、15...入出力バッファ、16...アドレスレジスタ、17...コマンドインターフェース、18...ステートマシン、19...ソース線制御回路、20...Pウェル制御回路、30...半導体基板、31...P型ウェル、32...拡散領域、33...トンネル絶縁膜、34...電荷蓄積層(浮遊ゲート電極)、35...ゲート間絶縁膜、36...制御ゲート電極、37...ゲート絶縁膜、38...ゲート電極。

10

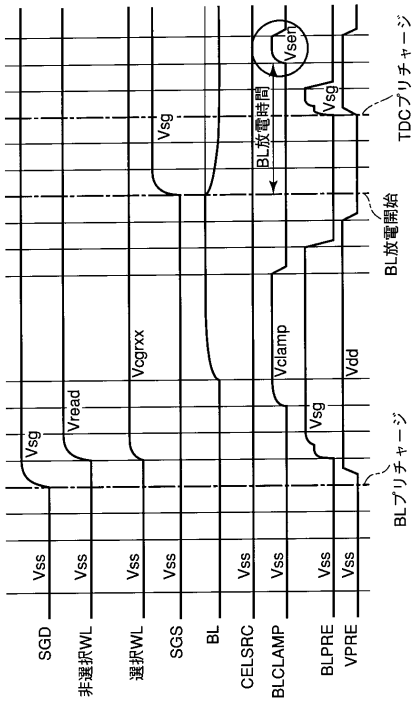
20

30

40

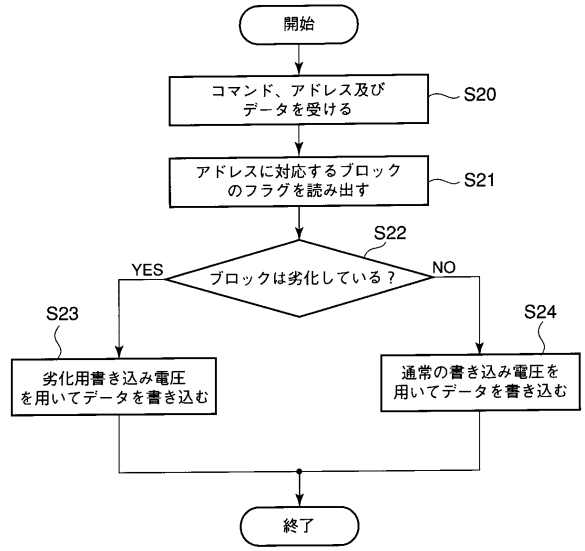
【 図 9 】

図 9



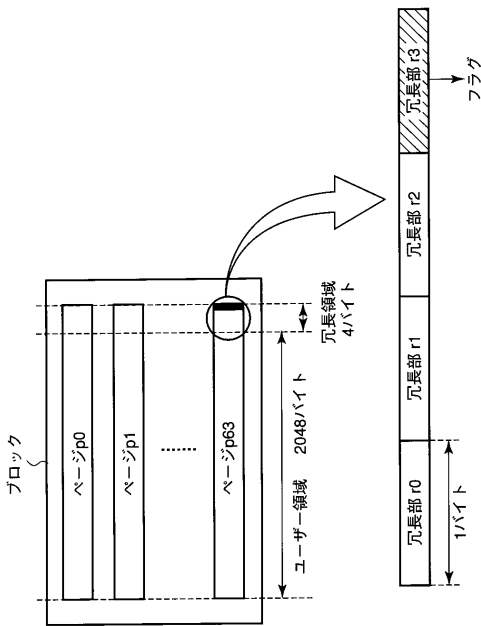
【 図 10 】

図 10



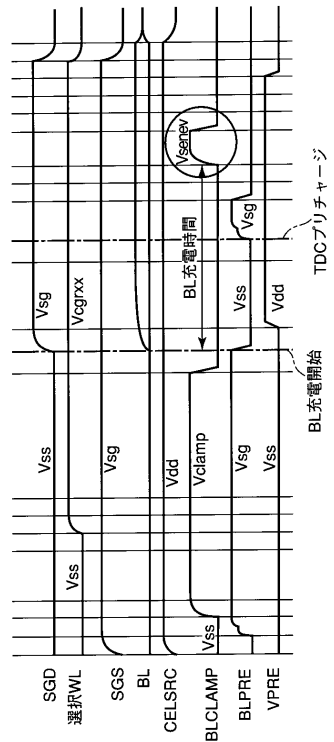
【 図 11 】

図 11



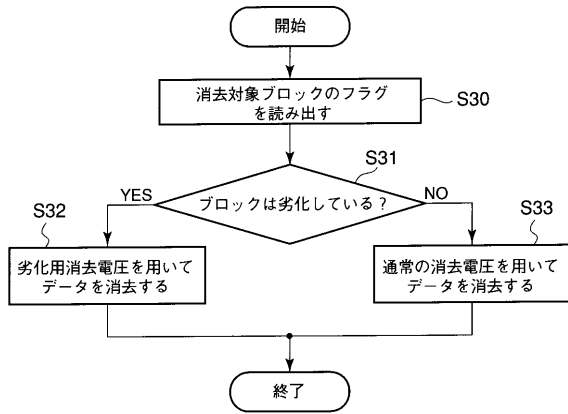
【 図 12 】

図 12



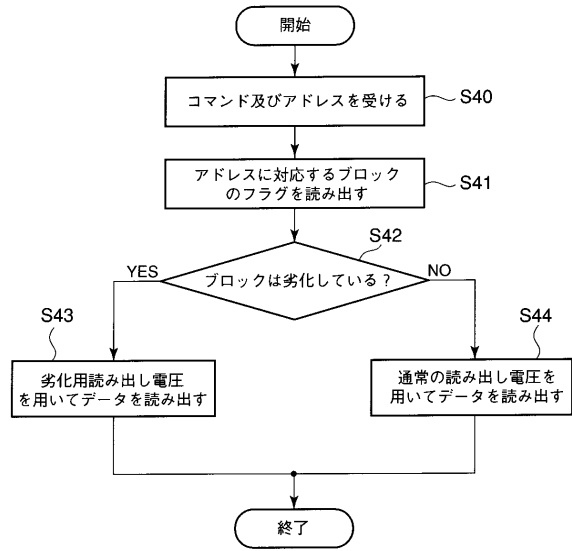
【図 13】

図 13



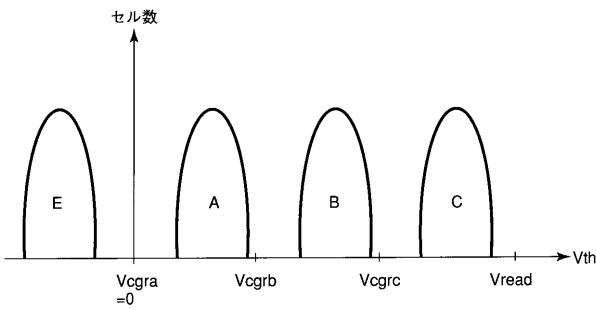
【図 15】

図 15



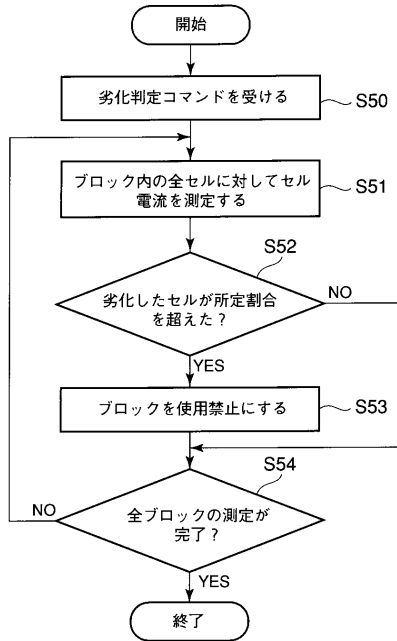
【図 14】

図 14



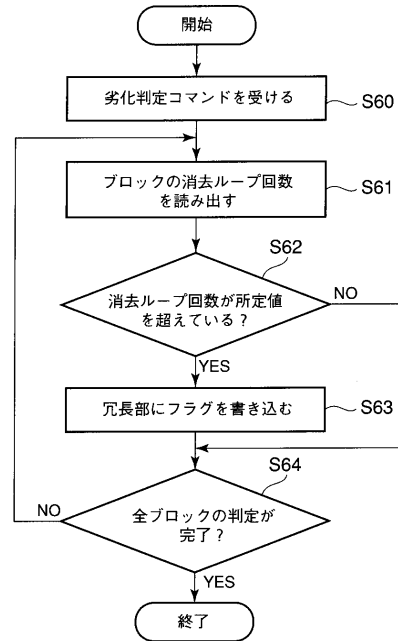
【図 16】

図 16



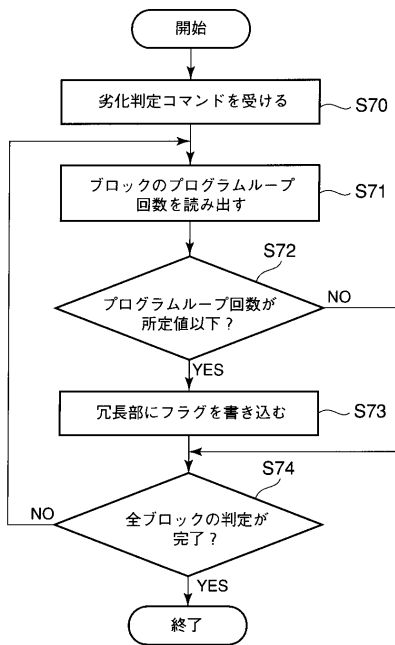
【図 17】

図 17



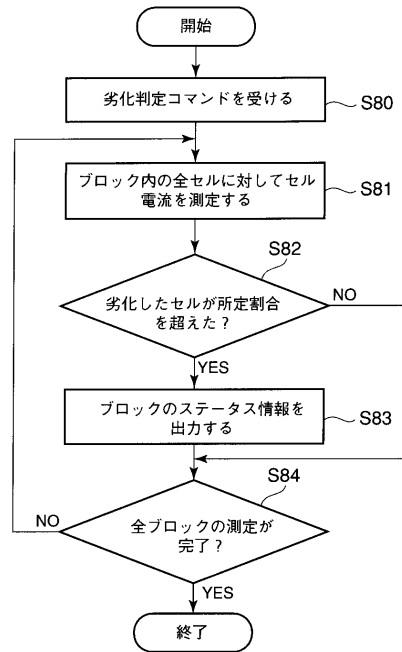
【 図 1 8 】

図 18



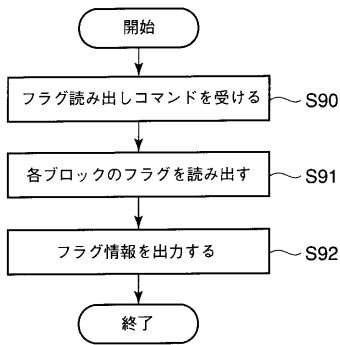
【 図 1 9 】

図 19



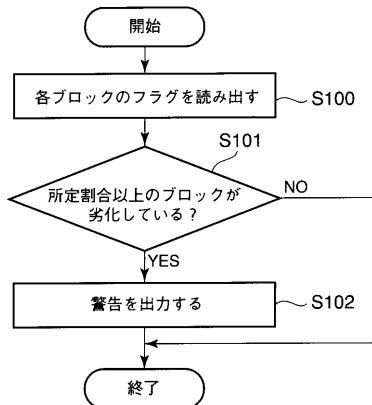
【 図 2 0 】

図 20



【 図 2 1 】

図 21



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 1 1 C	17/00	6 1 1 A
G 1 1 C	17/00	6 3 9
G 1 1 C	17/00	6 2 2 E
G 1 1 C	17/00	6 1 2 F

(74)代理人 100095441
 弁理士 白根 俊郎

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100103034
 弁理士 野河 信久

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100101812
 弁理士 勝村 紘

(74)代理人 100092196
 弁理士 橋本 良郎

(74)代理人 100100952
 弁理士 風間 鉄也

(74)代理人 100070437
 弁理士 河井 将次

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(74)代理人 100127144
 弁理士 市原 卓三

(74)代理人 100141933
 弁理士 山下 元

(72)発明者 上野 広貴
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 永嶋 宏行
 東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA01 BA19 CA08 CA27 DB08 DB17 DB19 DC08 DD09 DE07
 EA05 EA07 EA10 EE04 EF09 EH06 EJ08 FA01 FA02 FA05
 5L106 AA10 CC16 CC31 DD11 DD24 DD25 DD26 FF04 FF05 GG05
 GG07