

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-179073

(P2014-179073A)

(43) 公開日 平成26年9月25日(2014.9.25)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 3/048 (2013.01)	G06F 3/048 656A	5B005
G06F 3/14 (2006.01)	G06F 3/14 360A	5B069
G09G 5/36 (2006.01)	G09G 5/36 520K	5C082
G09G 5/22 (2006.01)	G09G 5/22 630G	5E555
G06F 12/08 (2006.01)	G06F 12/08 505B	
審査請求 未請求 請求項の数 26 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2014-38160 (P2014-38160)
 (22) 出願日 平成26年2月28日 (2014.2.28)
 (31) 優先権主張番号 10-2013-0022159
 (32) 優先日 平成25年2月28日 (2013.2.28)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g-tong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea

(74) 代理人 110000051
 特許業務法人共生国際特許事務所

(72) 発明者 宋 敏 雨
 大韓民国 ソウル特別市 冠岳区 冠岳路
 30-ギル 27 110棟 1604
 号

最終頁に続く

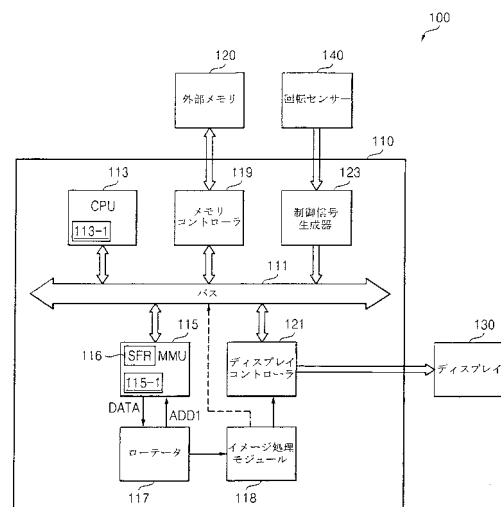
(54) 【発明の名称】 元のイメージを回転させる方法並びに該方法を行うシステムオンチップ、アプリケーションプロセッサ、モバイル機器、及びモバイル装置

(57) 【要約】

【課題】自己学習を通じて生成されたアドレス生成規則によって、元のイメージを回転させて、該回転したイメージを生成する方法並びに該方法を行うシステムオンチップ、アプリケーションプロセッサ、モバイル機器、及びモバイル装置を提供する。

【解決手段】本発明による元のイメージを回転させる方法は、少なくとも1つのページミスに関連したアドレスを用いて自己学習を行う段階と、前記自己学習の結果を用いてアドレス生成規則を生成する段階と、前記アドレス生成規則によって、元のイメージをメモリ装置からプリフェッチし、該プリフェッチされたイメージを用いて回転したイメージを生成する段階とを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

少なくとも 1 つのページミスに関連したアドレスを用いて自己学習を行う段階と、
前記自己学習の結果を用いてアドレス生成規則を生成する段階と、
前記アドレス生成規則によって、元のイメージをメモリ装置からプリフェッチし、該プリフェッチされたイメージを用いて回転したイメージを生成する段階とを有することを特徴とする元のイメージを回転させる方法。

【請求項 2】

前記アドレス生成規則を生成する段階は、SFR (Special Function Register) に設定された制御値に対応する個数の前記アドレス生成規則を生成する段階を含むことを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

10

【請求項 3】

前記回転したイメージを生成する段階は、前記アドレス生成規則によって、前記元のイメージを前記メモリ装置からイメージバッファにプリフェッチする段階と、
前記イメージバッファにプリフェッチされたイメージを用いて、前記回転したイメージを生成する段階とを含むことを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

【請求項 4】

生成される前記アドレス生成規則の個数は、製造者又はユーザによってプログラム可能であることを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

20

【請求項 5】

生成される前記アドレス生成規則の個数は、前記元のイメージの回転方向によって決定されることを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

【請求項 6】

生成される前記アドレス生成規則の個数は、前記回転したイメージの最初のフレームで発生する前記ページミスの個数によって決定されることを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

【請求項 7】

前記自己学習は、前記ページミスの位置と前記ページミスに関連した前記アドレスとの差に基づいて行われることを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

30

【請求項 8】

前記元のイメージの回転方向が変更される度に、前記アドレス生成規則を初期化する段階をさらに有することを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

【請求項 9】

前記アドレスは、カウンタを用いて計算された前記少なくとも 1 つのページミスの位置に対応することを特徴とする請求項 1 に記載の元のイメージを回転させる方法。

【請求項 10】

システムオンチップ (SoC) であって、
少なくとも 1 つのページミスに関連したアドレスを用いて自己学習を行い、前記自己学習の結果を用いてアドレス生成規則を生成し、前記アドレス生成規則によって、元のイメージをメモリ装置からイメージバッファにプリフェッチするメモリ管理ユニット (MMU) と、
前記イメージバッファにプリフェッチされたイメージを用いて回転したイメージを生成するローテータ (rotator) とを有することを特徴とするシステムオンチップ。

40

【請求項 11】

前記 MMU は、前記元のイメージの回転方向によって、生成される前記アドレス生成規則の個数を決定することを特徴とする請求項 10 に記載のシステムオンチップ。

【請求項 12】

前記 MMU は、前記回転したイメージの最初のフレームで発生する前記ページミスの個

50

数によって、生成される前記アドレス生成規則の個数を決定することを特徴とする請求項 10 に記載のシステムオンチップ。

【請求項 13】

前記 M M U は、制御値を保存する S F R と、

前記 S F R に保存された前記制御値に対応する個数の前記アドレス生成規則を生成するアドレス生成規則生成回路と、

前記アドレス生成規則によって、前記元のイメージを前記イメージバッファにプリフェッチするプリフェッチ回路とを含むことを特徴とする請求項 10 に記載のシステムオンチップ。

【請求項 14】

前記元のイメージが回転する方向を指示する制御信号に応答して、前記 M M U から生成される前記アドレス生成規則の個数を制御する C P U をさらに有することを特徴とする請求項 10 に記載のシステムオンチップ。

【請求項 15】

請求項 10 乃至 14 のいずれか一項に記載のシステムオンチップを含むことを特徴とするアプリケーションプロセッサ。

【請求項 16】

元のイメージを保存するメモリ装置と、

少なくとも 1 つのページミスに関連したアドレスを用いて自己学習を行い、前記自己学習の結果を用いてアドレス生成規則を生成し、前記アドレス生成規則によって、元のイメージをメモリ装置からイメージバッファにプリフェッチするメモリ管理ユニット (M M U) と、

前記イメージバッファにプリフェッチされたイメージを用いて回転したイメージを生成するローテータと、

前記ローテータによって生成された前記回転したイメージをディスプレイに伝送するディスプレイコントローラとを有することを特徴とするモバイル機器。

【請求項 17】

前記 M M U は、前記元のイメージの回転方向によって、生成される前記アドレス生成規則の個数を決定することを特徴とする請求項 16 に記載のモバイル機器。

【請求項 18】

前記 M M U は、前記回転したイメージの最初のフレームで発生する前記ページミスの個数によって、生成される前記アドレス生成規則の個数を決定することを特徴とする請求項 16 に記載のモバイル機器。

【請求項 19】

前記元のイメージが回転する方向を指示する制御信号に応答して、前記 M M U から生成される前記アドレス生成規則の個数を制御する C P U をさらに有することを特徴とする請求項 16 に記載のモバイル機器。

【請求項 20】

前記回転する方向を検出し、該検出結果に基づいて、前記制御信号を生成する制御信号生成器をさらに有することを特徴とする請求項 19 に記載のモバイル機器。

【請求項 21】

前記回転する方向を検出する回転センサーと、

前記回転センサーから出力された感知信号に応答して、前記制御信号を生成する制御信号生成器とをさらに有することを特徴とする請求項 19 に記載のモバイル機器。

【請求項 22】

前記 M M U は、制御値を保存する S F R と、

前記 S F R に保存された前記制御値に対応する個数の前記アドレス生成規則を生成するアドレス発生規則生成回路と、

前記アドレス生成規則によって、前記元のイメージを前記イメージバッファにプリフェッチするプリフェッチ回路とを含むことを特徴とする請求項 16 に記載のモバイル機器。

10

20

30

40

50

【請求項 2 3】

モバイル装置であって、
回転したイメージを表示するためのディスプレイと、
コンピューティング装置とを有し、

前記コンピューティング装置は、前記モバイル装置の回転方向を検出し、該検出された回転方向に基づいて少なくとも1つのアドレス生成規則を生成し、前記回転したイメージでページミスが発生しないように、元のイメージと前記少なくとも1つのアドレス生成規則を用いて前記回転したイメージとを生成し、前記回転したイメージを前記ディスプレイに伝送することを特徴とするモバイル装置。

【請求項 2 4】

前記コンピューティング装置は、前記検出された回転方向に関連した少なくとも1つのページミスの位置と前記少なくとも1つのページミスに関連した少なくとも1つのアドレスとに基づいて、前記少なくとも1つのアドレス生成規則を生成することを特徴とする請求項 2 3 に記載のモバイル装置。

【請求項 2 5】

前記コンピューティング装置は、前記検出された回転方向に関連したページミスの個数とアドレス生成規則の個数とを同一にするために、前記少なくとも1つのアドレス生成規則を生成することを特徴とする請求項 2 4 に記載のモバイル装置。

【請求項 2 6】

前記コンピューティング装置は、前記少なくとも1つのアドレス生成規則に基づいて、前記元のイメージをメモリ装置からイメージバッファにプリフェッチして、前記回転したイメージを生成することを特徴とする請求項 2 4 に記載のモバイル装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージ回転技術に関し、特に、自己学習を通じて生成されたアドレス生成規則によって、元のイメージを回転させる方法並びに該方法を行うシステムオンチップ、アプリケーションプロセッサ、モバイル機器、及びモバイル装置に関する。

【背景技術】

【0002】

高性能モバイル機器が登場するにつれて、高性能モバイル機器のディスプレイ装置の解像度 (resolution) とサイズとが増加している。

ユーザが、ディスプレイ装置を特定方向に回転させて、ディスプレイ装置で表示されるイメージを横形状 / 横方向 (landscape shape or landscape orientation) 又は縦形状 / 縦方向 (portrait shape or portrait orientation) に見るユーザ作業が多くなっている。

ローテータ (rotator) は、ディスプレイ装置でディスプレイされるイメージを回転させて、該回転したイメージを生成する機能を行う。

【0003】

しかしながら、高性能モバイル機器のディスプレイ装置を回転させることで、回転方向による複数のページミスが発生するという問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0004】

そこで、本発明は上記従来のモバイル機器における問題点に鑑みてなされたものであって、本発明の目的は、自己学習を通じて生成されたアドレス生成規則によって、元のイメージを回転させて、該回転したイメージを生成する方法並びに該方法を行うシステムオンチップ、アプリケーションプロセッサ、モバイル機器、及びモバイル装置を提供することにある。

10

20

30

40

50

【課題を解決するための手段】

【0005】

上記目的を達成するためになされた本発明による元のイメージを回転させる方法は、少なくとも1つのページミスに関連したアドレスを用いて自己学習を行う段階と、前記自己学習の結果を用いてアドレス生成規則を生成する段階と、前記アドレス生成規則によって、元のイメージをメモリ装置からプリフェッチし、該プリフェッチされたイメージを用いて回転したイメージを生成する段階とを有することを特徴とする。

【0006】

前記アドレス生成規則を生成する段階は、SFR (Special Function Register) に設定された制御値に対応する個数の前記アドレス生成規則を生成する段階を含むことが好ましい。

10

前記回転したイメージを生成する段階は、前記アドレス生成規則によって、前記元のイメージを前記メモリ装置からイメージバッファにプリフェッチする段階と、前記イメージバッファにプリフェッチされたイメージを用いて、前記回転したイメージを生成する段階とを含むことが好ましい。

生成される前記アドレス生成規則の個数は、製造者又はユーザによってプログラム可能であることが好ましい。

生成される前記アドレス生成規則の個数は、前記元のイメージの回転方向によって決定されることが好ましい。

生成される前記アドレス生成規則の個数は、前記回転したイメージの最初のフレームで発生する前記ページミスの個数によって決定されることが好ましい。

20

前記自己学習は、前記ページミスの位置と前記ページミスに関連した前記アドレスとの差に基づいて行われることが好ましい。

前記元のイメージの回転方向が変更される度に、前記アドレス生成規則を初期化する段階をさらに有することが好ましい。

前記アドレスは、カウンタを用いて計算された前記少なくとも1つのページミスの位置に対応することが好ましい。

【0007】

上記目的を達成するためになされた本発明によるシステムオンチップは、システムオンチップ (SOC) であって、少なくとも1つのページミスに関連したアドレスを用いて自己学習を行い、前記自己学習の結果を用いてアドレス生成規則を生成し、前記アドレス生成規則によって、元のイメージをメモリ装置からイメージバッファにプリフェッチするメモリ管理ユニット (MMU) と、前記イメージバッファにプリフェッチされたイメージを用いて回転したイメージを生成するローテータ (rotator) とを有することを特徴とする。

30

【0008】

前記MMUは、前記元のイメージの回転方向によって、生成される前記アドレス生成規則の個数を決定することが好ましい。

前記MMUは、前記回転したイメージの最初のフレームで発生する前記ページミスの個数によって、生成される前記アドレス生成規則の個数を決定することが好ましい。

40

前記MMUは、制御値を保存するSFRと、前記SFRに保存された前記制御値に対応する個数の前記アドレス生成規則を生成するアドレス生成規則生成回路と、前記アドレス生成規則によって、前記元のイメージを前記イメージバッファにプリフェッチするプリフェッチ回路とを含むことが好ましい。

前記元のイメージが回転する方向を指示する制御信号に応答して、前記MMUから生成される前記アドレス生成規則の個数を制御するCPUをさらに有することが好ましい。

【0009】

上記目的を達成するためになされた本発明によるアプリケーションプロセッサは、前記システムオンチップを含むことを特徴とする。

【0010】

50

上記目的を達成するためになされた本発明によるモバイル機器は、元のイメージを保存するメモリ装置と、少なくとも1つのページミスに関連したアドレスを用いて自己学習を行い、前記自己学習の結果を用いてアドレス生成規則を生成し、前記アドレス生成規則によって、元のイメージをメモリ装置からイメージバッファにプリフェッチするメモリ管理ユニット(MMU)と、前記イメージバッファにプリフェッチされたイメージを用いて回転したイメージを生成するローテータと、前記ローテータによって生成された前記回転したイメージをディスプレイに伝送するディスプレイコントローラとを有することを特徴とする。

【0011】

前記MMUは、前記元のイメージの回転方向によって、生成される前記アドレス生成規則の個数を決定することが好ましい。

前記MMUは、前記回転したイメージの最初のフレームで発生する前記ページミスの個数によって、生成される前記アドレス生成規則の個数を決定することが好ましい。

前記元のイメージが回転する方向を指示する制御信号に応答して、前記MMUから生成される前記アドレス生成規則の個数を制御するCPUをさらに有することが好ましい。

前記回転する方向を検出し、該検出結果に基づいて、前記制御信号を生成する制御信号生成器をさらに有することが好ましい。

前記回転する方向を検出する回転センサーと、前記回転センサーから出力された感知信号に応答して、前記制御信号を生成する制御信号生成器とをさらに有することが好ましい。

前記MMUは、制御値を保存するSFRと、前記SFRに保存された前記制御値に対応する個数の前記アドレス生成規則を生成するアドレス発生規則生成回路と、前記アドレス生成規則によって、前記元のイメージを前記イメージバッファにプリフェッチするプリフェッチ回路とを含むことが好ましい。

【0012】

上記目的を達成するためになされた本発明によるモバイル装置は、モバイル装置であって、回転したイメージを表示するためのディスプレイと、コンピューティング装置とを有し、前記コンピューティング装置は、前記モバイル装置の回転方向を検出し、該検出された回転方向に基づいて少なくとも1つのアドレス生成規則を生成し、前記回転したイメージでページミスが発生しないように、元のイメージと前記少なくとも1つのアドレス生成規則を用いて前記回転したイメージとを生成し、前記回転したイメージを前記ディスプレイに伝送することを特徴とする。

【0013】

前記コンピューティング装置は、前記検出された回転方向に関連した少なくとも1つのページミスの位置と前記少なくとも1つのページミスに関連した少なくとも1つのアドレスとに基づいて、前記少なくとも1つのアドレス生成規則を生成することが好ましい。

前記コンピューティング装置は、前記検出された回転方向に関連したページミスの個数とアドレス生成規則の個数とを同一にするために、前記少なくとも1つのアドレス生成規則を生成することが好ましい。

前記コンピューティング装置は、前記少なくとも1つのアドレス生成規則に基づいて、前記元のイメージをメモリ装置からイメージバッファにプリフェッチして、前記回転したイメージを生成することが好ましい。

【発明の効果】

【0014】

本発明に係る元のイメージを回転させる方法並びに該方法を行うシステムオンチップ、アプリケーションプロセッサ、モバイル機器、及びモバイル装置によれば、回転方向によって発生する複数のページミスに関連したアドレスを用いて自己学習を行い、自己学習の結果を用いてアドレス生成規則を生成し、アドレス生成規則によって、元のイメージをメモリ装置からプリフェッチし、プリフェッチされたイメージを用いて回転したイメージを生成することにより、ページミス(page miss)の発生回数を減少させることが

できるという効果がある。

従って、ページミスの発生によるデータ処理時間の遅延を減少させて、モバイル装置等の性能を向上させることができる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施形態によるコンピューティングシステムの概略的な構成を示すブロック図である。

【図2】外部メモリのメモリマップを概略的に示す図である。

【図3】元のイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図4】X軸を基準に回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図5】X軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図6】Y軸を基準に回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図7】Y軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図8】90°回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図9】90°回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図10】180°回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図11】180°回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図12】90°回転した後、X軸を基準に回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図13】90°回転した後、X軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図14】90°回転した後、Y軸を基準に回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図15】90°回転した後、Y軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図16】270°回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

【図17】270°回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

【図18】回転方向によって決定されたアドレス生成規則の個数を含む制御値テーブルの実施形態例を示す表である。

【図19】図1に示したメモリ管理ユニットの構成を示すブロック図である。

【図20】本発明の実施形態による元のイメージを回転させる方法を説明するためのフローチャートである。

【発明を実施するための形態】

【0016】

次に、本発明に係る元のイメージを回転させる方法並びに該方法を行うシステムオンチップ、アプリケーションプロセッサ、モバイル機器、及びモバイル装置を実施するための形態の具体例を図面を参照しながら説明する。

【0017】

図1は、本発明の実施形態によるコンピューティングシステムの概略的な構成を示すブ

10

20

30

40

50

ロック図である。

図 1 を参照すると、コンピューティングシステム 100 は、コンピューティング装置 110、外部メモリ 120、ディスプレイ 130、及び回転センサー 140 を含む。

【0018】

コンピューティングシステム 100 は、PC (Personal Computer)、携帯用電子装置 (又は、モバイル機器)、又は回転したイメージを表示することができるディスプレイ 130 を含む電子装置として具現可能である。

携帯用電子装置は、ノート型パソコン (Laptop Computer)、携帯電話、スマートフォン (smart phone)、タブレット (tablet) PC、PDA (Personal Digital Assistant)、EDA (Enterprise Digital Assistant)、デジタルスチルカメラ (Digital Still Camera)、デジタルビデオカメラ (Digital Video Camera)、PMP (Portable Multimedia Player)、PND (Personal Navigation Device 又は Portable Navigation Device)、携帯用ゲームコンソール (handheld game console)、又は電子ブック (e-book) として具現可能である。

【0019】

コンピューティング装置 110 は、外部メモリ 120 又はその内部に具現された内部メモリ (図示せず) から出力された元のイメージを処理 (例えば、回転) し、該処理されたイメージをディスプレイ 130 に伝送する。

コンピューティング装置 110 は、少なくとも 1 つのページミスに関連したアドレス (例えば、アドレスの差) を用いて自己学習 (self-learning) を行い、自己学習の結果を用いてアドレス生成規則を生成し、アドレス生成規則によって、元のイメージをメモリ装置、例えば、外部メモリ 120 又は内部メモリからプリフェッチ (prefetch) し、プリフェッチされたイメージを用いて回転したイメージを生成し、回転したイメージをディスプレイ 130 に伝送する。

【0020】

コンピューティング装置 110 は、マザーボード (motherboard) のような印刷回路基板 (Printed Circuit Board: PCB)、集積回路 (Integrated Circuit: IC)、又は SoC (System on Chip) として具現可能である。

コンピューティング装置 110 は、CPU (Central Processing Unit) 113、メモリ管理ユニット (MMU) 115、ローテータ 117、イメージ処理モジュール 118、メモリコントローラ 119、ディスプレイコントローラ 121、及び制御信号生成器 123 を含む。

【0021】

CPU 113 は、コンピューティング装置 110 の全般的な動作を制御する。

例えば、CPU 113 は、バス 111 を通じて複数の構成要素 (115、117、118、119、121、及び 123) の内の少なくとも 1 つの動作を制御することができる。CPU 113 は、外部メモリ 120 又は内部メモリに保存された元のイメージが回転する方向を指示する制御信号に応答して、MMU 115 から生成されるアドレス生成規則の個数を制御又は設定することができる。

【0022】

図 18 は、回転方向によって決定されたアドレス生成規則の個数を含む制御値テーブルの実施形態例を示す表である。図 18 の詳細については後述する。

図 18 に示すように、回転方向のそれぞれに対する制御値のそれぞれを含む制御値テーブル (113 - 1) は、CPU 113 に含まれたメモリ (図示せず) に保存されるか、コンピューティングシステム 100 がブーティング (booting) される時、他のメモリから CPU 113 にローディングされうる。

10

20

30

40

50

他のメモリは、外部メモリ 120 又は別途のメモリであり得る。例えば、制御信号に
応答して、CPU 113 は、MMU 115 から生成されるアドレス生成規則の個数を制御
することができる制御値を SFR (Special Function Register) 116 に設定又はプログラムすることができる。この際、CPU 113 は、制御信号に
基づいて制御値テーブル (113 - 1) を参照する。

【0023】

MMU 115 は、少なくとも 1 つのページミスに関連したアドレスの差を用いて自己学
習を行い、自己学習の結果を用いてアドレス生成規則を生成し、アドレス生成規則によ
って、元のイメージに含まれたデータを外部メモリ 120 から MMU 115 のイメージバッ
ファ (115 - 1) にプリフェッチする。

外部メモリ 120 に保存されたデータが、MMU 115 によってページ (page) 単
位でプリフェッチされる時、イメージバッファ (115 - 1) は、ページバッファ (p
age buffer) の機能を行う。説明の便宜上、本明細書では、外部メモリ 120 に保
存されたデータが、MMU 115 によってプリフェッチされる実施形態を示したが、実施
形態によって、MMU 115 によってプリフェッチされるデータは、コンピューティング
装置 110 の内部又は外部に具現されうる。

【0024】

ローテータ 117 は、MMU 115 の、例えば、イメージバッファ (115 - 1) にプ
リフェッチされたイメージを用いて回転したイメージを生成する。

一実施形態では、イメージ処理モジュール 118 は、ローテータ 117 から出力された
回転したイメージを処理し、処理されたイメージをバス 111 を通じてディスプレイコン
トローラ 121 に伝送する。

他の実施形態では、イメージ処理モジュール 118 は、ローテータ 117 から出力され
た回転したイメージを処理し、処理されたイメージをディスプレイコントローラ 121 に
伝送することもできる。

【0025】

メモリコントローラ 119 は、MMU 115 の制御によって、例えば、MMU 115 の
プリフェッチ動作にตอบสนองして、外部メモリ 120 に保存された元のイメージのデータを
一定のサイズ、例えば、ページ単位で MMU 115 に伝送する。

また、メモリコントローラ 119 は、CPU 113 の制御によって外部メモリ 120 に
保存されたイメージをディスプレイコントローラ 121 に伝送する。

【0026】

ディスプレイコントローラ 121 は、イメージ処理モジュール 118 によって処理され
た回転したイメージをディスプレイ 130 に伝送する。

制御信号生成器 123 は、回転センサー 140 から出力された感知信号にตอบสนองして、複
数の制御信号を生成する。

複数の制御信号は、CPU 113 によって解析され、解析結果によって、元のイメージ
が回転する方向を指示する複数の指示信号として使われる。

【0027】

外部メモリ 120 は、元のイメージ、例えば、静止画像又は動画を保存することができ
る。

外部メモリ 120 は、HDD (Hard Disk Drive) 又は SSD (Sol
id State Drive) として具現可能である。

外部メモリ 120 は、揮発性メモリ装置又は不揮発性メモリ装置として具現可能である
。揮発性メモリ装置は、DRAM (Dynamic Random Access Me
mory)、SRAM (Static Random Access Memory)、
T-RAM (Thyristor RAM)、Z-RAM (Zero Capacito
r RAM)、又は TTRAM (Twin Transistor RAM) として具現
可能である。

【0028】

10

20

30

40

50

不揮発性メモリ装置は、EEPROM (Electrically Erasable Programmable Read-Only Memory)、フラッシュ (flash) メモリ、MRAM (Magnetic RAM)、スピン伝達トルクMRAM (Spin-Transfer Torque (STT) - MRAM)、Conductive Bridging RAM (CBRAM)、FeRAM (Ferroelectric RAM)、PRAM (Phase change RAM)、抵抗メモリ (Resistive RAM: ReRAM)、ナノチューブReRAM (Nanotube ReRAM)、ポリマーRAM (Polymer RAM: PoRAM)、ナノ浮遊ゲートメモリ (Nano Floating Gate Memory: NFGM)、ホログラフィックメモリ (holographic memory)、分子電子メモリ素子 (Molecular Electronics Memory Device)、又は絶縁抵抗変化メモリ (Insulator Resistance Change Memory) として具現可能である。 10

不揮発性メモリ装置は、フラッシュベース (flash-based) メモリ装置、例えば、SD (Secure Digital) カード、MMC (MultiMedia Card)、eMMC (embedded-MMC)、USB (Universal Serial Bus) フラッシュドライブ、又はUFS (Universal Flash Storage) として具現可能である。

【0029】

ディスプレイコントローラ121の制御によって、ディスプレイ130は、回転していない元のイメージ又は回転したイメージを表示することができる。 20

ディスプレイ130は、平板ディスプレイ (Flat Panel Display) として具現可能である。平板ディスプレイは、TFT-LCD (Thin Film Transistor-Liquid Crystal Display)、LED (Light Emitting Diode) ディスプレイ、OLED (Organic LED) ディスプレイ、AMOLED (Active-Matrix OLED) ディスプレイ、又はフレキシブル (flexible) ディスプレイとして具現可能である。

【0030】

回転センサー140は、コンピューティングシステム100の回転 (rotation) 又は回転方向 (rotation direction) を検出し、感知信号を生成する機能を行うセンサーを意味する。 30

例えば、回転センサー140は、加速度 (accelerator) センサー、ジャイロ (gyro) センサー、又はこれらが結合されたセンサーを意味する。

【0031】

図2は、外部メモリのメモリマップを概略的に示す図である。

図2に示すメモリマップ121は、説明の便宜上、例示的に示したものであって、メモリマップ121は、各アドレス (D1~D48) に対応する各メモリ領域に保存された各データ (A~Z)、及び (a~v) を表わす。

例えば、各データ (A~Z)、及び (a~v) は、ページデータを意味する。

元のイメージの最初のフレームは、データ (A~P) を含み、元のイメージの二番目のフレームは、データ (Q~f) を含み、元のイメージの三番目のフレームは、データ (g~v) を含む。 40

【0032】

図2、図3、図4、図6、図8、図10、図12、図14、及び図16を参照すると、それぞれの小さなボックス内の数字 (1~32) は、回転方向によるアドレスアクセス順序 (address access order) 又はデータプリフェッチ (data prefetch) 順序を表わし、それぞれの大きなボックス内の英語アルファベット (A~Z)、(a~f) は、元のイメージに含まれたデータを表わす。

また、元のイメージの最初のフレーム (Original First Frame: OFF) は、データ (A~P) を含み、元のイメージの二番目のフレーム (Origin 50

a1 Second Frame : O S F) は、データ (Q ~ Z)、(a ~ f) を含む。

この際、M M U 1 1 5 は、各フレーム (O F F、O S F) に含まれた各データをアドレスアクセス順序 (1 ~ 3 2) に従って外部メモリ 1 2 0 からイメージバッファ (1 1 5 - 1) にプリフェッチする。

【 0 0 3 3 】

図 3 は、元のイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図である。

図 3 の (a) は、アドレスアクセス順序 (1 ~ 3 2) によって、M M U 1 1 5 によってアクセスされるデータを含む各フレーム (O F F、O S F) を示す。

図 3 の (b) は、ディスプレイ装置 1 3 0 で表示されるイメージを示す。

10

【 0 0 3 4 】

最初のフレーム F F を表示するために、M M U 1 1 5 は、ローテータ 1 1 7 からアドレスアクセス順序 (1 ~ 1 6) に従って、順次に出力されるアドレス (A D D 1 = D 1 ~ D 1 6) に基づいて外部メモリ 1 2 0 から各データ A ~ P をプリフェッチし、プリフェッチされた各データ (D A T A = A ~ P) をローテータ 1 1 7 に伝送する。

例えば、M M U 1 1 5 は、ローテータ 1 1 7 から順次に出力されるそれぞれの現在アドレス (D 1 ~ D 1 6) に対応するそれぞれの現在データ (A ~ P) をメモリコントローラ 1 1 9 を通じて外部メモリ 1 2 0 からイメージバッファ (1 1 5 - 1) にプリフェッチする。

【 0 0 3 5 】

20

それぞれの現在データ (A ~ P) が、ローテータ 1 1 7 に順次に伝送される間に、M M U 1 1 5 は、それぞれの次のアドレス (D 2 ~ D 1 7) を予測し、予測結果に従って、それぞれの次のデータ (B ~ Q) を外部メモリ 1 2 0 からイメージバッファ (1 1 5 - 1) にプリフェッチするので、それぞれの次のアドレス (D 2 ~ D 1 7) が入力されても、M M U 1 1 5 では、ページミスが発生しない。

したがって、元のイメージの最初のフレーム O F F は、正常にディスプレイ 1 3 0 で表示される。すなわち、アドレスアクセス順序 (1 ~ 1 6) は、ローテータ 1 1 7 から順次に出力されるアドレス (A D D 1 = D 1 ~ D 1 6) の順序と同一なので、M M U 1 1 5 では、ページミスが発生しない。

【 0 0 3 6 】

30

ローテータ 1 1 7 は、M M U 1 1 5 から出力されたそれぞれのデータ (D A T A = A ~ P) をイメージ処理モジュール 1 1 8 に伝送し、イメージ処理モジュール 1 1 8 は、それぞれのデータ (D A T A = A ~ P) を処理し、処理されたそれぞれのデータを直接又はバス 1 1 1 を通じてディスプレイコントローラ 1 2 1 に伝送する。

従って、図 3 の (b) に示すように、定常状態 (N O R M A L) でディスプレイコントローラ 1 2 1 は、ローテータ 1 1 7 から伝送されたそれぞれのデータ (A ~ P) を含む最初のフレーム F F をディスプレイ 1 3 0 を通じて表示することができる。

【 0 0 3 7 】

二番目のフレーム S F を表示するために、M M U 1 1 5 は、ローテータ 1 1 7 からアドレスアクセス順序 (1 7 ~ 3 2) に従って、順次に出力されるアドレス (A D D 1 = D 1 7 ~ D 3 2) に基づいて外部メモリ 1 2 0 から各データ (Q ~ f) をプリフェッチし、プリフェッチされた各データ (D A T A = Q ~ f) をローテータ 1 1 7 に伝送する。この際、アドレスアクセス順序 (1 7 ~ 3 2) は、ローテータ 1 1 7 から順次に出力されるアドレス (A D D 1 = D 1 7 ~ D 3 2) の順序と同一なので、M M U 1 1 5 では、ページミスが発生しない。

40

【 0 0 3 8 】

ローテータ 1 1 7 は、M M U 1 1 5 から出力されたそれぞれのデータ (D A T A = Q ~ f) をイメージ処理モジュール 1 1 8 に伝送し、イメージ処理モジュール 1 1 8 は、それぞれのデータ (D A T A = Q ~ f) を処理し、処理されたそれぞれのデータを直接又はバス 1 1 1 を通じてディスプレイコントローラ 1 2 1 に伝送する。

50

従って、図 3 の (b) に示したように、定常状態 (N O R M A L) でディスプレイコントローラ 1 2 1 は、ローテータ 1 1 7 から伝送されたそれぞれのデータ (Q ~ f) を含む二番目のフレーム S F をディスプレイ 1 3 0 を通じて表示することができる。

すなわち、定常状態 (N O R M A L) で元のイメージの最初のフレーム O F F は、そのままディスプレイされ、元のイメージの二番目のフレーム O S F も、そのままディスプレイされる。

【 0 0 3 9 】

図 4 は、X 軸を基準に回転したイメージ (X 軸を対象軸として反転させたイメージ) を表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図 5 は、X 軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

図 1、図 2、図 3、図 4、及び図 5 を参照すると、ユーザが、コンピューティングシステム 1 0 0 を X 軸を基準に回転させれば (X 軸を対象軸として反転させれば)、回転センサー 1 4 0 は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器 1 2 3 に出力する。

制御信号生成器 1 2 3 は、感知信号に応答して、制御信号を C P U 1 1 3 に出力する。

【 0 0 4 0 】

C P U 1 1 3 は、制御信号に応答して、図 1 8 に示した制御値テーブル (1 1 3 - 1) に保存された制御値、例えば、「 2 」を読み込み、読み込まれた制御値を M M U 1 1 5 に含まれた S F R 1 1 6 に設定又はプログラムする。

上記制御値は、コンピューティングシステム 1 0 0 が X 軸を基準に回転した後、元のイメージの最初のフレーム O F F に含まれたデータをプリフェッチする時、発生するページミスの個数、すなわち、M M U 1 1 5 から生成されるアドレス生成規則の個数を表わす。

したがって、M M U 1 1 5 は、2 つのページミスに関連したアドレスの差を用いて自己学習を行い、自己学習の結果を用いて 2 つのアドレス生成規則を生成し、2 つのアドレス生成規則によって、各データを外部メモリ 1 2 0 からプリフェッチする。すなわち、自己学習は、ページミスの位置とページミスに関連したアドレスとの差を用いてアドレス生成規則を生成する工程を意味する。

【 0 0 4 1 】

図 4 の斜線を含むボックスは、ページミス位置を表わすと仮定する。したがって、各アドレスアクセス順序「 4 」、「 1 6 」でページミスが発生する。

元のイメージの最初のフレーム O F F は、データ (A ~ P) を含み、元のイメージの二番目のフレーム O S F は、データ (Q ~ f) を含み、各データ (A ~ P)、(Q ~ f) は、アドレスアクセス順序 (1 ~ 3 2) によって、M M U 1 1 5 によってアクセスまたはプリフェッチされる。

【 0 0 4 2 】

まず、ローテータ 1 1 7 は、データ「 M 」に対するアドレス (A D D 1 = D 1 3) を M M U 1 1 5 に伝送する。

M M U 1 1 5 は、アドレス (A D D 1 = D 1 3) をメモリコントローラ 1 1 9 に伝送し、メモリコントローラ 1 1 9 は、アドレス (A D D 1 = D 1 3) に対応するデータ「 M 」を外部メモリ 1 2 0 のメモリ領域から読み込み、読み込まれたデータ「 M 」を M M U 1 1 5 に伝送する。

M M U 1 1 5 が、データ (D A T A = M) をローテータ 1 1 7 に伝送する間に、M M U 1 1 5 は、現在アドレス「 D 1 3 」の次のアドレス「 D 1 4 」を予測し、予測されたアドレス「 D 1 4 」に対応するデータ「 N 」を外部メモリ 1 2 0 のメモリ領域からメモリコントローラ 1 1 9 を用いてイメージバッファ (1 1 5 - 1) にプリフェッチする。

【 0 0 4 3 】

アドレス生成規則が M M U 1 1 5 に適用される前に、M M U 1 1 5 は、順次的な方法 (s e q u e n t i a l m a n n e r) を通じてアドレスを予測すると仮定する。

ローテータ 1 1 7 は、データ「 N 」に対するアドレス (A D D 1 = D 1 4) を M M U 1

10

20

30

40

50

15に伝送する。データ「N」は、MMU115のイメージバッファ(115-1)にプリフェッチされているので、MMU115は、データ(DATA=N)をローテータ117に伝送する。

【0044】

データ(DATA=N)が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D14」の次のアドレス「D15」を予測し、予測されたアドレス「D15」に対応する外部メモリ120のメモリ領域に保存されたデータ「O」をメモリコントローラ119を用いてイメージバッファ(115-1)にプリフェッチする。

ローテータ117は、データ「O」に対するアドレス(ADD1=D15)をMMU115に伝送する。データ「O」は、MMU115のイメージバッファ(115-1)にプリフェッチされているので、MMU115は、データ(DATA=O)をローテータ117に伝送する。

10

【0045】

データ(DATA=O)が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D15」の次のアドレス「D16」を予測し、予測されたアドレス「D16」に対応する外部メモリ120のメモリ領域に保存されたデータ「P」をメモリコントローラ119を用いてイメージバッファ(115-1)にプリフェッチする。

ローテータ117は、データ「P」に対するアドレス(ADD1=D16)をMMU115に伝送する。データ「P」は、MMU115のイメージバッファ(115-1)にプリフェッチされているので、MMU115は、データ(DATA=P)をローテータ117に伝送する。

20

【0046】

データ(DATA=P)が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D16」の次のアドレス「D17」を予測し、予測されたアドレス「D17」に対応する外部メモリ120のメモリ領域に保存されたデータ「Q」をメモリコントローラ119を用いてイメージバッファ(115-1)にプリフェッチする。

しかし、ローテータ117は、データ「I」に対するアドレス(ADD1=D9)をMMU115に伝送する。この際、データ「I」は、MMU115のイメージバッファ(115-1)に存在しないので、最初のページミス(first page miss)が発生する。

30

【0047】

MMU115は、アドレス(ADD1=D9)に対応するデータ「I」を外部メモリ120からイメージバッファ(115-1)にメモリコントローラ119を用いてプリフェッチする。

この際、MMU115は、データ「P」に対するアドレス「D16」とデータ「I」に対するアドレス「D9」との差、すなわち、第1深さ値、例えば、“-7”を内部メモリ(例えば、図19の(符号203-1))に保存する。

また、MMU115は、最初のページミスが発生した位置(以下、“最初のページミス位置”と称する)、例えば、“4”を内部メモリに保存する。

40

【0048】

すなわち、MMU115は、第1深さ値と最初のページミス位置とを用いて最初の自己学習を行い、最初の自己学習の結果を用いて最初のアドレス生成規則を生成する。

MMU115は、最初のページミス位置を用いて元のイメージの各フレーム(OFF、OSF)のどの位置でページミスが発生するか否かを予測することができる。

したがって、MMU115は、ページミスが発生する各位置(例えば、“8”、“12”、及び“16”)で、最初のアドレス生成規則を用いて、各アドレスを予測し、予測された各アドレスに対応する各データをプリフェッチすることができる。

【0049】

データ(DATA=I)が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D9」の次のアドレス「D10」を予測し、予測されたアドレス「D10」

50

に対応するデータ「J」を外部メモリ120からイメージバッファ(115-1)にメモリコントローラ119を用いてプリフェッチする。

各データ「J」、「K」、及び「L」が処理される過程は、各データ「N」、「O」、及び「P」が処理される過程と実質的に同一である。

したがって、各アドレス(ADD1=D10、D11、及びD12)に対応する各データ「J」、「K」、及び「L」がMMU115によってプリフェッチされ、プリフェッチされた各データ「J」、「K」、及び「L」は、ローテータ117に伝送される。

【0050】

データ(DATA=L)が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D12」の次のアドレス「D13」に対応するデータ「M」をプリフェッチする代わりに、最初のアドレス生成規則によって予測されたアドレス「D5」に対応するデータ「E」をイメージバッファ(115-1)にプリフェッチする。したがって、アドレス(ADD1=D5)がローテータ117から入力されても、MMU115では、ページミスが発生しない。

各データ「F」、「G」、及び「H」が処理される過程は、各データ「J」、「K」、及び「L」が処理される過程と実質的に同一である。したがって、各アドレス(ADD1=D6、D7、及びD8)に対応する各データ「F」、「G」、及び「H」がMMU115によってプリフェッチされ、プリフェッチされた各データ「F」、「G」、及び「H」は、ローテータ117に伝送される。

【0051】

データ(DATA=H)が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D8」の次のアドレス「D9」に該当するデータ「I」をプリフェッチする代わりに、最初のアドレス生成規則によって予測されたアドレス「D1」に対応するデータ「A」をイメージバッファ(115-1)にプリフェッチする。したがって、アドレス(ADD1=D1)がローテータ117から入力されても、MMU115では、ページミスが発生しない。

各データ「B」、「C」、及び「D」が処理される過程は、各データ「F」、「G」、及び「H」が処理される過程と実質的に同一である。したがって、各アドレス(ADD1=D2、D3、及びD4)に対応する各データ「B」、「C」、及び「D」がMMU115によってプリフェッチされ、プリフェッチされた各データ「B」、「C」、及び「D」は、ローテータ117に伝送される。

【0052】

しかし、元のイメージの最初のフレームOFFの最後のデータ(DATA=D)が、ローテータ117に伝送される間に、MMU115は、最初のアドレス生成規則によって予測された元のイメージの以前フレームのアドレスに対応するメモリ領域に保存されたデータをイメージバッファ(115-1)にプリフェッチする。

17番目のアドレスアクセス順序「17」によって、ローテータ117は、元のイメージの二番目のフレームOSFに含まれたデータ「c1」に対するアドレス(ADD1=D29)をMMU115に伝送する。この際、ローテータ117が要請したデータ「c1」は、MMU115のイメージバッファ(115-1)に存在しないので、二番目のページミスが発生する。

【0053】

MMU115は、アドレス(ADD1=D29)に対応する外部メモリ120のメモリ領域に保存されたデータ「c1」をメモリコントローラ119を用いてイメージバッファ(115-1)にプリフェッチする。

MMU115は、データ「D」のアドレス「D4」とデータ「c1」のアドレス「D29」との差、すなわち、第2深さ値、例えば、“+25”を内部メモリ(例えば、図19の符号(203-1))に保存する。

また、MMU115は、二番目のページミスが発生した位置(以下、“二番目のページミス位置”と称する)、例えば、“16”を内部メモリに保存する。

10

20

30

40

50

【 0 0 5 4 】

すなわち、MMU 1 1 5 は、二番目のページミスに関連したアドレス「D 4」、「D 2 9」と二番目のページミス位置、例えば、「1 6」を用いて二番目の自己学習を行い、二番目の自己学習の結果を用いて二番目のアドレス生成規則を生成する。

MMU 1 1 5 は、最初のページミス位置、例えば、「4」と二番目のページミス位置、例えば、「1 6」を用いてどの位置でページミスが発生するか否かを予測することができる。

従って、MMU 1 1 5 は、ページミスが発生する各位置「2 0」、「2 4」、「2 8」、及び「3 2」で最初のアドレス生成規則と二番目のアドレス生成規則とを用いて、各アドレスを予測し、予測された各アドレスを用いて、各データをプリフェッチすることができる。

10

【 0 0 5 5 】

元のイメージの最初のフレーム、すなわち、回転したイメージの最初フレームOFFでは、2つのページミスが発生する。

したがって、図4の(a)に示したように、元のイメージの二番目のフレームOSFに保存されたデータをプリフェッチする時、MMU 1 1 5 では、ページミスが発生しない。

図4の(b)に示したように、最初のフレームFFで、ローテータ1 1 7は、MMU 1 1 7から出力された各データをイメージ処理モジュール1 1 8とディスプレイコントローラ1 2 1とを通じてディスプレイ1 3 0に伝送する。

したがって、アドレスアクセス順序(1~16)によって処理されたイメージ、すなわち、X軸回転したイメージFFがディスプレイ1 3 0で表示される。

20

【 0 0 5 6 】

イメージバッファ(1 1 5 - 1)にプリフェッチされたデータ(DATA = c 1)が、ローテータ1 1 7に伝送される間に、MMU 1 1 5 は、最初のアドレス生成規則によって予測された次のアドレス「D 3 0」に対応するデータ「d」をイメージバッファ(1 1 5 - 1)にプリフェッチする。

各データ「f」、「b」、及び「X」が、ローテータ1 1 7に伝送される間に、MMU 1 1 5 は、最初のアドレス生成規則によって、各データ「Y」、「U」、及び「Q」をイメージバッファ(1 1 5 - 1)にプリフェッチするので、各アドレス(ADD 1 = D 2 5、D 2 1、及びD 1 7)がローテータ1 1 7から入力されても、MMU 1 1 5 では、ページミスが発生しない。

30

【 0 0 5 7 】

データ(DATA = T)が、ローテータ1 1 7に伝送される間に、MMU 1 1 5 は、二番目のアドレス生成規則によって予測されたアドレス「D 4 5」に該当するデータ「s」をイメージバッファ(1 1 5 - 1)にプリフェッチするので、アドレス「D 4 5」がローテータ1 1 7から入力されても、MMU 1 1 5 では、ページミスが発生しない。

【 0 0 5 8 】

図4の(b)に示すように、二番目のフレームSFで、ローテータ1 1 7は、MMU 1 1 7から出力された各データをイメージ処理モジュール1 1 8とディスプレイコントローラ1 2 1とを通じてディスプレイ1 3 0に伝送する。

40

したがって、アドレスアクセス順序(1~16)によって処理されたイメージ、すなわち、X軸回転したイメージSFがディスプレイ1 3 0で表示される。

【 0 0 5 9 】

上述したように、MMU 1 1 5 は、SFR 1 1 6に保存された制御値に対応する個数のページミスが発生する度に、ページミス位置とページミスに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いてアドレス生成規則を生成し、アドレス生成規則を用いて元のイメージに含まれたデータをイメージバッファ(1 1 5 - 1)にプリフェッチする。

コンピューティングシステム1 0 0が回転した後、元のイメージの最初のフレームOFFに含まれたデータをプリフェッチする過程でページミスが発生するが、元のイメージの

50

二番目のフレーム O S F 以後からは、自己学習を通じて生成されたアドレス生成規則によってデータがプリフェッチされるので、ページミスが発生しない。

【 0 0 6 0 】

本発明の実施形態による M M U 1 1 5 は、イメージ回転によって発生するページミスの回収を減らすことができるので、データプリフェッチ時間を減少させ、コンピューティング装置 1 1 0 の性能を向上させることができる。

また、コンピューティングシステム 1 0 0 が回転する度に、S F R 1 1 6 は、新たな制御値として設定され、ページミス位置とアドレス生成規則は、初期化される。

【 0 0 6 1 】

図 6 は、Y 軸を基準に回転したイメージ (Y 軸を対象軸として反転させたイメージ) を表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図 7 は、Y 軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

図 1、図 2、図 3、図 6、及び図 7 を参照すると、ユーザが、コンピューティングシステム 1 0 0 を Y 軸を基準に回転させれば (Y 軸を対象軸として反転させれば)、回転センサー 1 4 0 は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器 1 2 3 に出力する。

制御信号生成器 1 2 3 は、前記感知信号に応答して、制御信号を C P U 1 1 3 に出力する。

【 0 0 6 2 】

C P U 1 1 3 は、制御信号に応答して、図 1 8 に示した制御値テーブル (1 1 3 - 1) に保存された制御値、例えば、「 2 」を読み込み、読み込まれた制御値を M M U 1 1 5 に含まれた S F R 1 1 6 に設定又はプログラムする。

上記制御値は、コンピューティングシステム 1 0 0 が Y 軸を基準に回転した後、元のイメージの最初のフレーム O F F に含まれたデータをプリフェッチする時、発生するページミスの個数、すなわち、M M U 1 1 5 から生成されるアドレス生成規則の個数を表わす。

【 0 0 6 3 】

前述したように、M M U 1 1 5 は、2 つのページミス位置と 2 つのページミスのそれぞれに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いて 2 つのアドレス生成規則を生成し、2 つのアドレス生成規則によって、元のイメージの各フレーム (O F F、O S F) に含まれた各データを外部メモリ 1 2 0 からプリフェッチする。

ローテータ 1 1 7 は、データ「 D 」に対するアドレス (A D D 1 = D 4) を M M U 1 1 5 に伝送する。M M U 1 1 5 は、アドレス (A D D 1 = D 4) に対応するデータ「 D 」をメモリコントローラ 1 1 9 を用いて外部メモリ 1 2 0 からイメージバッファ (1 1 5 - 1) にプリフェッチする。

【 0 0 6 4 】

データ (D A T A = D) が、ローテータ 1 1 7 に伝送される間に、M M U 1 1 5 は、次のアドレス「 D 5 」を予測し、予測されたアドレス「 D 5 」に対応するデータ「 E 」をメモリコントローラ 1 1 9 を用いて外部メモリ 1 2 0 からイメージバッファ (1 1 5 - 1) にプリフェッチする。

次いで、ローテータ 1 1 7 は、データ「 C 」に対するアドレス (A D D 1 = D 3) を M M U 1 1 5 に伝送する。この際、データ「 C 」は、M M U 1 1 5 のイメージバッファ (1 1 5 - 1) に存在しないので、最初のページミスが発生する。

【 0 0 6 5 】

M M U 1 1 5 は、アドレス (A D D 1 = D 3) に該当するデータ「 C 」をメモリコントローラ 1 1 9 を用いて外部メモリ 1 2 0 からイメージバッファ (1 1 5 - 1) にプリフェッチする。

この際、M M U 1 1 5 は、データ「 D 」に対するアドレス「 D 4 」とデータ「 C 」に対するアドレス「 D 3 」との差、すなわち、第 1 深さ値、例えば、“ - 1 ”を内部メモリ (図 1 9 の符号 (2 0 3 - 1)) に保存することができる。また、M M U 1 1 5 は、最初の

10

20

30

40

50

ページミス位置、例えば、「1」を内部メモリに保存することができる。

MMU 115は、最初のページミスに関連したアドレス「D4」、「D3」と最初のページミス位置とを用いて最初の自己学習を行い、最初の自己学習の結果を用いて最初のアドレス生成規則を生成する。

【0066】

MMU 115は、最初のページミス位置を用いて元のイメージの最初のフレームOFFのどの位置でページミスが発生するか否かを予測することができる。

従って、MMU 115は、ページミスが発生する各位置（例えば、「5」、「9」、及び「13」）で最初のアドレス生成規則を用いて、各アドレスを予測し、予測されたアドレスを用いて、各データをプリフェッチすることができる。

10

【0067】

データ(DATA=C)が、ローテータ117に伝送される間に、MMU 115は、次のアドレス「D2」を予測し、予測されたアドレス「D2」に対応するデータ「B」をイメージバッファ(115-1)にプリフェッチし、データ(DATA=B)が、ローテータ117に伝送される間に、MMU 115は、次のアドレス「D1」を予測し、予測されたアドレス「D1」に対応するデータ「A」をイメージバッファ(115-1)にプリフェッチし、データ(DATA=A)が、ローテータ117に伝送される間に、MMU 115は、以前フレームのアドレスを予測し、予測されたアドレスに対応するデータをイメージバッファ(115-1)にプリフェッチする。

ローテータ117は、データ「H」に対するアドレス(ADD1=D8)をMMU 115に伝送する。この際、データ「H」は、MMU 115のイメージバッファ(115-1)に存在しないので、二番目のページミスが発生する。

20

【0068】

MMU 115は、アドレス(ADD1=D8)に対応するデータ「H」をメモリコントローラ119を用いて外部メモリ120からイメージバッファ(115-1)にプリフェッチする。

この際、MMU 115は、データ「A」に対するアドレス「D1」とデータ「H」に対するアドレス「D8」との差、すなわち、第2深さ値、例えば、「+7」を内部メモリ(図19の符号(203-1))に保存することができる。また、MMU 115は、二番目のページミス位置、例えば、「4」を内部メモリに保存することができる。

30

【0069】

MMU 115は、最初のページミス位置（例えば、「1」）と二番目のページミス位置（例えば、「4」）とを用いて元のイメージの最初のフレームOFFのどの位置（例えば、「5」、「8」、「9」、「12」、「13」、及び「16」）でページミスが発生するか否かを予測することができる。MMU 115は、第2深さ値と二番目のページミス位置とを用いて二番目の自己学習を行い、二番目の自己学習の結果を用いて二番目のアドレス生成規則を生成する。

従って、MMU 115は、ページミスが発生する各位置（例えば、「5」、「8」、「9」、「12」、「13」、及び「16」）で最初のアドレス生成規則と二番目のアドレス生成規則とを用いて、各アドレスを予測し、予測された各アドレスに相応する各データをプリフェッチすることができる。

40

【0070】

図6の(b)に示すように、最初のフレームFFで、MMU 115は、アドレスアクセス順序(1~16)に従って外部メモリ120からイメージバッファ(115-1)にプリフェッチされた各データをローテータ117に伝送する。

したがって、MMU 117から出力された各データは、イメージ処理モジュール118とディスプレイコントローラ121とを通じてディスプレイ130に伝送される。

従って、アドレスアクセス順序(1~16)によって処理されたイメージ、すなわち、Y軸回転したイメージFFがディスプレイ130で表示される。

【0071】

50

プリフェッチされたデータ (DATA = M) が、ローテータ 117 に伝送される間に、MMU 115 は、二番目のアドレス生成規則によって次のアドレス「D20」に対応するデータ「T」をイメージバッファ (115 - 1) にプリフェッチする。したがって、アドレス「D20」が入力されても、MMU 117 では、ページミスが発生しない。

MMU 117 は、最初のアドレス生成規則と二番目のアドレス生成規則とによって元のイメージの二番目のフレーム O S F に含まれたデータをプリフェッチするので、元のイメージの二番目のフレーム O S F からは MMU 115 では、ページミスが発生しない。

【0072】

図 8 は、90° 回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図 9 は、90° 回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

図 1、図 2、図 3、図 8、及び図 9 を参照すると、ユーザが、コンピューティングシステム 100 を 90° 回転させれば、回転センサー 140 は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器 123 に出力する。

制御信号生成器 123 は、感知信号に応答して、制御信号を CPU 113 に出力する。

【0073】

CPU 113 は、制御信号に応答して、図 18 に示した制御値テーブル (113 - 1) に保存された制御値、例えば、「3」を読み込み、読み込まれた制御値を MMU 115 に含まれた S F R 116 に設定又はプログラムする。

上記制御値、例えば、「3」は、コンピューティングシステム 100 が 90° 回転した後、元のイメージの最初のフレーム O F F に含まれたデータをプリフェッチする時、発生するページミスの個数、すなわち、MMU 115 から生成されるアドレス生成規則の個数を表わす。

MMU 115 は、3つのページミス位置と3つのページミスに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いて3つのアドレス生成規則を生成し、3つのアドレス生成規則によってデータを外部メモリ 120 からプリフェッチする。

【0074】

データ「M」が、ローテータ 117 に伝送される間に、MMU 115 は、アドレス「D13」の次のアドレス「D14」に対応するデータ「N」を外部メモリ 120 からイメージバッファ (113 - 1) にプリフェッチする。

データ「I」に対応するアドレス (ADD 1 = D9) が入力されれば、MMU 117 で最初のページミスが発生する。

この際、MMU 115 は、アドレス「D13」と「D9」の差、すなわち、第1深さ値、例えば、「-4」を計算し、第1深さ値と最初のページミス位置、例えば、「1」を内部メモリ (図 19 の符号 (203 - 1)) に保存する。MMU 115 は、第1深さ値と最初のページミス位置とを用いて最初のアドレス生成規則を生成する。

【0075】

MMU 115 は、最初のアドレス生成規則によって、各アドレス「D9」、「D5」、及び「D1」に対応する各データ「I」、「E」、及び「A」をプリフェッチし、プリフェッチされた各データ「I」、「E」、及び「A」をローテータ 117 に伝送する。

データ「A」が、ローテータ 117 に伝送される間に、MMU 115 は、最初のアドレス生成規則によって予測された以前フレームのアドレスに対応するデータをプリフェッチする。

データ「N」に対応するアドレス (ADD 1 = D14) が入力されれば、MMU 115 では、二番目のページミスが発生する。

【0076】

この際、MMU 115 は、アドレス「D1」と「D14」の差、すなわち、第2深さ値、例えば、「+13」を計算し、第2深さ値と二番目のページミス位置、例えば、「4」を内部メモリに保存する。

MMU 115 は、第2深さ値と二番目のページミス位置とを用いて二番目のアドレス生

10

20

30

40

50

成規則を生成する。

MMU 115 は、最初のページミス位置と二番目のページミス位置とを用いて元のイメージの最初のフレーム OFF のどの位置でページミスが発生するか否かを予測することができる。従って、MMU 115 は、ページミスが発生する各位置「5」、「8」、「9」、「12」、「13」、及び「16」で最初のページミス位置と二番目のページミス位置とを用いて、各アドレスを予測することができる。

【0077】

最初のアドレス生成規則、二番目のアドレス生成規則、及びアドレスアクセス順序（5～16）によって、MMU 115 は、各データ「N」、「J」、「F」、「B」、「O」、「K」、「G」、「C」、「P」、「L」、「H」、及び「D」をプリフェッチし、プリフェッチされた各データ「N」、「J」、「F」、「B」、「O」、「K」、「G」、「C」、「P」、「L」、「H」、及び「D」をローテータ 117 に伝送する。

10

【0078】

データ「D」が、ローテータ 117 に伝送される間に、MMU 115 は、アドレス「D4」の次のアドレス「D17」に対応するデータ「Q」を外部メモリ 120 からイメージバッファ（113 - 1）にプリフェッチする。

データ「c1」に対応するアドレス（ADD1 = D29）が入力されれば、MMU 115 では、三番目のページミスが発生する。

この際、MMU 115 は、アドレス「D4」と「D29」の差（これを“第3深さ値”と称する）、例えば、“+25”を計算し、第3深さ値と三番目のページミス位置、例えば、「16」を内部メモリに保存する。MMU 115 は、第3深さ値と三番目のページミス位置とを用いて三番目のアドレス生成規則を生成する。

20

【0079】

MMU 115 は、最初のアドレス生成規則から三番目のアドレス生成規則を用いて元のイメージの二番目のフレーム OSF のどの位置でページミスが発生するか否かを予測することができる。

従って、MMU 115 は、予測された各アドレスに対応する各データを外部メモリ 120 からイメージバッファ（115 - 1）にプリフェッチするので、元のイメージの二番目のフレーム OSF 以後のフレームでは、ページミスが発生しない。

【0080】

図8の（b）に示すように、最初のフレーム FF は、最初のアドレス生成規則と二番目のアドレス生成規則とによってプリフェッチされた各データを含む。

二番目のフレーム SF とその後のフレームは、最初のアドレス生成規則から三番目のアドレス生成規則によってプリフェッチされた各データを含むので、ページミスが発生しない。

30

【0081】

図10は、180°回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図11は、180°回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

図1、図2、図3、図10、及び図11を参照すると、ユーザが、コンピューティングシステム 100 を 180°回転させれば、回転センサー 140 は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器 123 に出力する。

40

制御信号生成器 123 は、感知信号に応答して、制御信号を CPU 113 に出力する。

【0082】

CPU 113 は、制御信号に応答して、図18に示した制御値テーブル（113 - 1）に保存された制御値、例えば、「2」を読み込み、読み込まれた制御値を MMU 115 に含まれた SFR 116 に設定又はプログラムする。

上記制御値、例えば、「2」は、コンピューティングシステム 100 が 180°回転した後、元のイメージの最初のフレーム OFF に含まれたデータをプリフェッチする時、発生するページミスの個数、すなわち、MMU 115 から生成されるアドレス生成規則の個

50

数を表わす。

MMU 115 は、2つのページミス位置と2つのページミスに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いて2つのアドレス生成規則を生成し、2つのアドレス生成規則によってデータを外部メモリ120からプリフェッチする。

【0083】

データ「P」が、ローテータ117に伝送される間に、MMU 115 は、アドレス「D16」の次のアドレス「D17」に対応するデータ「Q」を外部メモリ120からイメージバッファ(113-1)にプリフェッチする。

データ「O」に対応するアドレス(ADD1 = D15)が入力されれば、MMU 115 で最初のページミスが発生する。

この際、MMU 115 は、アドレス「D16」と「D15」の第1差、すなわち、第1深さ値、例えば、“-1”を計算し、第1深さ値と最初のページミス位置、例えば、「1」を内部メモリ(図19の符号(203-1))に保存する。MMU 115 は、第1深さ値と最初のページミス位置とを用いて最初のアドレス生成規則を生成する。

【0084】

MMU 115 は、最初のページミス位置を用いて元のフレームの最初のフレームOFFのどの位置でページミスが発生するか否かを予測することができる。MMU 115 は、最初のアドレス生成規則によって、各データ「O」、「N」、及び「M」をプリフェッチし、プリフェッチされた各データ「O」、「N」、及び「M」をローテータ117に伝送する。

データ「M」が、ローテータ117に伝送される間に、MMU 115 は、最初のアドレス生成規則によってデータ「L」をプリフェッチする。

MMU 115 は、最初のアドレス生成規則によって、各データ「L」、「K」、「J」、「I」、「H」、「G」、「F」、「E」、「D」、「C」、「B」、及び「A」をプリフェッチし、該プリフェッチされた各データ「L」、「K」、「J」、「I」、「H」、「G」、「F」、「E」、「D」、「C」、「B」、及び「A」をローテータ117に伝送する。

【0085】

最後のデータ「A」が、ローテータ117に伝送される間に、MMU 115 は、以前フレームのアドレスに対応するデータをプリフェッチする。

データ「f」に対応するアドレス(ADD1 = D32)が入力されれば、MMU 115 では、二番目のページミスが発生する。

この際、MMU 115 は、アドレス「D1」と「D32」の第2差、すなわち、第2深さ値、例えば、“+31”を計算し、第2深さ値と二番目のページミス位置、例えば、「16」を内部メモリ(図19の符号(203-1))に保存する。

MMU 115 は、第2深さ値と二番目のページミス位置とを用いて二番目のアドレス生成規則を生成する。

【0086】

最初のアドレス生成規則とアドレスアクセス順序(17~32)とによって、MMU 115 は、各データをプリフェッチし、該プリフェッチされた各データをローテータ117に伝送する。

データ「Q」が、ローテータ117に伝送される間に、MMU 115 は、二番目のアドレス生成規則によって予測された次のフレームのアドレスに対応するデータをプリフェッチする。

次のフレームのアドレスが入力されても、MMU 115 では、ページミスが発生しない。

【0087】

図10の(b)に示すように、最初のフレームFFは、最初のアドレス生成規則によってプリフェッチされた各データを含む。

二番目のフレームSFとその後のフレームは、最初のアドレス生成規則と二番目のアド

10

20

30

40

50

レス生成規則とによってプリフェッチされた各データを含むので、ページミスが発生しない。

【0088】

図12は、 90° 回転した後、X軸を基準に回転したイメージ(90° 回転した後、X軸を対象軸として反転させたイメージ)を表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図13は、 90° 回転した後、X軸を基準に回転したイメージを生成するためのアドレス生成規則を説明ための概念図である。

図1、図2、図3、図12、及び図13を参照すると、ユーザが、コンピューティングシステム100を 90° 回転させた後、さらにX軸を基準に回転させれば(90° 回転した後、X軸を対象軸として反転させれば)、回転センサー140は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器123に出力する。

制御信号生成器123は、感知信号に応答して、制御信号をCPU113に出力する。

【0089】

CPU113は、制御信号に応答して、図18に示した制御値テーブル(113-1)に保存された制御値、例えば、「3」を読み込み、読み込まれた制御値をMMU115に含まれたSFR116に設定又はプログラムする。

上記制御値、例えば、「3」は、コンピューティングシステム100が 90° 回転した後、さらにX軸を基準に回転した後、元のイメージの最初のフレームOFFに含まれたデータをプリフェッチする時、発生するページミスの個数、すなわち、MMU115から生成されるアドレス生成規則の個数を表わす。

MMU115は、3つのページミス位置と3つのページミスに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いて3つのアドレス生成規則を生成し、3つのアドレス生成規則によって、各データを外部メモリ120からプリフェッチする。

【0090】

データ「P」が、ローテータ117に伝送される間に、MMU115は、アドレス「D16」の次のアドレス「D17」に対応するデータ「Q」をイメージバッファ(113-1)にプリフェッチする。したがって、データ「L」に対応するアドレス(ADD1=D12)が入力されれば、MMU115で最初のページミスが発生する。

この際、MMU115は、アドレス「D16」と「D12」の差、すなわち、第1深さ値、例えば、「-4」を計算し、第1深さ値と最初のページミス位置、例えば、「1」を内部メモリに保存する。MMU115は、第1深さ値と最初のページミス位置とを用いて最初のアドレス生成規則を生成する。

従って、MMU115は、アドレスアクセス順序と最初のアドレス生成規則とによって、各データ「L」、「H」、及び「D」をプリフェッチし、プリフェッチされた各データ「L」、「H」、及び「D」をローテータ117に伝送する。

【0091】

データ「D」が、ローテータ117に伝送される間に、MMU115は、アドレス「D4」の次のアドレスを予測し、予測結果に従って元のフレームの以前フレームのデータをプリフェッチする。

従って、データ「O」に対応するアドレス(ADD1=D15)が入力されれば、MMU115では、二番目のページミスが発生する。

【0092】

MMU115は、アドレス「D15」と「D4」の差、すなわち、第2深さ値、例えば、「+11」を計算し、第2深さ値と二番目のページミス位置、例えば、「4」を内部メモリに保存する。MMU115は、第2深さ値と二番目のページミス位置とを用いて二番目のアドレス生成規則を生成する。

MMU115は、最初のアドレス生成規則、二番目のアドレス生成規則、及びアドレスアクセス順序によって、各データ「O」、「K」、「G」、「C」、「N」、「J」、「F」、「B」、「M」、「I」、「E」、及び「A」をプリフェッチし、プリフェッチされた各データ「O」、「K」、「G」、「C」、「N」、「J」、「F」、「B」、「M

10

20

30

40

50

」、「I」、「E」、及び「A」をローテータ117に伝送する。

【0093】

最後のデータ「A」が、ローテータ117に伝送される間に、MMU115は、二番目のアドレス生成規則によって現在アドレス「D1」の次のアドレス「D12」を予測し、予測結果に従ってデータ「L」をプリフェッチする。

アドレス(ADD1=D32)が入力されれば、MMU115では、三番目のページミスが発生する。

この際、MMU115は、アドレス「D1」と「D32」の差、すなわち、第3深さ値、例えば、「+31」を計算し、第3深さ値と三番目のページミス位置、例えば、「16」を内部メモリに保存する。MMU115は、第3深さ値と三番目のページミス位置とを用いて三番目のアドレス生成規則を生成する。

10

【0094】

図12の(b)に示すように、最初のフレームFFは、最初のアドレス生成規則と二番目のアドレス生成規則とによってプリフェッチされた各データを含む。

二番目のフレームSFとその後のフレームは、最初のアドレス生成規則から三番目のアドレス生成規則によってプリフェッチされた各データを含むので、ページミスが発生しない。

【0095】

図14は、90°回転した後、Y軸を基準に回転したイメージ(90°回転した後、X軸を対象軸として反転させたイメージ)を表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図15は、90°回転した後、Y軸を基準に回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

20

図1、図2、図3、図14、及び図15を参照すると、ユーザが、コンピューティングシステム100を90°回転させた後、さらにY軸を基準に回転させれば(90°回転した後、X軸を対象軸として反転させれば)、回転センサー140は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器123に出力する。

制御信号生成器123は、感知信号に応答して、制御信号をCPU113に出力する。

【0096】

CPU113は、制御信号に応答して、図18に示した制御値テーブル(113-1)に保存された制御値、例えば、「3」を読み込み、読み込まれた制御値をMMU115に含まれたSFR116に設定又はプログラムする。

30

上記制御値、例えば、「3」は、コンピューティングシステム100が90°回転した後、さらにY軸を基準に回転した後、元のイメージの最初のフレームOFFに含まれたデータをプリフェッチする時、発生するページミスの個数、すなわち、MMU115から生成されるアドレス生成規則の個数を表わす。

MMU115は、3つのページミス位置と3つのページミスに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いて3つのアドレス生成規則を生成し、3つのアドレス生成規則によって、各データを外部メモリ120からプリフェッチする。

【0097】

データ「A」が、ローテータ117に伝送される間に、MMU115は、現在アドレス「D1」の次のアドレス「D2」を予測し、予測結果に従ってデータ「B」をイメージバッファ(113-1)にプリフェッチする。

40

アドレス(ADD1=D5)が入力されれば、MMU115では、最初のページミスが発生する。

この際、MMU115は、アドレス「D1」と「D5」の差、すなわち、第1深さ値、例えば、「+4」を計算し、第1深さ値と最初のページミス位置、例えば、「1」を内部メモリに保存する。MMU115は、第1深さ値と最初のページミス位置とを用いて最初のアドレス生成規則を生成する。

したがって、MMU115は、アドレスアクセス順序と最初のアドレス生成規則とによって、各データ「E」、「I」、及び「M」をプリフェッチし、該プリフェッチされた各

50

データ「E」、「I」、及び「M」をローテータ117に伝送する。

【0098】

データ「M」が、ローテータ117に伝送される間に、MMU115は、最初のアドレス生成規則によってアドレス「D13」の次のアドレス「D17」を予測し、予測結果に従ってデータ「Q」をプリフェッチする。

アドレス(ADD1=D2)が入力されれば、MMU115では、二番目のページミスが発生する。

MMU115は、アドレス「D13」と「D2」の差、すなわち、第2深さ値、例えば、「-11」を計算し、第2深さ値と二番目のページミス位置、例えば、「4」とを内部メモリに保存する。MMU115は、第2深さ値と二番目のページミス位置とを用いて二番目のアドレス生成規則を生成する。

10

【0099】

MMU115は、最初のアドレス生成規則、二番目のアドレス生成規則、及びアドレスアクセス順序によって、各データ「B」、「F」、「J」、「N」、「C」、「G」、「K」、「O」、「D」、「H」、「L」、及び「P」をプリフェッチし、プリフェッチされた各データ「B」、「F」、「J」、「N」、「C」、「G」、「K」、「O」、「D」、「H」、「L」、及び「P」をローテータ117に伝送する。

【0100】

最後のデータ「P」が、ローテータ117に伝送される間に、MMU115は、二番目のアドレス生成規則によって現在アドレス「D16」の次のアドレス「D5」を予測し、予測結果に従ってデータ「E」をプリフェッチする。

20

アドレス(ADD1=D17)が入力されれば、MMU115では、三番目のページミスが発生する。

この際、MMU115は、アドレス「D16」と「D17」の差、すなわち、第3深さ値、例えば、「+1」を計算し、第3深さ値と三番目のページミス位置、例えば、「16」を内部メモリに保存する。MMU115は、第3深さ値と三番目のページミス位置とを用いて三番目のアドレス生成規則を生成する。

【0101】

図14の(b)に示すように、最初のフレームFFは、最初のアドレス生成規則と二番目のアドレス生成規則とによってプリフェッチされた各データを含む。

30

二番目のフレームSFとその後のフレームは、最初のアドレス生成規則から三番目のアドレス生成規則によってプリフェッチされた各データを含むので、MMU115では、ページミスが発生しない。

【0102】

図16は、270°回転したイメージを表示するためのアドレスアクセス順序とディスプレイイメージとを示す図であり、図17は、270°回転したイメージを生成するためのアドレス生成規則を説明するための概念図である。

図1、図2、図3、図16、及び図17を参照すると、ユーザが、コンピューティングシステム100を270°回転させれば、回転センサー140は、回転を感知し、感知結果に従って生成された感知信号を制御信号生成器123に出力する。

40

制御信号生成器123は、感知信号に応答して、制御信号をCPU113に出力する。

【0103】

CPU113は、制御信号に応答して、図18に示した制御値テーブル(113-1)に保存された制御値、例えば、「3」を読み込み、読み込まれた制御値をMMU115に含まれたSFR116に設定又はプログラムする。

上記制御値、例えば、「3」は、コンピューティングシステム100が270°回転した後、最初のフレームに該当するデータをプリフェッチする時、発生するページミスの個数、すなわち、MMU115から生成されるアドレス生成規則の個数を表わす。

MMU115は、3つのページミス位置と3つのページミスに関連したアドレスとの差を用いて自己学習を行い、自己学習の結果を用いて3つのアドレス生成規則を生成し、3

50

つのアドレス生成規則によって、各データを外部メモリ 120 からプリフェッチする。

【0104】

データ「D」が、ローテータ 117 に伝送される間に、MMU 115 は、現在アドレス「D4」の次のアドレス「D5」を予測し、予測結果に従ってデータ「E」をイメージバッファ(113-1)にプリフェッチする。

したがって、アドレス(ADD1=D8)が入力されれば、MMU 115 では、最初のページミスが発生する。

この際、MMU 115 は、アドレス「D4」と「D8」の差、すなわち、第1深さ値、例えば、“+4”を計算し、第1深さ値と最初のページミス位置、例えば、「1」とを内部メモリに保存する。MMU 115 は、第1深さ値と最初のページミス位置とを用いて最初のアドレス生成規則を生成する。

従って、MMU 115 は、アドレスアクセス順序と最初のアドレス生成規則とによって、各データ「H」、「L」、及び「P」をプリフェッチし、プリフェッチされた各データ「H」、「L」、及び「P」をローテータ 117 に伝送する。

【0105】

データ「P」が、ローテータ 117 に伝送される間に、MMU 115 は、最初のアドレス生成規則によって現在アドレス「D16」の次のアドレス「D20」を予測し、予測結果に従ってデータ「T」をプリフェッチする。

アドレス(ADD1=D3)が入力されれば、MMU 115 では、二番目のページミスが発生する。

MMU 115 は、アドレス「D16」と「D3」の差、すなわち、第2深さ値、例えば、“-13”を計算し、第2深さ値と二番目のページミス位置、例えば、「4」を内部メモリに保存する。MMU 115 は、第2深さ値と二番目のページミス位置とを用いて二番目のアドレス生成規則を生成する。

【0106】

MMU 115 は、最初のアドレス生成規則、二番目のアドレス生成規則、及びアドレスアクセス順序によって、各データ「C」、「G」、「K」、「O」、「B」、「F」、「J」、「N」、「A」、「E」、「I」、及び「M」をプリフェッチし、プリフェッチされた各データ「C」、「G」、「K」、「O」、「B」、「F」、「J」、「N」、「A」、「E」、「I」、及び「M」をローテータ 117 に伝送する。

【0107】

最後のデータ「M」が、ローテータ 117 に伝送される間に、MMU 115 は、二番目のアドレス生成規則によって現在アドレス「D13」の次のアドレス、すなわち、以前フレームのアドレスを予測し、予測結果に従って、以前フレームのデータをプリフェッチする。

アドレス(ADD1=D20)が入力されれば、MMU 115 では、三番目のページミスが発生する。

MMU 115 は、データ「T」をプリフェッチする。この際、MMU 115 は、アドレス「D13」と「D20」の差、すなわち、第3深さ値、例えば、“+7”を計算し、第3深さ値と三番目のページミス位置、例えば、「16」を内部メモリに保存する。

MMU 115 は、第3深さ値と三番目のページミス位置とを用いて三番目のアドレス生成規則を生成する。

【0108】

図16の(b)に示すように、最初のフレームFFは、最初のアドレス生成規則と二番目のアドレス生成規則とによってプリフェッチされた各データを含む。

二番目のフレームSFとその後のフレームは、最初のアドレス生成規則から三番目のアドレス生成規則によってプリフェッチされた各データを含むので、ページミスが発生しない。

【0109】

図18は、回転方向によって決定されたアドレス生成規則の個数を含む制御値テーブル

10

20

30

40

50

の実施形態例を示す表である。

制御値テーブル(113-1)は、各回転方向に対する各制御値を含む。

各制御値は、深さ値(depth value)を意味する。それぞれの深さ値は、製造者又はユーザによって設定することができる。

図18に示した制御値テーブル(113-1)に含まれた制御値は、本発明の説明のための例示的な値である。実施形態によっては、制御値テーブル(113-1)は、CPU113の内部メモリに格納されるか、あるいはCPU113がアクセスすることができるメモリに保存された後CPU113によって読み込まれるか、あるいは別途のメモリに保存された後CPU113によって参照されうる。

【0110】

図19は、図1に示したメモリ管理ユニットの構成を示すブロック図である。

図1、図19を参照すると、メモリ管理ユニット115は、アドレス変換回路201、ページミス検出回路203、ページテーブル205、アドレス生成規則生成回路207、プリフェッチ回路209、イメージバッファ(115-1)、及びSFR116を含む。

【0111】

アドレス変換回路201は、ローテータ117から出力されたアドレス(ADD1)を変換する機能を行う。例えば、アドレス変換回路201は、TLB(Translation Lookaside Buffer)として具現可能である。

一般的なTLBと同じ方法でアドレス変換回路(TLB)201は、TLBヒット(TLB_HIT)又はTLBミス(TLB_MISS)を発生させる。

例えば、TLBミス(TLB_MISS)である時、変換されるアドレスは、ページテーブル205から取得され、取得されたアドレスは、アドレス変換回路(TLB)201にキャッシュ(cache)又はTLBライト(TLB_WR)される。

【0112】

ページミス検出回路203は、ローテータ117から出力されたアドレス(ADD1)の要請回収をカウンタ機能を用いてカウントし、カウント結果とページミス(PAGE_MISS)とに基づいてページミス位置を計算し、計算結果を内部メモリ(203-1)に保存し、保存された計算結果をアドレス生成規則生成回路207に伝送する。

【0113】

アドレス生成規則生成回路207は、SFR116に保存された制御値(DEPIN)、ページミス検出回路203から出力された少なくとも1つのページミス位置、及び変換されたアドレス(例えば、TLBヒット(TLB_HIT)によって生成されたアドレス、TLBミス(TLB_MISS)によって生成されたアドレス、又はページミス(PAGE_MISS)によって生成されたアドレス)に基づいてプリフェッチされるデータが保存された外部メモリ120のメモリ領域のアドレスを予測し、予測されたアドレス(ADD2)を生成する。

【0114】

例えば、アドレス(ADD1)は、第1アドレスとオフセット(offset)とを含み、予測されたアドレス(ADD2)は、第2アドレスとオフセットとを含みうる。

例えば、第1アドレスは、仮想(virtual)アドレスであり、第2アドレスは、仮想アドレスに対応する物理(physical)アドレスであり得る。

TLBヒット(TLB_HIT)である時、アドレス生成規則生成回路207は、オフセットとTLB201から出力されたアドレスとを用いて予測されたアドレス(ADD2)を生成する。TLBミス(TLB_MISS)である時、アドレス生成規則生成回路207は、オフセットとページテーブル205から取得されたアドレスとを用いて予測されたアドレス(ADD2)を生成する。

ページミス(PAGE_MISS)が発生すれば、プリフェッチ回路209は、TLBミス(TLB_MISS)によって生成されたアドレス(ADD2)を用いてデータ(DATA_pre)をイメージバッファ(115-1)にプリフェッチし、プリフェッチされたデータに対するアドレス(ADD2)は、ページテーブル205にキャッシュ又はテ

10

20

30

40

50

ーブルライト (TABLE__WR) される。

【0115】

プリフェッチ回路209は、予測されたアドレス (ADD2) を受信し、これをメモリコントローラ119に伝送する。

メモリコントローラ119は、プリフェッチ回路209から出力されたアドレス (ADD2) に基づいて外部メモリ120からデータを読み込み、読み込まれたデータ (DATA__pre)、すなわち、プリフェッチされたデータをプリフェッチ回路209に伝送する。

プリフェッチ回路209は、プリフェッチされたデータ (DATA__pre) をイメージバッファ (115 - 1) に伝送する。

イメージバッファ (115 - 1) は、プリフェッチされたデータ (DATA__pre) をデータ (DATA) としてローテータ117に伝送する。

SFR116は、CPU113から伝送された制御値 (DEPIN) を保存する。

アドレス生成規則生成回路207は、制御値 (DEPIN) によってアドレス生成規則の個数を調節する。

【0116】

図4と図19とを参照して、MMU115の動作を例示的に説明する。

図4では、説明の便宜上、アドレスアクセス順序とページミス位置は、同一であると仮定する。

【0117】

各データ「M」、「N」、「O」、及び「P」に対するアドレス「D13」、「D14」、「D15」、及び「D16」が要請される度に、ページミス検出回路203は、カウント値を増加させる。

図4では、カウント値は、アドレスアクセス順序と同一であると仮定する。例えば、ページミス検出回路203は、カウント値を用いてページミスが発生した位置を検出することができるカウンターの機能を行える。

【0118】

最初のページミスが発生すれば、ページミス検出回路203は、カウント値に基づいて最初のページミス位置を計算する。

この際、最初のページミス位置は、「4」であり、「4」は、内部メモリ (203 - 1) に保存された後、アドレス生成規則生成回路207に伝送される。

【0119】

アドレス生成規則生成回路207は、第1深さ値 (例えば、“-7”) を計算し、第1深さ値と最初のページミス位置とに基づいて最初のアドレス生成規則を生成する。

例えば、アドレス生成規則生成回路207は、最初のページミス位置に対応する位置 (例えば、「8」、「12」、及び「16」) で第1深さ値 (例えば、“-7”) を用いて次のアドレスを予測し、予測されたアドレス (ADD2) を生成することができる。

ページミス検出回路203は、データ「D」に対するアドレス「D4」が入力されるまでカウント値を増加させる。

【0120】

二番目のページミスが発生すれば、ページミス検出回路203は、カウント値に基づいて二番目のページミス位置を計算する。

この際、二番目のページミス位置は、「16」であり、「16」は、内部メモリ (203 - 1) に保存された後、アドレス生成規則生成回路207に伝送される。

アドレス生成規則生成回路207は、第2深さ値 (例えば、“+25”) を計算し、第2深さ値と二番目のページミス位置とに基づいて二番目のアドレス生成規則を生成する。

【0121】

図4の (a) に示したように、アドレス生成規則生成回路207は、最初のアドレス生成規則と二番目のアドレス生成規則とによって予測されたアドレス (ADD2) を生成するので、元のイメージの二番目のフレームOSFに含まれたデータをプリフェッチする時

10

20

30

40

50

、ページミスが発生しない。

それぞれの回転方向によるMMU 115の動作方法は、図4と図19とを参照して説明したMMU 115の動作方法と類似しているので、これらについての詳細な説明を省略する。

【0122】

図20は、本発明の実施形態による元のイメージを回転させる方法を説明するためのフローチャートである。

元のイメージを回転させる方法は、図1から図20を参照して説明され得る。

コンピューティング装置110は、コンピューティング装置110の回転又は回転方向を認識し、認識の結果に対応する制御信号をCPU 113に出力する。

CPU 113は、制御信号に基づいて制御値テーブル(113-1)に保存された制御値をMMU 115のSFR 116にプログラムする(ステップS110)。

【0123】

MMU 116は、少なくとも1つのページミスに関連したアドレスを用いて自己学習を行う(ステップS120)。

MMU 116は、自己学習の結果を用いてアドレス生成規則を生成し(ステップS130)、アドレス生成規則によって、元のイメージ、すなわち、データを外部メモリ120からプリフェッチし、プリフェッチされたデータをローテータ117に伝送する。すなわち、コンピューティング装置110は、アドレス生成規則によって、元のイメージに含まれたデータを外部メモリ120からプリフェッチし、プリフェッチされたデータを用いて回転したイメージを生成する(ステップS140)。

【0124】

次に、コンピューティング装置110は、回転したイメージをディスプレイ130を通じて表示する(ステップS150)。

コンピューティング装置110が特定方向に回転する度に、すなわち、元のイメージの回転方向が変更される度に、MMU 116は、以前に生成されたアドレス生成規則を初期化する。

【0125】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【産業上の利用可能性】

【0126】

本発明は、イメージ回転技術を用いるすべての電子機器に好適に使用される。

【符号の説明】

【0127】

- 100 コンピューティングシステム
- 110 コンピューティング装置
- 111 バス
- 113 CPU
- 113-1 制御値テーブル
- 115 メモリ管理ユニット(MMU)
- 115-1 イメージバッファ
- 116 SFR
- 117 ローテータ
- 118 イメージ処理モジュール
- 119 メモリコントローラ
- 120 外部メモリ
- 121 ディスプレイコントローラ
- 123 制御信号生成器
- 130 ディスプレイ

10

20

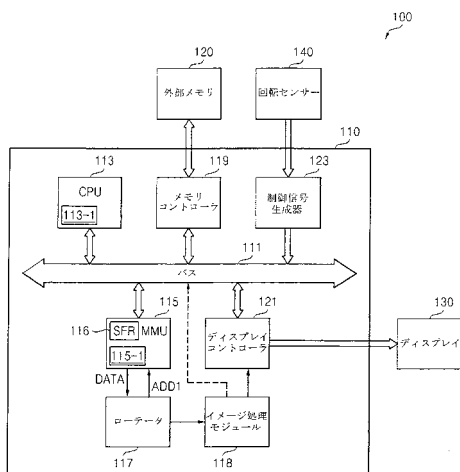
30

40

50

- 1 4 0 回転センサー
- 2 0 1 アドレス変換回路 (T L B)
- 2 0 3 ページミス検出回路
- 2 0 3 - 1 内部メモリ
- 2 0 5 ページテーブル
- 2 0 7 アドレス生成規則生成回路
- 2 0 9 プリフェッチ回路

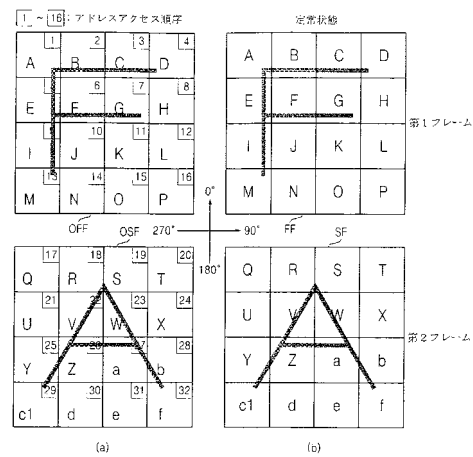
【 図 1 】



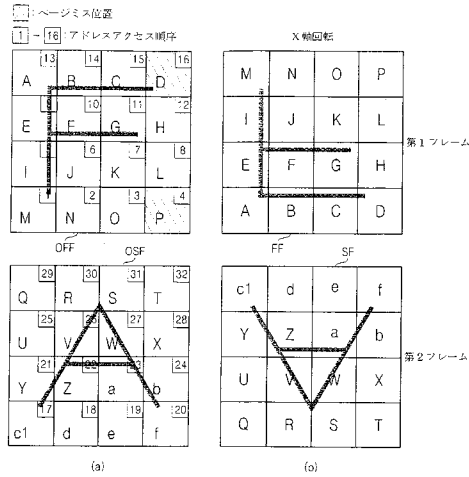
【 図 2 】

D16	P	D32	f	D48	v
D15	Q	D31	e	D47	u
D14	N	D30	d	D46	t
D13	M	D29	c1	D45	s
D12	L	D28	b	D44	r
D11	K	D27	a	D43	q
D10	J	D26	Z	D42	p
D9	I	D25	Y	D41	o
D8	H	D24	X	D40	n
D7	G	D23	W	D39	m
D6	F	D22	V	D38	l
D5	E	D21	U	D37	k
D4	D	D20	T	D36	j
D3	C	D19	S	D35	i
D2	B	D18	R	D34	h
D1	A	D17	Q	D33	g

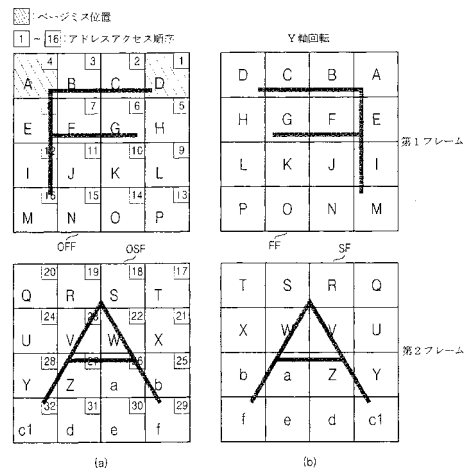
【 図 3 】



【図 4】



【図 6】



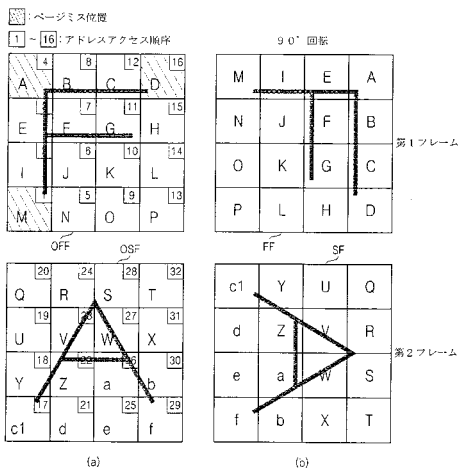
【図 5】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	4	-7(=D16⇒D9)
2	16	+25(=D4⇒D29)
3	-	-

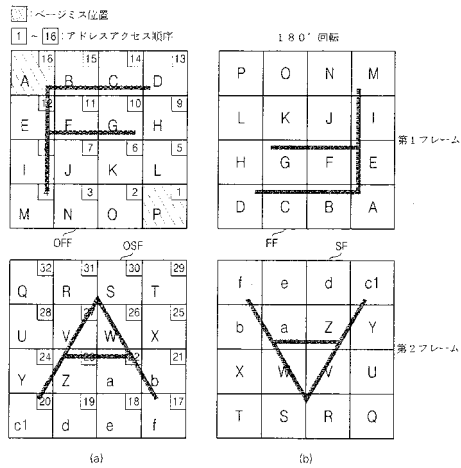
【図 7】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	1	-1(=D4⇒D3)
2	4	+7(=D1⇒D8)
3	-	-

【図 8】



【図 10】



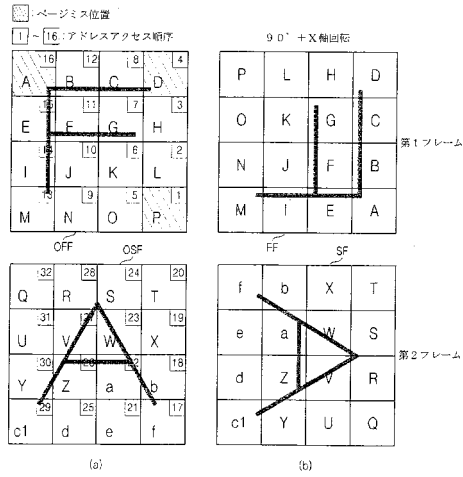
【図 9】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	1	-4(=D13⇒D9)
2	4	+13(=D1⇒D14)
3	16	+25(=D4⇒D29)

【図 11】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	1	-1(=D16⇒D15)
2	16	+31(=D1⇒D32)

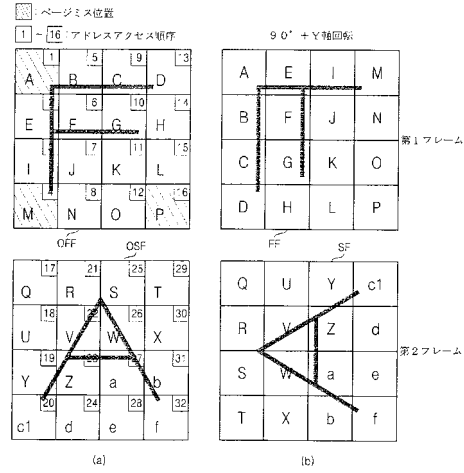
【図 12】



【図 13】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	1	-4(=D16⇒D12)
2	4	+11(=D4⇒D15)
3	16	+31(=D1⇒D32)

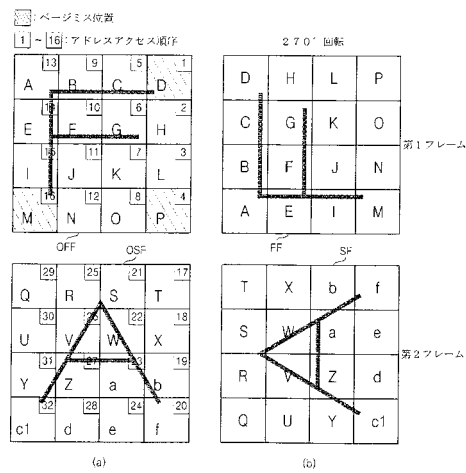
【図 14】



【図 15】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	1	+4(=D1⇒D5)
2	4	-11(=D13⇒D2)
3	16	+1(=D16⇒D17)

【図 16】



【図 18】

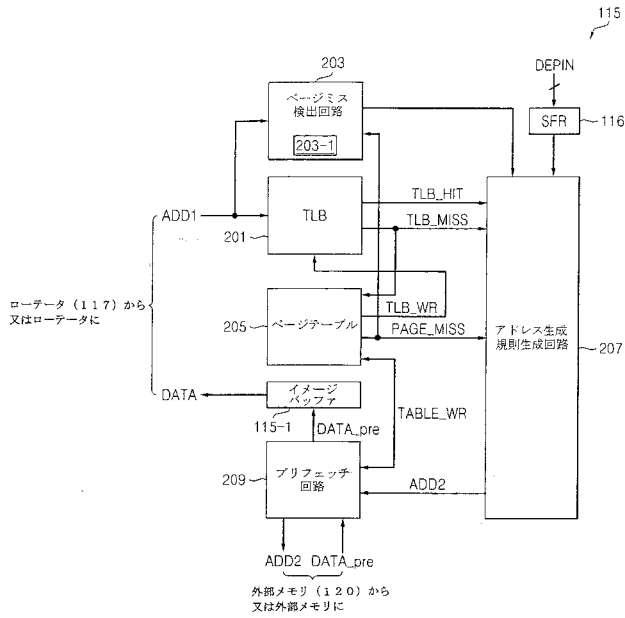
113-1

回転方向	制御値
X軸対称	2
Y軸対称	2
90°	3
180°	2
90° + X軸対称	3
90° + Y軸対称	3
270°	3

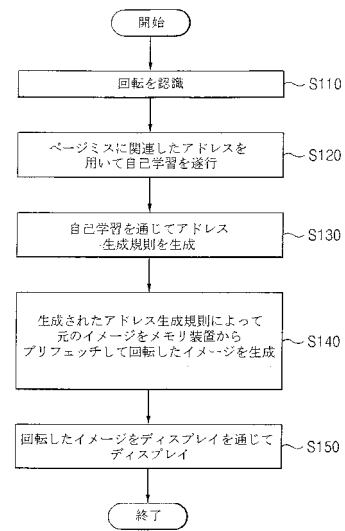
【図 17】

アドレス生成規則#	ページミス位置	アドレス差 (深さ値)
1	1	+4(=D4⇒D8)
2	4	-13(=D16⇒D3)
3	16	+7(=D13⇒D20)

【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 6 F 12/10 (2006.01) G 0 6 F 12/08 5 5 9 D
G 0 6 F 12/10 5 0 7 Z

(72)発明者 金 ミン 秀
大韓民国 京畿道 華城市 東灘盤石路 2 6 4 1 0 4 棟 2 4 0 1 号

(72)発明者 尹 晟 チョル
大韓民国 京畿道 華城市 東灘盤石路 2 3 0 1 3 5 棟 1 5 0 4 号

(72)発明者 許 宰 榮
大韓民国 京畿道 華城市 東灘盤石路 2 7 9 1 2 1 棟 1 3 0 1 号

(72)発明者 洪 性 ミン
大韓民国 京畿道 龍仁市 器興区 器谷路 7 5 番 - ギル 1 1 - 1 0

F ターム(参考) 5B005 LL15 MM51 NN22 RR04 SS11
5B069 BB16 DD13
5C082 BA02 CA42 CA85 CB05 DA61 DA87 MM02
5E555 AA67 BA04 BB04 BC04 CA10 CB21 CC27 DB03 DC24 EA19
FA13