

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 10 月 31 日 (31.10.2019)



(10) 国际公布号
WO 2019/205334 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2018/098048

(22) 国际申请日: 2018 年 8 月 1 日 (01.08.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810404403.0 2018年4月28日 (28.04.2018) CN

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(72) 发明人: 肖军城 (XIAO, Juncheng); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。 田超 (TIAN, Chao); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: ARRAY SUBSTRATE, AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 阵列基板及其制作方法

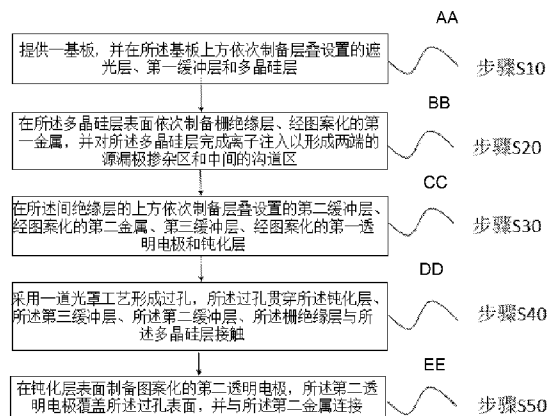


图 1

AA Step S10: Provide a substrate, and sequentially fabricate, on the substrate in a stacked manner, a light shielding layer, a first buffer layer, and a polysilicon layer
BB Step S20: Fabricate, on a surface of the polysilicon layer, a gate insulation layer and a patterned first metal sequentially, and perform ion implantation on the polysilicon layer to form a source and drain doped region at two ends and a middle trench region
CC Step S30: Fabricate, on the gate insulation layer in a stacked manner, a second buffer layer, a patterned second metal, a third buffer layer, a patterned first transparent electrode, and a passivation layer sequentially
DD Step S40: Form, by using a mask process, a via passing through the passivation layer, the third buffer layer, the second buffer layer, and the gate insulation layer and contacting with the polysilicon layer
EE Step S50: Fabricate a patterned second transparent electrode on a surface of the passivation layer, the second transparent electrode covering a surface of the via and being connected to the second metal

(57) Abstract: An array substrate and a manufacturing method thereof. The method comprises: providing a substrate (11), and fabricating, on the substrate in a stacked manner, a polysilicon layer (14a), a gate insulation layer (15), a second buffer layer (19), a patterned second metal (18), and a third buffer layer (19); and forming, by using a mask process, a via (23) passing through a passivation layer (21), the third buffer layer, the second buffer layer, and the gate insulation layer, and contacting with the polysilicon layer.

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种阵列基板及其制作方法, 包括: 提供一基板 (11), 并在所述基板上方制备层叠设置多晶硅层 (14a)、栅绝缘层 (15)、第二缓冲层 (19)、经图案化的第二金属 (18)、第三缓冲层 (19); 采用一道光罩工艺形成贯穿钝化层 (21)、第三缓冲层、第二缓冲层、栅绝缘层与多晶硅层接触的过孔 (23)。

说明书

发明名称: 阵列基板及其制作方法

技术领域

[0001] 本发明涉及显示技术领域，具体涉及一种阵列基板及其制作方法。

背景技术

[0002] 低温多晶硅（Low temperature poly-silicon，简称LTPS）技术具有电子迁移率高的优点，能够有效的减小薄膜晶体管（thin film transistor, 简称TFT）器件的面积，从而提升像素的开口率，在增大面板显示亮度的同时可以降低整体的功耗，进而大幅度降低面板的制造成本，因此，LTPS工艺目前已成为液晶显示领域炙手可热的技术。

[0003] 但是，现有的LTPS工艺复杂，阵列基板膜层的数目较多，一般需要至少10层的膜层结构，这样就需要较多的光罩工艺来进行层膜结构的制备，同时延长了产品制作时间，增加了产品的关照成本、物料成本和运营成本。

[0004] 如何能够有效的降低阵列基板制作周期，提升产品的良率，提升产品的生产能力，降低产品的生产成本，是目前面板设计行业所关注的重点，也是增加公司市场竞争力的有效途径。因此目前亟须一种能够节省光罩工艺的ITPS阵列基板及其制作方法。

发明概述

技术问题

[0005] 现有阵列基板制作工艺中，所需光罩工艺较多，导致产品生产工艺复杂，阵列基板制备成本较高的问题。

问题的解决方案

技术解决方案

[0006] 为实现上述目的，本发明提供的技术方案如下：

[0007] 根据本发明的一个方面，提供了一种阵列基板的制作方法，包括如下步骤：

[0008] 步骤S10、提供一基板，并在所述基板上方依次制备层叠设置的遮光层、第一缓冲层和多晶硅层；

- [0009] 步骤S20、在所述多晶硅层表面依次制备栅绝缘层、经图案化的第一金属，并对所述多晶硅层完成离子注入以形成两端的源漏极掺杂区和中间的沟道区；
- [0010] 步骤S30、在所述栅绝缘层的上方依次制备层叠设置的第二缓冲层、经图案化的第二金属、第三缓冲层、经图案化的第一透明电极和钝化层；
- [0011] 步骤S40、采用一道光罩工艺形成过孔，所述过孔贯穿所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层与所述多晶硅层接触；
- [0012] 步骤S50、在钝化层表面制备图案化的第二透明电极，所述第二透明电极覆盖所述过孔表面，并与所述第二金属连接；
- [0013] 其中，所述像素电极通过过孔将所述钝化层、所述第三绝缘层、所述第二金属、所述第二缓冲层、所述栅绝缘层、所述多晶硅层电性互连。
- [0014] 根据本发明一优选实施例，所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层的制备材料均为氮化硅和氧化硅中的至少一者。
- [0015] 根据本发明一优选实施例，所述第一金属为栅极金属，所述第二金属为源漏极金属。
- [0016] 根据本发明一优选实施例，所述第一透明电极为公共电极，所述第二透明电极为像素电极。
- [0017] 根据本发明的另一个方面，提供了一种阵列基板，包括：
- [0018] 基板；
- [0019] 遮光层，设置在所述基板上方；
- [0020] 第一缓冲层，设置在所述基板的上方，并覆盖所述遮光层；
- [0021] 多晶硅层，设置在所述第一缓冲层的上方；
- [0022] 栅绝缘层，设置在所述多晶硅层的上方；
- [0023] 第一金属，设置在所述栅绝缘层的上方，并对应于所述多晶硅层位置；
- [0024] 第二缓冲层，设置在所述栅绝缘层的上方，并覆盖所述第一金属；
- [0025] 第二金属，设置在所述第二缓冲层的上方；
- [0026] 第三缓冲层，设置在所述第二缓冲层的上方，并覆盖所述第二金属；
- [0027] 第一透明电极，设置在所述第三缓冲层的上方；
- [0028] 钝化层，设置在所述第三缓冲层的上方，并覆盖所述第一电极；

- [0029] 第二透明电极，设置在所述钝化层的上方；
- [0030] 过孔，所述过孔贯穿所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层与所述多晶硅层接触；
- [0031] 其中，所述第二透明电极覆盖所述过孔表面，并与所述第二金属连接。
- [0032] 根据本发明一优选实施例，所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层的制备材料均为氮化硅和氧化硅中的至少一者。
- [0033] 根据本发明一优选实施例，所述第一金属为栅极金属，所述第二金属为源漏极金属。
- [0034] 根据本发明一优选实施例，所述第一透明电极为公共电极，所述第二透明电极为像素电极。
- [0035] 根据本发明一优选实施例，所述像素电极通过过孔将所述钝化层、所述第三绝缘层、所述第二金属、所述第二缓冲层、所述栅绝缘层、所述多晶硅层电性互连。
- [0036] 根据本发明的又一个方面，提供了一种阵列基板的制作方法，包括如下步骤：
- [0037] 步骤S10、提供一基板，并在所述基板上方依次制备层叠设置的遮光层、第一缓冲层和多晶硅层；
- [0038] 步骤S20、在所述多晶硅层表面依次制备栅绝缘层、经图案化的第一金属，并对所述多晶硅层完成离子注入以形成两端的源漏极掺杂区和中间的沟道区；
- [0039] 步骤S30、在所述栅绝缘层的上方依次制备层叠设置的第二缓冲层、经图案化的第二金属、第三缓冲层、经图案化的第一透明电极和钝化层；
- [0040] 步骤S40、采用一道光罩工艺形成过孔，所述过孔贯穿所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层与所述多晶硅层接触；
- [0041] 步骤S50、在钝化层表面制备图案化的第二透明电极，所述第二透明电极覆盖所述过孔表面，并与所述第二金属连接。
- [0042] 根据本发明一优选实施例，所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层的制备材料均为氮化硅和氧化硅中的至少一者。
- [0043] 根据本发明一优选实施例，所述第一金属为栅极金属，所述第二金属为源漏极金属。

[0044] 根据本发明一优选实施例，所述第一透明电极为公共电极，所述第二透明电极为像素电极。

发明的有益效果

有益效果

[0045] 提供了一种阵列基板及其制作方法，将栅绝缘层、第二缓冲层、第三缓冲层和钝化层通过一道过孔工艺实现各层的有效连接，进而将所需的四道光罩工艺节约为一道光罩工艺，极大的简化了阵列基板工艺流程和生产成本。

对附图的简要说明

附图说明

[0046] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0047] 图1为本发明实施例中阵列基板的制作方法的流程示意图；

[0048] 图2a-2e为本发明实施例中阵列基板的制作方法的结构示意图；

[0049] 图3为本发明实施例中阵列基板结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

[0050] 以下各实施例的说明是参考附加的图示，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是用以相同标号表示。

[0051] 本发明针对现有阵列基板制作工艺中，所需光罩工艺较多，导致产品生产工艺复杂，阵列基板制备成本较高的问题，提出了一种阵列基板及其制作方法，本实施例能够改善该缺陷。

[0052] 下面结合附图和具体实施例对本发明做进一步的说明：

- [0053] 图1为本发明实施例中LTPS阵列基板的制作方法的流程示意图；图2a-2e为本发明实施例中阵列基板的制作方法的结构示意图。
- [0054] 如图1所示，本发明提供了一种阵列基板的制作方法，所述阵列基板的制作方法包括如下步骤：
- [0055] 如图2a所示，步骤S10、提供一基板11，并在所述基板11上方依次制备层叠设置的遮光层12、第一缓冲层13和多晶硅层14a。
- [0056] 进一步的，所述基板11为玻璃基板，一般作为阵列基板刚性衬底使用，在玻璃基板上进行LTPS工艺前，需要将玻璃基板清洗干净。
- [0057] 遮光层12由不透明材料制备，既可以为金属材料也可以为无机物材料，在有的情况下，遮光层12也可以省略；缓冲层13制备在基板11的上方，并覆盖所述遮光层12，所述缓冲层13的制备材料为氮化硅和氧化硅中的至少一者，缓冲层13既可以阻挡外界微粒污染LTPS器件，也可以起到缓冲的作用。
- [0058] 通常的，在步骤S10中需要采用2道光罩工艺，第一道光罩工艺用于制备遮光层12，第二道光罩工艺用于制备多晶层14a。
- [0059] 如图2b所示，步骤S20、在所述多晶硅层14a表面依次制备栅绝缘层15、经图案化的第一金属16，并对所述多晶硅层14a完成离子注入以形成两端的源漏极掺杂区(包括源漏极轻掺杂区142和源漏极重掺杂区141)和中间的沟道区143。
- [0060] 具体的，在所述栅绝缘层15制备第一金属层，对所述多晶硅层14a和所述第一金属层进行第一次蚀刻以形成源漏极重掺杂区141和初始图案的第一金属，随后对所述多晶硅层14a和所述初始图案的第一金属进行第二次蚀刻以形成源漏极轻掺杂区142和第一金属16，所述第一次蚀刻、所述第二次蚀刻均在第三道光罩工艺中制备。
- [0061] 具体的，所述第一金属16为栅极金属，所述栅绝缘层15设置在所述第一缓冲层15的上方并覆盖所述多晶硅层14，所述栅绝缘层15的制备材料为氧化硅和氮化硅中的至少一者。
- [0062] 如图2c所示，步骤S30、在所述栅绝缘层15的上方依次制备层叠设置的第二缓冲层17、经图案化的第二金属18、第三缓冲层19、经图案化的第一透明电极20和钝化层21；

- [0063] 具体的，在步骤S30中，在所述间绝缘层5的上方制备第二缓冲层17，在所述第二缓冲层17的上方涂布第二金属层，采用第四道光罩工艺图案化所述第二金属层以形成第二金属18。
- [0064] 优选的，所述第二金属18为源漏极金属。
- [0065] 所述第二缓冲层17、所述第三缓冲层19和所述钝化层21的制备材料相似，均为氧化硅和氮化硅中的至少一者，值得理解的是，所述第二缓冲层17、所述第三缓冲层19和所述钝化层21的制备材料也可以为其他相似的无机材料。
- [0066] 其中，在步骤S30中，采用第五道光罩工艺制备第一透明电极20。
- [0067] 如图2d所示，步骤S40、采用一道光罩工艺形成过孔23，所述过孔23贯穿所述钝化层21、所述第三缓冲层19、所述第二缓冲层17、所述栅绝缘层15与所述多晶硅层14接触。
- [0068] 具体的，所述过孔23与所述多晶硅层14的重掺杂区141相连。
- [0069] 形成过孔23所用的光罩工艺为本发明中所使用的第六道光罩工艺，也是本发明的主要发明点，本发明通过将原本需要四道光罩工艺制备的钝化层过孔、第三缓冲层过孔、第二缓冲层过孔和间绝缘层过孔整合为本发明中的一道过孔23，在利用所述钝化层21、所述第三缓冲层19、所述第二缓冲层17、所述栅绝缘层15所使用材料相同或化学性质相似，从而实现了一道光罩工艺蚀刻完所有的过孔（即本发明中整合的过孔23），本发明采用一道光罩工艺代替四道工艺的，极大的简化了阵列基板制作工序。
- [0070] 如图2e所示，步骤S50、在钝化层21表面制备图案化的第二透明电极22，所述第二透明电极22覆盖所述过孔23表面，并与所述第二金属18连接。
- [0071] 具体的，在步骤S50中，在所述钝化层21表面形成第二透明电极层，采用第七道光罩工艺图案化所述第二透明电极层以形成第二透明电极22。
- [0072] 所述第二透明电极22覆盖所述过孔23表面，所述第二透明电极22通过过孔23实现了所述钝化层21、所述第三绝缘层19、所述第二金属18、所述第二缓冲层17、所述间绝缘层15、所述多晶硅层14电性互连。
- [0073] 优选的，所述第一透明电极20为公共电极，所述第二透明电极22为像素电极。
- [0074] 如图3所示，根据本发明的另一个方面，还提供了一种阵列基板，所述阵列基

板包括：

- [0075] 基板31；
- [0076] 遮光层32，所述遮光层32设置在所述基板31上方；
- [0077] 第一缓冲层33，所述第一缓冲层33设置在所述基板31的上方，并覆盖所述遮光层32；
- [0078] 多晶硅层34，所述多晶硅层34设置在所述第一缓冲层33的上方；
- [0079] 栅绝缘层35，所述栅绝缘层35设置在所述多晶硅层34的上方；
- [0080] 第一金属36，所述第一金属36设置在所述栅绝缘层35的上方，并对应于所述多晶硅层34位置；
- [0081] 第二缓冲层37，所述第二缓冲层37设置在所述栅绝缘层35的上方，并覆盖所述第一金属36；
- [0082] 第二金属38，所述第二金属38设置在所述第二缓冲层37的上方；
- [0083] 第三缓冲层39，所述第三缓冲层39设置在所述第二缓冲层38的上方，并覆盖所述第二金属38；
- [0084] 第一透明电极40，所述第一透明电极40设置在所述第三缓冲层39的上方；
- [0085] 钝化层41，所述钝化层41设置在所述第三缓冲层39的上方，并覆盖所述第一电极40；
- [0086] 第二透明电极42，所述第二透明电极42设置在所述钝化层41的上方；
- [0087] 过孔23，所述过孔23贯穿所述钝化层41、所述第三缓冲层39、所述第二缓冲层37、所述栅绝缘层35与所述多晶硅层34接触；
- [0088] 其中，所述第二透明电极22覆盖所述过孔表面，并与所述第二金属38连接。
- [0089] 优选的，所述钝化层41、所述第三缓冲层39、所述第二缓冲层37、所述栅绝缘层35的制备材料均为氮化硅和氧化硅中的至少一者。
- [0090] 优选的，所述第一金属36为栅极金属，所述第二金属38为源漏极金属。
- [0091] 优选的，所述第一透明电极40为公共电极，所述第二透明电极42为像素电极。
- [0092] 优选的，所述像素电极42通过过孔43将所述钝化层41、所述第三绝缘层39、所述第二金属38、所述第二缓冲层37、所述栅绝缘层35、所述多晶硅层34电性互连。

- [0093] 在本实施例中，通过将第二金属38设置在第二缓冲层37的上方，使得过孔43可以依次贯穿所述钝化层41、所述第三绝缘层39、所述第二缓冲层37、所述间绝缘层35，一个过孔能够实现多层之间的电性互连，为所述阵列基板的制作方法中节省光罩制程提供了结构基础。
- [0094] 由于本发明中所述阵列基板原理与所述阵列基板的制作方法的工作原理相同，所述阵列基板原理具体请参考所述阵列基板的制作方法的工作原理，在此不做赘述。
- [0095] 本发明的优点是，提供了一种阵列基板及其制作方法，将栅绝缘层、第二缓冲层、第三缓冲层和钝化层通过一道过孔工艺实现各层的有效连接，进而将所需的四道光罩工艺节约为一道光罩工艺，极大的简化了阵列基板工艺流程和生产成本。
- [0096] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

- [权利要求 1] 一种阵列基板的制作方法，其包括如下步骤：
- 步骤S10、提供一基板，并在所述基板上方依次制备层叠设置的遮光层、第一缓冲层和多晶硅层；
- 步骤S20、在所述多晶硅层表面依次制备栅绝缘层、经图案化的第一金属，并对所述多晶硅层完成离子注入以形成两端的源漏极掺杂区和中间的沟道区；
- 步骤S30、在所述栅绝缘层的上方依次制备层叠设置的第二缓冲层、经图案化的第二金属、第三缓冲层、经图案化的第一透明电极和钝化层；
- 步骤S40、采用一道光罩工艺形成过孔，所述过孔贯穿所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层与所述多晶硅层接触；
- 步骤S50、在钝化层表面制备图案化的第二透明电极，所述第二透明电极覆盖所述过孔表面，并与所述第二金属连接；
- 其中，所述像素电极通过过孔将所述钝化层、所述第三绝缘层、所述第二金属、所述第二缓冲层、所述栅绝缘层、所述多晶硅层电性互连。
- [权利要求 2] 根据权利要求1所述的阵列基板的制作方法，其中，所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层的制备材料均为氮化硅和氧化硅中的至少一者。
- [权利要求 3] 根据权利要求1所述的阵列基板的制作方法，其中，所述第一金属为栅极金属，所述第二金属为源漏极金属。
- [权利要求 4] 根据权利要求1所述的阵列基板的制作方法，其特征在于，所述第一透明电极为公共电极，所述第二透明电极为像素电极。
- [权利要求 5] 一种阵列基板，其包括：
- 基板；
- 第一缓冲层，设置在所述基板的上方，并覆盖所述基板；

多晶硅层，设置在所述第一缓冲层的上方；
栅绝缘层，设置在所述多晶硅层的上方；
第一金属，设置在所述栅绝缘层的上方，并对应于所述多晶硅层位置；
第二缓冲层，设置在所述栅绝缘层的上方，并覆盖所述第一金属；
第二金属，设置在所述第二缓冲层的上方；
第三缓冲层，设置在所述第二缓冲层的上方，并覆盖所述第二金属；
第一透明电极，设置在所述第三缓冲层的上方；
钝化层，设置在所述第三缓冲层的上方，并覆盖所述第一电极；
第二透明电极，设置在所述钝化层的上方；
过孔，所述过孔贯穿所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层与所述多晶硅层接触；
其中，所述第二透明电极覆盖所述过孔表面，并与所述第二金属连接。

- [权利要求 6] 根据权利要求5所述的阵列基板，其中，所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层的制备材料均为氮化硅和氧化硅中的至少一者。
- [权利要求 7] 根据权利要求5所述的阵列基板，其中，所述第一金属为栅极金属，所述第二金属为源漏极金属。
- [权利要求 8] 根据权利要求5所述的阵列基板，其中，所述第一透明电极为公共电极，所述第二透明电极为像素电极。
- [权利要求 9] 根据权利要求8所述的阵列基板，其中，所述像素电极通过过孔将所述钝化层、所述第三绝缘层、所述第二金属、所述第二缓冲层、所述间绝缘层、所述多晶硅层电性互连。
- [权利要求 10] 一种阵列基板的制作方法，其包括如下步骤：
步骤S10、提供一基板，并在所述基板上方依次制备层叠设置的遮光层、第一缓冲层和多晶硅层；
步骤S20、在所述多晶硅层表面依次制备栅绝缘层、经图案化的第一

金属，并对所述多晶硅层完成离子注入以形成两端的源漏极掺杂区和中间的沟道区；

步骤S30、在所述间绝缘层的上方依次制备层叠设置的第二缓冲层、经图案化的第二金属、第三缓冲层、经图案化的第一透明电极和钝化层；

步骤S40、采用一道光罩工艺形成过孔，所述过孔贯穿所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层与所述多晶硅层接触；

步骤S50、在钝化层表面制备图案化的第二透明电极，所述第二透明电极覆盖所述过孔表面，并与所述第二金属连接。

[权利要求 11] 根据权利要求10所述的阵列基板的制作方法，其中，所述钝化层、所述第三缓冲层、所述第二缓冲层、所述栅绝缘层的制备材料均为氮化硅和氧化硅中的至少一者。

[权利要求 12] 根据权利要求10所述的阵列基板的制作方法，其中，所述第一金属为栅极金属，所述第二金属为源漏极金属。

[权利要求 13] 根据权利要求10所述的阵列基板的制作方法，其中，所述第一透明电极为公共电极，所述第二透明电极为像素电极。

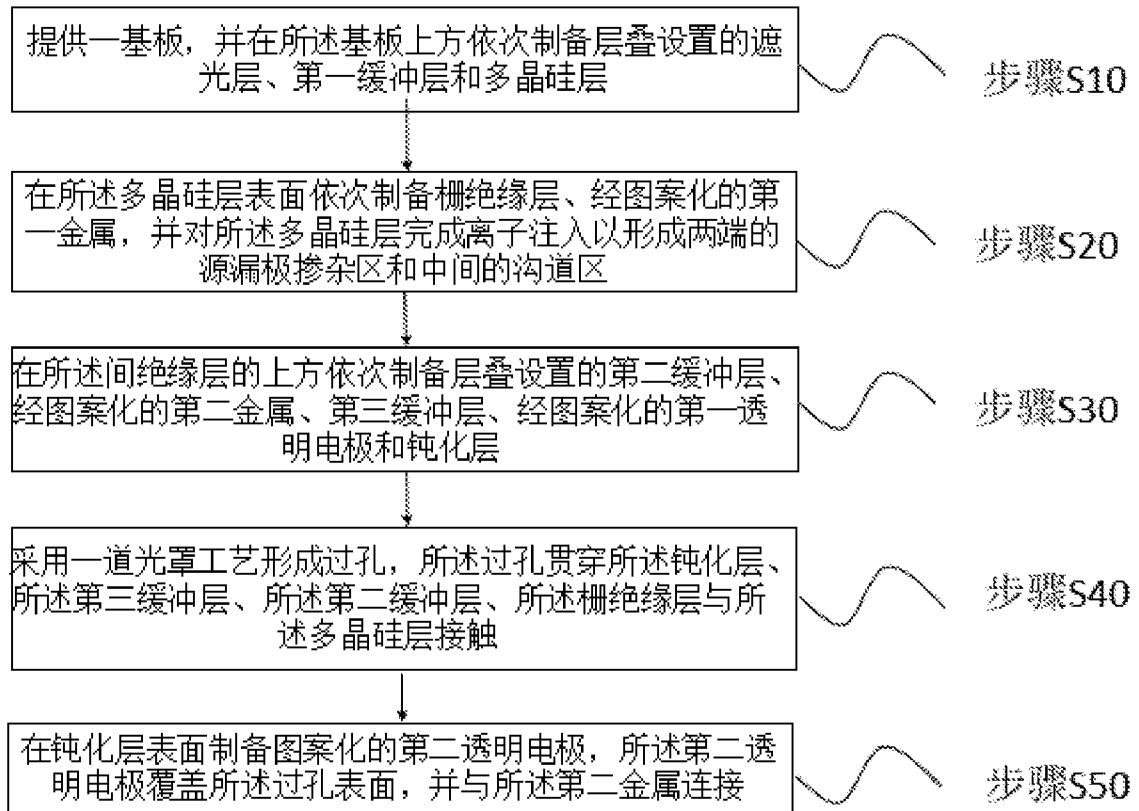


图 1

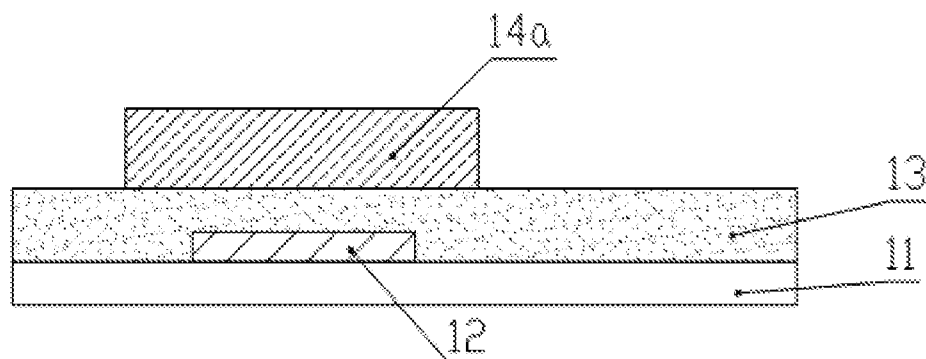


图 2a

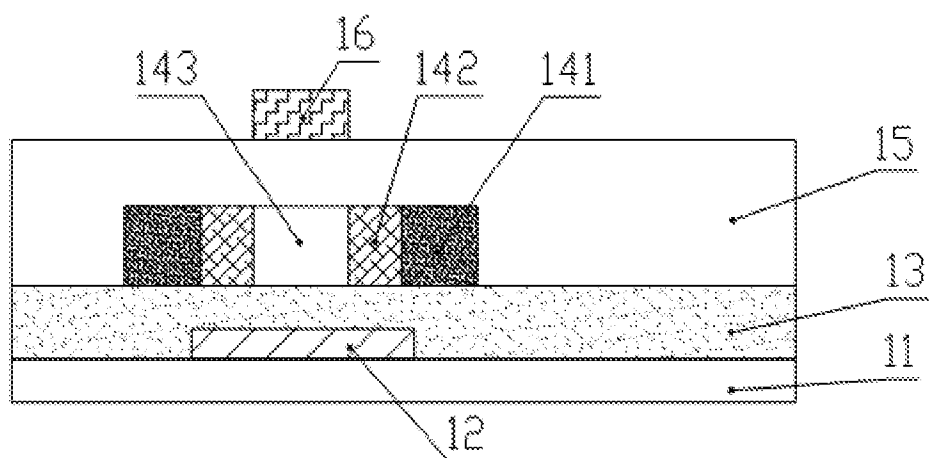


图 2b

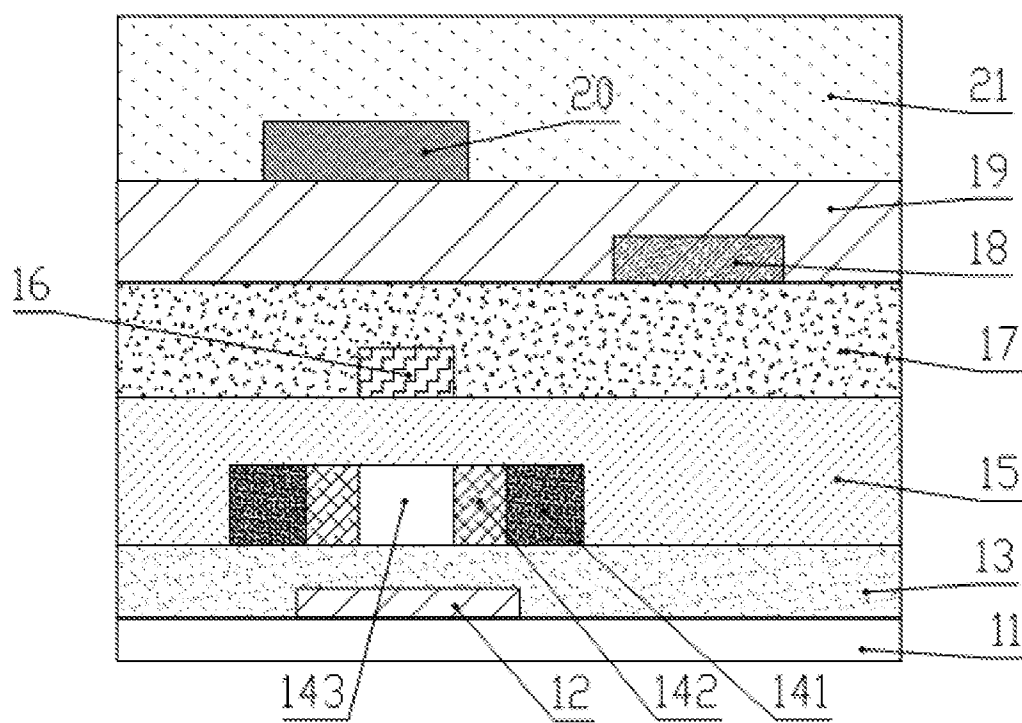


图 2c

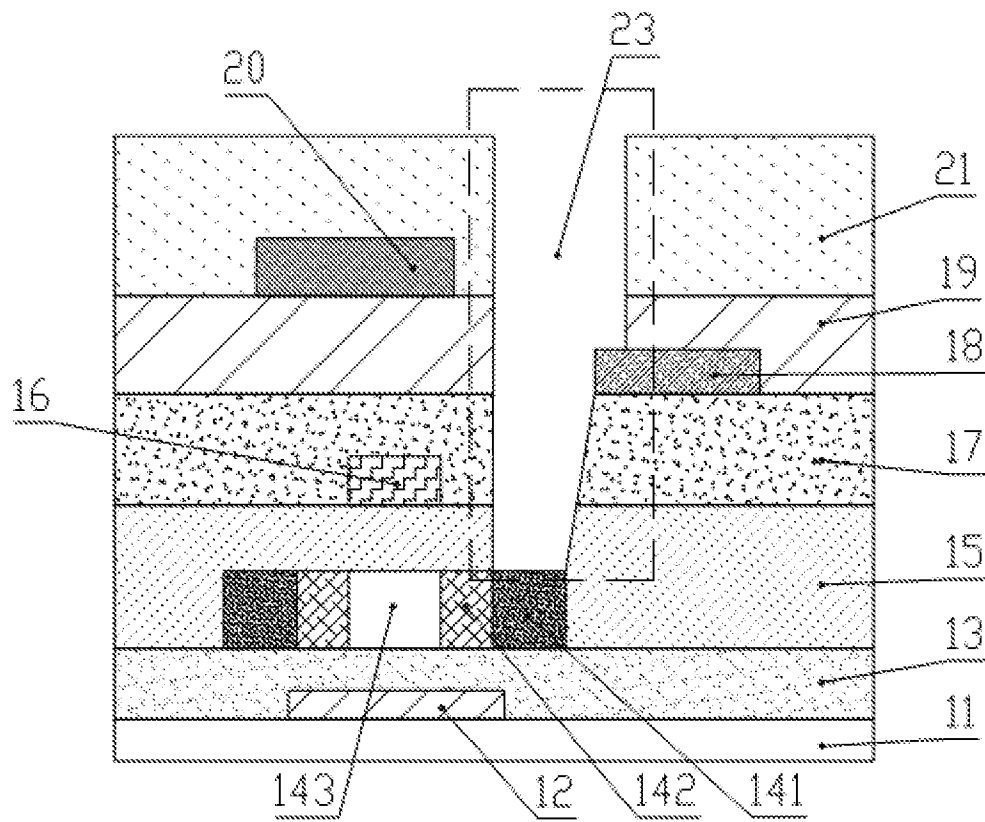


图 2d

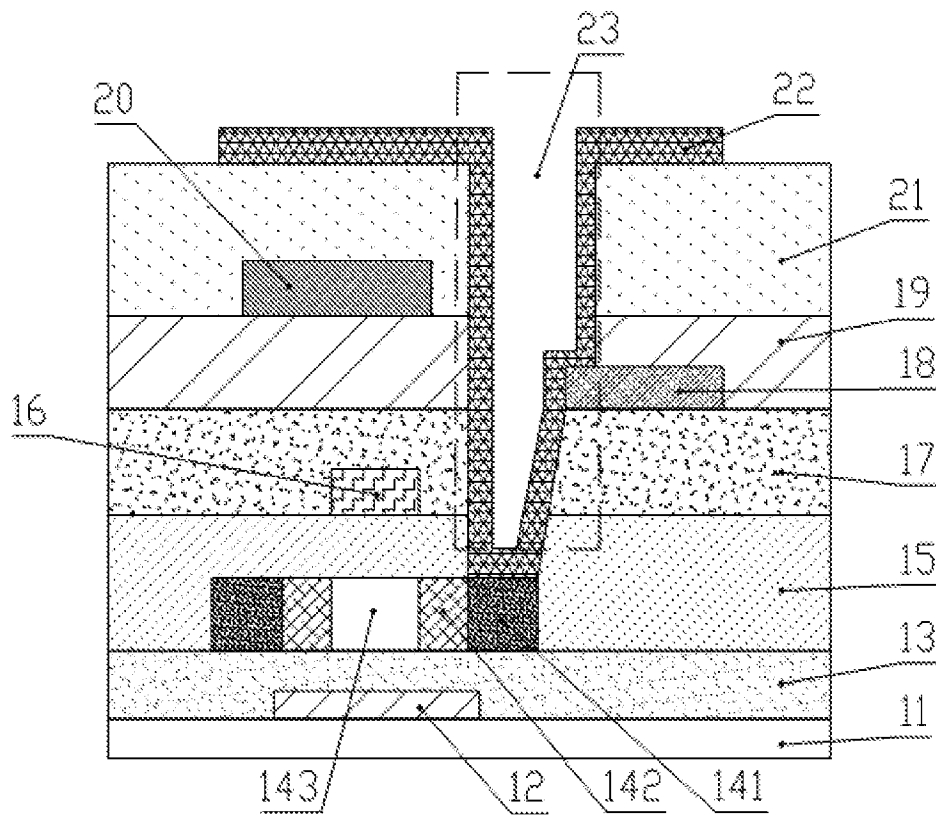


图 2e

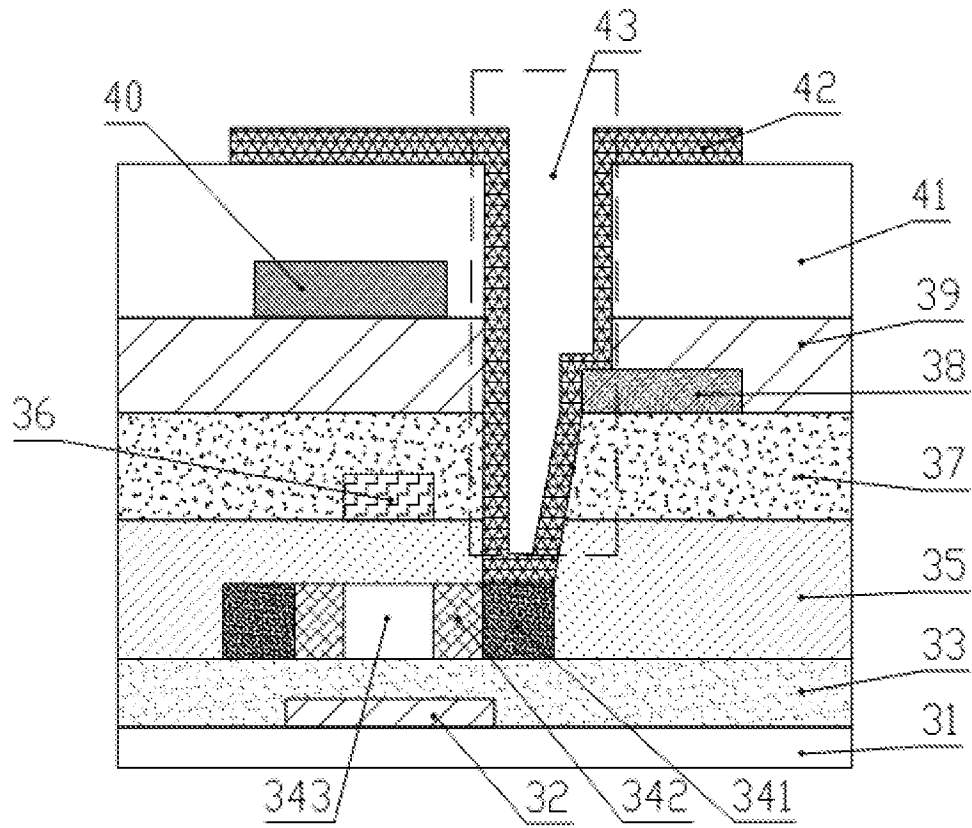


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/098048

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, DWPI, SIPOABS, CNKI, IEEE: 像素电极, 阵列基板, 透明电极, 缓冲层, 多晶硅, 过孔, 栅绝缘层, 光刻, pixel electrode, array substrate, transparent electrode, buffer layer, polysilicon, hole, via, gate insulating layer, etc

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101315476 A (SEIKO EPSON CORPORATION) 03 December 2008 (2008-12-03) description, page 5, line 10 to page 13, line 4, and figures 1-14	1-13
A	CN 104538399 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. ET AL.) 22 April 2015 (2015-04-22) entire document	1-13
A	US 2009286336 A1 (AU OPTRONICS CORPORATION) 19 November 2009 (2009-11-19) entire document	1-13

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 January 2019

Date of mailing of the international search report

01 February 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/098048

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)	Publication date (day/month/year)
CN	101315476	A	03 December 2008	CN	101315476	B	30 November 2011
				CN	102338949	A	01 February 2012
				CN	102338949	B	01 April 2015
				US	2008297709	A1	04 December 2008
				US	7812906	B2	12 October 2010
				JP	5298461	B2	25 September 2013
				JP	2008298815	A	11 December 2008
CN	104538399	A	22 April 2015	CN	104538399	B	03 October 2017
				DE	102015116281	A1	04 May 2016
				US	2016126258	A1	05 May 2016
				US	9640559	B2	02 May 2017
US	2009286336	A1	19 November 2009	TW	I328283	B	01 August 2010
				US	7682883	B2	23 March 2010
				US	2010099206	A1	22 April 2010
				TW	200950066	A	01 December 2009
				US	8415182	B2	09 April 2013

国际检索报告

国际申请号

PCT/CN2018/098048

A. 主题的分类 H01L 27/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类														
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, DWPI, SIPOABS, CNKI, IEEE: 像素电极, 阵列基板, 透明电极, 缓冲层, 多晶硅, 过孔, 栅绝缘层, 光刻, pixel electrode, array substrate, transparent electrode, buffer layer, polysilicon, hole, via, gate insulating layer, etch														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 101315476 A (精工爱普生株式会社) 2008年 12月 3日 (2008 - 12 - 03) 说明书第5页第10行至第13页第4行, 附图1-14</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 104538399 A (厦门天马微电子有限公司等) 2015年 4月 22日 (2015 - 04 - 22) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 2009286336 A1 (AU OPTRONICS CORP) 2009年 11月 19日 (2009 - 11 - 19) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 101315476 A (精工爱普生株式会社) 2008年 12月 3日 (2008 - 12 - 03) 说明书第5页第10行至第13页第4行, 附图1-14	1-13	A	CN 104538399 A (厦门天马微电子有限公司等) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-13	A	US 2009286336 A1 (AU OPTRONICS CORP) 2009年 11月 19日 (2009 - 11 - 19) 全文	1-13
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
A	CN 101315476 A (精工爱普生株式会社) 2008年 12月 3日 (2008 - 12 - 03) 说明书第5页第10行至第13页第4行, 附图1-14	1-13												
A	CN 104538399 A (厦门天马微电子有限公司等) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-13												
A	US 2009286336 A1 (AU OPTRONICS CORP) 2009年 11月 19日 (2009 - 11 - 19) 全文	1-13												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件														
国际检索实际完成的日期 2019年 1月 26日		国际检索报告邮寄日期 2019年 2月 1日												
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 宋霖 电话号码 62411800												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/098048

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)
CN	101315476	A	2008年 12月 3日	CN	101315476	B	2011年 11月 30日
				CN	102338949	A	2012年 2月 1日
				CN	102338949	B	2015年 4月 1日
				US	2008297709	A1	2008年 12月 4日
				US	7812906	B2	2010年 10月 12日
				JP	5298461	B2	2013年 9月 25日
				JP	2008298815	A	2008年 12月 11日
CN	104538399	A	2015年 4月 22日	CN	104538399	B	2017年 10月 3日
				DE	102015116281	A1	2016年 5月 4日
				US	2016126258	A1	2016年 5月 5日
				US	9640559	B2	2017年 5月 2日
US	2009286336	A1	2009年 11月 19日	TW	I328283	B	2010年 8月 1日
				US	7682883	B2	2010年 3月 23日
				US	2010099206	A1	2010年 4月 22日
				TW	200950066	A	2009年 12月 1日
				US	8415182	B2	2013年 4月 9日