



(12) 发明专利申请

(10) 申请公布号 CN 113689901 A

(43) 申请公布日 2021. 11. 23

(21) 申请号 202110517031.4

(22) 申请日 2021.05.12

(30) 优先权数据

16/877,192 2020.05.18 US

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 赤松宏

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 王艳娇

(51) Int. Cl.

G11C 7/22 (2006.01)

G11C 7/10 (2006.01)

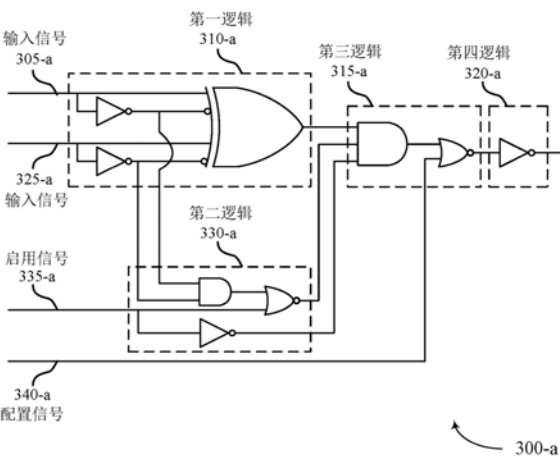
权利要求书4页 说明书23页 附图10页

(54) 发明名称

产生存储器阵列控制信号

(57) 摘要

本申请案是针对产生存储器阵列控制信号。定时组件可被配置成产生用于操作存储器阵列的信号。所述定时组件可包含指示输入信号何时不同的第一逻辑、指示所述输入信号中的至少一个何时具有特定状态的第二逻辑,以及指示所述输入信号何时具有相同状态的第三逻辑。所述第二逻辑和第三逻辑的输出可为可受其它输入信号控制的。所述定时组件的输出可使用所述第一逻辑、第二逻辑和第三逻辑通过所述输入信号中的一个置位并且通过其它输入信号复位。



1. 一种设备,其包括:

定时组件,其被配置成产生用于操作存储器阵列的信号,所述定时组件包括:

第一逻辑组件,其被配置成指示所述定时组件的第一输入信号和所述定时组件的第二输入信号何时具有不同状态;

第二逻辑组件,其与所述第一逻辑组件耦合且被配置成指示所述第一输入信号或所述第二输入信号中的至少一个何时具有第一状态,其中所述第二逻辑组件的输出至少部分地基于第三输入信号;和

第三逻辑组件,其与所述第一逻辑组件和所述第二逻辑组件耦合,所述第三逻辑组件被配置成指示所述第一输入信号和所述第二输入信号何时具有相同状态,其中所述第三逻辑组件的输出被配置成至少部分地基于所述第三输入信号指示所述第一逻辑组件经停用而置位到所述第一状态。

2. 根据权利要求1所述的设备,其中所述定时组件包括:

第四逻辑组件,其与所述第三逻辑组件耦合,其中所述第四逻辑组件的输出包括用于操作所述存储器阵列的所述信号。

3. 根据权利要求2所述的设备,其中所述第四逻辑组件包括:

第一反相器,其被配置成使所述第三逻辑组件的所述输出反相,其中所述第四逻辑组件的所述输出包括所述第一反相器的输出。

4. 根据权利要求2所述的设备,其中所述第四逻辑组件包括:

第一反相器,其被配置成使所述第三逻辑组件的所述输出反相;和

第二反相器,其被配置成使所述第一反相器的输出反相,其中所述第四逻辑组件的所述输出包括用于操作所述存储器阵列的所述信号。

5. 根据权利要求1所述的设备,其中:

至少部分地基于所述第三输入信号指示所述第一逻辑组件经停用,所述第二逻辑组件的输出被配置成置位到第二状态且所述第三逻辑组件的输出被配置成置位到所述第一状态。

6. 根据权利要求1所述的设备,其中至少部分地基于具有所述第一状态的第四输入信号,所述第三逻辑组件的输出被配置成置位到第二状态。

7. 根据权利要求1所述的设备,其中所述第一逻辑组件包括:

第一反相器,其被配置成使所述第一输入信号反相以获得第一经反相信号,所述第一经反相信号是所述第一输入信号的反相版本;

第二反相器,其被配置成使所述第二输入信号反相以获得第二经反相信号,所述第二经反相信号是所述第二输入信号的反相版本;和

逻辑门,其被配置成至少部分地基于所述第一输入信号、所述第二输入信号、所述第一经反相信号和所述第二经反相信号,指示所述第一输入信号和所述第二输入信号何时具有不同状态。

8. 根据权利要求7所述的设备,其中所述逻辑门包括:

第一非反相输入,其被配置成接收所述第一输入信号;

第二非反相输入,其被配置成接收所述第二输入信号;

第一反相输入,其被配置成接收所述第一经反相信号;和

第二反相输入,其被配置成接收所述第二经反相信号。

9. 根据权利要求7所述的设备,其中所述第二逻辑组件包括:

第一逻辑门,其被配置成至少部分地基于所述第一经反相信号和所述第二经反相信号,指示所述第一输入信号和所述第二输入信号何时具有第二状态;和

第二逻辑门,其被配置成至少部分地基于所述第三输入信号指示所述第一逻辑组件经启用而使所述第一逻辑门的输出反相,并且至少部分地基于所述第三输入信号指示所述第一逻辑组件经停用而将所述第一逻辑组件的输出置位到所述第二状态。

10. 根据权利要求9所述的设备,其中所述第二逻辑组件包括:

第三反相器,其被配置成使所述第三输入信号反相并且至少部分地基于所述第三输入信号指示所述第一逻辑组件经停用而将所述第三逻辑组件的输出置位到所述第一状态。

11. 根据权利要求9所述的设备,其中所述第三逻辑组件包括:

第三逻辑门,其被配置成当所述第三输入信号指示所述第一逻辑组件经启用时,指示所述第一输入信号和所述第二输入信号何时具有不同状态。

12. 根据权利要求11所述的设备,其中所述第三逻辑组件包括:

第四逻辑门,其被配置成当第四输入信号指示操作模式被配置成用于所述存储器阵列时,使所述第三逻辑门的输出反相,其中所述第四逻辑门的输出被配置成至少部分地基于所述第四输入信号指示测试模式被配置成用于所述存储器阵列而置位到所述第二状态。

13. 根据权利要求1所述的设备,其中所述定时组件被配置成至少部分地基于所述第一输入信号而使所述信号的状态从第二状态改变到所述第一状态并且至少部分地基于所述第二输入信号而回到所述第二状态。

14. 根据权利要求1所述的设备,其另外包括:

第二定时组件,其被配置成产生用于操作所述存储器阵列的信号,且所述第二定时组件包括:

第四逻辑组件,其被配置成指示所述第二定时组件的第四输入信号和所述第二定时组件的第五输入信号何时具有不同状态;

第五逻辑组件,其与所述第四逻辑组件耦合且被配置成指示所述第四输入信号或所述第五输入信号中的至少一个何时具有所述第一状态,其中所述第五逻辑组件的输出至少部分地基于第六输入信号,和

第六逻辑组件,其与所述第四逻辑组件和所述第五逻辑组件耦合,所述第六逻辑组件被配置成指示所述第四输入信号和所述第五输入信号何时具有相同状态,其中所述第六逻辑组件的输出被配置成至少部分地基于所述第六输入信号指示所述第四逻辑组件经停用而置位到所述第一状态;和

第七逻辑组件,其被配置成指示所述第二定时组件的第一输出和所述第二定时组件的第二输出何时具有相同状态。

15. 根据权利要求14所述的设备,其中所述第七逻辑组件的输出被配置成至少部分地基于具有所述第一状态的第七输入信号而置位到第二状态。

16. 一种方法,其包括:

在产生用于操作存储器装置内的存储器阵列的信号的定时组件处,接收具有相对于在所述存储器装置处接收到的外部命令的第一延迟的第一输入信号和具有相对于所述外部

命令的第二延迟的第二输入信号,所述第二延迟大于所述第一延迟;

通过所述定时组件至少部分地基于所述第一输入信号和所述第二输入信号具有不同状态而配置所述信号的第一状态;

通过所述定时组件至少部分地基于所述第一输入信号和所述第二输入信号具有相同状态而配置所述信号的第二状态,其中所述信号至少部分地基于所述第一输入信号和所述第二输入信号而从所述第一状态转变到所述第二状态;

通过所述定时组件接收第三输入信号,所述第三输入信号指示所述定时组件的至少一部分经停用,这至少部分地基于所述信号具有所述第二状态;和

通过所述定时组件至少部分地基于所述第三输入信号而当所述第一输入信号和所述第二输入信号具有不同状态时,维持所述信号的所述第二状态。

17. 根据权利要求16所述的方法,其另外包括:

通过所述定时组件的第一逻辑组件至少部分地基于所述第一输入信号转变到所述第一状态,至少部分地基于所述第二输入信号具有所述第二状态,并且至少部分地基于所述第三输入信号指示所述定时组件经启用,检测到所述第一输入信号和所述第二输入信号具有不同状态,其中所述信号被配置成至少部分地基于所述检测而具有所述第一状态;和

通过所述第一逻辑组件至少部分地基于所述第一输入信号具有所述第一状态,至少部分地基于所述第二输入信号转变到所述第一状态,并且至少部分地基于所述第三输入信号指示所述定时组件经启用,检测到所述第一输入信号和所述第二输入信号具有相同状态,其中所述信号被配置成至少部分地基于所述检测而具有所述第二状态。

18. 根据权利要求17所述的方法,其另外包括:

通过所述第一逻辑组件至少部分地基于所述第一输入信号转变到所述第二状态,检测到所述第一输入信号和所述第二输入信号具有不同状态;和

通过所述定时组件至少部分地基于所述第三输入信号指示所述定时组件的至少所述部分经停用而越权控制所述第一逻辑组件,其中所述信号被配置成至少部分地基于所述第三输入信号而具有所述第二状态。

19. 根据权利要求16所述的方法,其另外包括:

使所述信号反相;和

输出经反相信号,所述经反相信号是所述信号的反相版本。

20. 根据权利要求16所述的方法,其另外包括:

将所述定时组件的输出与另一定时组件的输出组合,所述另一定时组件接收相对于所述外部命令的第四输入信号和相对于所述外部命令的第五输入信号;

至少部分地基于所述组合输出包括至少两个脉冲的第二信号。

21. 一种设备,其包括:

存储器阵列;

多个延迟电路,其被配置成至少部分地基于外部命令而产生多个延迟信号,所述多个延迟信号中的每一延迟信号是由所述多个延迟电路中的相应延迟电路产生并且具有相对于所述外部命令的相应延迟;和

定时组件,其与所述存储器阵列耦合且被配置成接收所述多个延迟信号中的第一延迟信号和所述多个延迟信号中的第二延迟信号,所述定时组件被配置成至少部分地基于所述

第一延迟信号和所述第二延迟信号而产生用于操作所述存储器阵列的输出信号,其中所述定时组件包括:

第一逻辑组件,其被配置成指示所述第一延迟信号和所述第二延迟信号何时具有不同状态,所述第二延迟信号与所述第一延迟信号相比具有相对于所述外部命令的较长延迟;

第二逻辑组件,其与所述第一逻辑组件耦合且被配置成指示所述第一延迟信号或所述第二延迟信号中的至少一个何时具有第一状态,其中所述第二逻辑组件的输出至少部分地基于用于所述定时组件的启用信号;和

第三逻辑组件,其与所述第一逻辑组件和所述第二逻辑组件耦合,所述第三逻辑组件被配置成指示所述第一延迟信号和所述第二延迟信号何时具有相同状态,其中所述第三逻辑组件的输出被配置成至少部分地基于所述启用信号指示所述第一逻辑组件经停用而置位到所述第一状态。

22. 根据权利要求21所述的设备,其另外包括:

存储器控制器,其被配置成至少部分地基于所述多个延迟信号而产生所述启用信号。

23. 根据权利要求21所述的设备,其中所述定时组件另外包括:

第四逻辑组件,其与所述第三逻辑组件耦合且被配置成输出用于操作所述存储器阵列的所述输出信号。

24. 根据权利要求21所述的设备,其另外包括:

第二定时组件,其与所述存储器阵列耦合,所述第二定时组件被配置成至少部分地基于所述多个延迟信号中的第三延迟信号和所述多个延迟信号中的第四延迟信号具有不同状态而产生用于操作所述存储器阵列的另一输出信号,所述第三延迟信号具有相对于所述外部命令的第三延迟且所述第四延迟信号具有相对于所述外部命令的第四延迟。

25. 根据权利要求24所述的设备,其另外包括:

第四逻辑组件,其被配置成将所述定时组件产生的所述输出信号与所述第二定时组件产生的另一输出信号组合,其中所得输出信号包括至少两个脉冲。

产生存储器阵列控制信号

[0001] 交叉引用

[0002] 本专利申请案主张赤松 (AKAMATSU) 2020年5月18日申请的标题为“产生存储器阵列控制信号 (GENERATING MEMORY ARRAY CONTROL SIGNALS)”的美国专利申请案第16/877, 192号的优先权, 所述美国专利申请案转让给本受让人并且明确地以全文引用的方式并入本文中。

技术领域

[0003] 本技术领域涉及产生存储器阵列控制信号。

背景技术

[0004] 存储器装置广泛用于将信息存储在例如计算机、无线通信装置、相机、数字显示器等的各种电子装置中。通过将存储器装置内的存储器单元编程到各种状态来存储信息。举例来说, 二进制存储器单元可编程到两个支持状态中的一个, 常常由逻辑1或逻辑0来标示。在一些实例中, 单个存储器单元可支持多于两个状态, 可存储所述状态中的任一个。为了存取所存储的信息, 装置的组件可读取或感测存储器装置中的至少一个所存储状态。为了存储信息, 装置的组件可写入或编程存储器装置中的状态。

[0005] 存在各种类型的存储器装置, 包含磁性硬盘、随机存取存储器 (RAM)、只读存储器 (ROM)、动态RAM (DRAM)、同步动态RAM (SDRAM)、铁电RAM (FeRAM)、磁性RAM (MRAM)、电阻性RAM (RRAM)、快闪存储器、相变存储器 (PCM) 等。存储器装置可以是易失性或非易失性的。非易失性存储器, 例如FeRAM, 可维持其所存储的逻辑状态很长一段时间, 即使无外部电源存在也是这样。例如DRAM的易失性存储器装置在与外部电源断开连接时可能会丢失其所存储的状态。FeRAM可能实现类似于易失性存储器的密度, 但可具有非易失性特性, 这是因为使用铁电电容器作为存储装置。

发明内容

[0006] 描述了一种设备。所述设备可包含定时组件, 其被配置成产生用于操作存储器阵列的信号, 其中所述定时组件可包含第一逻辑组件, 其被配置成指示所述定时组件的第一输入信号和所述定时组件的第二输入信号何时具有不同状态。所述定时组件还可包含第二逻辑组件, 其与所述第一逻辑组件耦合且被配置成指示所述第一输入信号或所述第二输入信号中的至少一个何时具有第一状态, 其中所述第二逻辑组件的输出至少部分地基于第三输入信号; 和第三逻辑组件, 其与所述第一逻辑组件和所述第二逻辑组件耦合, 所述第三逻辑组件被配置成指示所述第一输入信号和所述第二输入信号何时具有相同状态, 其中所述第三逻辑组件的输出被配置成至少部分地基于所述第三输入信号指示所述第一逻辑组件经停用而置位到所述第一状态。

[0007] 描述了一种方法。所述方法可包含在产生用于操作存储器装置内的存储器阵列的信号的定时组件处, 接收具有相对于在所述存储器装置处接收到的外部命令的第一延迟的

第一输入信号和具有相对于所述外部命令的第二延迟的第二输入信号,所述第二延迟大于所述第一延迟;通过所述定时组件至少部分地基于所述第一输入信号和所述第二输入信号具有不同状态而配置所述信号的第一状态;通过所述定时组件至少部分地基于所述第一输入信号和所述第二输入信号具有相同状态而配置所述信号的第二状态,其中所述信号至少部分地基于所述第一输入信号和所述第二输入信号而从所述第一状态转变到所述第二状态。所述方法还可包含通过所述定时组件接收第三输入信号,所述第三输入信号指示所述定时组件的至少一部分经停用,这至少部分地基于所述信号具有所述第二状态;和通过所述定时组件至少部分地基于所述第三输入信号而当所述第一输入信号和所述第二输入信号具有不同状态时,维持所述信号的所述第二状态。

[0008] 描述了一种设备。所述设备可包含存储器阵列。所述设备还可包含多个延迟电路,其被配置成至少部分地基于外部命令而产生多个延迟信号,所述多个延迟信号中的每一延迟信号是由所述多个延迟电路中的相应延迟电路产生并且具有相对于所述外部命令的相应延迟。所述设备还可包含定时组件,其与所述存储器阵列耦合且被配置成接收所述多个延迟信号中的第一延迟信号和所述多个延迟信号中的第二延迟信号,所述定时组件被配置成至少部分地基于所述第一延迟信号和所述第二延迟信号而产生用于操作所述存储器阵列的输出信号。所述定时组件可包含第一逻辑组件,其被配置成指示所述第一延迟信号和所述第二延迟信号何时具有不同状态,所述第二延迟信号与所述第一延迟信号相比具有相对于所述外部命令的较长延迟。所述定时组件还可包含第二逻辑组件,其与所述第一逻辑组件耦合且被配置成指示所述第一延迟信号或所述第二延迟信号中的至少一个何时具有第一状态,其中所述第二逻辑组件的输出至少部分地基于用于所述定时组件的启用信号。所述定时组件还可包含第三逻辑组件,其与所述第一逻辑组件和所述第二逻辑组件耦合,所述第三逻辑组件被配置成指示所述第一延迟信号和所述第二延迟信号何时具有相同状态,其中所述第三逻辑组件的输出被配置成至少部分地基于所述启用信号指示所述第一逻辑组件经停用而置位到所述第一状态。

附图说明

[0009] 图1说明根据本文所公开的实例的支持产生存储器阵列控制信号的系统的实例。

[0010] 图2说明根据本文所公开的实例的支持产生存储器阵列控制信号的存储器裸片的实例。

[0011] 图3A和3B说明根据本文所公开的实例的支持产生存储器阵列控制信号的信号驱动器的实例。

[0012] 图4说明根据本文所公开的实例的支持产生存储器阵列控制信号的复合信号驱动器的实例。

[0013] 图5A说明根据本文所公开的实例的支持产生存储器阵列控制信号的示范性延迟电路和时序图。

[0014] 图5B说明根据本文所公开的实例的支持产生存储器阵列控制信号的示范性时序图。

[0015] 图6说明根据本文所公开的实例的支持产生存储器阵列控制信号的控制信号产生系统的实例。

[0016] 图7说明根据本文所公开的实例的支持产生存储器阵列控制信号的存储器阵列的框图。

[0017] 图8说明根据本文所公开的实例的说明支持产生存储器阵列控制信号的一或多种方法的流程图。

具体实施方式

[0018] 用于执行存储器操作的延迟信号可基于存储器命令的接收而产生,且用于与执行存储器操作相关联的内部操作的各种控制信号可经定时或者基于延迟信号。举例来说,信号驱动器(其可被称为置位/复位信号驱动器)可使用延迟信号产生控制信号,所述控制信号当接收到第一延迟信号(“置位”信号)时转变到激活状态并且当接收到第二延迟信号(“复位”信号)时返回到解除激活状态。

[0019] 在一些情况下,为产生这类控制信号,置位/复位驱动器可使用顺序(例如,双稳态)逻辑组件,例如可通过置位和复位信号操作的锁存器(例如,置位/复位(SR)锁存器)。顺序逻辑组件的输出可基于当前输入信号和过去输入信号两者。为支持这类驱动器的操作,置位/复位信号驱动器可包含“单触发脉冲”电路,其基于对应延迟信号产生置位和复位脉冲。但例如在同一时间激活SR锁存器的置位输入和复位输入两者的情况下,使用顺序逻辑组件的置位/重位信号驱动器可易受故障影响。因此,这类置位/复位信号驱动器的操作可在用以防止锁存器故障以及确保内部SR锁存器以可预测方式起作用之前经谨慎安排和初始化。另外,用于操作这类置位/复位信号驱动器的单触发脉冲信号的产生可引入不合需要的复杂性或其它缺陷。

[0020] 为避免与一些置位/复位信号驱动器相关联的这些或其它缺陷,置位/重位信号驱动器可替代地使用组合逻辑组件(例如,代替顺序逻辑组件)基于置位和复位信号产生控制信号。组合逻辑可不同于顺序逻辑,例如,原因是相较于至少部分地基于一或多个输入信号的先前状态(例如,历史序列或定时),组合逻辑可(例如,唯一地)基于一或多个输入信号的当前状态产生输出。因此,使用组合逻辑组件的置位/重位信号驱动器可以可预测且可靠方式操作,而无需考虑将什么样的输入组合应用于置位/复位信号驱动器。而且,通过使用组合逻辑组件,可避开基于顺序逻辑产生电压脉冲或与操作驱动器相关联的其它复杂性的单触发脉冲电路系统。本文中所论述的这些和其它益处仅为示范性的,且所属领域的普通技术人员可了解本文中的教示的其它益处。

[0021] 在一些实例中,如本文中所描述的置位/重位信号驱动器可包含第一逻辑组件、第二逻辑组件和第三逻辑组件。第一逻辑组件的输出可与第二逻辑组件的输入和第三逻辑组件的输入耦合。第二逻辑组件的输出可与第三逻辑组件的输入耦合。第一逻辑组件可被配置成指示第一延迟信号何时具有不同于第二延迟信号的状态。第二逻辑组件可被配置成指示第一延迟信号或第二延迟信号中的至少一个何时具有基于第一逻辑组件的输出的特定状态(例如,由高电压表示的状态)。并且,第三逻辑组件可被配置成指示第一延迟信号和第二延迟信号何时具有基于第一逻辑组件和第二逻辑组件的输出的相同状态。第三逻辑组件产生的信号可用作或用以产生(例如,通过反转)用于一或多个存储器组件的控制信号,所述控制信号用以执行触发延迟信号的产生存储器命令。在一些情况下,可使用控制信号将第三逻辑的输出置位到特定状态(例如,由高电压表示的状态)。

[0022] 下文在存储器系统的上下文中进一步描述上文所介绍的本公开的特征。接着描述用于产生存储器阵列控制信号的示范性信号驱动器和时序图的具体实例。参考涉及产生存储器阵列控制信号的设备图、系统图和流程图进一步说明和描述本公开的这些和其它特征。

[0023] 图1说明根据本文所公开的实例的支持产生存储器阵列控制信号的系统的实例。系统100可包含主机装置105、存储器装置110以及将主机装置105与存储器装置110耦合的多个信道115。系统100可包含一或多个存储器装置110,但所述一或多个存储器装置110的方面可在单个存储器装置(例如,存储器装置110)的上下文中描述。

[0024] 系统100可包含例如计算装置、移动计算装置、无线装置、图形处理装置、车辆或其它系统的电子装置的部分。举例来说,系统100可说明计算机、手提式计算机、平板计算机、智能电话、蜂窝电话、可穿戴装置、互联网连接装置、车辆控制器等的各方面。存储器装置110可以是系统的组件,所述系统可操作以存储用于系统100的一或多个其它组件的数据。

[0025] 系统100的至少部分可为主机装置105的实例。主机装置105可以是使用存储器执行处理程序的装置内的处理器或其它电路系统的实例,例如在计算装置、移动计算装置、无线装置、图形处理装置、计算机、手提式计算机、平板计算机、智能电话、蜂窝式电话、可穿戴装置、因特网连接装置、车辆控制器、或某一其它固定或便携式电子装置以及其它实例内。在一些实例中,主机装置105可指代实施外部存储器控制器120的功能的硬件、固件、软件或其组合。在一些实例中,外部存储器控制器120可称为主机或主机装置105。

[0026] 存储器装置110可以是可操作以提供可由系统100使用或参考的物理存储器地址/空间的独立装置或组件。在一些实例中,存储器装置110可为可配置的以与一或多个不同类型的主机装置一起工作。主机装置105与存储器装置110之间的信令可为可操作的以支持以下中的一或多个:用以调制信号的调制方案、用于传送信号的各种引脚配置、用于主机装置105和存储器装置110的物理封装的各种形状因数、主机装置105与存储器装置110之间的时钟信令和同步、定时惯例,或其它因素。

[0027] 存储器装置110可为可操作的以存储用于主机装置105的组件的数据。在一些实例中,存储器装置110可充当主机装置105的从属型装置(例如,响应和执行由主机装置105通过外部存储器控制器120提供的命令)。此类命令可包含用于写入操作的写入命令、用于读取操作的读取命令、用于刷新操作的刷新命令或其它命令中的一或多者。

[0028] 主机装置105可包含外部存储器控制器120、处理器125、基本输入/输出系统(BIOS)组件130或例如一或多个外围组件或一或多个输入/输出控制器的其它组件中的一或多个。主机装置的组件可使用总线135彼此耦合。

[0029] 处理器125可为可操作的以提供用于系统100的至少部分或主机装置105的至少部分的控制或其它功能性。处理器125可以是通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件,或这些组件的组合。在这类实例中,处理器125可以是中央处理单元(CPU)、图形处理单元(GPU)、通用GPU(GPGPU)或系统芯片(SoC)的实例,以及其它实例。在一些实例中,外部存储器控制器120可由处理器125实施或作为所述处理器的一部分实施。

[0030] BIOS组件130可以是包含作为固件操作的BIOS的软件组件,其可初始化且运行系统100或主机装置105的各种硬件组件。BIOS组件130还可管理处理器125与系统100或主机

装置105的各种组件之间的数据流。BIOS组件130可包含存储于只读存储器(ROM)、快闪存储器或其它非易失性存储器中的一或多个中的程序或软件。

[0031] 存储器装置110可包含装置存储器控制器155和一或多个存储器裸片160(例如,存储器芯片)以支持用于数据存储的期望容量或指定容量。每一存储器裸片160可包含本地存储器控制器165(例如,本地存储器控制器165-a、本地存储器控制器165-b和/或本地存储器控制器165-N)和存储器阵列170(例如,存储器阵列170-a、存储器阵列170-b和/或存储器阵列170-N)。存储器阵列170可以是存储器单元的集合(例如,一或多个网格、一或多个存储体、一个或多个平铺块、一或多个区段),其中每一存储器单元可操作以存储至少一位数据。包含两个或更多个存储器裸片的存储器装置110可称作多裸片存储器或多裸片封装,或多芯片存储器或多芯片封装。

[0032] 装置存储器控制器155可包含可操作以控制存储器装置110的操作的电路、逻辑或组件。装置存储器控制器155可包含使得存储器装置110能够执行各种操作的硬件、固件或指令,且可为可操作的以接收、发射或执行与存储器装置110的组件相关的命令、数据或控制信息。装置存储器控制器155可为可操作的以与外部存储器控制器120、一或多个存储器裸片160或处理器125中的一或多者通信。在一些实例中,装置存储器控制器155可结合存储器裸片160的本地存储器控制器165控制本文中所描述的存储器装置110的操作。

[0033] 在一些实例中,存储器装置110可从主机装置105接收数据或命令或两者。举例来说,存储器装置110可接收指示存储器装置110存储用于主机装置105的数据的写入命令或指示存储器装置110将存储于存储器裸片160中的数据提供到主机装置105的读取命令。

[0034] 本地存储器控制器165(例如,在存储器裸片160本地)可为可操作的以控制存储器裸片160的操作。在一些实例中,本地存储器控制器165可操作以与装置存储器控制器155通信(例如,接收或传输数据或命令或这两者)。在一些实例中,存储器装置110可不包含装置存储器控制器155,且本地存储器控制器165或外部存储器控制器120可执行本文中所描述的各种功能。由此,本地存储器控制器165可操作以与装置存储器控制器155、与其它本地存储器控制器165或直接与外部存储器控制器120或处理器125或其组合通信。装置存储器控制器155或本地存储器控制器165或这两者中可包含的组件的实例可包含用于(例如,从外部存储器控制器120)接收信号的接收器、用于传输信号(例如,到外部存储器控制器120)的传输器、用于解码或解调所接收信号的解码器、用于编码或调制待传输信号的编码器,或可操作用于支持所描述的装置存储器控制器155或本地存储器控制器165或这两者的操作的各种其它电路或控制器。

[0035] 外部存储器控制器120可为可操作的以使得能够在系统100或主机装置105的组件(例如,处理器125)与存储器装置110之间传达信息、数据或命令中的一或多者。外部存储器控制器120可转换或转译在主机装置105的组件与存储器装置110之间交换的通信。在一些实例中,外部存储器控制器120或系统100的其它组件或主机装置105或本文中所描述的其功能可由处理器125实施。举例来说,外部存储器控制器120可为由处理器125或系统100的其它组件或主机装置105实施的硬件、固件或软件或其某一组合。尽管外部存储器控制器120描绘为在存储器装置110外部,但在一些实例中,外部存储器控制器120或本文中所描述的其功能可由存储器装置110的一或多个组件(例如,装置存储器控制器155、本地存储器控制器165)实施,或反之亦然。

[0036] 主机装置105的组件可使用一或多个信道115与存储器装置110交换信息。信道115可为可操作的以支持外部存储器控制器120与存储器装置110之间的通信。每一信道115可为在主机装置105与存储器装置之间运载信息的传输媒体的实例。每一信道115可包含与系统100的组件相关联的端子之间的一或多个信号路径或传输媒体(例如,导体)。信号路径可以是可操作以运载信号的导电路径的实例。举例来说,信道115可包含第一端子,其包含在主机装置105处的一或多个引脚或衬垫以及在存储器装置110处的一或多个引脚或衬垫。引脚可以是系统100的装置的导电输入或输出点的实例,且引脚可为可操作的以充当信道的部分。

[0037] 信道115(和相关联的信号路径和端子)可专用于传送一或多种类型的信息。举例来说,信道115可包含一或多个命令和地址(CA)信道186、一或多个时钟信号(CK)信道188、一或多个数据(DQ)信道190、一或多个其它信道192,或其组合。在一些实例中,可使用单倍数据速率(SDR)信令或双倍数据速率(DDR)信令在信道115上传送信令。在SDR信令中,信号的一个调制符号(例如,信号电平)可针对每一时钟周期(例如,在时钟信号的上升或下降沿上)进行登记。在DDR信令中,信号的两个调制符号(例如,信号电平)可针对每一时钟周期(例如,在时钟信号的上升沿和下降沿上)进行登记。

[0038] 在一些实例中,CA信道186可为可操作的以在主机装置105与存储器装置110之间传达命令,包含与所述命令相关联的控制信息(例如,地址信息)。举例来说,CA信道186可载送激活(ACT)命令、读取(RD)命令、写入(WR)命令或预充电(PRE)命令。在一些实例中,CA信道186可载送RD命令与所要数据的地址。在一些实例中,CA信道186可包含任何数目的信号路径以解码地址和命令数据(例如,八个或九个信号路径)中的一或多个。一组CA信道186可被称为CA总线。

[0039] 在一些实例中,数据信道190可为可操作的以在主机装置105与存储器装置110之间传送数据或控制信息中的一或多个。举例来说,数据信道190可传送待写入到存储器装置110的信息(例如,双向)或从存储器装置110读取的信息。

[0040] 在一些实例中,存储器裸片160可包含一或多个置位/复位信号驱动器(也可被称作定时组件),其使用组合逻辑基于接收到的延迟信号产生用于操作存储器阵列170的控制信号。在一些情况下,延迟信号本身可基于从主机装置105接收到的命令(例如,经由CA总线接收到的命令)产生(例如,通过经配置延迟相对于所述命令而产生)。每一置位/复位信号驱动器可包含第一逻辑组件、第二逻辑组件和第三逻辑组件。第一逻辑组件的输出可与第二逻辑组件的输入和第三逻辑组件的输入耦合。第二逻辑组件的输出可与第三逻辑组件的输入耦合。第一逻辑组件可被配置成指示第一延迟信号何时具有不同于第二延迟信号的状态。第二逻辑组件可被配置成指示第一延迟信号或第二延迟信号中的至少一个何时具有基于第一逻辑组件的输出的特定状态(例如,高状态)。并且,第三逻辑组件可被配置成指示第一延迟信号和第二延迟信号何时具有基于第一逻辑组件和第二逻辑组件的输出的相同状态。第三逻辑组件产生的信号可用作或用以产生(例如,通过反转)用于一或多个存储器组件的控制信号,所述控制信号用以执行触发延迟信号的产生的存储器命令。在一些情况下,可使用控制信号将第三逻辑的输出置位到特定状态(例如,由高电压表示的状态)。

[0041] 图2说明根据本文所公开的实例的支持产生存储器阵列控制信号的存储器裸片的实例。存储器裸片200可以是参考图1所描述的存储器裸片160的实例。在一些实例中,存储

器裸片200可被称为存储器芯片、存储器装置或电子存储器设备。存储器裸片200可包含一或多个存储器单元205,其可各自可编程以存储不同逻辑状态(例如,经编程为一组两个或更多个可能的状态中的一个)。举例来说,存储器单元205可为可操作的以一次存储一个信息位(例如,逻辑0或逻辑1)。在一些实例中,存储器单元205(例如,多层级存储器单元)可为可操作的以一次存储多于一个信息位(例如,逻辑00、逻辑01、逻辑10、逻辑11)。在一些实例中,存储器单元205可布置成阵列,例如参考图1所描述的存储器阵列170。

[0042] 存储器单元205可存储表示电容器中的可编程状态的状态(例如,偏振状态或介电电荷)。在FeRAM架构中,存储器单元205可包含电容器240,其包含铁电材料以存储表示可编程状态的电荷和/或偏振。在DRAM架构中,存储器单元205可包含具有介电材料的电容器240以存储表示可编程状态的电荷。在相变架构中,存储器单元205可包含编程到可编程状态中的相变元件,其中相变元件的阈值电压或电阻可表示可编程状态。

[0043] 存储器单元205可包含逻辑存储组件,例如电容器240和开关组件245。电容器240可为铁电电容器的实例。电容器240的第一节点可与开关组件245耦合,且电容器240的第二节点可与板线220耦合。开关组件245可以是选择性地建立或取消建立两个组件之间的电子通信的晶体管或任何其它类型的开关装置的实例。

[0044] 存储器裸片200可包含布置成例如网格状图案的图案的存取线(例如,字线210、数字线215和板线220)。存取线可以是与存储器单元205耦合的导线,并且可以用于对存储器单元205执行存取操作。在一些实例中,字线210可以被称为行线。在一些实例中,数字线215可称作列线或位线。对存取线、行线、列线、字线、数字线、位线或板线或其类似物的引用可互换,而不影响理解或操作。存储器单元205可位于字线210、数字线215和/或板线220的相交点处。

[0045] 可通过激活或选择例如字线210、数字线215和/或板线220等存取线而对存储器单元205执行例如读取和写入等操作。通过施偏压于字线210、数字线215和板线220(例如,将电压施加到字线210、数字线215或板线220),可在其相交点处存取单个存储器单元205。激活或选择字线210、数字线215或板线220可包含将电压施加到相应线。

[0046] 可通过行解码器225、列解码器230和板驱动器235来控制对存储器单元205的存取。举例来说,行解码器225可从本地存储器控制器265接收行地址,且基于所接收的行地址激活字线210。列解码器230从本地存储器控制器265接收列地址,及基于接收到的列地址激活数字线215。板驱动器235可从本地存储器控制器265接收板地址,及基于所接收板地址激活板线220。

[0047] 选择或解除选择存储器单元205可通过激活或解除激活开关组件245而实现。电容器240可使用开关组件245与数字线215电子通信。举例来说,当开关组件245被解除激活时电容器240可与数字线215隔离,且当开关组件245被激活时电容器240可与数字线215耦合。

[0048] 感测组件250可确定存储于存储器单元205的电容器240上的状态(例如,极化状态或电荷),并且基于检测到的状态确定存储器单元205的逻辑状态。感测组件250可包含一或多个感测放大器以放大存储器单元205的信号输出。感测组件250可将跨越数字线215从存储器单元205接收的信号与参考255(例如,参考电压)进行比较。存储器单元205的所检测到的逻辑状态可提供为感测组件250的输出(例如,提供到输入/输出260),且可向包含存储器裸片200的存储器装置110的另一组件指示检测到的逻辑状态。

[0049] 本地存储器控制器265可通过各种组件(例如,行解码器225、列解码器230、板驱动器235和感测组件250)控制存储器单元205的操作。本地存储器控制器265可以是参考图1所描述的本地存储器控制器165的实例。在一些实例中,行解码器225、列解码器230和板驱动器235以及感测组件250中的一或多个可以与本地存储器控制器265处于相同位置。本地存储器控制器265可为可操作的以从一或多个不同存储器控制器(例如,与主机装置105相关联的外部存储器控制器120、与存储器裸片200相关联的另一控制器)接收命令或数据中的一或多个,将命令或数据(或这两者)转译成存储器裸片200可使用的信息,对存储器裸片200执行一或多个操作,且基于执行一或多个操作将数据从存储器裸片200传送到主机装置105。本地存储器控制器265可产生行信号和列地址信号以激活目标字线210、目标数字线215和目标板线220。本地存储器控制器265也可产生和控制存储器裸片200的操作期间使用的各个电压或电流。一般来说,本文中所论述的所施加电压或电流的幅值、形状或持续时间可变化且对于在操作存储器裸片200时论述的各种操作可以是不同的。

[0050] 本地存储器控制器265可为可操作的以对存储器裸片200的一或多个存储器单元205执行一或多个存取操作。存取操作的实例可包含写入操作、读取操作、刷新操作、预充电操作或激活操作等。在一些实例中,存取操作可由本地存储器控制器265响应于各种存取命令(例如,来自主机装置105)而执行或以其它方式协调。本地存储器控制器265可为可操作的以执行此处未列出的其它存取操作或与存储器裸片200的操作有关的不与存取存储器单元205直接相关的其它操作。

[0051] 存储器裸片200可支持用以执行接收到的存储器命令(例如,经由如参考图1所论述的CA信道186接收到的命令,其实例可包含ACT命令、WR命令、RD命令、PRE命令等)的延迟信号的产生。可相对于存储器命令的接收产生多个延迟信号。每一延迟信号可相对于接收到的存储器命令信号延迟不同持续时间,例如,第一延迟信号可延迟第一持续时间,第二延迟信号可延迟第二持续时间,以此类推。一旦经过了相应持续时间,延迟信号便可从初始状态(可以由低电压表示)转变到另一状态(可以由高电压表示)。延迟信号可保持于另一状态中,直到存储器操作完成和/或直到接收到不同存储器命令。延迟信号可供其它装置或组件(例如,置位/复位信号驱动器)用于产生控制信号,所述控制信号用以协作激活和解除激活存储器裸片200的组件,致使存储器裸片200执行请求的操作。举例来说,延迟信号的组合可用于产生激活在第一时间间隔期间执行第一功能的第一组组件、在第二时间间隔期间执行第二功能的第二组组件以此类推的控制信号。

[0052] 存储器裸片200可包含产生不同延迟信号的延迟电路。在一些情况下,延迟电路包含布置于链或树配置中的多个延迟组件,其中可通过观测(或存取)延迟电路的不同位置获得不同延迟信号。在用于产生不同延迟信号的实例中,第一延迟组件可接收第一存储器命令信号(或接收到第一存储器命令的指示)。因此,第一延迟组件的输入处的电压可从第一电压转变第二电压(例如,从低电压转变到高电压)。稍后,第一延迟组件的输出可在已经过与第一延迟组件相关联的延迟时段(例如,4ns)之后从第一电压转变第二电压。因此,可产生相对于存储器命令信号延迟第一持续时间(例如,4ns)的延迟信号。第二延迟组件的输入可与第一延迟组件的输出耦合。在第一延迟组件的输出转变到第二电压之后,第二延迟组件的输出可在已经过与第二延迟组件相关联的另一延迟时段(例如,1ns)之后从第一电压转变到第二电压。因此,可产生相对于存储器命令信号延迟第二持续时间(例如,5ns)的延

迟信号。第二延迟组件的输出可与一或多个其它延迟组件耦合,且此处理程序可继续直到到达延迟电路的末端。

[0053] 存储器裸片200可包含使用延迟信号产生用于执行存储器操作的控制信号的信号驱动器。信号驱动器可为或包含置位/复位信号驱动器。置位/重位信号驱动器的输出当接收到第一信号(置位信号)时可从一个电压转变到另一电压并且当接收到第二信号(复位信号)时可从另一电压转变到初始电压。举例来说,当提供给置位/复位信号驱动器的输入的置位信号转变到高电压时,置位/复位信号驱动器的输出可转变到高电压。并且,当提供给置位/复位信号驱动器的另一输入的复位信号转变到高电压时,置位/复位信号驱动器的输出可转变到低电压。因此,置位/重位信号驱动器可被配置成通过将具有第一延迟的第一延迟信号施加到置位/复位信号驱动器的置位输入并且将具有第二延迟的第二延迟信号施加到置位/复位信号驱动器的复位输入,产生在特定持续时间内处于作用中的控制信号。在这类情况下,控制信号可在经过第一延迟时段之后处于作用中状态直到经过第二延迟时段,也就是说,控制信号可在第一延迟信号的上升沿与第二延迟信号的上升沿之间的时段内处于作用中。置位/重位信号驱动器产生的控制信号可提供给包含在存储器裸片200中的组件或组件集。

[0054] 为产生通过置位信号激活并且通过复位信号解除激活的控制信号,置位/重位信号驱动器可包含顺序逻辑,例如锁存器,以及一或多个单触发脉冲电路(也可被称作单稳态多谐振荡器)。顺序逻辑的输出可基于发到顺序逻辑的当前输入和过去输入两者。锁存器可为双稳态装置,且因此,可能无限期地保持状态(例如,置位状态或复位状态)。一种类型的锁存器(SR锁存器)可包含置位输入、复位输入、置位输出和复位输出。复位输出可与置位输出互补,且因此可输出相对逻辑状态作为置位输出。SR锁存器的置位输出当激活信号施加到置位输入时可转变到激活状态并且当从置位输入移除了激活信号时可保持于激活状态中。当SR锁存器的置位输出处于激活状态时,SR锁存器可被称为处于置位(或接通)状态。稍后,当另一激活信号施加到复位输入时,SR锁存器的置位输出可转变到解除激活状态且复位输出可转变到激活状态。置位输出可在从复位输入移除了激活信号之后保持于解除激活状态中。当SR锁存器的置位输出处于解除激活状态时,SR锁存器可被称为处于复位(或断开)状态。

[0055] 如果激活信号在同一时间施加到置位输入和复位输入两者,那么置位输出和复位输出两者可具有相同状态(例如,解除激活状态)。而且,在移除激活信号之后(例如,如果同时移除或如果首先解除激活复位信号),SR锁存器可不再按预期起作用,例如,SR锁存器可变得卡死在复位状态中。SR锁存器的此失效也可被称作亚稳态故障。因此,当激活信号并行施加到置位输入和复位输入两者时,SR锁存器可被称为处于无效状态。出于类似原因,SR锁存器在通电时的操作可为不可预测的,且因此,解除激活信号可在通电期间施加到SR锁存器的复位输入以确保SR锁存器以可预测方式操作。

[0056] 为了在避免SR锁存器的无效状态的同时产生用于SR锁存器的置位和复位信号,置位/重位驱动器可使用与SR锁存器的置位输入耦合的第一单触发脉冲电路和与SR锁存器的复位输入耦合的第二单触发脉冲电路。单触发脉冲电路可为单稳态装置,且因此,可能不能够无限期地保持一个状态(不稳定状态)。因此,当激活信号施加到单稳态装置的输入时,单稳态装置的输出可被配置成在预定持续时间内转变到不稳定状态并且接着回到稳定状态,

而不考虑激活信号是否维持在输入处。为重新激活单稳态装置,必须首先从单稳态装置的输入移除激活信号。

[0057] 因此,单触发脉冲电路可用于基于延迟电路产生的延迟信号产生置位和复位电压脉冲,其中延迟信号被配置成保持激活状态直到存储器命令完成。也就是说,第一单触发脉冲电路可用于当施加到第一单触发脉冲电路的第一延迟信号转变到激活电压时产生第一电压脉冲,且第二单触发脉冲电路可用于当施加到第二单触发脉冲电路的第二延迟信号转变到激活电压时产生第二电压脉冲。第一电压脉冲可用于激活SR锁存器的置位输出。第二电压脉冲可用于解除激活SR锁存器的置位输出。在无单触发脉冲电路的情况下,延迟信号可能不能够操作SR锁存器,例如,原因是第一和第二延迟信号可在整个存储器操作中保持处于激活状态。因此,置位/复位驱动器可使用SR锁存器产生控制信号,所述控制信号(1)当第一延迟信号转变到激活状态时转变到激活状态,并且(2)当第二延迟信号转变到激活状态时转变回到解除激活状态。

[0058] 如上文所描述,存储器裸片200可基于接收到存储器命令,产生用于执行存储器操作的延迟信号。包含在存储器裸片200中的置位/重位信号驱动器可使用延迟信号产生控制信号,所述控制信号当接收到第一延迟信号(或置位信号)时转变到激活状态并且当接收到第二延迟信号(或复位信号)时返回到解除激活状态。为产生这类控制信号,置位/重位驱动器可使用可通过置位和复位信号操作的SR锁存器。为支持SR锁存器的操作,置位/复位信号驱动器可包含“单触发脉冲”电路,其基于对应延迟信号产生用于操作SR锁存器的置位和复位脉冲。但,例如,如果在同一时间激活SR锁存器的置位输入和复位输入两者,那么使用顺序逻辑组件(例如SR锁存器)的置位/重位信号驱动器可易受锁存器故障影响。因此,这类置位/复位信号驱动器的操作可在用以防止锁存器故障以及确保内部SR锁存器以可预测方式起作用之前经谨慎安排和初始化。

[0059] 为避免锁存器故障风险,存储器裸片200可使用将顺序逻辑(例如,内部SR锁存器)替换为组合逻辑的置位/复位信号驱动器,所述顺序逻辑和组合逻辑类似地基于置位和复位信号产生控制信号。组合逻辑可不同于顺序逻辑(和SR锁存器),例如,原因是相较于至少部分地基于一或多个输入信号的先前状态(例如,历史顺序或定时),组合逻辑可基于一或多个输入信号的当前状态产生输出。因此,组合逻辑可以可预测方式操作,而不考虑什么样的输入组合施加到置位/复位信号驱动器。而且,通过使用组合逻辑,可从置位/复位信号驱动器省略产生用于操作顺序逻辑电路(例如SR锁存器)的电压脉冲的单触发脉冲电路系统。

[0060] 在一些实例中,包含在存储器裸片200中的置位/重位信号驱动器(也可被称作定时组件)可包含第一逻辑组件、第二逻辑组件和第三逻辑组件。第一逻辑组件的输出可与第二逻辑组件的输入和第三逻辑组件的输入耦合。第二逻辑组件的输出可与第三逻辑组件的输入耦合。第一逻辑组件可被配置成指示第一延迟信号何时具有不同于第二延迟信号的状态。第二逻辑组件可被配置成指示第一延迟信号或第二延迟信号中的至少一个何时具有特定状态。并且,第三逻辑组件可被配置成指示第一延迟信号和第二延迟信号何时具有基于第一逻辑组件和第二逻辑组件的输出的相同状态。第三逻辑组件产生的信号可用作或用以产生(例如,通过反转)用于一或多个存储器组件的控制信号,所述控制信号用以执行触发延迟信号的产生的存储器命令。在一些情况下,可使用控制信号将第三逻辑的输出置位到特定状态(例如,高状态)。

[0061] 图3A说明根据本文所公开的实例的支持产生存储器阵列控制信号的信号驱动器的实例。第一信号驱动器300-a可被配置成产生用于执行存储器命令的控制信号。

[0062] 如本文所描述,置位/重位驱动器(也可被称作定时组件)可使用组合逻辑(例如,代替顺序逻辑)。通过省略顺序逻辑的使用,可省略单触发脉冲电路系统或其它相关复杂性,以及其它益处。

[0063] 第一信号驱动器300-a可为置位/重位驱动器的实例,其被配置成使用组合逻辑产生用于执行存储器命令的控制信号。第一信号驱动器300-a的输入可被称为置位输入,且第二信号驱动器301-b的输入可被称为复位输入。第一信号驱动器300-a可被配置成基于一系列输入信号,包含第一输入信号305-a(也可被称作SigSet信号)、第二输入信号325-a(也可被称作SigReset信号)、启用信号335-a(也可被称作EnF信号)和配置信号340-a(也可被称作ForceH信号),产生控制信号。在一些情况下,第一输入信号305-a可为是基于相对于命令信号产生的延迟信号。第一信号驱动器300-a产生的控制信号可为或包含正电压脉冲。第一信号驱动器300-a可包含第一逻辑310-a、第二逻辑330-a、第三逻辑315-a和第四逻辑320-a。

[0064] 第一逻辑310-a可被配置成检测第一输入信号305-a和第二输入信号325-a何时具有不同状态,例如第一输入信号305-a何时具有第一状态(例如,与高电压相关联的高状态)且第二输入信号325-a何时具有第二状态(例如,与低电压相关联的低状态),或反过来也如此。为检测第一输入信号305-a和第二输入信号325-a何时具有不同状态,第一逻辑310-a可包含关于第一输入信号305-a和第二输入信号325-a执行“异或”(XOR)的逻辑。举例来说,第一逻辑310-a可包含被配置成使第一输入信号305-a反相的反相器、被配置成使第二输入信号325-a反相的另一反相器,以及处理第一输入信号305-a、第二输入信号325-a、第一输入信号305-a的反相版本和第二输入信号325-a的反相版本的四输入逻辑门(例如,四输入XOR门)。四输入逻辑门可包含接收第一输入信号305-a的第一非反相输入、接收第一输入信号305-a的反相版本的第二反相输入(如由气泡表示)、接收第二输入信号325-a的第三非反相输入,以及接收第二输入信号325-a的反相版本的第四反相输入。在一些实例中,反相器和四输入逻辑门的组合减少为二输入XOR门。因此,四输入逻辑门的输出可用于检测第一输入信号305-a和第二输入信号325-a何时不同。

[0065] 第一逻辑310-a还可以被配置成例如通过使被配置成使第一输入信号305-a反相的反相器和被配置成使第二输入信号325-a反相的另一反相器的输出可用于第一信号驱动器300-a的其它组件(例如,第二逻辑330-a),输出第一输入信号305-a和第二输入信号325-a的反相版本。

[0066] 第二逻辑330-a可被配置成检测第一输入信号305-a和第二输入信号325-a中的至少一个何时具有特定状态,例如第一输入信号305-a或第二输入信号325-a何时具有第一(例如,高)状态。为检测第一输入信号305-a和第二输入信号325-a中的一个或两个何时具有特定状态,第二逻辑330-a可包含与第一逻辑310-a组合以关于第一输入信号305-a和第二输入信号325-a执行OR功能的逻辑。举例来说,第二逻辑330-a可包含“与非”(NAND)门,其被配置成确定第一输入信号305-a的反相版本和第二输入信号325-a的反相版本中的一个或两个何时具有第二(例如,低)状态。

[0067] 替代地,第二逻辑330-a可被配置成使得可使用控制信号(例如,启用信号335-a)

将第二逻辑330-a的输出置位到第二状态。为启用第二逻辑330-a以能够检测第一输入信号305-a和第二输入信号325-a何时具有特定状态以及被置位到第二状态两者，第二逻辑330-a可包含与“或非”(NOR)门耦合的AND门(代替NAND门)。NOR门可被配置成当启用信号335-a处于第二状态时，使AND门的输出反相，因此致使AND门和NOR门实际上形成NAND门。并且，NOR门可被配置成当启用信号335-a处于第一状态时输出第二状态，且因此致使第二逻辑330-a输出第二状态。

[0068] 第二逻辑330-a还可包含反相器，其被配置成将启用信号的输出反相。通过中第二逻辑330-a中包含反相器，第二逻辑330-a可当启用信号处于第一状态时产生第二输出，所述第二输出与仅NOR门用以将第二逻辑330-a的输出置位到第二状态的情况相比更快速地输出第二状态。

[0069] 第三逻辑315-a可被配置成检测第一输入信号305-a和第二输入信号325-a何时具有相同状态，例如，第一输入信号305-a和第二输入信号325-a两者何时具有第一(例如，高)状态，或第一输入信号305-a第二输入信号325-a何时具有第二(例如，低)状态。为检测第一输入信号305-a和第二输入信号325-a何时具有相同状态，第三逻辑315-a可包含与第一逻辑310-a和第二逻辑330-a组合以关于第一输入信号305-a和第二输入信号325-a执行“异与”(exclusive AND, XAND)功能的逻辑。举例来说，第三逻辑315-a可包含三输入NAND门，其被配置成确定如下的状态何时相同：(1) 第一逻辑310-a的输出，指示第一输入信号305-a和第二输入信号325-a何时不同；(2) 第二逻辑330-a的输出，其指示第一输入信号305-a的反相版本和第二输入信号325-a的反相版本何时具有第二状态；和(3) 启用信号335-a的反相版本。

[0070] 替代地，第三逻辑315-a可被配置成使得可使用控制信号(例如，配置信号340-a)将第三逻辑315-a的输出置位到第二状态。为启用第三逻辑315-a以能够检测第一输入信号305-a和第二输入信号325-a何时具有相同状态以及被置位到第二状态两者，第二逻辑330-a可包含与NOR门耦合的三输入AND门(代替三输入NAND门)。NOR门可被配置成当配置信号340-a处于第二状态时，使三输入AND门的输出反相，因此致使三输入AND门和NOR门实际上形成NAND门。并且，NOR门可被配置成当配置信号340-a处于第一状态时输出第二状态，且因此致使第三逻辑315-a输出第二状态。

[0071] 第四逻辑320-a可被配置成使第三逻辑315-a的输出反相。因此，第四逻辑320-a可包含与第一逻辑310-a、第二逻辑330-a和第三逻辑315-a组合以当启用信号335-a和配置信号340-a具有第二(例如，低)状态时，关于第一输入信号305-a和第二输入信号325-a执行XOR功能的逻辑。第四逻辑320-a可被配置成当启用信号335-a具有第一状态且配置信号340-a具有第二状态时，输出第二状态。并且，第四逻辑320-a可被配置成当配置信号340-a具有第一状态时，输出第一状态。

[0072] 在一些情况下，启用信号335-a可被配置成越权控制第一逻辑310-a的输出并且将第一信号驱动器300-a的输出置位到第二状态。而且，例如，当测试模式被配置成用于包含第一信号驱动器300-a的存储器装置时，配置信号340-a可被配置成越权控制第三逻辑315-a的输出并且将第一信号驱动器300-a的输出置位到第一状态。

[0073] 因此，用于第一信号驱动器300-a的实例真值表可表示为：

[0074]

配置信号340-a	启用信号335-a	第一输入信号305-a	第二输入信号325-a	输出信号
-----------	-----------	-------------	-------------	------

0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	X	X	0
1	X	X	X	1

[0075] 表1

[0076] 在一些情况下,表1的第二行可忽略,例如,原因是启用信号335-a可用于越权控制用于第一输入信号305-a和第二输入信号325-a的逻辑组合。

[0077] 图3B说明根据本文所公开的实例的支持产生存储器阵列控制信号的信号驱动器的实例。第二信号驱动器301-b可被配置成产生用于执行存储器命令的控制信号。第二信号驱动器301-b可包含第一逻辑310-b、第二逻辑330-b、第三逻辑315-b和第四逻辑320-b,其可为第一逻辑310-a、第二逻辑330-a、第三逻辑315-a和第四逻辑320-a的实例或类似地配置。第一输入信号305-b、第二输入信号325-b、启用信号335-b和配置信号340-b可为第一输入信号305-a、第二输入信号325-a、启用信号335-a和配置信号340-a的实例或类似。第一输入信号305-b、第二输入信号325-b、启用信号335-b和配置信号340-b可输入到第二信号驱动器301-b中。

[0078] 第二信号驱动器301-b的第四逻辑320-b可包含两个反相器,以及因此,相对于图3A的第四逻辑320-a的一个额外反相器。因此,当相同信号集施加到图3A的第一信号驱动器300-a和第二信号驱动器301-b时,第二信号驱动器301-b可输出相对于第一信号驱动器300-a输出的信号反相的信号。举例来说,如果图3A的第一信号驱动器300-a输出用于输入信号组合的正电压脉冲,那么第二信号驱动器301-b可输出用于输入信号组合的负电压脉冲。在一些情况下,代替包含第四逻辑320-b中的附加反相器,可从第二信号驱动器301-b省略第四逻辑320-b。

[0079] 因此,用于第二信号驱动器301-b的实例真值表可表示为:

[0080]

配置信号340-b	启用信号335-b	第一输入信号305-b	第二输入信号325-b	输出信号
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	X	X	1
1	X	X	X	0

[0081] 表2

[0082] 在一些情况下,表2的第二行可忽略,例如,原因是启用信号335-b可用于越权控制用于第一输入信号305-b和第二输入信号325-b的逻辑组合。

[0083] 图4说明根据本文所公开的实例的支持产生存储器阵列控制信号的复合信号驱动器的实例。复合信号驱动器400可被配置成产生用于执行存储器命令的控制信号。复合信号驱动器400可包含多个信号驱动器,例如第一信号驱动器405和第二信号驱动器435。第一信号驱动器405和第二信号驱动器435可为参考图3A所描述的第一信号驱动器300-a的实例。

[0084] 第一输入信号410、第二输入信号415、第一启用信号420和第一配置信号425可施加到第一信号驱动器405。第三输入信号445、第四输入信号450、第二启用信号455和第二配置信号可施加到第二信号驱动器435。第三配置信号440可施加到逻辑430。在一些实例中，第一启用信号420和第二启用信号455可为相同信号。在一些实例中，第一配置信号425可为与第二配置信号460和/或第三配置信号440相同的信号。

[0085] 复合信号驱动器400可包含逻辑430。逻辑430可被配置成组合第一信号驱动器405的输出和第二信号驱动器435的输出以形成基于这两个输出的控制信号(例如,具有两个电压脉冲的信号)。逻辑430还可以被配置成检测第一信号驱动器405的输出何时处于高状态且第二信号驱动器435的输出何时处于低状态。为检测第一信号驱动器405的输出何时处于高状态且第二信号驱动器435的输出何时处于低状态,逻辑430可包含被配置成使第二信号驱动器435的输出反相的反相器、被配置成检测第一信号驱动器405和第二信号驱动器435的输出何时具有相同状态的NAND门,以及被配置成使NAND门的输出反相的反相器。

[0086] 替代地,逻辑430可被配置成使得可使用控制信号(例如,第三配置信号440)将逻辑430的输出置位到第一状态。为启用逻辑430以能够检测第一信号驱动器405的输出何时处于高状态且第二信号驱动器435的输出何时处于低状态以及被置位到第一状态两者,逻辑430可包含与NOR门耦合的输入AND门(代替NAND门)。NOR门可被配置成当第三配置信号440处于第二状态时,使AND门的输出反相,因此致使AND门和NOR门实际上形成NAND门。并且,NOR门可被配置成当第三配置信号440处于第一状态时输出第二状态,且因此致使逻辑430输出第一状态。

[0087] 在类似实例中,复合信号驱动器可包含是第一信号驱动器300-a的实例的信号驱动器和是第二信号驱动器301-b的实例的信号驱动器。举例来说,第一信号驱动器405可为第一信号驱动器300-a的实例,且第二信号驱动器435可为第二信号驱动器301-b的实例。在这类情况下,逻辑430可忽略与第二信号驱动器435的输出耦合的第一反相器,即,第二信号驱动器435的输出可与逻辑430的AND门的第二输入直接耦合。

[0088] 图5A说明根据本文所公开的实例的支持产生存储器阵列控制信号的示范性延迟电路和定时图。延迟电路系统500-a可被配置成产生相对于接收到的命令信号延迟的多个延迟信号。延迟电路系统500-a可包含可布置于链或树配置中的多个延迟电路,例如第一延迟电路505-a、第二延迟电路510-a、第五延迟电路515-a和第七延迟电路520-a。

[0089] 如由定时图501-a所示,命令信号525-a可当接收到命令时转变到第一状态(由高电压表示)。命令信号525-a可用于指示在存储器装置处接收到存储器命令(例如,ACT信号、WR信号、RD信号、PRE信号等)。命令信号525-a可施加到第一延迟电路505-a(例如,被第一延迟电路505-a接收)。第一延迟电路505-a可通过延迟电路系统500-a延迟命令信号525-a(例如,基于此的信号)的传播。命令信号525-a(例如,基于此的延迟信号530)可继续传播穿过延迟电路系统500-a,直到到达延迟电路系统500-a的末端。举例来说,可在第一延迟电路505-a处接收到命令信号525-a,且第一延迟电路505-a可产生并输出第一延迟信号530-a,所述第一延迟信号530-a可相对于改变状态的命令信号525-a以某一延迟改变状态;可在第二延迟电路510-a处接收到第一延迟信号530-a,且第二延迟电路510-a可产生并输出第二延迟信号535-a,所述第二延迟信号535-a可相对于改变状态的第一延迟信号530-a以某一延迟改变状态;且以此类推。另外或替代地,在一些情况下,可使用延迟电路的部分或完全

并行化布置。

[0090] 定时图501-a可描绘命令信号525-a穿过延迟电路系统500-a的传播,其中第一延迟信号530-a可描绘第一延迟电路505-a的输出的电压,第二延迟信号535-a可描绘第二延迟电路510-a的电压,第五延迟信号540-a可描绘第五延迟电路515-a的电压,且第七延迟信号545-a可描绘第七延迟电路520-a的电压。在转变到高状态之后,延迟信号中的每一个可保持于高状态直到转变事件发生(例如,存储器操作完成或接收到另一存储器命令)。延迟信号可直接输入到信号驱动器(或定时组件)中,且因此,可等同于参考图3A、3B和4所描述的输入信号。替代地,可处理延迟信号中的一或多个以产生用于信号驱动器(或定时组件)的输入信号。

[0091] 定时图还描绘命令信号525-a穿过延迟电路系统500-a中的额外延迟电路(两者被描绘和不被描绘)的传播。定时图501-a中描绘的延迟信号的不同组合可提供给信号驱动器,例如参考图3A、3B和4所描述的第一信号驱动器300-a、第二信号驱动器301-b或复合信号驱动器400。

[0092] 命令信号525-a可当存储器命令触发的存储器操作完成或接收到另一存储器命令时转变到第二状态(由低电压表示)。在命令信号525-a转变到低状态之后,延迟信号中的每一个可在一持续时间之后转变到低状态。在一些情况下,延迟信号中的每一个同时转变到低状态。在其它情况下,延迟信号并行地转变到低状态,但所述转变偏离彼此。

[0093] 图5B说明根据本文所公开的实例的支持产生存储器阵列控制信号的示范性时序图。定时图501-b可说明提供给多个信号驱动器以及由多个信号驱动器输出的信号的组合。启用信号560-b、第一延迟信号530-b和第七延迟信号545-b可输入到信号驱动器,所述信号驱动器被配置成产生正电压脉冲(例如,图3A的第一信号驱动器300-a)并且产生第一驱动器输出信号575-b。如参考图5A所描述,第一延迟信号530-b可对应于第一延迟信号530-a且第七延迟信号545-b可对应于第七延迟信号545-a。在一些情况下,第一延迟信号530-b可被称为置位信号(或SigSet)并且可施加到信号驱动器的置位输入,且第七延迟信号545-b可被称为复位信号(或SigReset)并且施加到信号驱动器的复位输入。启用信号560-b可施加到信号驱动器的启用输入。

[0094] 在一些实例中,在接收到命令信号525-a之前,启用信号560-b可处于第一状态(可以由高电压表示)且第一驱动器输出信号575-b可处于第二状态(可以由低电压表示)。因此,可越权控制第一逻辑电路(例如,图3A的第一逻辑310-a)的输出。在接收到命令信号525-a之后,启用信号560-b可转变到第二状态。因此,可启用信号驱动器中的第一逻辑电路的输出。

[0095] 在启用信号560-b转变到第二状态之后,第一驱动器输出信号575-b可基于第一延迟信号530-b和第七延迟信号545-b两者处于第二状态而维持第二状态。接下来,启用信号560-b转变到第二状态,第一延迟信号530-b可转变到第一状态。因此,基于启用信号560-b处于第二状态,第一延迟信号530-b处于第一状态,且第七延迟信号545-b处于第二状态,第一驱动器输出信号575-b可转变到第一状态,例如,这是基于信号驱动器检测到第一延迟信号530-b和第七延迟信号545-b具有不同状态。

[0096] 稍后,第七延迟信号545-b可转变到第一状态,且因此,第一驱动器输出信号575-b可转变到第二状态,例如,这是基于信号驱动器检测到第一延迟信号530-b和第七延迟信号

545-b具有相同状态。第一延迟信号530-b和第七延迟信号545-b两者可保持于第一状态中直到接收到第二命令且命令信号525-a转变到第二状态为止。在命令信号525-a转变到第二状态之前或并行地,启用信号560-b可返回到高状态,从而停用第一逻辑组件的输出。在一些情况下,启用信号560-b可在延迟电路系统500-a产生最后一个延迟信号之后,例如基于最后一个延迟信号,返回到高状态。因此,第一驱动器输出信号575-b可置位到第二状态,而不考虑第一延迟信号530-b和第七延迟信号545-b的任何改变。通过断言启用信号560-b,信号驱动器可避免信令错误并且可在第一延迟信号530-b在第七延迟信号545-b之前转变到第二状态的情况下发生,或反过来也如此。

[0097] 启用信号560-b或不同的启用信号也可提供给产生第二驱动器输出信号580-b的第二信号驱动器。而且,第二延迟信号535-a和第五延迟信号540-a可类似地施加到第二信号驱动器的置位和复位输入。因此,第二信号驱动器可输出处于第一信号驱动器产生的正电压脉冲的边界内的正电压脉冲。另外,第一驱动器输出信号575-b和/或第二驱动器输出信号580-b的反相版本可通过将第一延迟信号530-b和第七延迟信号545-b施加到被配置成产生负脉冲的信号驱动器(例如,第二信号驱动器301-b)而产生。

[0098] 如本文所描述,复合信号驱动器可用于组合第一信号驱动器(第一驱动器输出信号575-b)和第二信号驱动器(第二驱动器输出信号580-b)的输出,如参考图4所描述,从而产生另一输出信号(例如,第三驱动器输出信号585-b)。第三驱动器输出信号585-b可为或包含双电压脉冲。当第一信号驱动器和第二信号驱动器的输出经组合时,第三驱动器输出信号585-b可当第一驱动器输出信号575-b转变到第一状态时转变到第一状态,当第一驱动器输出信号575-b和第二驱动器输出信号580-b两者处于第一状态时转变回到第二状态,并且当第一驱动器输出信号575-b处于第一状态且第二驱动器输出信号580-b转变到第二状态时再次转变到第一状态。

[0099] 驱动器输出信号可用于操作存储器阵列的不同组件,使得存储器阵列执行与接收到的存储器命令相关联的存储器操作。举例来说,驱动器输出信号(例如,第一驱动器输出信号575-b)可用于激活字线,所述字线用以选择存储器单元。另一驱动器输出信号(例如,第二驱动器输出信号580-b)可用于触发感测组件。另一驱动器输出信号(例如,第三驱动器输出信号585-b)可用于在存储器操作期间两次激活存储器组件。其它驱动器输出信号可用于对数字线预充电,隔离以及连接感测组件和数字线,致使电压施加到与存储器单元耦合的板线等等。在一些情况下,信号驱动器产生的控制信号和产生控制信号的次序是基于接收到的命令。举例来说,第一组信号驱动器可输出致使当接收到ACT命令时感测存储器阵列中的存储器单元的信号。

[0100] 图6说明根据本文所公开的实例的支持产生存储器阵列控制信号的控制信号产生系统的实例。控制信号产生系统600可被配置成产生致使存储器阵列执行用于执行存储器操作的一或多个功能的控制信号。控制信号产生系统600可包含置位/重位信号产生器610和信号驱动器620。信号驱动器620可为参考图3A和3B所描述的第一信号驱动器300-a或第二信号驱动器301-b的实例。

[0101] 置位/复位信号产生器610可被配置成使用第一延迟信号605和第二延迟信号625产生用于信号驱动器620的置位信号(SigSet 615,其可为参考图3A、3B和4所描述的输入信号的实例)和复位信号(SigReset 630,其可为参考图3A、3B和4所描述的输入信号的实例)。

第一延迟信号605可为如本文中参考图5所描述的延迟信号的实例。举例来说,第一延迟信号605可为图5A的第一延迟信号530-a的实例,且第二延迟信号625可为图5A的第七延迟信号545-a的实例。置位/复位信号产生器610还可以用于使用存储器信号635产生用于信号驱动器620的启用信号(EnF 640,其可为参考图3A、3B和4所描述的启用信号的实例)。在一些情况下,存储器信号635表示多个存储器控制信号。

[0102] 置位/复位信号产生器610可包含被配置成处理延迟信号并且产生用于信号驱动器620的置位和复位信号(也可被称作输入信号)的逻辑。在一些情况下,逻辑来延迟信号与其它存储器信号(例如,初始化信号、行激活信号、列激活信号等)组合。置位/复位信号产生器610还可包含被配置成处理内部存储器信号(例如,空闲信号和测试信号)并且基于经处理存储器信号产生启用信号(EnF 640)的逻辑。在一些情况下,控制信号产生系统600可基于经处理存储器信号被配置于测试模式或单一单元操作模式中。

[0103] 信号驱动器620可被配置成基于置位/复位信号产生器610的输出产生控制信号。举例来说,信号驱动器620的输出可当SigSet 615转变到第一状态时转变到第一状态(可以由高电压表示)。并且,信号驱动器620的输出可当SigReset 630转变到高电压时转变到低状态。而且,信号驱动器620可当EnF 640处于第一状态时启用XOR功能性并且当EnF 640处于第二状态时停用XOR功能性。另外,信号驱动器620可当ForceH 645(可为参考图3A、3B和4所描述的配置信号的实例)处于第一状态时输出第一状态,而不考虑SigSet 615、SigReset 630和EnF 640的状态。

[0104] 图7说明根据本文所公开的实例的支持产生存储器阵列控制信号的存储器控制器705的框图700。存储器控制器705可为参考图1和2所描述的存储器控制器的方面的实例。存储器控制器705可包含一或多个定时组件(包含第一定时组件715和第二定时组件740)和组合组件745。

[0105] 第一定时组件715可包含输入组件710、启用组件720、反相组件725、比较组件735和输出组件730。这些模块中的每一个可与彼此直接或间接(例如,经由一或多个总线)通信。在一些情况下,第一定时组件715和第二定时组件740可共享输入组件710、比较组件735或反相组件725中的一或多个。

[0106] 输入组件710可接收具有相对于在存储器装置处接收到的外部命令的第一延迟的第一输入信号和具有相对于所述外部命令的第二延迟的第二输入信号,所述第二延迟大于第一延迟。

[0107] 第一定时组件715可基于第一输入信号和第二输入信号具有不同状态而配置用于信号的第一状态。在一些实例中,第一定时组件715可基于第一输入信号和第二输入信号具有相同状态而配置用于信号的第二状态,其中所述信号基于第一输入信号和第二输入信号而从第一状态转变第二状态。

[0108] 在一些实例中,第一定时组件715可检测到(例如,使用比较组件735)第一输入信号和第二输入信号具有不同状态,这是基于第一输入信号转变到第一状态,第二输入信号具有第二状态,且第三输入信号指示第一定时组件经启用,其中所述第三输入信号基于所述检测被配置成具有第一状态。在一些实例中,第一定时组件715可检测到(例如,使用比较组件735)第一输入信号和第二输入信号具有相同状态,这是基于第一输入信号具有第一状态,第二输入信号转变到第一状态,且第三输入信号指示第一定时组件715经启用,其中所

述第三输入信号基于所述检测被配置成具有第二状态。

[0109] 在一些实例中,第一定时组件715可基于第一输入信号转变到第二状态而检测到(例如,使用比较组件735)第一输入信号和第二输入信号具有不同状态。启用组件720可基于第三输入信号当第一输入信号和第二输入信号具有不同状态时维持信号的第二状态。

[0110] 在一些实例中,输入组件710可接收第三输入信号,其指示基于信号具有第二状态而停用第一定时组件715的至少一部分。在一些实例中,启用组件720可基于指示定时组件的至少部分被停用的第三输入信号而越权控制第一逻辑组件,其中所述信号基于第三输入信号而被配置成具有第二状态。

[0111] 反相组件725可使通过第一定时组件715配置的信号反相。输出组件730可输出经反相信号,其为信号的反相版本。在一些实例中,组合组件745可将第一定时组件715的输出与第二定时组件740的输出组合,所述第二定时组件740接收相对于外部命令的第四输入信号和相对于外部命令的第五输入信号。在一些实例中,组合组件745可输出包含基于所述组合的至少两个脉冲的第二信号。

[0112] 图8说明根据本文所公开的实例的说明支持产生存储器阵列控制信号的一或多种方法800的流程图。方法800的操作可通过如本文中所描述的存储器控制器或其组件实施。举例来说,方法800的操作可由如参考图7所描述的存储器控制器来执行。在一些实例中,存储器控制器可执行一组指令以控制存储器控制器的功能元件来执行所描述的功能。另外或替代地,存储器控制器可使用专用硬件执行所描述的功能的方面。

[0113] 在805处,可接收到具有相对于在存储器装置处接收到的外部命令的第一延迟的第一输入信号和具有相对于外部命令的第二延迟的第二输入信号,其中所述第二延迟可大于第一延迟。可根据本文中所描述的方法执行805的操作。在一些实例中,可由参考图7所描述的输入组件执行805的操作的方面。

[0114] 在810处,第一状态可基于第一输入信号和第二输入信号具有不同状态而被配置成用于信号。可根据本文中所描述的方法来执行810的操作。在一些实例中,可由参考图3到7所描述的定时组件执行810的操作的方面。

[0115] 在815处,第二状态可基于第一输入信号和第二输入信号具有相同状态而被配置成用于信号,其中所述信号基于第一输入信号和第二输入信号而从第一状态转变到第二状态。可根据本文中所描述的方法执行815的操作。在一些实例中,可由参考图3到7所描述的定时组件(例如,结合比较组件)执行815的操作的方面。

[0116] 在820处,可接收到指示定时组件的至少一部分被停用的第三输入信号,这基于所述信号具有第二状态。可根据本文中所描述的方法执行820的操作。在一些实例中,可由参考图3到7所描述的定时组件(例如,结合输入组件)执行820的操作的方面。

[0117] 在825处,可基于第三输入信号当第一输入信号和第二输入信号具有不同状态时而维持信号的第二状态。可根据本文中所描述的方法执行825的操作。在一些实例中,可由参考图3到7所描述的定时组件(例如,结合启用组件)执行825的操作的方面。

[0118] 在一些实例中,如本文中所描述的设备可执行一或多种方法,例如方法800。所述设备可包含用于以下操作的特征、装置或指令(例如,非暂时性计算机可读媒体存储的可由处理器执行的指令):接收具有相对于在存储器装置处接收到的外部命令的第一延迟的第一输入信号和具有相对于外部命令的第二延迟的第二输入信号,所述第二延迟大于所述第

一延迟;基于第一输入信号和第二输入信号具有不同状态而配置信号的第一状态;基于第一输入信号和第二输入信号具有相同状态而配置信号的第二状态,其中所述信号基于第一输入信号和第二输入信号而从第一状态转变到第二状态;接收第三输入信号,所述第三输入信号指示所述定时组件的至少一部分经停用,这基于所述信号具有第二状态;和基于第三输入信号而当第一输入信号和第二输入信号具有不同状态时,维持信号的第二状态。

[0119] 本文中所描述的方法800和设备的一些实例可另外包含用于以下操作的操作、特征、装置或指令:基于第一输入信号转变到第一状态,至少部分地基于第二输入信号具有第二状态,并且至少部分地基于第三输入信号指示可启用定时组件,检测到第一输入信号和第二输入信号可具有不同状态,其中所述信号可被配置成基于所述检测而具有第一状态;和基于第一输入信号具有第一状态,至少部分地基于第二输入信号转变到第一状态,并且至少部分地基于第三输入信号指示可启用定时组件,检测到第一输入信号和第二输入信号可具有相同状态,其中所述信号可被配置成基于所述检测而具有第二状态。

[0120] 本文中所描述的方法800和设备的一些实例可另外包含用于以下操作的操作、特征、装置或指令:基于第一输入信号转变到第二状态,检测到第一输入信号和第二输入信号可具有不同状态;和基于第三输入信号指示可停用定时组件的至少部分,越权控制第一逻辑组件,其中所述信号可被配置成基于第三输入信号而具有第二状态。

[0121] 本文中所描述的方法800和设备的一些实例可另外包含用于以下操作的操作、特征、装置或指令:使信号反相;和输出经反相信号,所述经反相信号可为信号的反相版本。

[0122] 本文中所描述的方法800和设备的一些实例可另外包含用于以下操作的操作、特征、装置或指令:使定时组件的输出与另一定时组件的输出组合,所述另一定时组件接收相对于外部命令的第四输入信号和相对于外部命令的第五输入信号;和输出基于所述组合包含至少两个脉冲的第二信号。

[0123] 应注意,本文所描述的方法是可能的实施方案,且操作和步骤可以重新排列或以其它方式加以修改,且其它实施方案是可能的。此外,可以组合来自方法中的两个或更多个的部分。

[0124] 描述了一种设备。所述设备可包含定时组件,其被配置成产生用于操作存储器阵列的信号,所述定时组件包含:第一逻辑组件,其被配置成指示所述定时组件的第一输入信号和所述定时组件的第二输入信号何时具有不同状态;第二逻辑组件,其与所述第一逻辑组件耦合且被配置成指示所述第一输入信号或所述第二输入信号中的至少一个何时具有第一状态,其中所述第二逻辑组件的输出基于第三输入信号;和第三逻辑组件,其与所述第一逻辑组件和所述第二逻辑组件耦合,所述第三逻辑组件被配置成指示所述第一输入信号和所述第二输入信号何时具有相同状态,其中所述第三逻辑组件的输出被配置成基于所述第三输入信号指示所述第一逻辑组件经停用而置位到所述第一状态。

[0125] 在一些实例中,定时组件可包含用于以下操作的操作、特征、装置或指令:第四逻辑组件,其与所述第三逻辑组件耦合,其中所述第四逻辑组件的输出包含用于操作所述存储器阵列的所述信号。

[0126] 在一些实例中,第四逻辑组件可包含用于以下操作的操作、特征、装置或指令:第一反相器,其被配置成使所述第三逻辑组件的所述输出反相,其中所述第四逻辑组件的所述输出包含所述第一反相器的输出。

[0127] 在一些实例中,第四逻辑组件可包含用于以下操作的操作、特征、装置或指令:第一反相器,其被配置成使所述第三逻辑组件的所述输出反相;和第二反相器,其被配置成使所述第一反相器的输出反相,其中所述第四逻辑组件的所述输出包含用于操作所述存储器阵列的所述信号。

[0128] 在一些实例中,基于所述第三输入信号指示可停用所述第一逻辑组件,所述第二逻辑组件的输出可被配置成置位到第二状态且所述第三逻辑组件的输出可被配置成置位到所述第一状态。

[0129] 在一些实例中,基于具有所述第一状态的第四输入信号,所述第三逻辑组件的输出可被配置成置位到第二状态。

[0130] 在一些实例中,第一逻辑组件可包含用于以下操作的操作、特征、装置或指令:第一反相器,其被配置成使所述第一输入信号反相以获得第一经反相信号,所述第一经反相信号可为所述第一输入信号的反相版本;第二反相器,其被配置成使所述第二输入信号反相以获得第二经反相信号,所述第二经反相信号可为所述第二输入信号的反相版本;和逻辑门,其可被配置成基于所述第一输入信号、所述第二输入信号、所述第一经反相信号和所述第二经反相信号,指示所述第一输入信号和所述第二输入信号何时可具有不同状态。

[0131] 在一些实例中,逻辑门可包含用于以下操作的操作、特征、装置或指令:第一非反相输入,其被配置成接收所述第一输入信号;第二非反相输入,其被配置成接收所述第二输入信号;第一反相输入,其被配置成接收所述第一经反相信号;和第二反相输入,其被配置成接收所述第二经反相信号。

[0132] 在一些实例中,第二逻辑组件可包含用于以下操作的操作、特征、装置或指令:第一逻辑门,其可被配置成基于所述第一经反相信号和所述第二经反相信号,指示所述第一输入信号和所述第二输入信号何时可具有第二状态;和第二逻辑门,其可被配置成基于所述第三输入信号指示可启用所述第一逻辑组件而使所述第一逻辑门的输出反相,并且基于所述第三输入信号指示可停用所述第一逻辑组件而将所述第一逻辑组件的输出置位到所述第二状态。

[0133] 在一些实例中,第二逻辑组件可包含用于以下操作的操作、特征、装置或指令:第三反相器,其可被配置成使所述第三输入信号反相并且基于所述第三输入信号指示可停用所述第一逻辑组件而将所述第三逻辑组件的输出置位到所述第一状态。

[0134] 在一些实例中,所述第三逻辑组件可包含用于以下操作的操作、特征、装置或指令:第三逻辑门,其可被配置成当所述第三输入信号指示可启用所述第一逻辑组件时,指示所述第一输入信号和所述第二输入信号何时可具有不同状态。

[0135] 在一些实例中,第三逻辑组件可包含用于以下操作的操作、特征、装置或指令:第四逻辑门,其可被配置成当第四输入信号指示操作模式可被配置成用于所述存储器阵列时,使所述第三逻辑门的输出反相,其中所述第四逻辑门的输出可被配置成基于所述第四输入信号指示测试模式可被配置成用于所述存储器阵列而置位到所述第二状态。

[0136] 在一些实例中,定时组件可被配置成基于所述第一输入信号而使所述信号的状态从第二状态改变到所述第一状态并且基于所述第二输入信号而回到所述第二状态。

[0137] 所述设备的一些实例可包含第二定时组件,其可被配置成产生用于操作所述存储器阵列的信号。

[0138] 在一些实例中,第七逻辑组件的输出可被配置成基于具有所述第一状态的第七输入信号而置位到第二状态。

[0139] 描述了一种设备。所述设备可包含存储器阵列;一组延迟电路,其被配置成基于外部命令而产生一组延迟信号,所述组延迟信号中的每一延迟信号是由所述组延迟电路中的相应延迟电路产生并且具有相对于所述外部命令的相应延迟;和定时组件,其与所述存储器阵列耦合且被配置成接收所述组延迟信号中的第一延迟信号和所述组延迟信号中的第二延迟信号,所述定时组件被配置成基于所述第一延迟信号和所述第二延迟信号而产生用于操作所述存储器阵列的输出信号,其中所述定时组件包含:第一逻辑组件,其被配置成指示所述第一延迟信号和所述第二延迟信号何时具有不同状态,所述第二延迟信号与所述第一延迟信号相比具有相对于所述外部命令的较长延迟;第二逻辑组件,其与所述第一逻辑组件耦合且被配置成指示所述第一延迟信号或所述第二延迟信号中的至少一个何时具有第一状态,其中所述第二逻辑组件的输出基于用于所述定时组件的启用信号;和第三逻辑组件,其与所述第一逻辑组件和所述第二逻辑组件耦合,所述第三逻辑组件被配置成指示所述第一延迟信号和所述第二延迟信号何时具有相同状态,其中所述第三逻辑组件的输出被配置成基于所述启用信号指示所述第一逻辑组件经停用而置位到所述第一状态。

[0140] 所述设备的一些实例可包含存储器控制器,其被配置成基于所述组延迟信号而产生所述启用信号。

[0141] 在一些实例中,定时组件可另外包含用于以下操作的操作、特征、装置或指令:第四逻辑组件,其与所述第三逻辑组件耦合且被配置成输出用于操作所述存储器阵列的所述输出信号。

[0142] 所述设备的一些实例可包含第二定时组件,其与所述存储器阵列耦合,所述第二定时组件被配置成基于所述组延迟信号中的第三延迟信号和所述组延迟信号中的第四延迟信号具有不同状态而产生用于操作所述存储器阵列的另一输出信号,所述第三延迟信号具有相对于所述外部命令的第三延迟且所述第四延迟信号具有相对于所述外部命令的第四延迟。

[0143] 所述设备的一些实例可包含第四逻辑组件,其被配置成将所述定时组件产生的所述输出信号与所述第二定时组件产生的另一输出信号组合,其中所得输出信号包含至少两个脉冲。

[0144] 可使用多种不同技术和技艺中的任一种来表示本文中所描述的信息和信号。举例来说,可通过电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个上文描述中可能参考的数据、指令、命令、信息、信号、位、符号和码片。一些图式可将信号说明为单个信号;然而,所属领域的一般技术人员将理解,所述信号可表示信号总线,其中总线可具有多种位宽度。

[0145] 术语“电子通信”、“导电接触”、“连接”和“耦合”可以指组件之间支持电子在组件之间流动的关系。如果组件之间存在可在任何时间支持信号在组件之间流动的任何导电路径,那么组件被视为彼此电子通信(或彼此导电接触,或彼此连接,或彼此耦合)。在任何给定时间,基于包含所连接组件的装置的操作,彼此电子通信(或导电接触或连接或耦合)的组件之间的导电路径可以是开路或闭路。所连接组件之间的导电路径可以是组件之间的直接导电路径,或所连接组件之间的导电路径可以是可包含例如开关、晶体管或其它组件的

中间组件的间接导电路径。在一些实例中,可例如使用例如开关或晶体管等一或多个中间组件来中断所连接组件之间的信号流一段时间。

[0146] 术语“隔离”是指信号当前不能在组件之间流动的组件之间的关系。如果组件之间存在开路,则组件彼此隔离。举例来说,由定位在两个组件之间的开关间隔开的组件在开关断开时彼此隔离。当控制器将两个组件彼此隔离时,控制器实现以下改变:阻止信号使用先前准许信号流动的导电路径在组件之间流动。

[0147] 如本文所用,术语“大体上”意指经修饰特征(例如由术语大体上修饰的动词或形容词)不必是绝对的但要足够接近以便获得特征的优点。

[0148] 本文中论述的装置,包含存储器阵列,可形成于例如硅、锗、硅锗合金、砷化镓、氮化镓等半导体衬底上。在一些实例中,衬底为半导体晶片。在其它情况下,衬底可为绝缘体上硅(SOI)衬底,例如玻璃上硅(SOG)或蓝宝石上硅(SOS),或另一衬底上的半导体材料的外延层。可通过使用包含但不限于磷、硼或砷的各种化学物质的掺杂来控制衬底或衬底的子区的导电性。可在衬底的初始形成或生长期间,通过离子植入或通过任何其它掺杂方法执行掺杂。

[0149] 本文中所论述的开关组件或晶体管可表示场效应晶体管(FET),且包括包含源极、漏极和栅极的三端装置。所述端子可通过导电材料(例如金属)连接到其它电子元件。源极和漏极可为导电的,且可包括经重掺杂,例如简并,半导体区。源极与漏极可通过经轻掺杂半导体区或沟道分离。如果沟道是n型的(即,大部分载体为电子),那么FET可被称为n型FET。如果沟道是p型的(即,大部分载体为电洞),那么FET可被称为p型FET。信道可由绝缘栅极氧化物封端。可通过将电压施加到栅极来控制信道导电性。例如,将正电压或负电压分别施加到n型FET或p型FET可导致信道变得导电。当大于或等于晶体管的阈值电压的电压被施加到晶体管栅极时,晶体管可“接通”或“激活”。当小于晶体管的阈值电压的电压施加到晶体管栅极时,晶体管可“断开”或“撤销激活”。

[0150] 本文结合附图阐述的描述内容描述了实例配置,且并不表示可以实施的或在权利要求书的范围内的所有实例。本文中所使用的术语“示范性”是指“充当实例、例子或说明”,且不“优选于”或“优于”其它实例。详细描述包含具体细节,以提供对所描述技术的理解。然而,可在没有这些具体细节的情况下实践这些技术。在一些情况下,以框图形式示出熟知结构和装置,以免混淆所描述实例的概念。

[0151] 在附图中,类似组件或特征可以具有相同的参考标记。另外,可通过在参考标记之后跟着短划线及在类似组件当中进行区分的第二标记来区分相同类型的各种组件。如果说明书中仅使用第一参考标记,那么描述适用于具有相同第一参考标记的类似组件中的任一个,与第二参考标记无关。

[0152] 可使用多种不同技术和技艺中的任一种来表示本文中所描述的信息和信号。举例来说,可通过电压、电流、电磁波、磁场或磁粒子、光场或光粒子或其任何组合来表示在整个上文描述中可能参考的数据、指令、命令、信息、信号、位、符号和码片。

[0153] 结合本文中本公开所描述的各种说明性块和模块可使用通用处理器、DSP、ASIC、FPGA或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件、或经设计以执行本文所描述的功能的其任何组合来实施或执行。通用处理器可为微处理器,但在替代方案中,处理器可为任何常规处理器、控制器、微控制器或状态机。处理器还可被实施为计算装置的组合

(例如,DSP与微处理器的组合、多个微处理器、结合DSP核心的一或多个微处理器,或任何其它此配置)。

[0154] 本文中所描述的功能可在硬件、由处理器执行的软件、固件或其任何组合中实施。如果以由处理器执行的软件来实施,那么可将功能作为一或多个指令或代码存储于计算机可读媒体上或通过计算机可读媒体予以传输。其它实例和实施在本公开和所附权利要求书的范围内。举例来说,归因于软件的性质,上文所描述的功能可使用由处理器执行的软件、硬件、固件、硬连线或任何这些的组合实施。实施功能的特征还可物理上位于各种位置处,包含经分布以使得功能的部分在不同物理位置处实施。并且,如本文中所使用,包含在权利要求书中,项目的列表(例如,以例如“中的至少一者”或“中的一或多者”的短语开始的项目的列表)中所使用的“或”指示包含性列表,使得(例如)A、B或C中的至少一者的列表意指A或B或C或AB或AC或BC或ABC(即,A和B和C)。另外,如本文所用,短语“基于”不应理解为提及封闭条件集。举例来说,在不脱离本公开的范围的情况下,描述为“基于条件A”的示范性步骤可基于条件A和条件B两者。换句话说,如本文所用,短语“基于”应同样地解释为短语“至少部分地基于”。

[0155] 计算机可读媒体包含非暂时性计算机存储媒体以及包含促进将计算机程序从一处传递到另一处的任何媒体的通信媒体两者。非暂时性存储媒体可为可由通用或专用计算机存取的任何可用媒体。借助于实例而非限制,非暂时性计算机可读媒体可包括随机存取存储器(RAM)、只读存储器(ROM)、电可擦除可编程只读存储器(EEPROM)、光盘(CD)ROM或其它光盘存储装置、磁盘存储装置或其它磁性存储装置,或可用于携载或存储呈指令或数据结构形式的所要程序代码构件且可由通用或专用计算机或通用或专用处理器存取的任何其它非暂时性媒体。并且,适当地将任何连接称作计算机可读媒体。举例来说,如果使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)或例如红外线、无线电和微波的无线技术从网站、服务器或其它远程源传输软件,那么所述同轴电缆、光纤电缆、双绞线、数字订户线(DSL)或例如红外线、无线电和微波的无线技术包含在媒体的定义中。如本文所使用的磁盘和光盘包含CD、激光光盘、光学光盘、数字多功能光盘(DVD)、软磁盘和蓝光光盘,其中磁盘通常是以磁性方式再现数据,而光盘是用激光以光学方式再现数据。以上各者的组合也包含在计算机可读媒体的范围内。

[0156] 提供本文中的描述使得所属领域的技术人员能够进行或使用本公开。所属领域技术人员将清楚对本公开的各种修改,且本文中所定义的一般原理可应用于其它变化形式而不会脱离本公开的范围。因此,本公开不限于本文中所描述的实例和设计,而是被赋予与本文公开的原理和新颖特征一致的最宽范围。

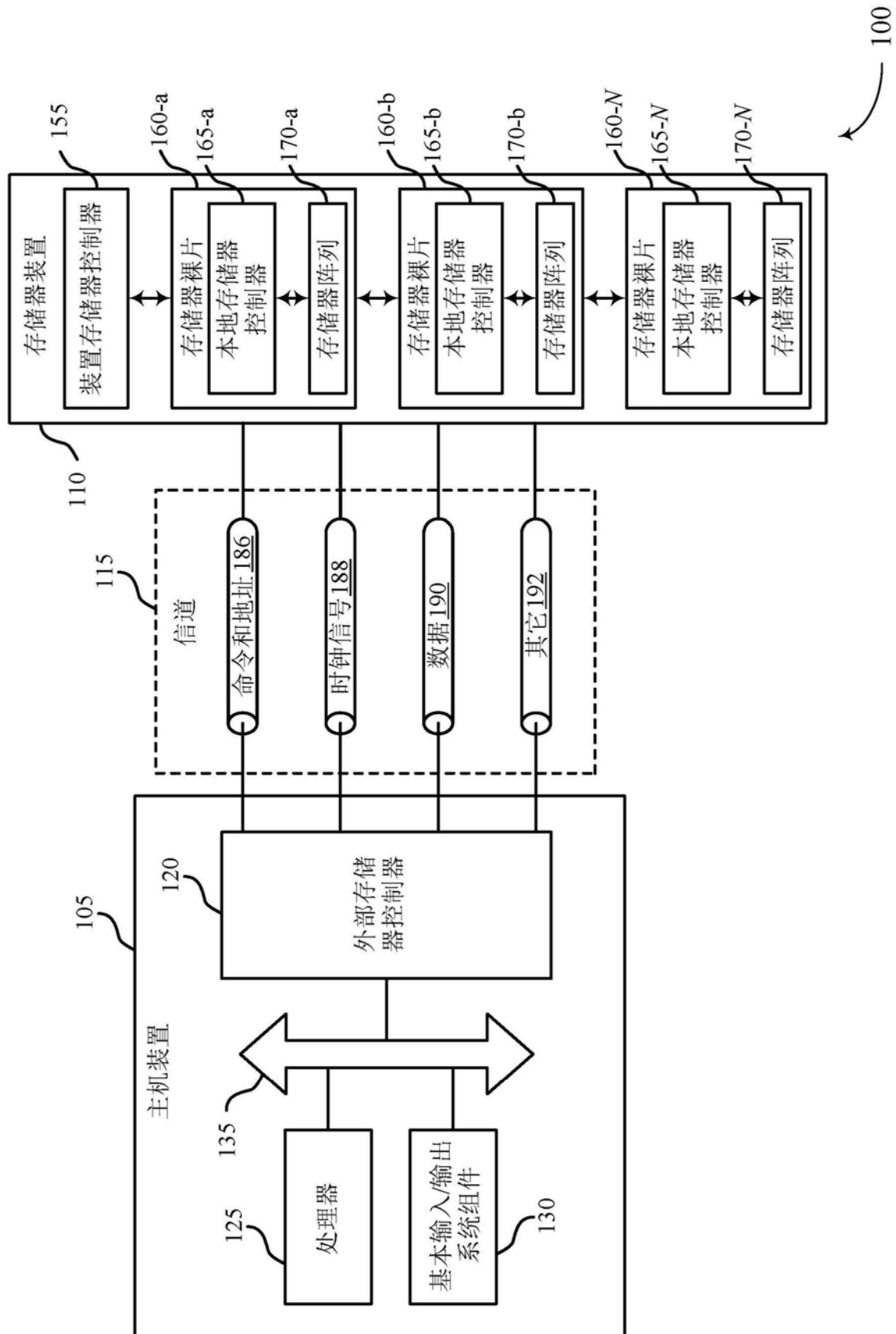


图1

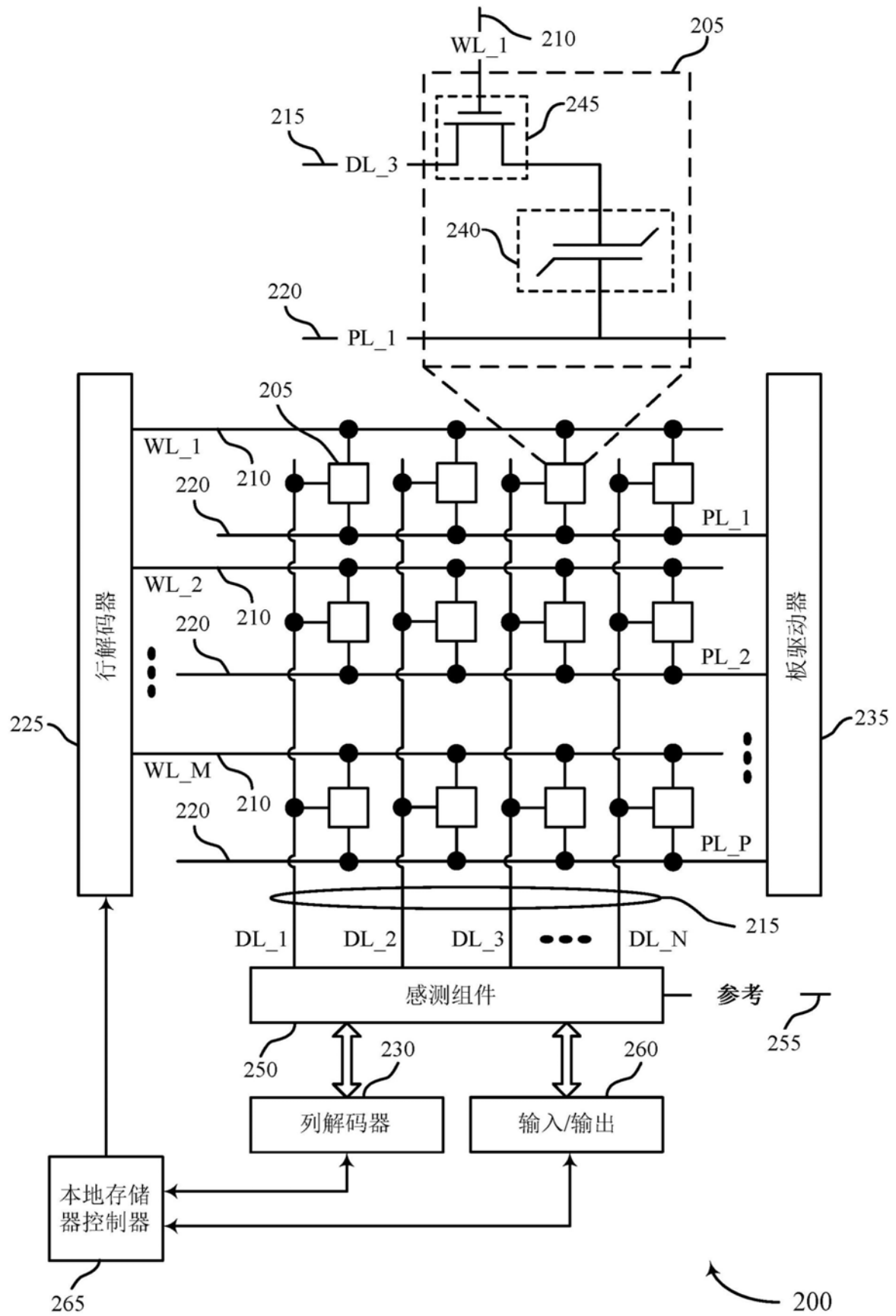


图2

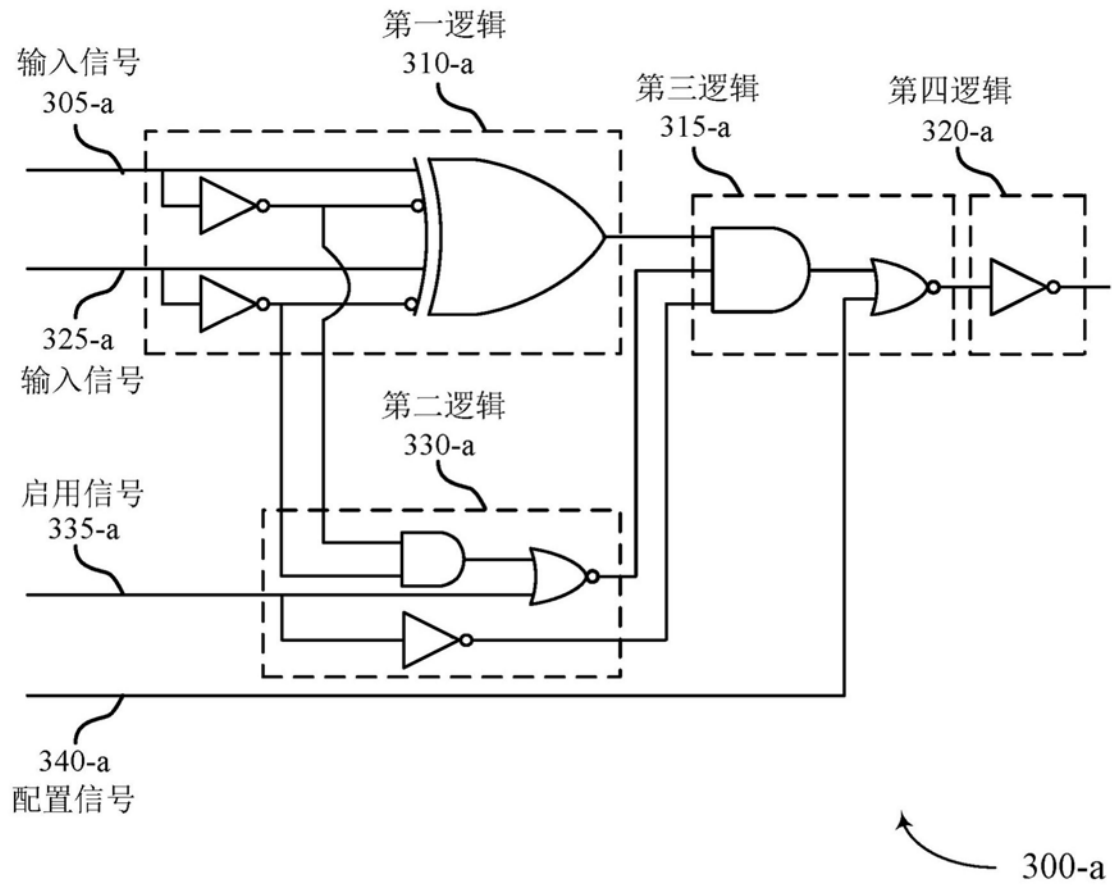


图3A

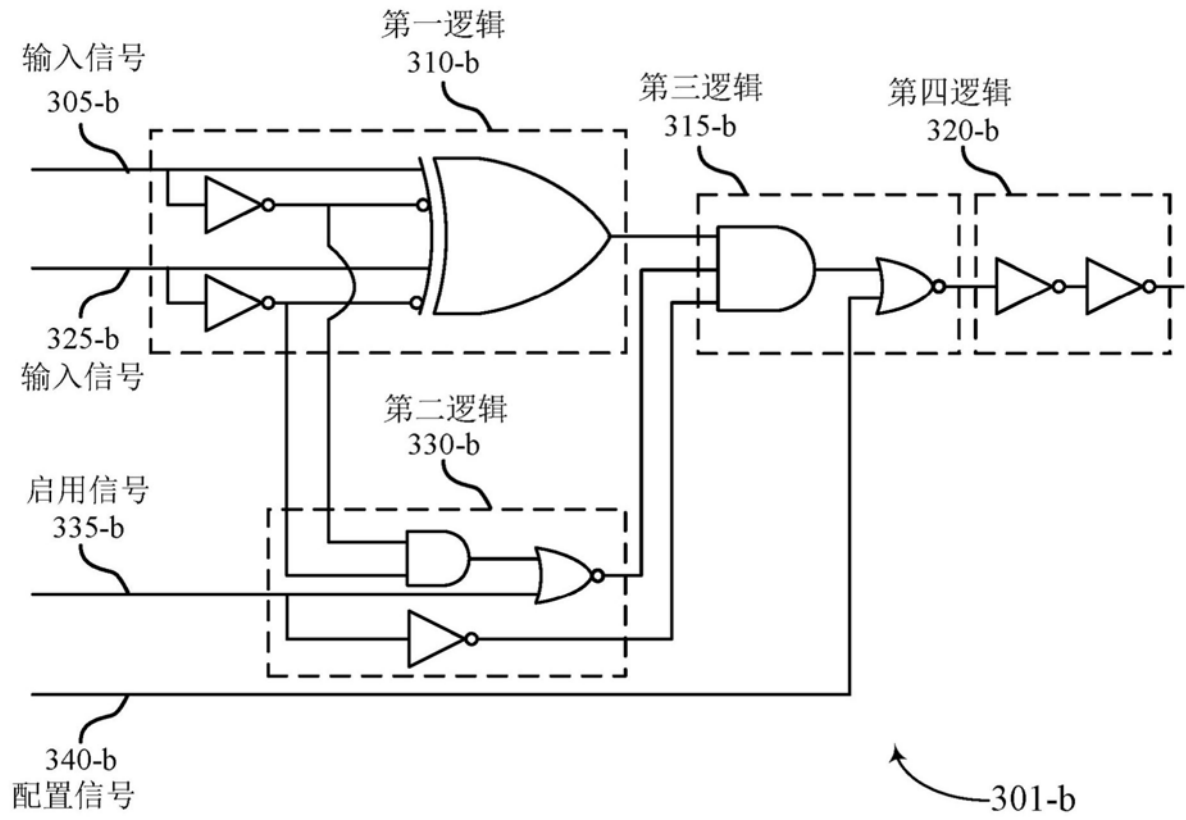


图3B

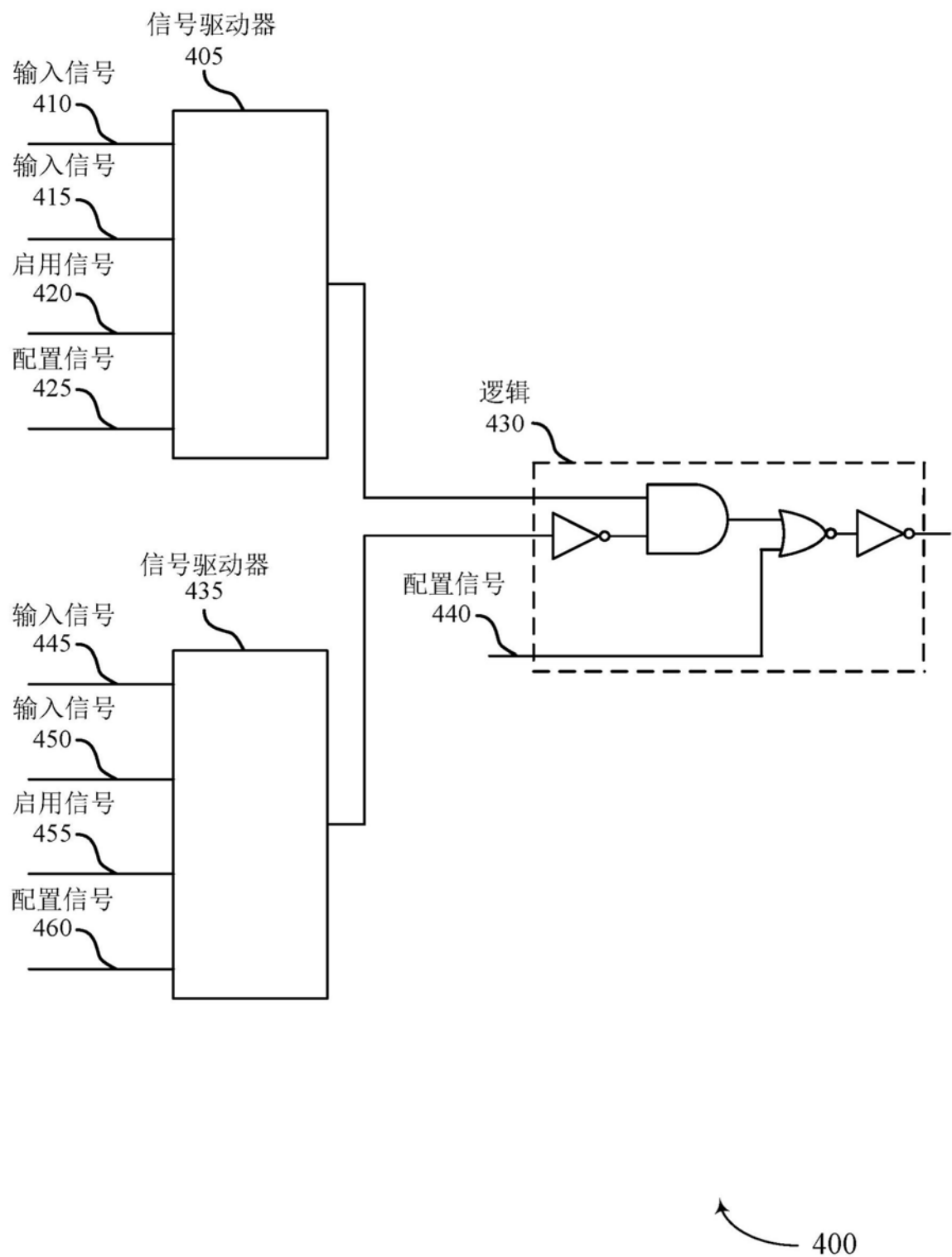


图4

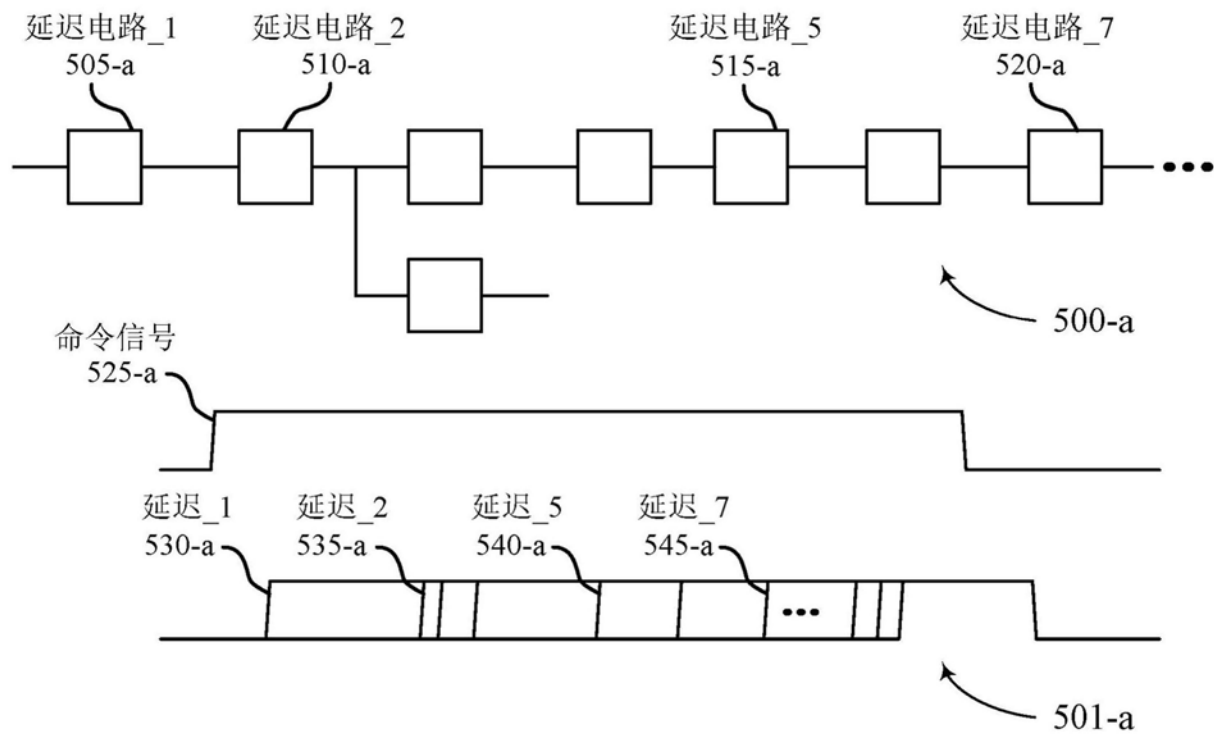


图5A

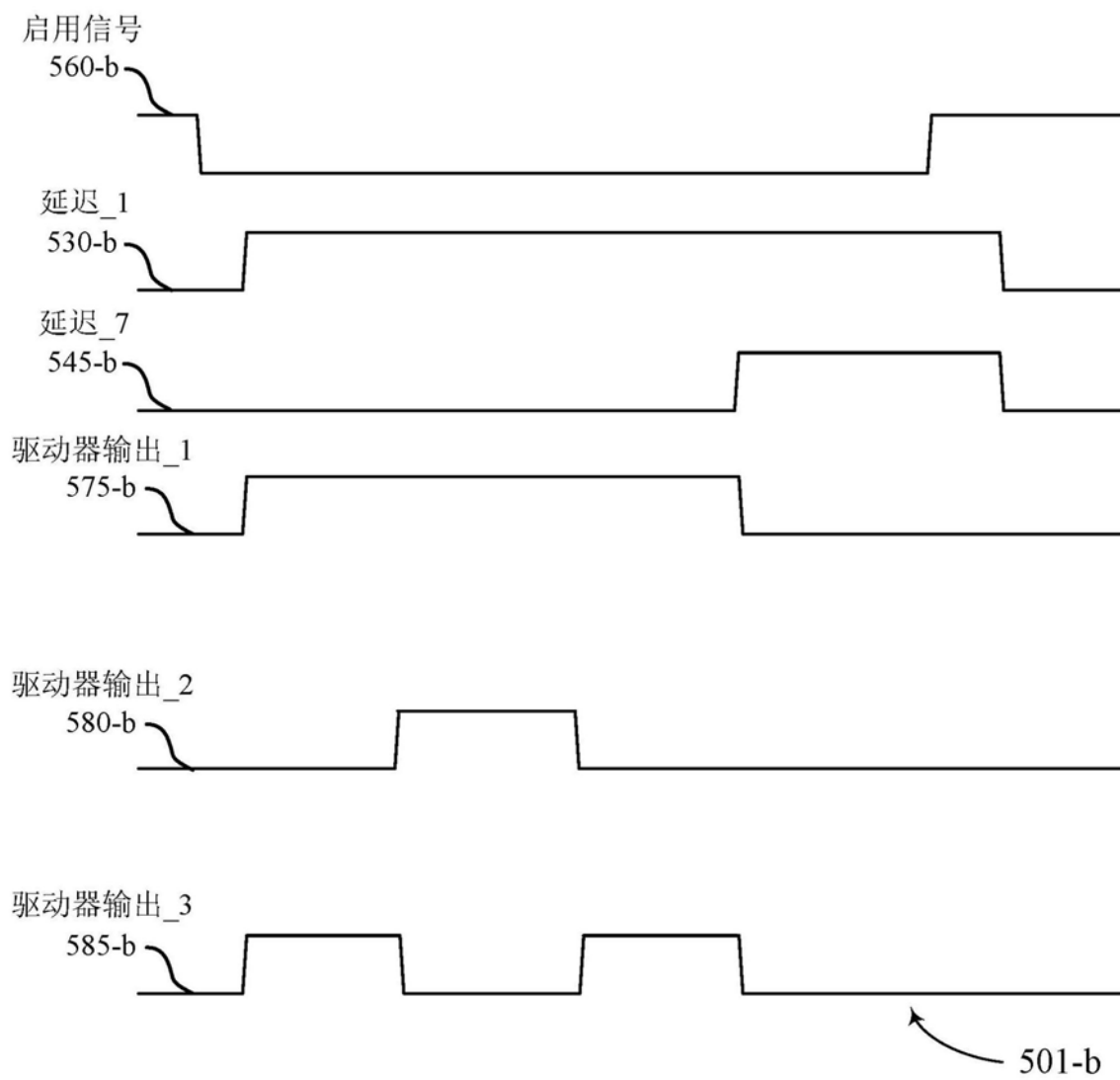


图5B

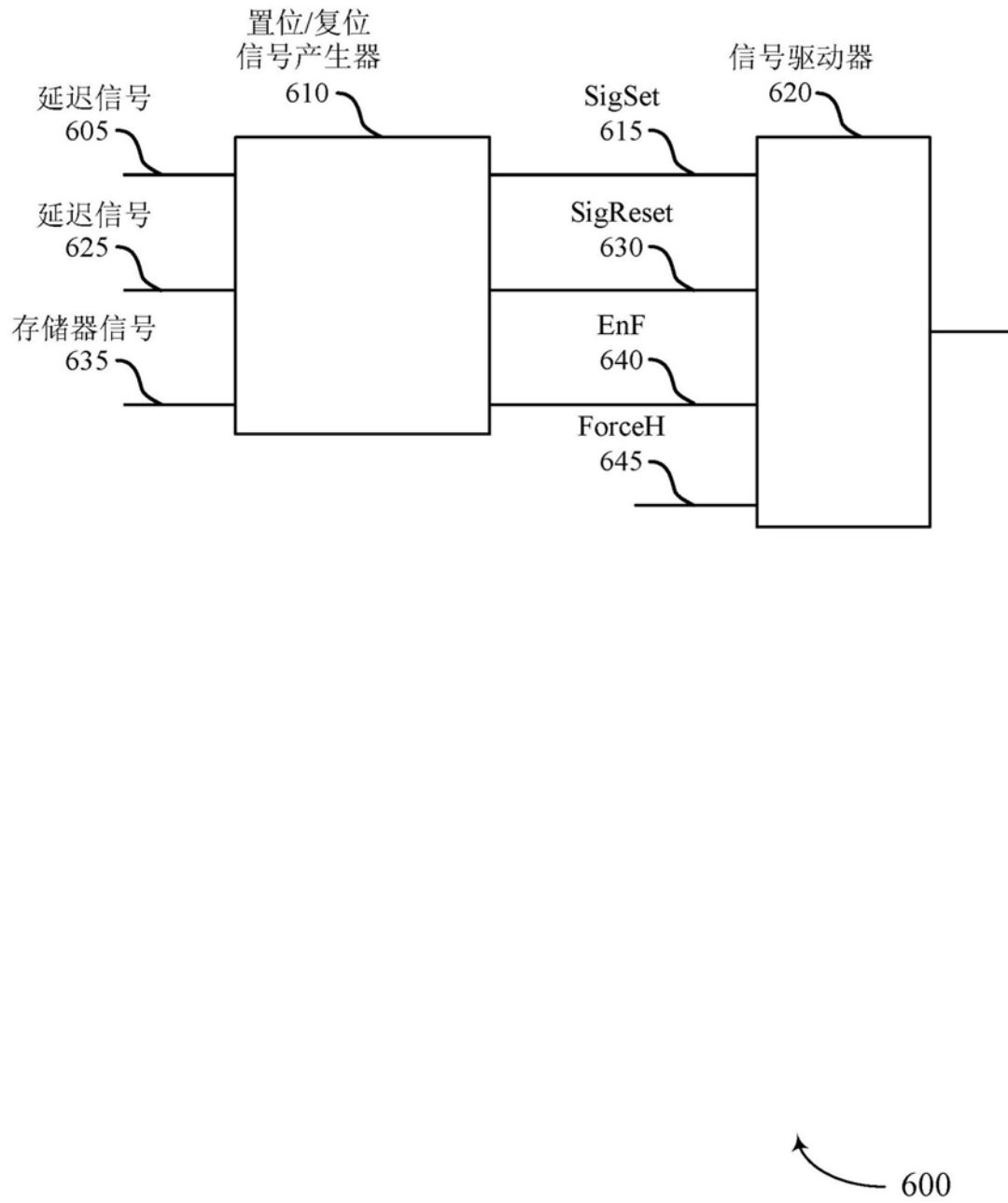


图6

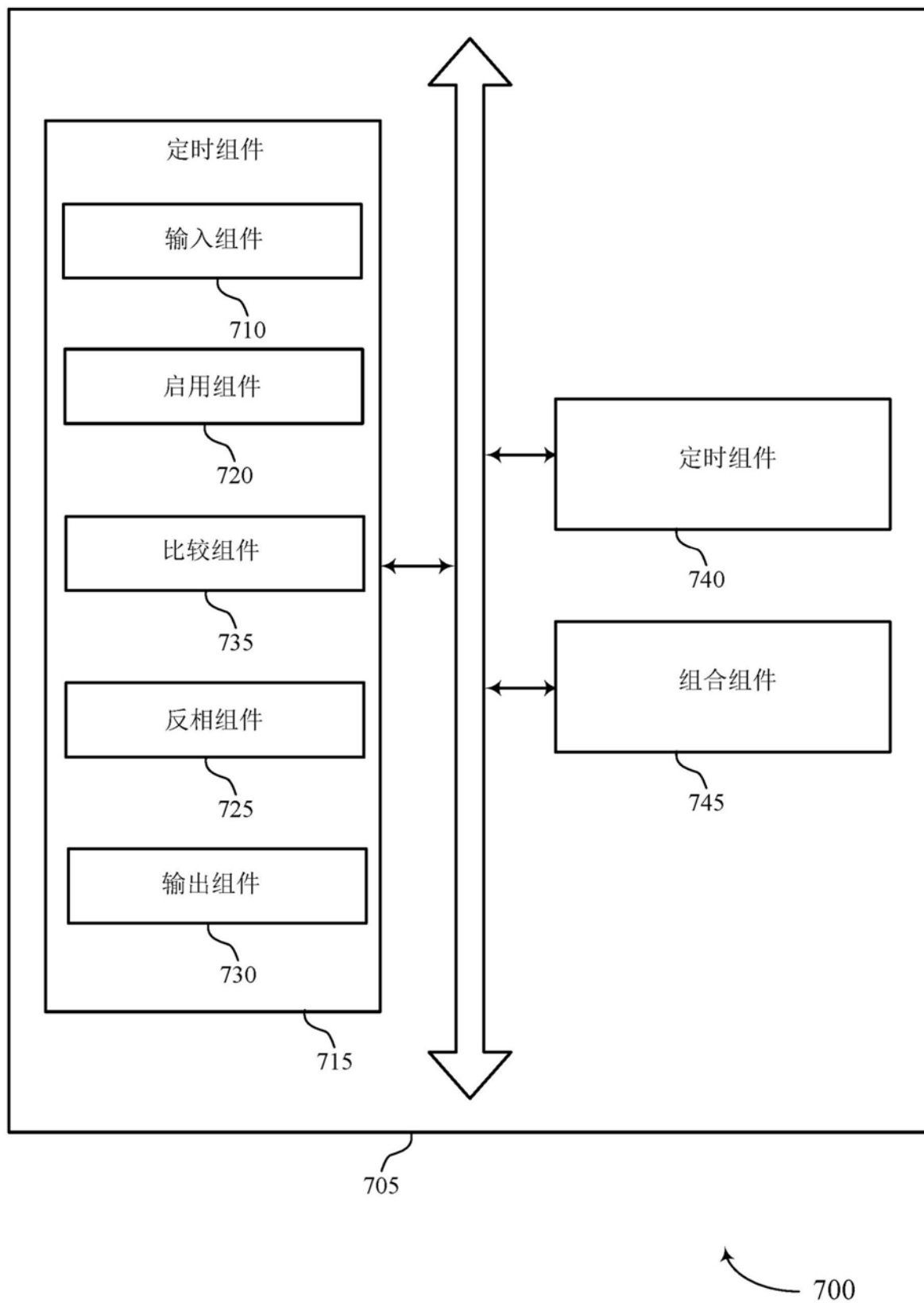


图7

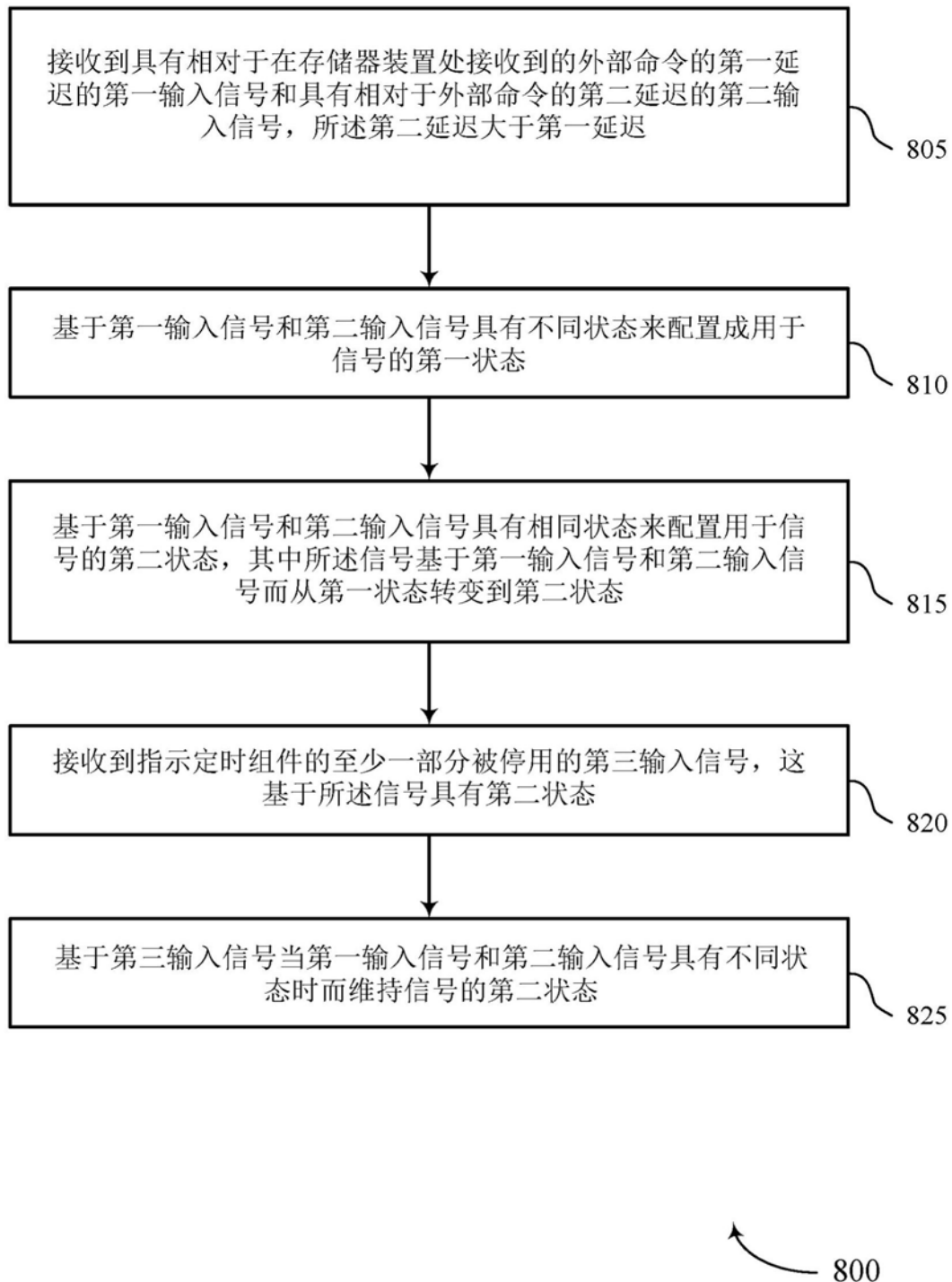


图8