



(12) 发明专利申请

(10) 申请公布号 CN 102983273 A

(43) 申请公布日 2013. 03. 20

(21) 申请号 201210572290. 8

(22) 申请日 2009. 04. 01

(30) 优先权数据

61/071, 093 2008. 04. 11 US

12/216, 110 2008. 06. 30 US

(62) 分案原申请数据

200980112695. X 2009. 04. 01

(71) 申请人 桑迪士克 3D 公司

地址 美国加利福尼亚州

(72) 发明人 R·E·朔伊尔莱因

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H01L 45/00 (2006. 01)

H01L 27/24 (2006. 01)

权利要求书 1 页 说明书 6 页 附图 7 页

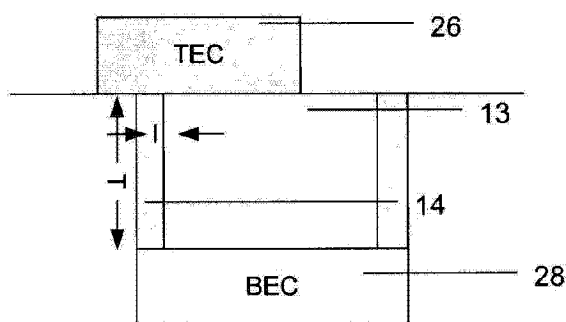
(54) 发明名称

侧壁结构的可切换电阻器单元

(57) 摘要

一种制备存储器器件的方法, 包括形成第一导电电极(28), 在该第一导电电极上形成绝缘结构(13), 在该绝缘结构的侧壁上形成电阻率切换元件(14), 在该电阻率切换元件上形成第二导电电极(26), 以及在该第一导电电极和该第二导电电极之间形成与该电阻率切换元件串联的导向元件(22), 其中该电阻率切换元件在从第一导电电极到第二导电电极的第一方向上的高度大于该电阻率切换元件在与第一方向垂直的第二方向上的厚度。

侧视图



1. 一种存储器器件,包括:

第一导电电极;

绝缘结构;

位于所述绝缘结构的侧壁上的电阻率切换元件;

位于所述电阻率切换元件上的第二导电电极;

位于所述第一导电电极和所述第二导电电极之间,与所述电阻率切换元件串联的导向元件;

其中所述电阻率切换元件在从所述第一导电电极到所述第二导电电极的第一方向上的高度大于所述电阻率切换元件在与所述第一方向垂直的第二方向上的厚度,以及

其中所述绝缘结构包括多个绝缘轨道,并且所述电阻率切换元件位于至少一个绝缘轨道的侧壁上并且与暴露在邻近轨道之间的所述第一导电电极接触。

2. 根据权利要求1所述的器件,其中所述导向元件包括位于所述电阻率切换元件上的二极管。

3. 根据权利要求1所述的器件,其中所述导向元件包括位于所述电阻率切换元件下的二极管。

4. 根据权利要求1所述的器件,其中所述导向元件包括通过导电阻挡层与所述电阻率切换元件隔离的柱形的 p-i-n 二极管。

5. 根据权利要求1所述的器件,其中所述电阻率切换元件是位于所述绝缘结构的侧壁上的金属氧化物层。

6. 根据权利要求1所述的器件,其中所述电阻率切换元件选自于反熔丝介电质、熔丝、多晶硅存储效应材料、金属氧化物或者可切换复杂金属氧化物材料、碳纳米管材料、石墨烯可切换电阻材料、碳电阻率切换材料、相变材料、导电桥元件、电解质可切换材料或者可切换聚合物材料。

7. 根据权利要求1所述的器件,其中用绝缘填充材料填充所述多个绝缘轨道之间的空间,并且每个绝缘轨道与所述第一导电电极和所述导向元件部分地未对准,使得所述电阻率切换元件位于与所述第一导电电极和所述导向元件接触。

8. 根据权利要求1所述的器件,其中所述电阻率切换元件具有大于 10nm 的高度和小于 10nm 的厚度。

侧壁结构的可切换电阻器单元

[0001] 本申请是分案申请,原申请的申请日为2009年04月01日,申请号为200980112695.X,发明名称为“侧壁结构的可切换电阻器单元”。

技术领域

[0002] 本发明一般涉及制备半导体器件的方法,更具体地说,涉及制备半导体非易失性存储器单元的方法。

背景技术

[0003] 由半导体材料制备的器件被用来生成电气部件和系统中的存储器电路。存储器电路是这类器件的支柱,因为数据和指令集都被存储在其中。最大化这类电路上每单位面积的存储器元件的数目能够最小化其成本,因此是这类电路设计的主要动力。

[0004] 图1图示说明了示例性的现有技术的存储器元件20,该存储器元件包括垂直朝向的圆柱形的结型二极管22和存储元件24(例如反熔丝的介电质或者金属氧化物电阻率切换层),所述结型二极管作为单元的导向元件。二极管22和存储元件24被插入顶部导体或电极26和底部导体或电极28之间。垂直朝向的结型二极管22包括第一导电类型(例如n型)的重掺杂的半导体区域30、未掺杂的半导体材料或者轻掺杂的半导体材料的中间区域32(被称为本征区域)以及第二导电类型(例如p型)的重掺杂的半导体区域34,以形成p-i-n二极管。如果需要,p型区域和n型区域的位置可以互换。结型二极管22的半导体材料通常为硅、锗、或者硅和/或锗的合金。也可以使用其它半导体材料。结型二极管22和存储元件24被串联布置在底部导体28和顶部导体26之间,所述底部导体和顶部导体可以由金属例如钨和/或TiN形成。存储元件24可以位于二极管22上或者二极管下。参照图1A,由Herner等提出的题为“High-Density Three-Dimensional Memory Cell”的美国专利6,952,030公开了一种示例性的非易失性存储器单元,该专利在下文中称作“030专利”并且通过引用以其整体合并到此。

[0005] 金属氧化物可切换电阻器的电阻可能太小,以至于不被三维(3D)二极管阵列有效地探测到。相对于高的重置电流,低的重置电流通常是优选的,因此电阻器元件的电阻通常优选是高的。因为金属氧化物元件24被淀积在二极管柱22上,因此氧化物元件的电阻可能太小,因此产生不期望的高的重置电流。而且,在制备过程中,金属氧化物电阻器材料可能会由于刻蚀而被损坏,从而不能提供切换功能。

发明内容

[0006] 一种制备存储器器件的方法,包括形成第一导电电极,在第一导电电极上形成绝缘结构,在绝缘结构的侧壁上形成电阻率切换元件,在电阻率切换元件上形成第二导电电极,以及在第一导电电极和第二导电电极之间形成与电阻率切换元件串联的导向元件,其中电阻率切换元件在从第一导电电极到第二导电电极的第一方向上的高度大于电阻率切换元件在与第一方向垂直的第二方向上的厚度。

附图说明

[0007] 图 1A 图示说明了现有技术的存储器单元的三维视图。图 1B 和 1C 分别示出了现有技术的电阻率切换存储元件的侧视图和顶视图。

[0008] 图 2A 和 2B 分别示出了根据本发明的实施例的单元的侧视图和顶视图。

[0009] 图 3、4、5、6A 和 7 图示说明了根据本发明的实施例的存储器单元的侧截面图。图 6B 是图 6A 的单元的顶视图。

具体实施方式

[0010] 本发明人认识到,可以通过几何效应来增加存储元件(在此也被称为电阻率切换元件)的电阻,这里电阻率切换元件形成在绝缘结构的侧壁上,与导向元件串联。在该配置中,电阻率切换元件在从底部导电电极到上部导电电极的“垂直”方向上的高度大于电阻率切换元件在与“垂直”方向正交的第二方向上的厚度。电阻率切换元件可以是位于绝缘结构的侧壁上的二元金属氧化物的薄层,并且仍然被提供为在下部电极和上部电极之间与二极管导向元件串联。

[0011] 电阻率切换材料 24 的电阻值 R 可以通过下式计算:

$$[0012] \quad R = \rho * t / (L * W) [1]$$

[0013] 这里 ρ 为材料的电阻率, t 是层的高度, $(L * W)$ 是导电通路的面积。因此,层的电阻值可以高度依赖于几何尺寸。图 1B、1C、2A 和 2B 图示说明了电阻的这种依赖性。图 1B 和 1C 图示说明了位于二极管顶部的电阻率切换元件 24 (为了清楚,在图 1B 和 1C 中省略该二极管,其可以位于元件 24 的上方或下方)。由于在元件 24 切换到低电阻率状态期间形成的导电细丝 25 的面积 $L * W$ 不受单元结构的限制,因此导电细丝的电阻可以是相对低的电阻。典型的金属氧化物可切换电阻材料可以形成具有在 1K 欧姆到 10K 欧姆范围内的电阻的细丝,该电阻低于由用于三维二极管阵列而形成的二极管典型实现的电阻。三维二极管阵列中的二极管不能可靠地重置相对低电阻的细丝。

[0014] 图 2A 和 2B 图示说明了根据本发明的一个实施例的存储器单元结构的一部分的侧面截面图和顶视图,这里为了清楚,再次省略了二极管,但是其在电极 26 和 28 之间,位于电阻率切换元件 14 的上方或下方并且与电阻率切换元件串联。在这个实施例中,电阻率切换元件被形成在绝缘结构 13 的侧壁上。在这个配置中,由下式计算电阻值:

$$[0015] \quad R = \rho * T / (l * W) [2]$$

[0016] 这里 l 是元件 14 在绝缘结构侧壁上淀积的厚度。长度 l 可以显著小于图 1B 和 1C 中的长度 L 。与图 1B 和 1C 中的配置相比,图 2A 和 2B 的配置中电阻增大为 (L/l) 倍。高度 T 是覆盖绝缘结构 13 的侧壁的电阻率切换元件 14 的高度。高度 T 可以等于图 1B 和 1C 的现有技术的平面厚度 t ,并且在一些情况下可以大于该平面厚度 t 。

[0017] 图 2A 和 2B 中所示的本发明的实施例的一个优点是低电阻状态的增加,其依赖于高度 T 的数值。注意到,对于一些材料,切换到高电阻的区域可以小于图 3 中所示的 T 。从上面所描述的图中可以看出,, W 倾向于大于图 1B 和 1C 中所示的现有技术的配置中的 t ,并且小于图 2A 和 2B 中所示的本发明的实施例的侧壁配置中的 T 。侧壁层的厚度 l 可以小于细丝区域的典型尺寸。由于 l 可以小于现有技术的细丝的直径,因此为了进一步增大电阻,

在一些材料中还倾向于减小细丝在 W 尺寸上的程度。

[0018] 本发明的实施例中的电阻率切换元件的电阻较少依赖于可变的细丝形成的尺寸，因为它受到尺寸 1 的限制。由于在一些材料中，电流通路穿过电阻率切换元件的截面面积被限定到小于典型的细丝尺寸，因此重置电流也会比较小。开关和阵列线中重置电流以及相关的 IR 压降的减小，对于允许包括侧壁电阻率切换元件的存储器阵列中重置电压和功耗降低是极大优势。三维二极管阵列中的二极管能够可靠地重置本发明的实施例中形成的相对高电阻的细丝。

[0019] 在图 1 中，L 倾向于随着 t 增加，并且可以大约为 t 的四倍，例如 t 是 5nm，L 是 20nm。但是在图 2 中，1 对 T 不敏感，使得可以通过工艺选择来增加 T；例如，电阻率切换材料层的高度 T 可以大于 5nm，例如大于 20nm，并且厚度 1 可以小于 20nm，例如小于 5nm。结果，电阻可以从图 1 所示的增加为 $(L/1) * (T/t)$ 倍，在该示例中即增加 16 倍。

[0020] 图 3-7 图示说明了根据本发明的实施例的具有各种绝缘结构 13 的示例性存储器单元结构。电阻率切换元件 14 可以具有不同的形状。例如，其可以是环形的，围绕着绝缘结构，或者其可以位于绝缘材料中的槽内。类似地，绝缘结构可以具有不同的形状，例如柱形或轨道形。

[0021] 如图 3 中所示，在下部电极 28（在图 1 中示出）上形成柱形二极管 22（也在图 1A 中详细地示出）。二极管 22 可以由任何合适的半导体材料形成，如硅、锗、SiGe 或者其它化合物半导体材料，其可以是多晶的、单晶的或者无定形的。电极 28 位于衬底上，例如半导体晶圆（包括硅或者化合物半导体晶圆），或者玻璃、塑料，或者金属衬底。电极 28 可以包括金属（例如钨、铝或者它们的合金）或者金属化合物（例如氮化钛）。

[0022] 接着，在二极管 22 上形成可选的导电阻挡层 16。阻挡层 16 可以包括任何导电材料，例如氮化钛。接着，在阻挡层 16 上形成绝缘结构 13。绝缘结构 13 可以包括任何合适的绝缘材料，例如氧化硅或者氮化硅或者有机绝缘材料。结构 13 可以具有任何合适的形状，例如轨道形或者柱形，只要其包含侧壁 15。

[0023] 接着，在绝缘结构 13 的至少一个侧壁上形成至少一个电阻率切换元件 14。如果结构是圆柱形，如图 2B 中所示，则其只有一个侧壁 15。电阻率切换元件 14 可以包括熔丝、多晶硅存储器效应材料、金属氧化物（例如二元金属氧化物（例如氧化镍）或者可切换复杂金属氧化物（例如钙钛矿氧化物）、碳纳米管、石墨烯可切换电阻材料、其它碳电阻率切换材料（例如无定形碳、多晶碳或者微晶碳）、相变材料，电解质切换材料，可切换复杂金属氧化物、导电桥元件或者可切换聚合物。电阻率切换元件的电阻率可以响应于在图 1A 中所示的电极 26 和 28 之间提供的正向和 / 或反向偏压而被增大或者减小。

[0024] 可以通过任何合适的方法在绝缘结构 13 上形成电阻率切换元件 14，例如化学气相沉积，物理气相沉积（例如溅射）等。元件 14 可以位于绝缘结构 13 的顶表面和绝缘结构 13 的侧壁 15。替换地，可以在绝缘结构 13 上形成元件 14（例如金属氧化物绝缘层），并且接着通过 CMP 或者其它方法来平坦化该元件 14，以去除元件 14 位于结构 13 的上表面的厚度 L_0 ，并且暴露出绝缘结构 13 的上表面。如图 3 中所示，元件 14 的有效切换区域 18 具有长度 L，该长度可能由于 PVD 淀积的遮蔽效应而比元件的平面厚度要薄。区域 18 中的这个侧壁颈缩增大了元件 14 的电阻。

[0025] 在图 4 所示的替换实施例中，金属或者金属氮化物薄膜（例如氮化钛薄膜）被淀积

在结构 13 上,并且随后通过 CMP 或者其它平坦化方法从绝缘结构的顶部选择性地去除。接着,在氧化气氛中氧化图形化的薄膜,从而形成金属氧化物或者氮氧化物电阻率切换元件 14,例如氮氧化钛元件。由于上面所描述的颈缩现象,元件的有效区域 18 可以被完全转化为绝缘金属氧化物或者氮氧化物,而元件 14 的上部分 42 可以保持是导电金属或者金属氮氧化物。在图 4 中,为了清楚,放大了元件 14 的厚度。元件 14 可以具有 10nm 到 30nm 的垂直厚度。

[0026] 在图 4 的实施例中,结构 13 的侧壁 15 包括在绝缘层 13 (例如氧化硅层) 内形成的孔或者槽 42 的侧壁。孔或者槽露出底部电极 28,以允许电阻率切换材料在电气上接触底部电极。如果需要,可以用绝缘填充材料 44 (例如氧化硅或者有机材料) 填充保持在电阻率切换元件 14 中的沟,并且通过 CMP 或者其它合适的方法来平坦化该沟,以露出元件 14 的上表面。

[0027] 如图 4 中所示,底部电极 28 可以包括 TiN 和钨层的组合。而且,如图 4 中所示,二极管 22 位于电阻率切换元件 14 和阻挡层 16 之上。然而,顺序可以是颠倒的,可以在阻挡层 16 和元件 14 之下形成二极管 22。如果需要,可以在二极管 22 和上部电极 26 之间形成上部阻挡层 46。上部阻挡层 46 可以包括硅化钛层(例如通过使钛层与二极管的多晶硅材料反应形成的 C49 相硅化钛层)和 Ti/TiN 双分子层。

[0028] 如上面所讨论的,二极管 22 作为单元的导向元件。例如,存储器单元可以包括垂直朝向的圆柱形的结型二极管。在此使用术语“结型二极管”指代具有非欧姆导电特性的、具有两个终端电极并且由半导体材料制成的半导体器件,其在一个电极处是 p 型,在另外一个电极处是 n 型。示例包括 p-n 二极管和 n-p 二极管(其具有 p 型半导体材料与 n 型半导体材料的接触,例如齐纳二极管)以及 p-i-n 二极管(在其中在 p 型半导体材料和 n 型半导体材料之间插入本征(未掺杂的)半导体材料)。在其它实施例中,可以使用包括 MIM 或者 MIIM 结构的隧道二极管。

[0029] 在图 5 中所示的另一替换实施例中,电阻率切换元件 14 包括绝缘层,例如以绝缘状态淀积在孔或者槽 42 内(而不是如图 4 中所示的氧化导电层)的金属氧化物层(例如 Al_2O_3)。从而,使用大马士革类型工艺形成元件。如图 5 中所示,形成元件 14 的绝缘层并不一定需要平坦化,可以延伸出结构 13。而且,如图 5 中所示,二极管 22 可以相对于元件 14 被偏移(offset),以确保元件 14 接触二极管。如图 5 中所示,元件 14 可以为 5nm-30nm 高,而电极 28 可以是大约 200nm 高。

[0030] 在图 6A 和 6B 分别示出了另外一个实施例的侧视图和顶视图,其中绝缘结构 13 可以包括绝缘的轨道形状的结构 13。可以通过图形化绝缘层(例如氧化硅或者氮化硅)来将轨道形成到绝缘结构轨道 13 中。轨道 13 可以在与下部电极 28 (例如 TiN/W/TiN 电极)相同的方向上延伸。优选地,轨道 13 可以相对于电极 28 偏移,使得每个轨道 13 的侧壁 15 位于邻近电极 28 的上表面。接着,在轨道 13 的侧壁 15 上形成电阻率切换元件 14。从而,底部电极 28 被暴露在邻近轨道 13 之间。由于轨道 13 与电极 28 和二极管 22 部分地未对准,因此这允许电阻率切换元件 14 位于与各自下面的电极 28 和各自覆在上面的二极管 22 接触。例如,可以通过在轨道 13 上淀积金属氧化物层并且接着将该金属氧化物层平坦化来形成元件 14。金属氧化物层可以凹陷低于轨道的上表面,在这里没有二极管 22 形成在金属层上。可以用绝缘填充材料 44 (例如氧化硅)来填充轨道 13 之间的空间,之后进行 CMP 或者

其它平坦化。同样地,也可以用平坦化的填充材料 48 来填充二极管 22 之间的空间。

[0031] 在图 7 所示的另一替换实施例中,可以通过在底部电极 28 上形成至少一个二极管 22 来形成存储器器件。随后,在二极管上形成阻挡层 16 和绝缘结构 13,例如圆柱形结构 13。在结构 13 的侧壁 15 上形成电阻率切换元件 14。

[0032] 可以通过在绝缘模版层上形成硬质掩膜图形层来形成结构 13。硬质掩膜层可以包括钨或者无定形碳或者其它材料。可以通过任何合适的方法(例如各向同性刻蚀),使用硬质掩膜图形作为掩膜来钻蚀(undercut)硬质掩膜图案,以此来选择性地去除模版层。结果,减小了模版层的宽度,并且由模版层形成至少一个绝缘柱。这形成了“蘑菇”形的绝缘结构 13 柱干,其被较大直径的硬质掩膜盖覆盖。

[0033] 接着,通过任何合适的方法(例如原子层淀积)在绝缘结构 13 柱的侧壁以及硬质掩膜盖上随后淀积电阻率切换材料,例如金属氧化物层。可以使用硬质掩膜图形作为掩膜选择性地刻蚀半导体二极管层(以及可选地刻蚀阻挡层 16),以形成至少一个柱形二极管导向元件(以及可选地形成图形化阻挡层 16)。在上部电极 26 被形成为与电阻率切换元件 14 接触之前,可以可选地去除硬质掩膜图形层,或者如果硬质掩膜是导电的,则可以将硬质掩膜保留为上部电极 26 的一部分。从而,在这个结构中,二极管具有与硬质掩膜图形相同的直径,而绝缘结构 13 由于各向同性刻蚀和钻蚀而具有比二极管小的直径(或者宽度)。这可以允许电阻率切换元件 14 的边缘直接或者间接地在电气上接触结构 13 下面的二极管 22,并且直接或者间接地在电气上接触位于结构 13 上面的上部电极 26。

[0034] 本发明的实施例的存储器单元可以包括一次性可编程的(OTP)或者可重复写入的非易失性存储器元件,并且可以选择于以下器件中的至少一个:反熔丝,熔丝,串联布置的二极管与反熔丝,多晶硅存储效应元件,金属氧化物存储器,可切换复杂金属氧化物,碳纳米管存储器,石墨烯或者其它碳可切换电阻材料,相变材料存储器,导电桥元件或者可切换聚合物存储器。

[0035] 已经描述了第一存储器级的形成。可以在该第一存储器级上形成其它的存储器级,以形成单片三维存储器阵列。在一些实施例中,存储级之间可以共用导体;也就是,顶部导体将作为下一个存储器级的底部导体。在其它实施例中,在第一存储器级上形成层间介电层(未示出),其表面被平坦化,并且在该平坦化的层间介电层上开始构造第二存储器级,而没有共用导体。

[0036] 单片三维存储器阵列是在单个衬底(例如晶圆)上形成多个存储器级,而没有插入的衬底。在现有的级的层上直接淀积或生长形成一个存储器级的层。相比之下,堆叠式存储器通过在分开的衬底上形成存储级并且将这些存储级互相粘结在顶上,如 Leedy 的美国专利 No. 5,915,167,“Three dimensional structure memory”中公开的那样。在粘结之前,可以减薄衬底或者从存储器级中去除衬底,但是由于存储器级最初是在分开的衬底上形成的,因此这种存储器不是真正的单片三维存储器。

[0037] 在衬底上形成的单片三维存储器阵列包括在衬底上第一高度处形成的至少第一存储器级和在不同高度处的第二高度处形成的第二存储器级。可以在衬底上以这种多层阵列方式形成三个、四个、八个或者实际上任何数目的存储器级。

[0038] 在整个说明书中,一个层被描述为在另一个层“上”或者“下”。应理解,这些术语描述了层和元件相对于在其上形成它们的衬底(在大多数实施例中是单晶硅晶圆衬底)的

位置；一个特征当其离晶圆衬底较远时是在另一个上，当其离晶圆衬底较近时是在另一个下。虽然很清楚，可以在任意方向旋转晶圆或者管芯，但是第一特征在晶圆或者管芯上的相对方向不会改变。此外，附图刻意没有按比例示出，仅表示层和被处理的层。

[0039] 已经以说明性的方式描述了本发明。应理解，所用的术语意在描述词语的本质而不是限制它。在上述教导下，本发明的许多修改和变型是可能的。因此，在附随的权利要求的范围之内，可以以不同于具体描述的实施例来实施本发明。

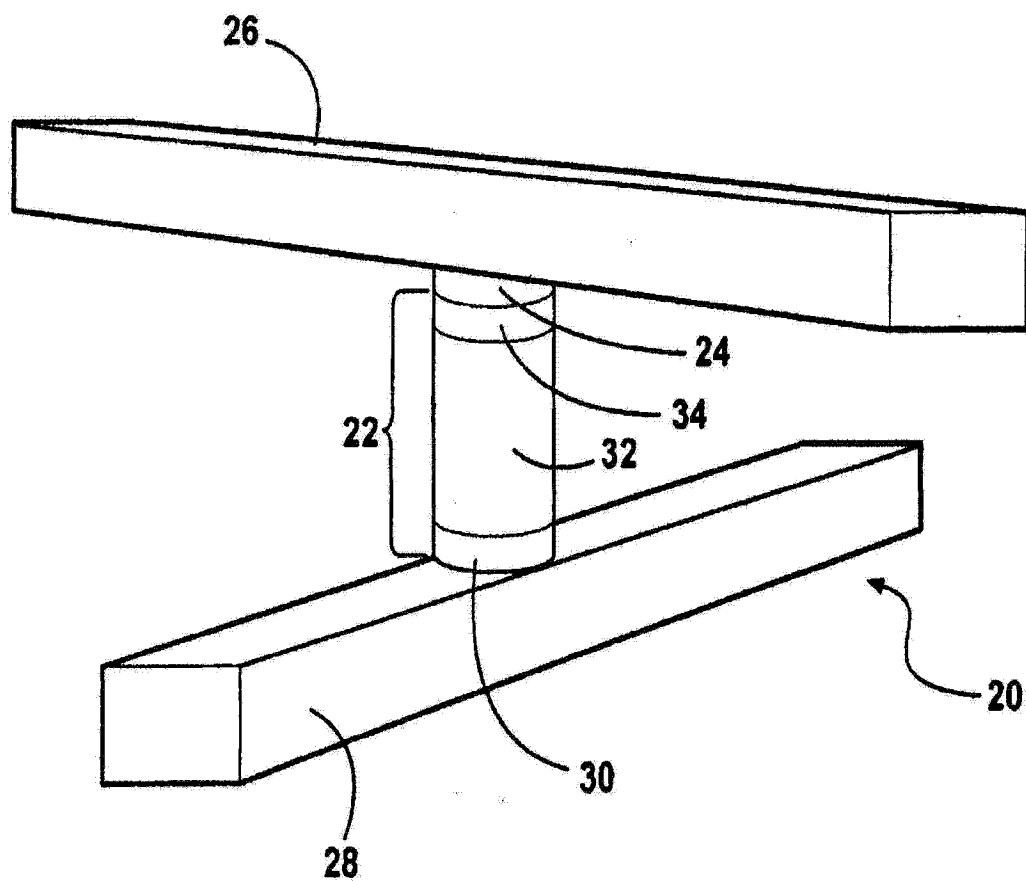


图 1A 现有技术

侧视图

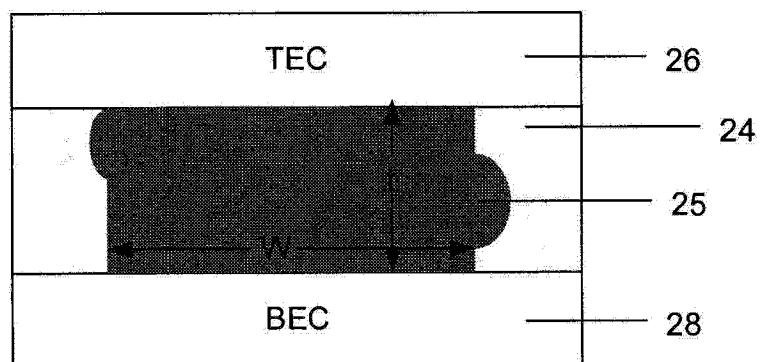


图 1B 现有技术

顶视图

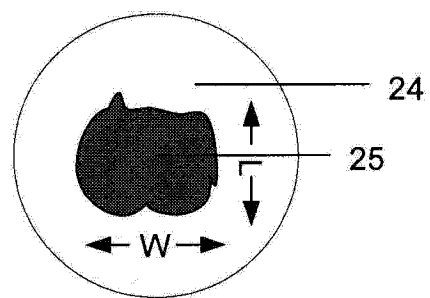


图 1C 现有技术

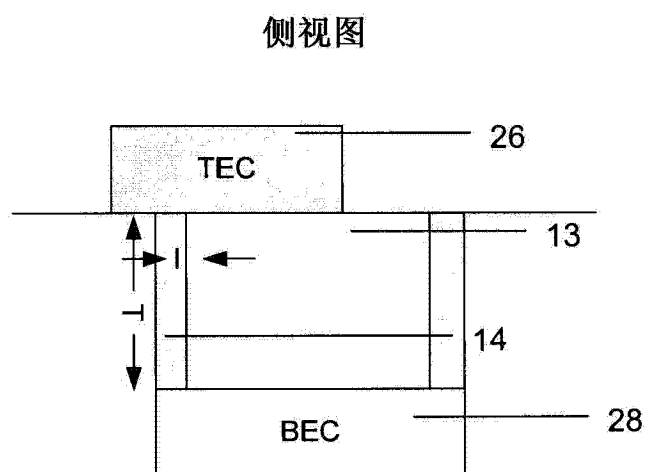


图 2A

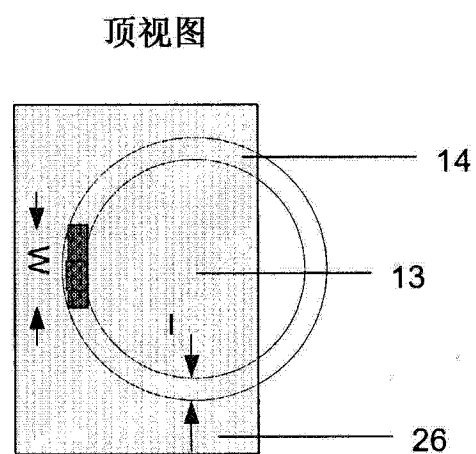


图 2B

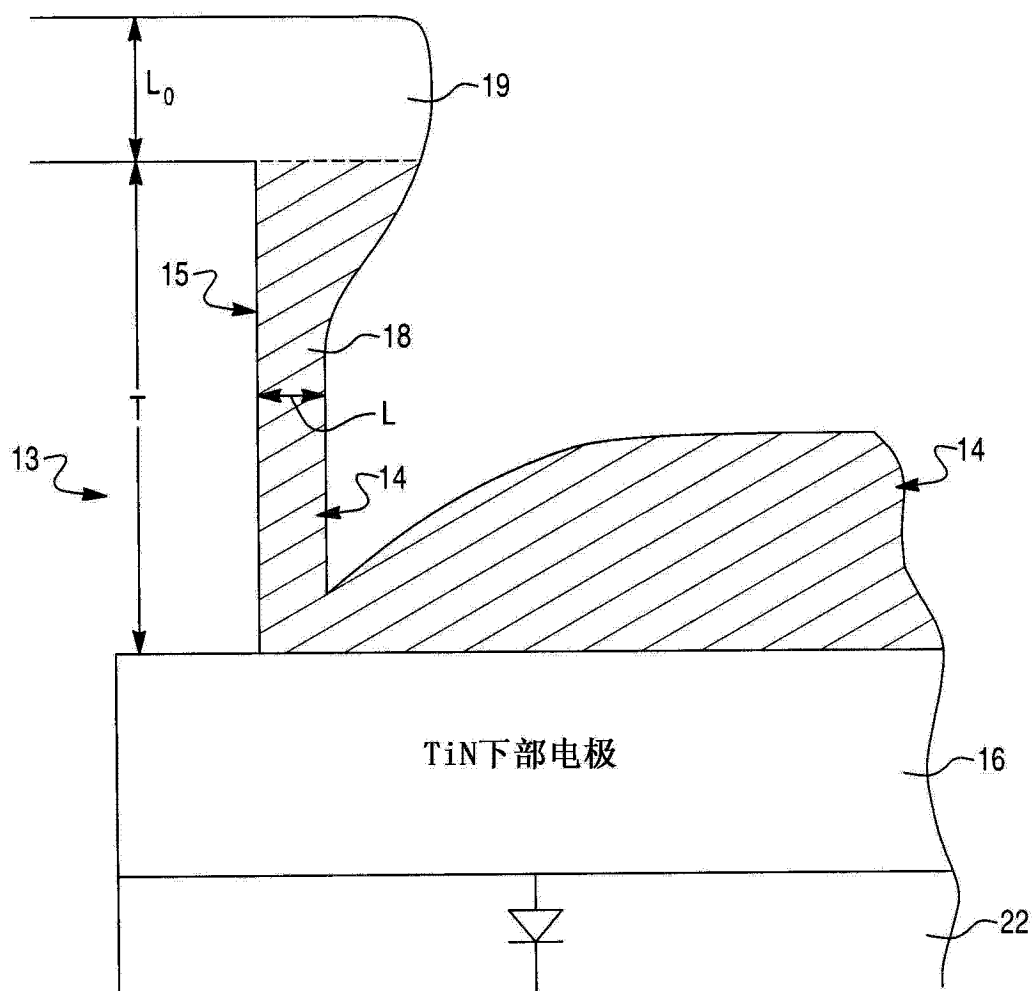


图 3

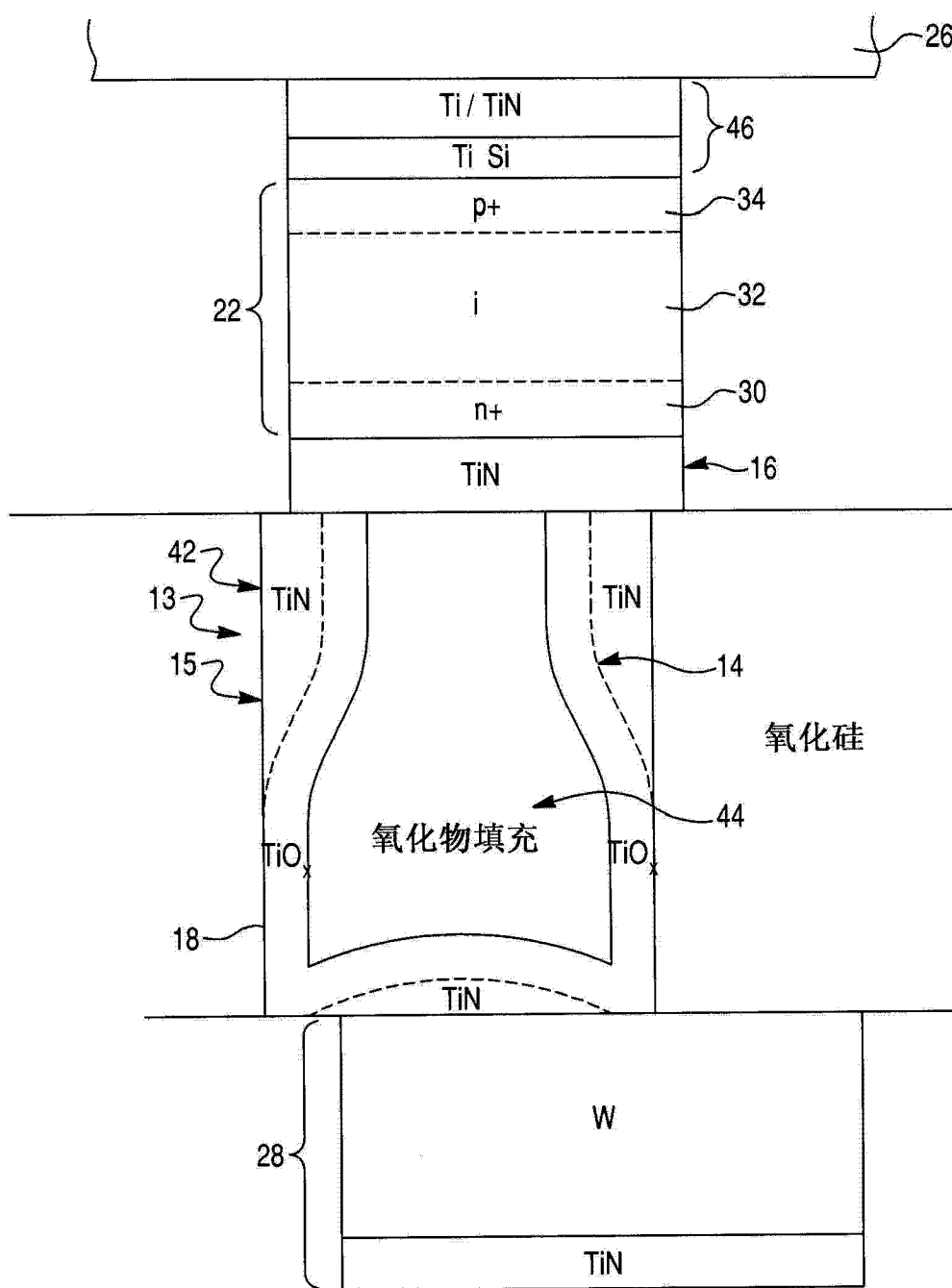


图 4

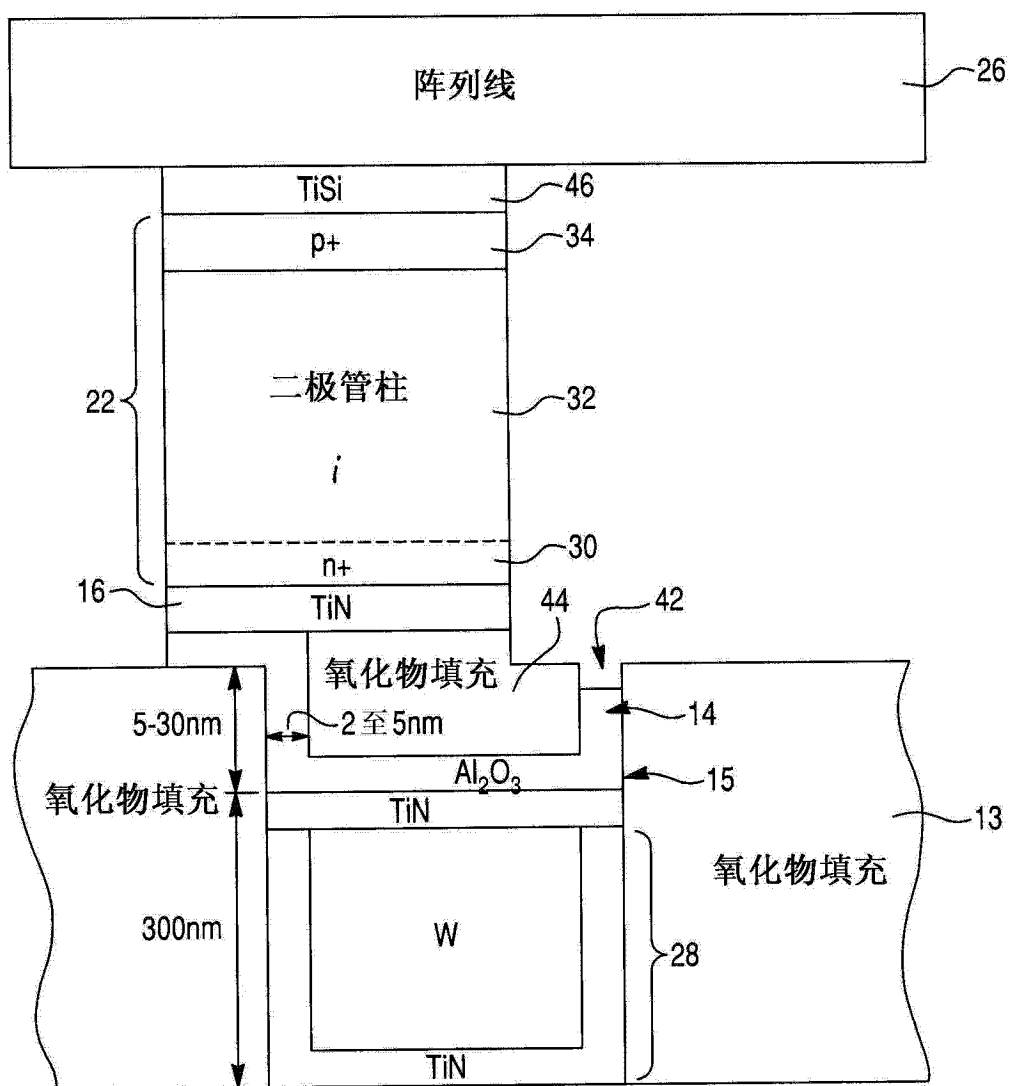


图 5

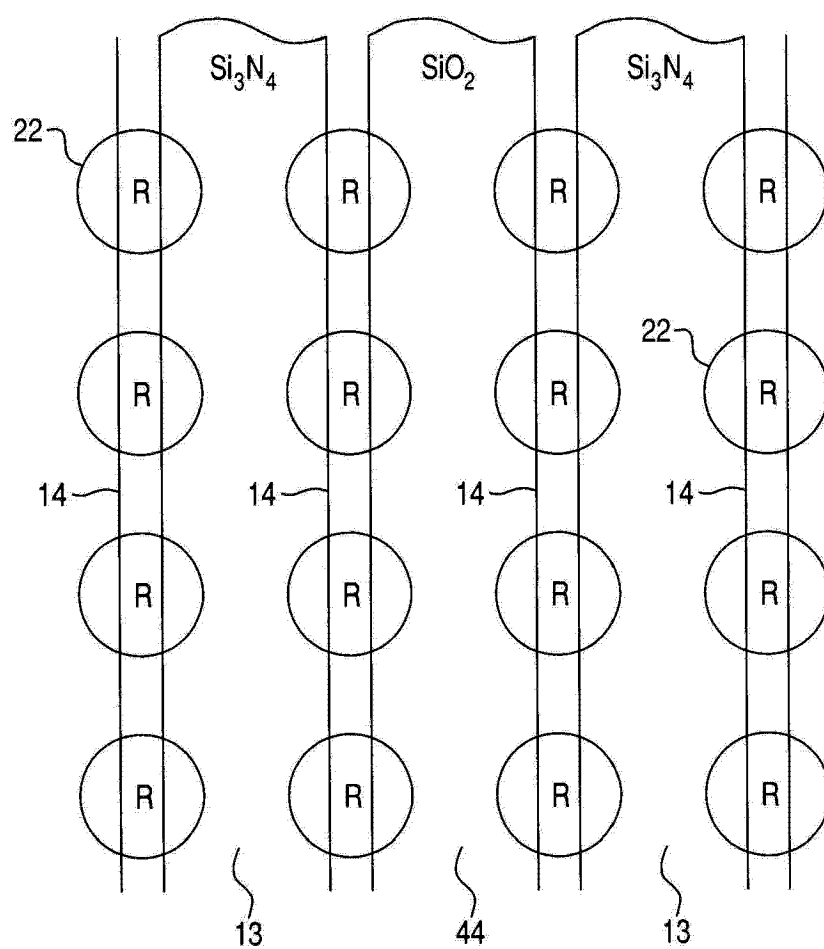


图 6B

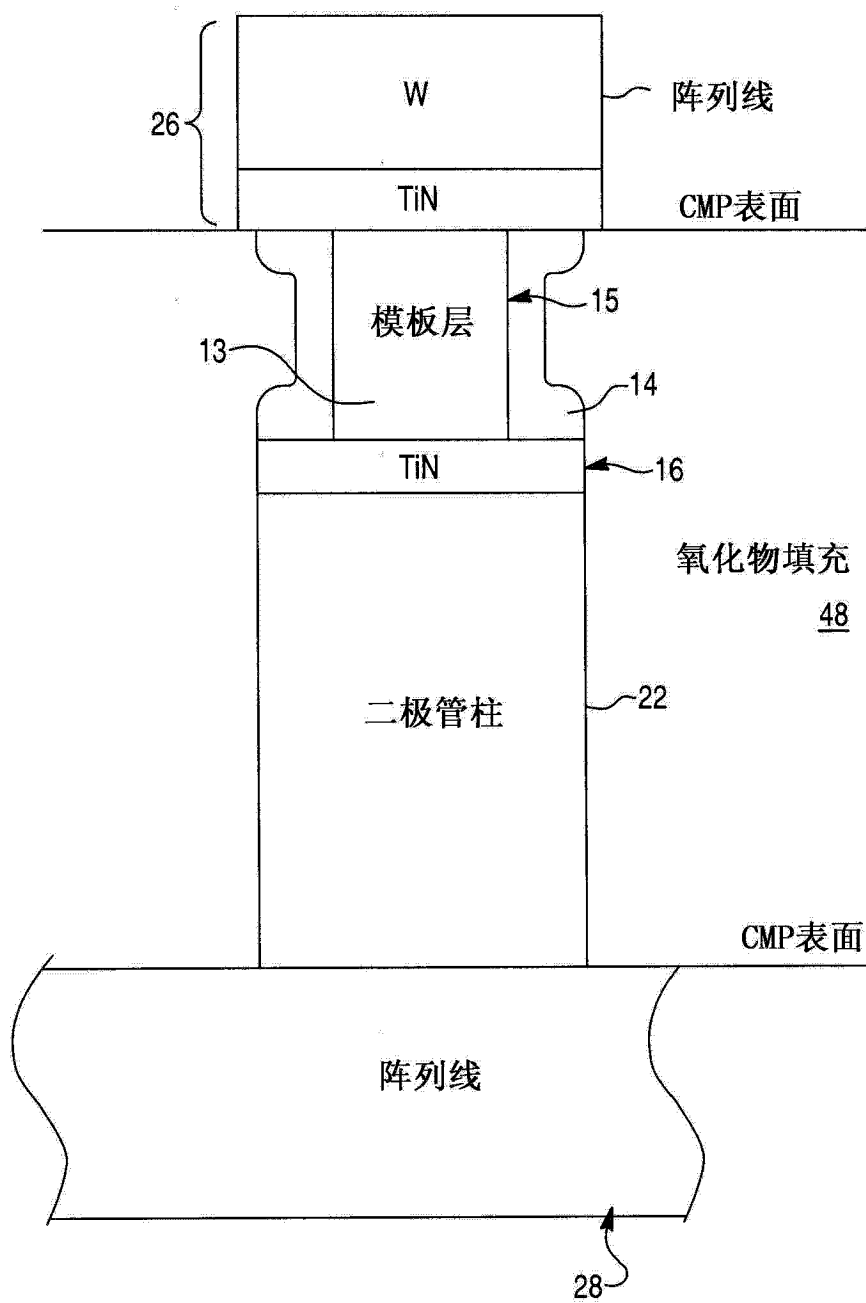


图 7