

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 27 年 4 月 2 日 (2015.4.2)

【公表番号】特表 2014-506094 (P2014-506094A)

【公表日】平成 26 年 3 月 6 日 (2014.3.6)

【年通号数】公開・登録公報 2014-012

【出願番号】特願 2013-554056 (P2013-554056)

【国際特許分類】

H 0 3 F 3/70 (2006.01)

H 0 3 F 1/52 (2006.01)

【 F I 】

H 0 3 F 3/70

H 0 3 F 1/52 B

【手続補正書】

【提出日】平成 27 年 2 月 6 日 (2015.2.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

フィードバックキャパシタンスを有する演算増幅器である電荷積分器に接続されたキャパシタンス検出器を備えた電荷を計測するためのシステムにおいて、

前記電荷積分器の入力段は、対称接続された一対の J F E T 型トランジスタを備え、

前記一対の J F E T 型トランジスタの両方のゲートは、前記電荷積分器の入力に接続され、

前記システムは、前記電荷積分器の出力電圧を評価し、前記出力電圧が上限電圧限界を超えた場合または下限電圧限界を下回った場合、前記フィードバックキャパシタンスをディスチャージするシステム (1 2 2) をさらに備える、システム。

【請求項 2】

前記電荷積分器の入力段は、少なくとも 2 対の平行な対称接続された J F E T タイプトランジスタを備えていることを特徴とする、請求項 1 に記載のシステム。

【請求項 3】

前記電荷積分器の入力段は、対称接続された共通のベース増幅器に接続されていることを特徴とする、請求項 1 に記載のシステム。

【請求項 4】

前記電荷積分器の入力段において、電流源と並列なスイッチ (K_1 、 K_2) が前記対称接続されたトランジスタの各ソースに接続され、

前記システム (1 2 2) は、出力電圧が前記上限電圧限界を超えた後に前記スイッチ (K_1) の一つを開放し、前記出力電圧が前記下限電圧限界を下回った時に他方のスイッチ (K_2) を開放するように構成されていることを特徴とする、請求項 1 から請求項 3 のいずれか 1 つに記載のシステム。