

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号  
特表2016-532974  
(P2016-532974A)

(43) 公表日 平成28年10月20日(2016.10.20)

(51) Int.Cl.  
G06F 12/06 (2006.01)

F I  
G06F 12/06 550B  
G06F 12/06 515K

テーマコード (参考)  
5B060

審査請求 未請求 予備審査請求 有 (全 16 頁)

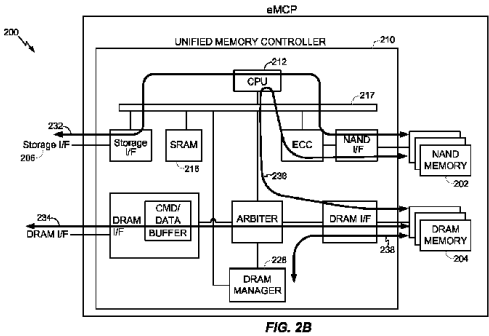
(21) 出願番号	特願2016-538917 (P2016-538917)	(71) 出願人	507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 921 21 サン ディエゴ モアハウス ドラ イブ 5775
(86) (22) 出願日	平成26年7月9日 (2014.7.9)	(74) 代理人	100108453 弁理士 村山 靖彦
(85) 翻訳文提出日	平成28年2月25日 (2016.2.25)	(74) 代理人	100163522 弁理士 黒田 晋平
(86) 国際出願番号	PCT/US2014/045983	(72) 発明者	ヒュンスク・シン アメリカ合衆国・カリフォルニア・921 21-1714・サン・ディエゴ・モアハ ウス・ドライブ・5775
(87) 国際公開番号	W02015/034580		
(87) 国際公開日	平成27年3月12日 (2015.3.12)		
(31) 優先権主張番号	14/016,717		
(32) 優先日	平成25年9月3日 (2013.9.3)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 マルチチップパッケージ上の異種メモリ用の統合メモリコントローラ

(57) 【要約】

統合メモリコントローラを含む拡張型マルチチップパ  
ッケージ(eMCP)が提供される。UMCは、eMCP上のNANDフ  
ラッシュメモリやDRAMなどの異なるタイプのメモリを管  
理するように構成される。UMCは、記憶メモリ管理、DRA  
M管理、記憶メモリ管理のためのDRAMアクセス性、およ  
びDRAM管理のための記憶メモリアccess性を可能にする  
。UMCはまた、DRAMから記憶メモリへの、またはその逆  
の、データの直接コピーを容易にする。直接コピーは、  
ホストからの相互作用なしで、UMCによって開始するこ  
ともでき、あるいは、ホストによって開始することもで  
きる。



**【特許請求の範囲】****【請求項 1】**

少なくとも1つの、第1のメモリタイプの第1のメモリと、

少なくとも1つの、前記第1のメモリタイプとは異なる第2のメモリタイプの第2のメモリと、

前記第1のメモリおよび前記第2のメモリに結合された、統合メモリコントローラ(UMC)であって、前記第1のメモリとホストとの間の第1のインターフェース、および前記第2のメモリと前記ホストとの間の第2のインターフェースを含み、前記第1のインターフェースとは独立した前記第2のメモリを制御および利用するように、前記第1のメモリにアクセスするように構成される、UMCと

10

を備える装置。

**【請求項 2】**

前記UMCが、前記第2のインターフェースを通じた前記第2のメモリへのホストアクセス中に、前記第2のメモリの管理を実行するために、前記第1のメモリに独立にアクセスするように構成される、請求項1に記載の装置。

**【請求項 3】**

前記UMCが、前記第2のインターフェースを通じた前記第2のメモリへのホストアクセス中に、前記第2のメモリの性能を高めるために、前記第1のメモリに独立にアクセスするように構成される、請求項1に記載の装置。

**【請求項 4】**

20

前記UMCが、前記第2のインターフェースを通じた前記第2のメモリへのホストアクセス中に、前記第2のメモリによる電力使用を低減させるために、前記第1のメモリに独立にアクセスするように構成される、請求項1に記載の装置。

**【請求項 5】**

前記UMCが、前記第1のメモリおよび前記第2のメモリを制御するように構成される、請求項1に記載の装置。

**【請求項 6】**

マルチチップパッケージ(MCP)であって、前記第1のメモリが、前記MCPの第1のチップ上に構成され、前記第2のメモリが、前記MCPの第2のチップ上に構成される、MCPをさらに備える、請求項1に記載の装置。

30

**【請求項 7】**

前記第1のメモリが、NANDメモリを備え、前記第2のメモリが、ダイナミックランダムアクセスメモリ(DRAM)を備える、請求項1に記載の装置。

**【請求項 8】**

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項1に記載の装置。

**【請求項 9】**

少なくとも1つの、第1のメモリタイプの第1のメモリと、

40

少なくとも1つの、前記第1のメモリタイプとは異なる第2のメモリタイプの第2のメモリと、

前記第1のメモリおよび前記第2のメモリに結合された、統合メモリコントローラ(UMC)であって、前記第1のメモリとホストとの間の第1のインターフェース、および前記第2のメモリと前記ホストとの間の第2のインターフェースを含み、前記第2のインターフェースを通じた前記第2のメモリへのホストアクセスを補助するように、前記第1のメモリを利用するように構成される、UMCと

を備える装置。

**【請求項 10】**

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテイン

50

ンメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項9に記載の装置。

【請求項 1 1】

マルチチップパッケージの第1のホストインターフェース上のホストから、前記マルチチップパッケージ上の第1のメモリタイプの第1のメモリにおける動作に関する情報を受信するステップと、

前記第1のメモリにおける前記動作を補助するように、前記マルチチップパッケージ上の第2のメモリタイプの第2のメモリに、前記マルチチップパッケージの第2のホストインターフェースとは独立にアクセスするステップと

を含む、メモリインターフェース方法。

10

【請求項 1 2】

前記情報が、記憶させるべきデータを含み、前記動作が、前記データの記憶を含む、請求項11に記載の方法。

【請求項 1 3】

前記マルチチップパッケージ上の前記第1のメモリと前記第2のメモリの両方を、前記マルチチップパッケージ上の単一のコントローラによって管理するステップをさらに含む、請求項12に記載の方法。

【請求項 1 4】

前記第2のメモリを管理するために前記第1のメモリにアクセスするステップをさらに含む、請求項12に記載の方法。

20

【請求項 1 5】

前記第1のメモリと前記第2のメモリとの間でデータを直接コピーするステップをさらに含む、請求項12に記載の方法。

【請求項 1 6】

前記情報が、前記第1のメモリに記憶されたデータの要求を含み、前記動作が、前記データの取出しを含む、請求項11に記載の方法。

【請求項 1 7】

前記マルチチップパッケージを、モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込むステップをさらに含む、請求項11に記載の方法。

30

【請求項 1 8】

マルチチップパッケージの第1のホストインターフェース上のホストから、前記マルチチップパッケージ上の第1のメモリタイプの第1のメモリに記憶させるべきデータを受信するための手段と、

前記第1のメモリにおける前記データの記憶を補助するように、前記マルチチップパッケージ上の第2のメモリタイプの第2のメモリに、前記マルチチップパッケージの第2のホストインターフェースとは独立にアクセスするための手段と

を備える、メモリインターフェース装置。

40

【請求項 1 9】

モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込まれる、請求項18に記載の装置。

【請求項 2 0】

マルチチップパッケージの第1のホストインターフェース上のホストから、前記マルチチップパッケージ上の第1のメモリタイプの第1のメモリにおける動作に関する情報を受信するステップと、

50

前記第1のメモリにおける前記動作を補助するように、前記マルチチップパッケージ上の第2のメモリタイプの第2のメモリに、前記マルチチップパッケージの第2のホストインターフェースとは独立にアクセスするステップとを含む、メモリインターフェース方法。

【請求項 2 1】

前記マルチチップパッケージを、モバイル電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニットに組み込むステップをさらに含む、請求項20に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示は一般に、集積記憶デバイスに関する。より詳細には、本開示は、集積記憶デバイス上の複数のメモリタイプの制御に関する。

【背景技術】

【0 0 0 2】

2タイプ以上のメモリを含む低コスト異種メモリ装置を、組込みマルチチップパッケージ(eMCP:embedded multi-chip package)上に構成することが可能である。異種メモリデバイス向けの現在のマルチチップパッケージ設計は、一般に、NANDフラッシュメモリ部分を含む記憶メモリ部分と、ダイナミックランダムアクセスメモリ(DRAM)部分とを、単一パッケージ上に含んでいる。状況に応じて、NANDフラッシュメモリまたはDRAMメモリのいずれかにアクセスすることが、これらの異なるメモリタイプが相対的な利益および不利点をもつため、より有利となり得る。DRAMは、データの各ビットを、集積回路内の別々のコンデンサに記憶する。この構造上の単純さにより、DRAMを非常に高密度で実装することが可能になっている。NANDフラッシュメモリは、不揮発性であり、低電力使用、小サイズ、および極めて高い性能を実現している。NANDフラッシュメモリとは異なり、DRAMは揮発性メモリであり、電力が遮断されるとそのデータをすぐに失う。

【0 0 0 3】

異種メモリデバイス向けの現在のマルチチップパッケージ設計は、フラッシュメモリ用のホストインターフェース、およびDRAM用の別個のホストインターフェースを含んでいる。フラッシュメモリは、別個のコントローラに依存し、一般にそれ自体で使用することはできない。フラッシュメモリコントローラは一般に、フラッシュメモリホストインターフェースとフラッシュメモリとの間に結合される。フラッシュメモリとは異なり、現在のDRAMメモリは、個別のコントローラに依存せず、したがってDRAMは、マルチチップパッケージ上でDRAMホストインターフェースに直接接続することができる。

【0 0 0 4】

フラッシュメモリとDRAMを両方備えたマルチチップパッケージは、DRAMとフラッシュメモリを別々に含むデバイスに代わる、より低コストの手段である。

【発明の概要】

【課題を解決するための手段】

【0 0 0 5】

本開示の一態様による装置は、少なくとも1つの、第1のメモリタイプの第1のメモリと、少なくとも1つの、第1のメモリタイプとは異なる第2のメモリタイプの第2のメモリとを含む。装置は、第1のメモリおよび第2のメモリに結合された、統合メモリコントローラ(UMC:unified memory controller)も含む。UMCは、第1のメモリとホストとの間の第1のインターフェース、および第2のメモリとホストとの間の第2のインターフェースを含む。UMCは、第1のインターフェースとは独立した第2のメモリを制御および利用するように、第1のメモリにアクセスするように構成される。

【0 0 0 6】

本開示の別の態様による装置は、少なくとも1つの、第1のメモリタイプの第1のメモリと、少なくとも1つの、第1のメモリタイプとは異なる第2のメモリタイプの第2のメモリを含む。装置は、第1のメモリおよび第2のメモリに結合された、統合メモリコントローラ(UMC)も含む。UMCは、第1のメモリとホストとの間の第1のインターフェース、および第2のメモリとホストとの間の第2のインターフェースを含む。UMCは、第2のインターフェースを通じた第2のメモリへのホストアクセスを補助するように、第1のメモリを利用するように構成される。

【0007】

本開示の別の態様によるメモリインターフェース方法は、マルチチップパッケージの第1のホストインターフェース上のホストから、(データやデータの要求などの)情報を受信することを含む。情報は、マルチチップパッケージ上の第1のメモリタイプの第1のメモリに記憶されたデータの要求とすることができる。情報は、マルチチップパッケージ上の第1のメモリに記憶させるべきデータとすることもできる。本方法は、第1のメモリにおけるデータの記憶、または第1のメモリにおけるデータの取出しを補助するように、マルチチップパッケージ上の第2のメモリタイプの第2のメモリに、マルチチップパッケージの第2のホストインターフェースとは独立にアクセスすることを含む。

【0008】

本開示の別の態様によるメモリインターフェース装置は、マルチチップパッケージの第1のホストインターフェース上のホストから、マルチチップパッケージ上の第1のメモリタイプの第1のメモリに記憶させるべきデータを受信するための手段を含む。本装置は、第1のメモリにおけるデータの記憶を補助するように、マルチチップパッケージ上の第2のメモリタイプの第2のメモリに、マルチチップパッケージの第2のホストインターフェースとは独立にアクセスするための手段も含む。

【0009】

上記では、続く詳細な説明をよりよく理解できるように、本開示の特徴および技術的利点について、かなり大まかに概説してきた。本開示のさらなる特徴および利点について、以下に説明する。本開示は、本開示と同じ目的を果たすための他の構造(structure)を修正または設計する基礎として容易に利用できることを、当業者には理解されたい。そのような等価な構造(construction)が、添付の特許請求の範囲に記載の本開示の教示から逸脱しないことも、当業者には理解されたい。本開示の構成(organization)と動作方法の両方に関して本開示の特徴になると考えられる新規な特徴と、さらなる目的および利点とともに、以下の説明を添付の図と併せ検討することからよりよく理解されるであろう。しかしながら、図の各々は、例示および説明を目的として提供されているに過ぎず、本開示の制限を定めるものではないことを、明確に理解されたい。

【0010】

本開示のより完全な理解が得られるように、ここで、以下の説明を添付の図面と併せて参照されたい。

【図面の簡単な説明】

【0011】

【図1】従来技術の拡張型マルチチップパッケージ(eMCP:enhanced multi-chip package)の図である。

【図2A】本開示の態様による統合メモリコントローラ(UMC)を含む拡張型マルチチップパッケージ(eMCP)の図である。

【図2B】本開示の態様による統合メモリコントローラ(UMC)を含む拡張型マルチチップパッケージ(eMCP)内のデータ経路を示す図である。

【図3】本開示の態様によるメモリインターフェース方法を示す、プロセスフロー図である。

【図4】本開示の一構成が有利に採用され得る例示的なワイヤレス通信システムを示すブロック図である。

【図5】一構成による、半導体構成要素の回路設計、レイアウト設計、および論理設計に

10

20

30

40

50

使用される、設計用ワークステーションを示すブロック図である。

【発明を実施するための形態】

【0012】

図1は、異種メモリを含む組込みマルチチップパッケージ(eMCP)100を示す。異種メモリは、第1のメモリタイプの第1のメモリ102、および第1のメモリタイプとは異なる第2のメモリタイプの第2のメモリ104を含む。図示のeMCP100では、第1のメモリ102が、NAND記憶メモリであり、第2のメモリ104が、ダイナミックランダムアクセスメモリ(DRAM)である。eMCP100は、第1のホストインターフェース106、および第2のホストインターフェース108を含む。eMCP100上のメモリコントローラ110が、第1のホストインターフェース106と第1のメモリ102との間に結合される。第2のホストインターフェース108は、第2のメモリ104に直接結合される。第2のメモリ104は、コントローラ回路に依存せず、メモリコントローラ110が管理することができない。

10

【0013】

メモリコントローラ110は、中央処理装置112と、メモリコントローラバス117を通じてそれに結合された、ホストインターフェース回路114と、スタティックランダムアクセスメモリ(SRAM)116と、誤り訂正コード回路(ECC)118と、記憶メモリインターフェース回路120とを含む。ホストインターフェース回路114は、第1のホストインターフェース106に結合され、記憶メモリインターフェース回路120は、第1のメモリ102に結合される。

【0014】

図1に示すeMCP100などの現在のeMCPは、NANDフラッシュメモリなどの記憶メモリ、およびDRAMメモリなどの第2のメモリを、単一パッケージ内に集積している。しかしながら、現在のeMCP設計では、2つの異なるメモリは一般に互いに相互作用しない。

20

【0015】

eMCP100では、メモリコントローラ110が、NAND記憶メモリ102をサポートするためのいくつかの機能を実行する。メモリコントローラ110の重要な機能の1つが、ホストインターフェース上で受信した論理アドレスを、たとえば、NAND記憶メモリ102内の対応する物理アドレスに変換することである。この変換用のマッピングテーブルは一般に、非常に大きく、大量の記憶容量を消費する。eMCP100では、SRAM116が、大きなマッピングテーブルを記憶する。しかしながら、NAND記憶メモリのサイズが増加するにつれて、マッピングテーブルを記憶させるためにSRAMを使用することが、ますます高価になる。たとえば、満足の行く性能を維持するために、32ギガバイト(GB)のNAND記憶メモリであれば、マッピングテーブルを記憶させるために、約32メガバイト(MB)のSRAMまたは他の何らかの揮発性メモリを使用することになる。

30

【0016】

NAND記憶メモリ102とは異なり、現在のeMCP100内の第2のメモリ104などのDRAMは一般に、コントローラ回路による管理に依存しない。図1に示すeMCP100などの現在のeMCPでは、DRAMメモリを管理することはできない。しかしながら、DRAM回路の制御が将来的に有益となり得ることが、大いに予想される。たとえば、プロセスの改良により、DRAMセルのサイズがさらに縮小するにつれて、将来的なDRAMセルの品質が悪化することが予想される。したがって、DRAMは、許容可能な性能を維持するために、最終的にはコントローラ回路による何らかの管理に依存することになると予想される。

40

【0017】

本開示の態様は、eMCP上のNANDフラッシュメモリやDRAMなどの異なるタイプのメモリを管理するように構成された統合メモリコントローラ(UMC)を含む、eMCPを提供する。統合メモリコントローラは、記憶メモリ管理、DRAM管理、記憶メモリ管理のためのDRAMアクセス性、およびDRAM管理のための記憶メモリアクセス性を可能にする。統合メモリコントローラはまた、DRAMから記憶メモリへの、またはその逆の、データの直接コピーを容易にする。直接コピーは、ホストからの相互作用なしで、統合メモリコントローラによって開始することもでき、あるいは、たとえば特別なコマンドまたはモードを使用して、ホストによって開始することもできる。本開示の態様によれば、eMCPは、記憶メモリおよびDRAMメ

50

メモリ用に、別々のホストインターフェースを含む。

【0018】

図2Aは、本開示の態様に従って異なるメモリタイプの制御を容易にする、異種メモリを含むeMCP200を示す。図2Aに示す図は、平面内に構成されたeMCP200の各構成要素を示しているが、構成要素は、たとえば、ワイヤボンディングおよび/またはシリコン貫通ビア(TSV)を用いて積層することによって、配置することもできることを理解されたい。異種メモリは、第1のメモリタイプの第1のメモリ202、および第1のメモリタイプとは異なる第2のメモリタイプの第2のメモリ204を含む。図示のeMCP200では、第1のメモリ202が、NAND記憶メモリであり、第2のメモリ204が、ダイナミックランダムアクセスメモリ(DRAM)である。eMCP200は、第1のホストインターフェース206、および第2のホストインターフェース208を含む。eMCP200上の統合メモリコントローラ(UMC)210が、第1のホストインターフェース206と第1のメモリ202との間、および第2のホストインターフェース208と第2のメモリ204との間に結合される。

10

【0019】

統合メモリコントローラ210は、中央処理装置(CPU)212と、統合メモリコントローラバス217を通じてそれに結合された、第1のホストインターフェース回路214と、スタティックランダムアクセスメモリ(SRAM)216と、誤り訂正コード回路(ECC)218とを含む。ECC回路218に、第1のメモリインターフェース回路220が結合される。第1のホストインターフェース206が、第1のホストインターフェース回路214に結合され、第1のメモリ202が、第1のメモリインターフェース回路220に結合される。統合メモリコントローラ210は、第2のホストインターフェース208に結合された第2のホストインターフェース回路222と、それに(アービタ回路230を通じて)結合された第2のメモリインターフェース回路224も含み、第2のメモリインターフェース回路224は、第2のメモリ204に結合される。第2のホストインターフェース回路222は、コマンドデータバッファ226を含み、統合メモリコントローラ210内のアービタ回路230に結合される。

20

【0020】

本開示の一態様によれば、統合メモリコントローラ210は、バス217およびアービタ230に結合されたDRAMマネージャ228も含む。統合メモリコントローラ210は、NANDコントローラの機能を拡大して、統合メモリコントローラ210によるDRAM(たとえば第2のメモリ204)へのアクセスも行う。

30

【0021】

本開示の態様によるeMCP200の1つの利点は、2つの異なるタイプのメモリを管理するために1つのコントローラを共用することのできる能力である。図2Bを参照すると、本開示の態様による統合メモリコントローラ210は、たとえば、経路238に沿って第2のメモリ204の直接制御を可能にする、DRAMマネージャ228を含む。単一の統合メモリコントローラ210を使用することにより、CPU212、SRAM216、ビルトインセルフテスト(BIST)回路(図示せず)などのような、コントローラの様々なリソースを共用することが可能になる。これにより、2つの異なるメモリタイプの各々について、別々のコントローラを実装するコストと比較して、コントローラの全体的なコストおよびサイズが減少する。

【0022】

本開示の態様によるeMCP200は、たとえば統合メモリコントローラバス217およびCPU212を経由する、第1のホストインターフェース206と第1のメモリ202との間の経路232に沿った第1のメモリ202へのホストアksesを、従来通りに可能にする。eMCP200は、たとえば統合メモリコントローラバス217またはCPU212との相互作用を伴わない、経路234に沿った第2のメモリ204へのホストアksesも、従来通りに可能にする。

40

【0023】

本開示の態様によるeMCP200の別の利点は、統合メモリコントローラ210が、第1のメモリ202の管理の実行を助けるために、第2のメモリ204に(たとえば経路236に沿って)アクセスすることができることである。たとえば、第1のメモリ202の制御機能を実行するのに使用されるSRAM216は一般に、DRAMよりもずっと小さく、DRAMより高価なので、統合メモリ

50

コントローラ210がDRAMにアクセスすることにより、第1のメモリ202のより効率的な制御が可能になる。DRAMへのコントローラアクセスを実現することにより、コントローラの一部としてのSRAMを増やすのと比較して、コストが節減される。

【0024】

同様に、本開示の態様は、eMCP200上の不揮発性メモリタイプを、eMCP200上の揮発性メモリタイプを管理するための情報を記憶させるのに使用できるようにする。たとえば、NANDメモリは不揮発性であり、DRAMメモリは揮発性なので、DRAM(第2のメモリ204)を管理するための情報を、NANDメモリ(第1のメモリ202)に、たとえば経路236を通じて記憶させることができる。次いで、NANDメモリからのデータを使用して、DRAMをより効率的に管理することができる。

10

【0025】

eMCP200は、たとえば、DRAM(第2のメモリ204)の2つのアクセスが同時に開始されたときにアービトレーション機能を実行することのできる、アービタ230を含むことができる。eMCP200は、たとえば別のDRAMアクセスが完了するまでの間アービタ230が遅延させるDRAMアクセスに関連する、待ち状態のコマンドおよび/またはデータを記憶することのできる、コマンドデータバッファ226も含むことができる。

【0026】

本開示の態様については、図2に示す第1のホストインターフェース206や第2のホストインターフェース208など、2つ以上のホストインターフェースを含むeMCP設計に即して説明しているが、他のeMCP設計は、単一のホストインターフェースを含むことができることを理解されたい。たとえば、図2Aに示すeMCP200は、本開示の一態様に従って、単一のホストインターフェースを有することができる。単一のホストインターフェースは、たとえば、第1のホストインターフェース206と同じタイプでもよく、第2のホストインターフェース208と同じタイプでもよい。

20

【0027】

本開示の態様については、異種メモリタイプがNANDフラッシュメモリおよびDRAMを含む、eMCP設計に即して説明しているが、他のメモリタイプをeMCP上に、本開示の態様による統合メモリコントローラとともに実装できることを理解されたい。たとえば、本開示の態様による統合メモリコントローラとともに実装することのできる、他の異種メモリタイプとして、磁気ランダムアクセスメモリ(MRAM)とDRAM、MRAMとNANDメモリ、またはPCRAMとNANDメモリなどがある。

30

【0028】

図3は、本開示の一態様によるメモリインターフェース方法300を示す、プロセスフロー図である。ブロック302において、メモリインターフェース方法300は、組込みマルチチップパッケージの第1のホストインターフェース上のホストから、情報を受信するステップを含む。情報は、マルチチップパッケージ上の第1のメモリタイプの第1のメモリに記憶させるべきデータとすることができる。情報は、マルチチップパッケージ上の第1のメモリに記憶されたデータの要求とすることもできる。ブロック304において、メモリインターフェース方法300は、マルチチップパッケージ上の第2のメモリタイプの第2のメモリにアクセスするステップを含む。アクセスするステップは、マルチチップパッケージの第2のホストインターフェースとは独立に行われる。アクセスするステップは、第1のメモリにデータを記憶させるように、または第1のメモリからデータを取り出すようにすることができる。

40

【0029】

本開示の一態様によるメモリインターフェース装置は、マルチチップパッケージの第1のホストインターフェース上のホストからデータを受信するための手段と、マルチチップパッケージ上の第2のメモリタイプの第2のメモリにアクセスするための手段とを含む。ホストからデータを受信するための手段は、たとえば、図2に示すeMCP200の第1のホストインターフェース206に結合された第1のホストインターフェース回路214を含むことができる。第2のメモリに、第2のホストインターフェースとは独立にアクセスするための手段は

50



、たとえば、図2に示す統合メモリコントローラバス217に結合されたDRAMマネージャ228を含むことができる。

【0030】

別の構成では、前述の手段は、前述の手段によって挙げられる機能を実行するように構成された任意のモジュールまたは任意の装置とすることができる。特定の手段について記載してきたが、開示した手段がすべて、開示した構成を実施するのに必要になるとは限らないことを、当業者なら理解されよう。その上、ある特定のよく知られた手段については、本開示に常に焦点を置くために説明していない。

【0031】

図4は、本開示の一態様が有利に採用され得る例示的なワイヤレス通信システム400を示すブロック図である。説明のために、図4は、3つの遠隔ユニット420、430、および450、ならびに2つの基地局440を示す。ワイヤレス通信システムは、より多くの遠隔ユニットおよび基地局を有することができることが、理解されよう。遠隔ユニット420、430、および450は、開示したeMCPを含んだICデバイス425A、425C、および425Bを含む。基地局、スイッチングデバイス、ネットワーク機器などの他のデバイスも、開示したeMCPを含むことができることが理解されよう。図4は、基地局440から遠隔ユニット420、430、および450への順方向リンク信号480、ならびに遠隔ユニット420、430、および450から基地局440への逆方向リンク信号490を示す。

【0032】

図4では、遠隔ユニット420は、モバイル電話として示されており、遠隔ユニット430は、ポータブルコンピュータとして示されており、遠隔ユニット450は、ワイヤレスローカルループシステム内の固定位置遠隔ユニットとして示されている。たとえば、遠隔ユニットは、モバイル電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末などのポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、検針機器などの固定位置データユニット、またはデータもしくはコンピュータ命令を記憶する、もしくは取り出す他のデバイス、またはそれらの組合せとすることができる。図4は、本開示の教示による遠隔ユニットを示しているが、本開示は、図示したこれらの例示的なユニットに限定されない。本開示の態様は、開示したeMCPを含む多くのデバイスにおいて、適切に採用され得る。

【0033】

図5は、上記で開示したeMCPなどの半導体構成要素の回路設計、レイアウト設計、および論理設計に使用される、設計用ワークステーションを示すブロック図である。設計用ワークステーション500は、オペレーティングシステムソフトウェア、サポートファイル、およびCadenceやOrCADなどの設計ソフトウェアを収容する、ハードディスク501を含む。設計用ワークステーション500は、回路デザイン510またはeMCPなどの半導体構成要素512の設計を容易にするためのディスプレイ502も含む。回路デザイン510または半導体構成要素512を有形に記憶させるために、記憶媒体504が用意される。回路デザイン510または半導体構成要素512は、記憶媒体504上に、GDSIIやGERBERなどのファイル形式で記憶させることができる。記憶媒体504は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスとすることができる。さらに、設計用ワークステーション500は、記憶媒体504から入力を受け取る、または記憶媒体504に出力を書き込むための、ドライブ装置503を含む。

【0034】

記憶媒体504上に記録されるデータは、論理回路構成、フォトリソグラフィマスク用のパターンデータ、または電子ビームリソグラフィなどのシリアル書き込みツール用のマスクパターンデータを詳述することができる。データはさらに、論理シミュレーションに関連するタイミングダイアグラムやネット回路などの論理検証データも含むことができる。記憶媒体504上にデータを提供すると、半導体ウェハーを設計するためのプロセス数が減少することによって、回路デザイン510または半導体構成要素512の設計が容易になる。

## 【 0 0 3 5 】

ファームウェアおよび/またはソフトウェアによる実装の場合、本明細書において説明した機能を実行するモジュール(たとえば手続き、関数など)を用いて、方法を実装することができる。本明細書において説明した方法を実装する際に、命令を有形に具現化するマシン可読媒体を使用することができる。たとえば、ソフトウェアコードをメモリに記憶させ、プロセッサユニットによって実行することができる。メモリは、プロセッサユニット内またはプロセッサユニットの外部に実装されていてよい。本明細書では、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのタイプを指し、特定のタイプのメモリもしくは特定の数のメモリ、またはメモリが格納される媒体のタイプに限定すべきではない。

10

## 【 0 0 3 6 】

機能は、ファームウェアおよび/またはソフトウェアとして実装される場合、1つまたは複数の命令またはコードとして、コンピュータ可読媒体上に記憶させることができる。例として、データ構造を符号化したコンピュータ可読媒体、およびコンピュータプログラムを符号化したコンピュータ可読媒体がある。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータがアクセスすることのできる利用可能な媒体とすることができる。限定ではなく例として、そのようなコンピュータ可読媒体には、RAM、ROM、EEPROM、CD-ROMもしくは他の光学ディスク記憶装置、磁気ディスク記憶装置もしくは他の磁気記憶デバイス、または命令もしくはデータ構造の形をとる所望のプログラムコードを記憶させるのに使用することができ、またコンピュータがアクセスすることのできる、他の媒体があり得る。ディスク(disk)およびディスク(disc)は、本明細書では、コンパクトディスク(CD:compact disc)、レーザディスク(laser disc)、光ディスク(optical disc)、デジタル多用途ディスク(DVD:digital versatile disc)、フロッピー(登録商標)ディスク(floppy disk)、およびブルーレイディスク(blue-ray disc)を含み、ただし、ディスク(disk)は通常、データを磁氣的に再生し、一方ディスク(disc)は、レーザを用いてデータを光学的に再生する。上記の組合せも、コンピュータ可読媒体の範囲内に含まれるべきである。

20

## 【 0 0 3 7 】

コンピュータ可読媒体における記憶に加えて、命令および/またはデータは、通信装置に含まれる伝送媒体における信号としても提供され得る。たとえば、通信装置は、命令およびデータを表す信号を有するトランシーバを含むことができる。命令およびデータは、1つまたは複数のプロセッサに、特許請求の範囲において概説する機能を実施させるように構成される。

30

## 【 0 0 3 8 】

以上、本開示およびその利点について詳細に説明してきたが、添付の特許請求の範囲によって定められる本開示の技術から逸脱することなく、本明細書において様々な変更、置換、および改変を行えることを理解されたい。たとえば、メモリのタイプとしてSRAMおよびMRAMについて説明したが、DRAM、PCRAMなどのような他のメモリタイプも企図される。その上、本願の範囲が、本明細書において説明したプロセス、マシン、製造、組成物、手段、方法、およびステップの特定の構成に限定されることは意図していない。当業者なら本開示から容易に理解するように、本明細書において説明した対応する構成と実質的に同じ機能を実行する、またはそれと実質的に同じ結果を達成する、現存するまたは後に開発されるプロセス、マシン、製造、組成物、手段、方法、またはステップを、本開示に従って利用することができる。したがって、添付の特許請求の範囲が、そのようなプロセス、マシン、製造、組成物、手段、方法、またはステップをその範囲内に含むことが意図される。

40

## 【 符号の説明 】

## 【 0 0 3 9 】

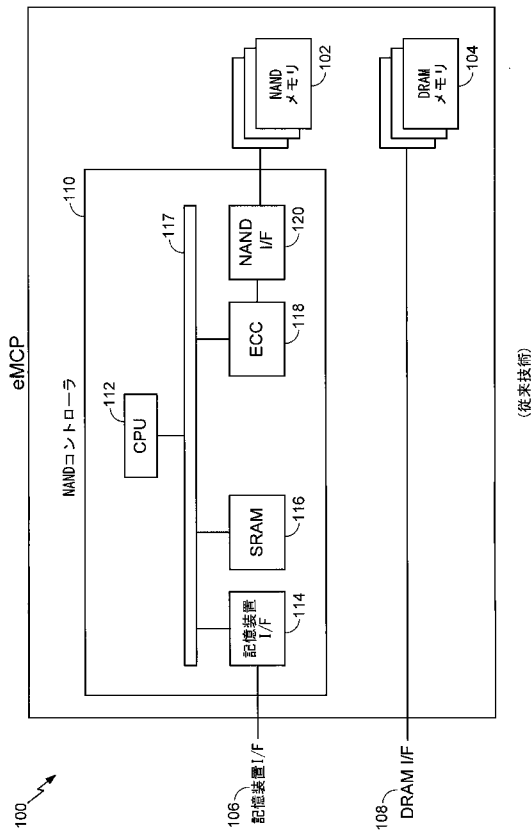
200 eMCP

202 第1のメモリ

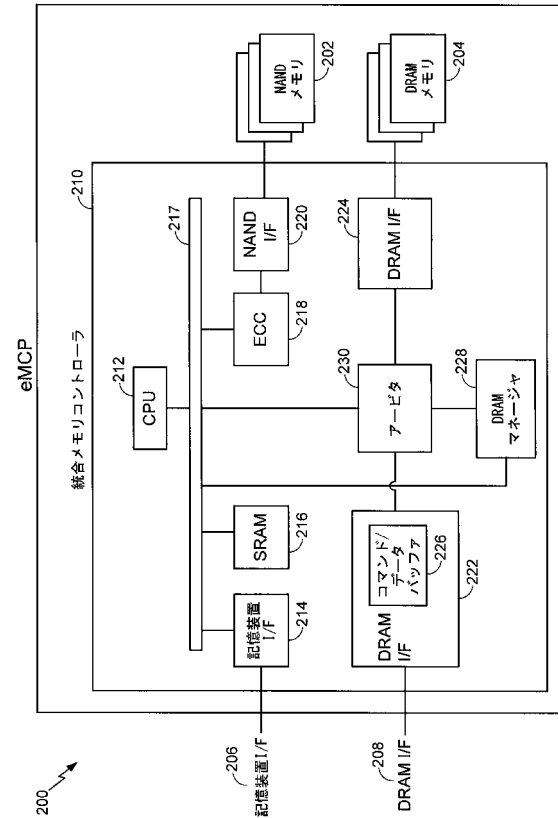
50

204	第2のメモリ	
206	第1のホストインターフェース	
208	第2のホストインターフェース	
210	統合メモリコントローラ (UMC)	
212	中央処理装置 (CPU)	
214	第1のホストインターフェース回路	
216	スタティックランダムアクセスメモリ (SRAM)	
217	統合メモリコントローラバス	
218	誤り訂正コード回路 (ECC)、ECC回路	
220	第1のメモリインターフェース回路	10
222	第2のホストインターフェース回路	
224	第2のメモリインターフェース回路	
226	コマンドデータバッファ	
228	DRAMマネージャ	
230	アービタ回路	
300	メモリインターフェース方法	
400	ワイヤレス通信システム	
420	遠隔ユニット	
425A	ICデバイス	
425B	ICデバイス	20
425C	ICデバイス	
430	遠隔ユニット	
440	基地局	
450	遠隔ユニット	
480	順方向リンク信号	
490	逆方向リンク信号	
500	設計用ワークステーション	
501	ハードディスク	
502	ディスプレイ	
503	ドライブ装置	30
504	記憶媒体	
510	回路デザイン	
512	半導体構成要素	

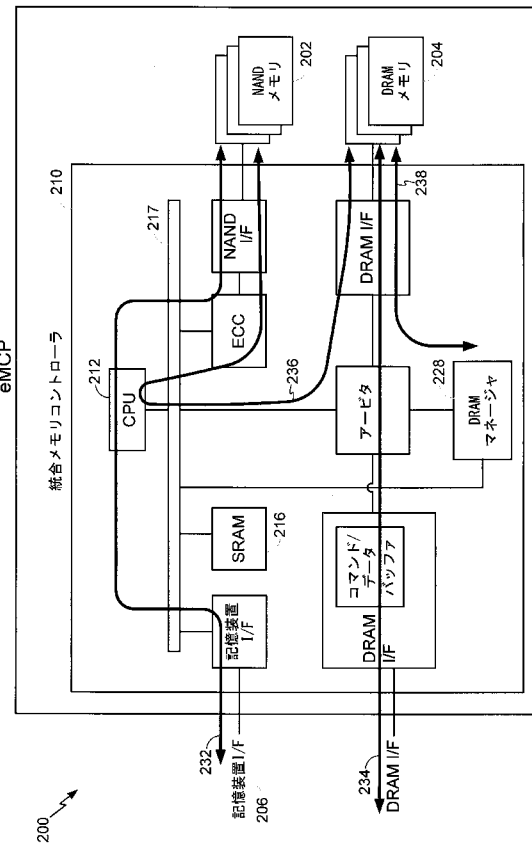
【図 1】



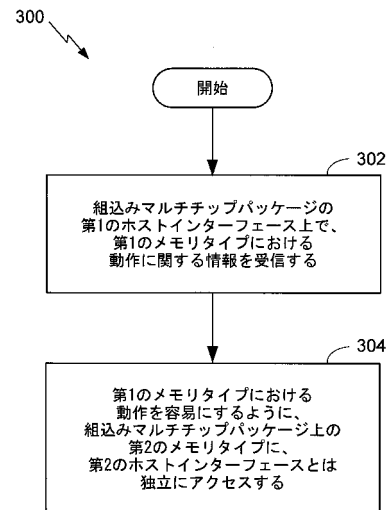
【図 2 A】



【図 2 B】



【図 3】



【 図 4 】

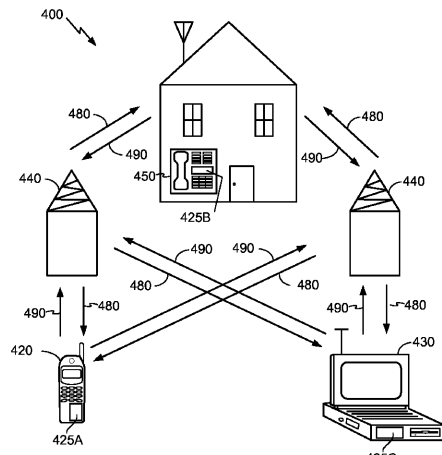


FIG. 4

【 図 5 】

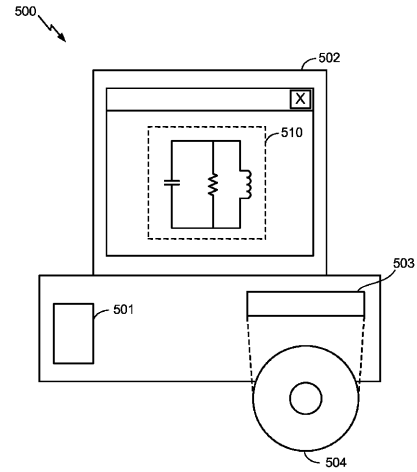


FIG. 5

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/045983

## A. CLASSIFICATION OF SUBJECT MATTER

INV. G06F13/16

ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2007/147115 A1 (LIN FONG-LONG [US] ET AL) 28 June 2007 (2007-06-28) the whole document	1-21
X	WO 2008/086488 A2 (MOBILE SEMICONDUCTOR CORP [US]; AHMADNIA MOHAMMAD S [US]; FISHER LOUIS) 17 July 2008 (2008-07-17) page 7, line 1 - page 8, line 28 figure 1	1-21
A	US 2001/015905 A1 (KIM TAE-KYUN [KR] ET AL) 23 August 2001 (2001-08-23) the whole document	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents :

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier application or patent but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

\*&amp;\* document member of the same patent family

Date of the actual completion of the international search

16 September 2014

Date of mailing of the international search report

30/09/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel: (+31-70) 340-2040,  
Fax: (+31-70) 340-3016

Authorized officer

Rudolph, Stefan

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2014/045983

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2007147115 A1	28-06-2007	EP 1804156 A2	04-07-2007
		JP 2007183962 A	19-07-2007
		KR 20070070121 A	03-07-2007
		US 2007147115 A1	28-06-2007
-----			
WO 2008086488 A2	17-07-2008	CN 101611387 A	23-12-2009
		EP 2122473 A2	25-11-2009
		HK 1140031 A1	18-10-2013
		KR 20090108707 A	16-10-2009
		TW 200839519 A	01-10-2008
		US 2009024819 A1	22-01-2009
		US 2012131269 A1	24-05-2012
		US 2014013039 A1	09-01-2014
		WO 2008086488 A2	17-07-2008
-----			
US 2001015905 A1	23-08-2001	JP 2001266580 A	28-09-2001
		KR 20010076518 A	16-08-2001
		US 2001015905 A1	23-08-2001
-----			

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(特許庁注：以下のものは登録商標)

1 . B L U R A Y D I S C

(72)発明者 ジュン・ピル・キム

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 デクスター・タミオ・チュン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ジュンウォン・ス

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

Fターム(参考) 5B060 CA12 CA17 MM02