

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-159111

(P2004-159111A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int.Cl.⁷H03K 19/00
H03K 19/0175

F I

H03K 19/00 B
H03K 19/00 1 O 1 K

テーマコード (参考)

5 J 0 5 6

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2002-323124 (P2002-323124)
(22) 出願日 平成14年11月6日 (2002.11.6)(71) 出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(71) 出願人 591049893
株式会社 沖マイクロデザイン
宮崎県宮崎郡清武町大字木原7083番地
(74) 代理人 100086807
弁理士 柳本 恭成
(72) 発明者 小山 和彦
宮崎県宮崎郡清武町大字木原7083番地
株式会社沖マイクロデザイン内
Fターム(参考) 5J056 AA00 AA01 BB14 CC14 DD29
FF08

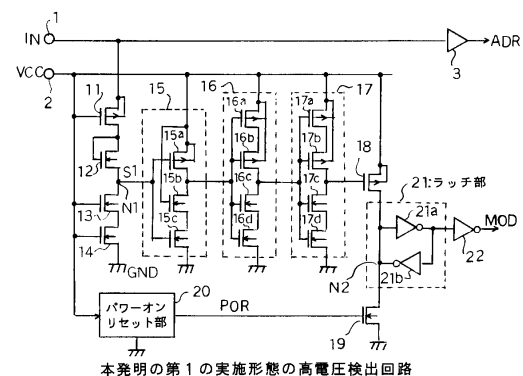
(54) 【発明の名称】 高電圧検出回路

(57) 【要約】

【課題】 高電圧試験時に必要以上の電圧を印加しなくても、高電圧を検出することができる高電圧検出回路を提供する。

【解決手段】 端子2に電源電圧VCCが供給されると、パワーオンリセット部20から出力されるリセット信号PORでラッチ部21がリセットされる。その後、端子1に与えられる信号INの電圧を、電源電圧VCCよりもPMOS11の閾値電圧 V_{th} 以上高くすると、このPMOS11がオンになり、ノードN1が“H”となる。これにより、ラッチ部21に試験モードがセットされる。その後、信号INを電源電圧VCC以下にしても、ラッチ部21の試験モードは維持される。これにより、端子2の電源電圧VCCを上昇させて高電圧試験をすることができるので、端子1に必要以上の高電圧を印加して試験モードを設定する必要がなくなり、高電圧によるバッファ3等のゲート酸化膜の破壊を防止できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源電圧よりも高い高電圧の入力と、該電源電圧以下の入力信号の入力とに共用される入力端子と、
前記電源電圧が投入されたときに初期リセット信号を出力するリセット部と、
前記入力端子にソースが接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が与えられたときにオン状態となり、該入力端子に前記入力信号が与えられたときにはオフ状態となるトランジスタと、
前記初期リセット信号によってリセットされ、前記トランジスタがオン状態となった時にセットされて高電圧検出信号を出力するラッチ部とを、
備えたことを特徴とする高電圧検出回路。

10

【請求項 2】

電源電圧よりも高い高電圧の入力と、該電源電圧以下の入力信号の入力とに共用される入力端子と、
前記電源電圧が投入されたときに初期リセット信号を出力するリセット部と、
ソースとドレインがそれぞれ前記入力端子と第 1 のノードに接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が入力されたときにオン状態となり、該入力端子に前記入力信号が入力されたときにはオフ状態となる第 1 のトランジスタと、
前記第 1 のノードと接地電位との間に接続されたプルダウン素子と、
前記第 1 のノードの論理値を反転するインバータと、
前記電源電位と第 2 のノードとの間に接続され、前記インバータの出力信号によってオンまたはオフ制御される第 2 のトランジスタと、
前記第 2 のノードと前記接地電位との間に接続され、前記初期リセット信号が与えられたときにオン状態となる第 3 のトランジスタと、
前記第 2 のノードの電位を保持して高電圧検出信号として出力するラッチ部とを、
備えたことを特徴とする高電圧検出回路。

20

【請求項 3】

前記第 2 のノードと前記接地電位との間に接続され、モードリセット信号が与えられたときにオン状態となる第 4 のトランジスタを設けたことを特徴とする請求項 2 記載の高電圧検出回路。

30

【請求項 4】

電源電圧よりも高い高電圧の入力と、該電源電圧以下の入力信号の入力とに共用される入力端子と、
ソースとドレインがそれぞれ前記入力端子と第 1 のノードに接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が入力されたときにオン状態となり、該入力端子に前記入力信号が入力されたときにはオフ状態となる第 1 のトランジスタと、
前記第 1 のノードと接地電位との間に接続された第 1 のプルダウン素子と、
前記第 1 のノードの論理値を反転するインバータと、
前記電源電位と第 2 のノードとの間に接続され、前記インバータの出力信号によってオンまたはオフ制御される第 2 のトランジスタと、
前記第 2 のノードと前記接地電位との間に接続された第 2 のプルダウン素子と、
前記第 2 のノードと前記接地電位との間に接続され、外部リセット信号が与えられたときにオン状態となる第 3 のトランジスタと、
前記第 2 のノードの電位を保持して高電圧検出信号として出力するラッチ部とを、
備えたことを特徴とする高電圧検出回路。

40

【請求項 5】

請求項 1 乃至 4 いずれか記載の高電圧検出回路は、更に、前記入力端子に接続される内部回路を有しており、前記高電圧は、前記内部回路のモードを設定するために前記入力端子に与えられることを特徴とする高電圧検出回路。

【請求項 6】

50

請求項 5 記載の高電圧検出回路において、前記モードは、前記内部回路を試験する際に設定されることを特徴とする高電圧検出回路。

【請求項 7】

前記ラッチ部は、2つのインバータをフリップフロップで構成したことを特徴とする請求項 1 乃至 4 のいずれかに記載した高電圧検出回路。

【請求項 8】

前記プルダウン素子は、ディプレッション型の MOS トランジスタで構成したことを特徴とする請求項 4 または 7 記載の高電圧検出回路。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、例えばモード設定等のために入力端子に与えられる高電圧を検出する高電圧検出回路に関するものである。

【0002】

【従来の技術】

【0003】

【特許文献 1】

特開平 5-259880 号公報

【0004】

従来、半導体装置において、集積回路を試験モードに設定するために、アドレス信号等との共用の入力端子に電源電圧よりも高い電圧を入力し、それを高電圧検出回路で検出して試験モードに切り替えることが行われている。

20

【0005】

従来の高電圧検出回路は、例えば、ソースが入力端子に接続され、ドレインが抵抗等を介して接地電圧 GND に接続され、ゲートに電源電圧 VCC が与えられた P チャネル MOS トランジスタ（以下、「PMOS」という）を設け、この PMOS のドレインのレベルを、高電圧検出信号として出力するようになっている。

【0006】

このような高電圧検出回路では、共用の入力端子に電源電圧 VCC と接地電圧 GND の間の電圧（アドレス信号等）が与えられた場合、PMOS の閾値電圧 V_{th} によってこの PMOS に電流は流れず、ドレインのレベルは“L”となる。一方、入力端子に所定の高電圧（ $VCC + V_{th}$ よりも高い電圧）が与えられると、PMOS はオン状態となり、ドレインのレベルは“H”となる。従って、PMOS のドレインのレベルにより、高電圧が与えられているか否かを検出することができる。

30

【0007】

【発明が解決しようとする課題】

しかしながら、従来の高電圧検出回路では、次のような課題があった。

集積回路の微細化に伴い、ゲート酸化膜の薄膜化が進んでいるが、この薄膜化によりゲート酸化膜の耐圧が減少し、ゲートに高電圧を印加できなくなりつつある。

【0008】

40

一方、半導体装置の試験の中には、電源電圧 VCC を通常動作時の電圧よりも高く設定して実施する高電圧印加試験がある。その場合、試験モードに設定するために入力端子に印加する高電圧が、所定の高電圧（ $VCC + V_{th}$ ）よりも更に高くなる。高電圧を印加する入力端子は、半導体装置の端子数の増加を防ぐため、一般的にアドレス信号等の入力端子と共用されている。

【0009】

このため、高電圧印加試験時に、試験モードを設定するために所定の高電圧よりも更に高い電圧が入力端子に印加されると、アドレス信号用の入力回路のゲート酸化膜を破壊してしまうという課題があった。

【0010】

50

【課題を解決するための手段】

前記課題を解決するために、本発明は、モード設定用の高電圧が印加されたことを検出し、高電圧検出信号を保持して出力する高電圧検出回路を、電源電圧よりも高い高電圧の入力と論理動作のために該電源電圧以下の入力信号の入力とに共用される入力端子と、前記電源電圧が投入されたときに初期リセット信号を出力するリセット部と、前記入力端子にソースが接続されると共にゲートに前記電源電圧が与えられ、該入力端子に前記高電圧が与えられたときにオン状態となり、該入力端子に前記入力信号が与えられたときにはオフ状態となるトランジスタと、前記初期リセット信号によってリセットされ、前記トランジスタがオン状態となった時にセットされて高電圧検出信号を出力するラッチ部とで構成している。

10

【0011】

本発明によれば、以上のように高電圧検出回路を構成したので、次のような作用が行われる。

【0012】

電源電圧が投入されると、リセット部から初期リセット信号が出力され、ラッチ部がリセットされる。この状態で入力端子に電源電圧以下の信号が入力されると、この入力信号は論理動作の入力信号として処理される。

次に、入力端子に電源電圧よりも高い高電圧が与えられると、トランジスタがオン状態となってラッチ部がセットされ、高電圧検出信号が出力される。これにより、例えば、試験モードに移行されて試験動作が開始される。

20

【0013】**【発明の実施の形態】****（第1の実施形態）**

図1は、本発明の第1の実施形態を示す高電圧検出回路の構成図である。

この高電圧検出回路は、試験モード設定用の高電圧とアドレス信号が入力される共用の端子1と、電源電圧VCCが供給される端子2を有している。

【0014】

端子1にはバッファ3が接続され、このバッファ3からアドレス信号ADRが出力されるようになっている。更に、端子1にはPMOS11のソースが接続されている。PMOS11のドレインは、PMOS12のソースとゲートに接続され、このPMOS12のドレインがノードN1に接続されている。

30

【0015】

ノードN1と接地電圧GNDの間には、NチャネルMOSトランジスタ（以下、「NMOS」という）13、14が直列に接続され、これらのPMOS11とNMOS13、14のゲートには、端子2の電源電圧VCCが与えられるようになっている。ノードN1には、インバータ15の入力側が接続されている。

【0016】

インバータ15は、電源電圧VCCと接地電圧GNDの間に、PMOS15a及びNMOS15b、15cを直列に接続したもので、このPMOS15aとNMOS15cのゲートが、ノードN1に接続されている。NMOS15bのゲートは、電源電圧VCCに接続されて常にオン状態に設定され、このNMOS15bとPMOS15aのドレイン同士の接続箇所から、ノードN1の信号を反転した信号が出力されるようになっている。インバータ15の出力側には、インバータ16が接続されている。

40

【0017】

インバータ16は、電源電圧VCCと接地電圧GNDの間に、PMOS16a、16bとNMOS16c、16dを直列に接続したものである。PMOS16a、16bとNMOS16c、16dのゲートは、インバータ15の出力側に共通に接続され、このPMOS16bとNMOS16cのドレイン同士の接続箇所が出力側になっている。なお、このように2つのPMOSと2つのNMOSをそれぞれ直列に接続したのは、流れる電流の大きさを小さくするためである。インバータ16の出力側には、このインバータ16と同様の

50

構成のインバータ 17 が接続されている。

【0018】

インバータ 17 の出力側は、PMOS 18 のゲートに接続されている。PMOS 18 のソースとドレインは、それぞれ電源電圧 VCC とノード N2 に接続されている。ノード N2 には NMOS 19 のドレインが接続され、この NMOS 19 のソースは接地電圧 GND に接続され、ゲートにはパワーオンリセット部 20 からリセット信号 POR が与えられるようになっている。パワーオンリセット部 20 は、端子 2 に電源電圧 VCC が投入されたときに、一定のパルス幅を有する “H” のリセット信号 POR を出力するものである。

【0019】

ノード N2 には、ラッチ部 21 が接続されている。ラッチ部 21 は、2 つのインバータ 21a, 21b をループ状に接続したもので、インバータ 21a の入力側とインバータ 21b の出力側が、ノード N2 に接続され、このインバータ 21a の出力側とインバータ 21b の入力側の接続箇所に、このノード N2 の信号が反転されて保持され、出力されるようになっている。更に、ラッチ部 21 の出力側には、インバータ 22 が接続され、このインバータ 22 からモード信号 MOD が出力されるようになっている。

【0020】

図 2 は、図 1 の動作を示すタイムチャートである。以下、この図 1 を参照しつつ、図 1 の動作を説明する。

【0021】

図 2 の時刻 T0 において、端子 2 に電源電圧 VCC が与えられ、端子 1 には電源電圧 VCC 以下の信号 IN が与えられて、回路の動作が開始される。これにより、端子 1 の信号 IN は、バッファ 3 を介してアドレス信号 ADDR として、図示しない内部回路に与えられる。

【0022】

一方、PMOS 11 のソース電圧はゲート電圧以下となるので、この PMOS 11 はオフ状態となる。また、NMOS 13, 14 は、ゲートに電源電圧 VCC が与えられているので、オン状態となる。これにより、ノード N1 の信号 S1 は “L” となり、インバータ 15, 16, 17 を介して PMOS 18 のゲートに与えられる。従って、PMOS 18 はオフ状態となる。

【0023】

また、電源電圧 VCC の投入により、パワーオンリセット部 20 からリセット信号 POR が出力され、NMOS 19 のゲートに与えられる。リセット信号 POR が出力されている間、NMOS 19 はオン状態となり、ノード N2 は、ほぼ接地電圧 GND になる。これにより、ラッチ部 21 がリセットされ、インバータ 22 から出力されるモード信号 MOD は “L” となる。

【0024】

その後、端子 1 の信号 IN が電源電圧 VCC を越えない範囲で “H”, “L” に変化すると、この信号 IN はバッファ 3 を介してアドレス信号 ADDR として、内部回路に与えられる。一方、信号 IN が電源電圧 VCC 以下である限り、PMOS 11 はオフ状態であるので、ノード N1 の信号 S1 は “L” のままで変化せず、モード信号 MOD は “L” の状態に維持される。

【0025】

時刻 T1 において、端子 1 に $VCC + V_{th}$ 以上の電圧の信号 IN が印加されると、PMOS 11 がオン状態になる。これにより、端子 1 の電圧が PMOS 11 と NMOS 12 を介してノード N1 に印加され、このノード N1 の信号 S1 が “H” になる。信号 S1 が “H” になると、PMOS 18 はオン状態となり、ノード N2 は、ほぼ電源電圧 VCC となって、ラッチ部 21 がセットされる。そして、モード信号 MOD は “H” となる。

【0026】

時刻 T2 において、端子 1 の信号 IN が電源電圧 VCC に戻ると、ノード N1 の信号 S1 は “L” に戻る。これにより、PMOS 18 はオフ状態となるが、ラッチ部 21 の保持内

容は変化せず、モード信号MODは“H”のままである。

【0027】

時刻T3において、高電圧印加試験をするために、端子2の電源電圧VCCが通常の電圧よりも上昇される。これにより、モード信号MODやアドレス信号ADR等の内部信号の“H”のレベルが上昇し、この上昇したレベルで試験が行われる。

【0028】

以上のように、この第1の実施形態の高電圧検出回路は、端子1の信号INが端子2の電源電圧よりも一定値以上高いときにオン状態となるPMOS11と、このPMOS11がオン状態となったときに、その状態をラッチするラッチ部21を有している。これにより、ラッチ部21を一旦セットした後、端子1に高電圧を印加し続ける必要がなくなる。

10

【0029】

従って、高電圧印加試験を行う場合、まず、通常の電源電圧VCCを端子2に印加し、端子2には試験モードを設定するための通常の高電圧を入力してモード信号MODをセットし、その後、端子2の電源電圧VCCを所定の高電圧まで上昇させれば良い。この時、端子1の信号INは、“H”、“L”のレベルの信号を印加すれば良いので、端子1に接続される入力用のバッファ3に必要な高電圧が印加されることがなくなり、ゲート酸化膜の破壊が生ずるおそれがないという利点がある。

【0030】

(第2の実施形態)

図3は、本発明の第2の実施形態を示す高電圧検出回路の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。

20

【0031】

この高電圧検出回路では、図1の高電圧検出回路において、NMOS19に並列にNMOS23を設けると共に、このNMOS23のゲートに与えるリセット信号MDRを外部から印加するための端子4を設けたものである。その他の構成は、図1と同様である。

【0032】

図4は、図3の動作を示すタイムチャートである。以下、この図4を参照しつつ、図3の動作を説明する。

【0033】

図4の時刻T11において、端子2に電源電圧VCCが与えられ、端子1には電源電圧VCC以下の信号INが与えられて、回路の動作が開始される。端子1の信号INは、バッファ3を介してアドレス信号ADRとして、内部回路に与えられる。この時、PMOS11のソース電圧はゲート電圧以下となるので、このPMOS11はオフ状態となり、ノードN1の信号S1は“L”である。従って、PMOS18はオフ状態となる。

30

【0034】

一方、電源電圧VCCの投入により、パワーオンリセット部20からリセット信号PORが出力され、NMOS19のゲートに与えられる。これにより、NMOS19がオン状態となってラッチ部21がリセットされ、インバータ22から出力されるモード信号MODは“L”となる。

時刻T12において、端子1にVCC+Vth以上の電圧の信号INが印加されると、PMOS11がオン状態になる。これにより、ノードN1の信号S1が“H”になり、PMOS18はオン状態となってラッチ部21がセットされ、モード信号MODは“H”となる。

40

【0035】

時刻T13において、端子1の信号INが電源電圧VCCに戻るが、ラッチ部21の保持内容は変化せず、モード信号MODは“H”に維持される。

時刻T14において、高電圧印加試験をするために、端子2に与えられる電源電圧VCCが通常の電圧よりも上昇される。これにより、モード信号MODやアドレス信号ADR等の内部信号の“H”のレベルが上昇し、この上昇したレベルで試験が行われる。

【0036】

50

時刻 T 1 5 において、高電圧印加試験が終了し、端子 2 の電源電圧 V C C は通常の値に戻る。

時刻 T 1 6 において、端子 4 に試験モードを終了させるためのリセット信号 M D R が与えられると、N M O S 2 3 がオン状態となり、ノード N 2 がほぼ接地電圧 G N D となって、ラッチ部 2 1 がリセットされる。これにより、インバータ 2 2 から出力されるモード信号 M O D が “ L ” となり、試験モードが解除される。

【 0 0 3 7 】

以上のように、この第 2 の実施形態の高電圧検出回路は、第 1 の実施形態の高電圧検出回路に、ラッチ部 2 1 を外部から与えるリセット信号 M D R でリセットするための N M O S 2 3 を有している。これにより、第 1 の実施形態と同様の利点に加えて、試験モードから通常モードに切り替えるときに、電源を再投入して立ち上げ直す必要がなくなり、直ちに通常モードに移行することができるという利点がある。 10

【 0 0 3 8 】

(第 3 の実施形態)

図 5 は、本発明の第 3 の実施形態を示す高電圧検出回路の構成図であり、図 3 中の要素と共通の要素には共通の符号が付されている。

【 0 0 3 9 】

この高電圧検出回路は、図 3 中の N M O S 1 9 とパワーオンリセット部 2 0 に代えて、ノード N 2 と接地電圧 G N D の間にゲート長が長いディプレッション型の N M O S (以下、「D M O S」という) 2 4 を設けると共に、インバータ 1 5 , 1 7 の入力側と接地電圧 G 20 N D の間に、それぞれ同様の D M O S 2 5 , 2 6 を設けている。

【 0 0 4 0 】

各 D M O S 2 4 ~ 2 6 は、ゲート電圧が 0 V の時にでもゲート長に応じた所定のオン抵抗を呈するものであり、これらの各ゲートは接地電圧 G N D に接続されている。これにより、各 D M O S 2 4 ~ 2 6 は、大きな抵抗値を有するプルダウン抵抗として動作するようになっている。各 D M O S 2 4 ~ 2 6 のゲート長は、高電圧検出回路を構成するバッファ 3 の出力段や、バッファ 3 より先の図示しない内部回路で使用されるトランジスタのゲート長に比べて長く、端子 1 に高電圧を印加した際に高電圧検出回路に流れる電流値に応じて適宜決定されている。

【 0 0 4 1 】

この高電圧検出回路では、電源投入時に、端子 2 に電源電圧 V C C が与えられ、端子 1 には電源電圧 V C C 以下の信号 I N が与えられ、P M O S 1 8 がオフ状態となり、ノード N 2 がプルダウン用の D M O S 2 4 を介して接地電圧 G N D に接続される。これにより、ラッチ部 2 1 によってノード N 2 の “ L ” が保持され、インバータ 2 2 から “ L ” のモード信号 M O D が出力される。

この時、ノード N 1 も D M O S 2 5 を介してプルダウンされ、信号 S 1 は確実に “ L ” となる。更に、インバータ 1 7 の入力側も、D M O S 2 5 を介してプルダウンされる。

【 0 0 4 2 】

以上のように、この第 3 の実施形態の高電圧検出回路は、第 2 の実施形態の高電圧検出回路中のパワーダウンリセット部 2 0 と N M O S 1 9 とに代えて、プルダウン用の D M O S 2 4 を設けている。これにより、第 2 の実施形態の利点に加えて、回路構成を簡素化することができるという利点がある。 40

また、通常状態時に “ L ” となる箇所を、プルダウン用の D M O S 2 5 , 2 6 で接地電圧 G N D に接続しているので、電源投入時の初期状態が直ちに設定され、起動時間を短縮できるという利点がある。

【 0 0 4 3 】

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

【 0 0 4 4 】

(a) インバータ 1 5 ~ 1 7 の構成は、例示したもの限定されない。即ち、それぞれ 50

1 個の P M O S と N M O S で構成された通常のものを用いても良い。

【0045】

(b) インバータ 15～17 を省略して、ノード N1 にラッチ部を接続するようにしても良い。

【0046】

(c) ラッチ部 21 の構成は、例示したものに限定されない。例えば、セットリセット型のフリップフロップを用いて、信号 S1 でセットし、リセット信号 P O R , M D R でリセットするような構成にしても良い。

【0047】

(d) 図 5 の D M O S 24～26 に代えて、プルダウン用の抵抗を用いても良い。

10

【0048】

(e) 端子 1 は、高電圧とアドレス信号の入力に共用しているが、高電圧とその他の入力信号の入力に共用するようにしても良い。

【0049】

【発明の効果】

以上詳細に説明したように、本発明の高電圧検出回路によれば、入力端子に高電圧が与えられたときに、これを検出してその状態を保持し、高電圧検出信号を出力するラッチ部を有している。これにより、モード設定のために、入力端子に高電圧を印加し続ける必要がなくなり、電源電圧だけを所定の電圧まで上昇させて高電圧試験等を行うことが可能になる。従って、入力端子に所定の電圧以上の高電圧が印加されず、この入力端子を共用して

20

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態を示す高電圧検出回路の構成図である。

【図 2】図 1 の動作を示すタイムチャートである。

【図 3】本発明の第 2 の実施形態を示す高電圧検出回路の構成図である。

【図 4】図 3 の動作を示すタイムチャートである。

【図 5】本発明の第 3 の実施形態を示す高電圧検出回路の構成図である。

【符号の説明】

1, 2, 4 端子

3 バッファ

11, 18 P M O S

12～14, 19, 23 N M O S

15～17, 22 インバータ

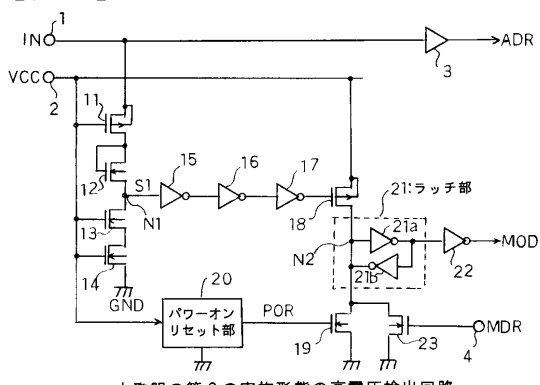
20 パワーオンリセット部

21 ラッチ部

24～26 D M O S

30

【图 3】



本発明の第 2 の実施形態の高電圧検出回路

【图 4】

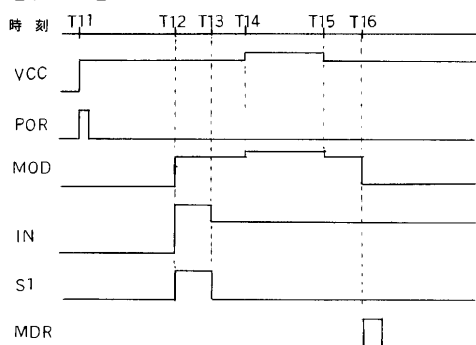


図 3 の動作

本発明の第 3 の実施形態の高電圧検出回路