

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1368 (2006.01)

H01L 29/786 (2006.01)



[12] 发明专利说明书

专利号 ZL 03120292.6

[45] 授权公告日 2008 年 4 月 16 日

[11] 授权公告号 CN 100381932C

[22] 申请日 2003.3.6 [21] 申请号 03120292.6

[30] 优先权

[32] 2002.3.29 [33] JP [31] 2002-094665

[73] 专利权人 株式会社液晶先端技术开发中心

地址 日本国神奈川县横滨市

[72] 发明人 是成贵弘

[56] 参考文献

US5739574A 1998.4.14

US6184556B1 2001.2.6

US4546376A 1985.10.8

JP8255915 1996.10.1

审查员 章 放

[74] 专利代理机构 上海市华诚律师事务所

代理人 徐申民

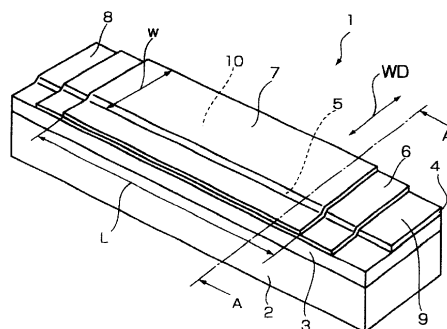
权利要求书 2 页 说明书 7 页 附图 8 页

[54] 发明名称

薄膜晶体管

[57] 摘要

本发明提供一种可抑制特性参差的薄膜晶体管。其具有：夹着 SiO_2 膜所构成的基底绝缘膜(3)而设在玻璃基板(2)上的 Si 所形成的半导体层(4)；设在半导体层(4)中两侧的源极区域(8)与漏极区域(9)；在半导体层(4)中的源极区域(8)与漏极区域(9)之间的沟道区域(10)；夹着 SiO_2 膜所构成的栅极绝缘膜(6)而设在沟道区域(10)上的栅极电极(7)，其特征为：沟道区域(10)的宽度为 $1\mu\text{m}$ 或更小，至少由栅极电极(7)所覆盖的沟道区域(10)的沟道宽度方向 WD 的端部(5)的斜面角在 60 度以上。



1.一种薄膜晶体管，具有：

形成在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；

形成在所述多结晶或非晶质的半导体层两侧的源极区域与漏极区域；

形成在所述源极区域与所述漏极区域之间的沟道区域；以及

夹着栅极绝缘膜形成在所述沟道区域上的栅极电极；

其特征在于，

所述沟道区域的宽度为 $1\mu\text{m}$ 或更小，所述倾斜部分在所述沟道区域的沟道宽度方向上的斜面角为60度或更大，以使得所述倾斜部分不会改变阈值电压 V_{th} 。

2. 如权利要求1所述的薄膜晶体管，其特征在于，所述基板为玻璃基板。

3.一种薄膜晶体管，具有：

形成在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；

形成在所述多结晶或非晶质的半导体层两侧的源极区域与漏极区域；

形成在所述源极区域与所述漏极区域之间的沟道区域；以及

隔着栅极绝缘膜形成在所述沟道区域上的栅极电极；

其特征在于，

所述沟道区域的宽度为 $1\mu\text{m}$ 或更小，设置将所述沟道区域的沟道宽度方向上的所述倾斜部分绝缘化的绝缘化部分，以使得所述倾斜部分不会改变阈值电压 V_{th} 。

4.一种薄膜晶体管，具有：

形成在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；

形成在所述多结晶或非晶质的半导体层两侧的源极区域与漏极区域；

形成在所述源极区域与所述漏极区域之间的沟道区域；以及

隔着栅极绝缘膜形成在所述沟道区域上的栅极电极；

其特征在于，

所述沟道区域的宽度为 $1\mu\text{m}$ 或更小，杂质被导入所述沟道区域的沟道宽度方向上的所述倾斜部分中，以使得所述倾斜部分不会改变阈值电压 V_{th} 。

5. 一种薄膜晶体管，具有：

形成在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；

形成在所述多结晶或非晶质的半导体层两侧的源极区域与漏极区域；

形成在所述源极区域与所述漏极区域之间的沟道区域；以及

隔着栅极绝缘膜形成在所述沟道区域上的栅极电极；

其特征在于，

所述沟道区域的宽度为 $1\ \mu\text{m}$ 或更小，

通过将所述沟道区域的沟道宽度方向上的所述倾斜部分作为以高于所述沟道区域的杂质浓度的浓度将与该沟道区域同一导电型的杂质导入掺杂区域中，以使得所述倾斜部分不会改变阈值电压 V_{th} 。

薄膜晶体管

技术领域

本发明涉及一种使用于例如液晶显示装置的液晶显示面板等的薄膜晶体管。

背景技术

图7(a)为传统薄膜晶体管的斜视图，(b)为(a)的A-A'剖面线的剖面图。

符号1为薄膜晶体管(TFT)，2为玻璃基板，3为基底绝缘膜(SiO_2 膜等)，4为例如由硅(Si)所构成的半导体层，5为半导体层4的沟道宽度方向的端部，6为栅极绝缘膜(SiO_2 膜等)，7为栅极电极，8为源极区域，9为漏极区域，10为沟道区域，L为沟道长，W为沟道宽度，WD为沟道宽度方向，在图7(b)中， θ 表示半导体层4的端部5的斜面角。

图7显示例如玻璃基板2上隔着基底绝缘膜3而形成有半导体层4，且该半导体层4上隔着栅极绝缘膜6而形成有栅极电极7的薄膜晶体管1。

如上所述的在半导体层4上形成有栅极电极7的薄膜晶体管1，称为顶端栅极型薄膜晶体管。

在图7所示的顶端栅极型薄膜晶体管1中，形成例如由Si所构成的半导体层4时，在制程上，即利用微影技术蚀刻半导体层4使之形成图案时，如图7(b)所示，半导体层4的沟道宽度方向WD的端部5会具有一斜面角(倾斜角) θ 。

该斜面角 θ ，在制程上，会随着在玻璃基板2上位置的不同而变动，这是造成薄膜晶体管1的特性参差的主因之一。

沟道宽度(或门极宽度)W足够大时，由于栅极电极7所覆盖的半导体层4的沟道区域10中，端部5(称为栅极边缘)的影响相对较小，因此该斜面角 θ 的参差不会造成太大的问题。

不过，当沟道宽度W低于例如 $1\mu\text{m}$ 程度时，会随着上述斜面角 θ 的参差，使得薄膜晶体管1的特性参差问题变得显著。该项问题，特别在使用液晶显示装置制作大尺寸的玻璃基板2时，更为严重。

图7所示的膜晶体管1，其沟道宽度W为 $1\mu\text{m}$ ，沟道长度L为 $4\mu\text{m}$ ，栅极绝缘膜6的

膜厚为 40nm，半导体层 4 的膜厚为 60nm。

对该构造进行三次元装置仿真。图 6 显示的是三次元装置仿真的计算结果图，图 6 (a) 显示的是斜面角 θ 为 30 度、45 度、60 度时栅极电压与漏极电流的变化 (I_d - V_g 特性) 图，而图 6 (b) 显示的是上述斜面角 θ 对阈值电压 V_{th} 所造成的影响图。在图 6 (a) 中，漏极电压 V_d 为 5V。

由上述结果可清楚得知，随着斜面角 θ 的不同，将使 I_d - V_g 特性产生显著变化，同时阈值电压 V_{th} 也将产生变化。即在制造过程中斜面角 θ 若产生变动，该变化即以阈值电压 V_{th} 的变化呈现出来。由图 6 (b) 可清楚得知，当斜面角 θ 小于 60 度时，随着斜面角 θ 的变化阈值电压 V_{th} 将产生相当大的变化，当斜面角 θ 大于 60 度时，阈值电压 V_{th} 所产生的变化极小，由此可知控制斜面角 θ 的重要性。

发明内容

本发明的目的在于提供一种薄膜晶体管，该薄膜晶体管可抑制在沟道宽度 W 小于等于 $1\ \mu\text{m}$ 时，由沟道宽度方向的半导体层的端部的斜面角参差所造成的薄膜晶体管的特性参差。

本发明的一种薄膜晶体管具有：设在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；设在该多结晶或非晶质的半导体层中两侧的源极区域与漏极区域；在该半导体层中的源极区域与漏极区域之间的沟道区域；隔着栅极绝缘膜而设在沟道区域上的栅极电极，沟道区域的宽度为 $1\ \mu\text{m}$ 或更小，至少由栅极电极所覆盖的沟道区域的沟道宽度方向的端部的斜面角在 60 度以上，以使得倾斜部分不会改变阈值电压 V_{th} 。

此外，本发明的一种薄膜晶体管具有：设在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；设在该多结晶或非晶质的半导体层中两侧的源极区域与漏极区域；在该半导体层中的源极区域与漏极区域之间的沟道区域；隔着栅极绝缘膜而设在前述沟道区域上的栅极电极，沟道区域的宽度为 $1\ \mu\text{m}$ 或更小，至少由栅极电极所覆盖的沟道区域的沟道宽度方向的端部被绝缘化，以使得倾斜部分不会改变阈值电压 V_{th} 。

此外，本发明的一种薄膜晶体管具有：设在基板上并具有通过刻蚀形成的倾斜部分的多结晶或非晶质的半导体层；设在该多结晶或非晶质的半导体层中两侧的源极区域与漏极区域；在该半导体层中的源极区域与漏极区域之间的沟道区域；隔着栅极绝缘膜而设在沟道区域上的栅极电极，沟道区域的宽度为 $1\ \mu\text{m}$ 或更小，至少在由栅极电极所覆盖的沟道区域的沟道宽度方向的端部，被导入与在源极电极与漏极电极中导入的杂质具有相反导电型的杂质，以

使得倾斜部分不会改变阈值电压 V_{th} 。

如上所述, 根据本发明, 可抑制薄膜晶体管的特性参差, 并提升制造的效率。

附图说明

图1 (a) 是本发明的第1实施例的薄膜晶体管的斜视图;

图1 (b) 是图1 (a) 的A-A'剖面线的剖面图;

图2是显示本发明的第1实施例的薄膜晶体管的配置图;

图3 (a) 是本发明的第2实施例的薄膜晶体管的主要部分剖面图;

图3 (b) 是显示制造方法的主要部分剖面图;

图4 (a) 是本发明的第3实施例的薄膜晶体管的主要部分剖面图;

图4 (b) 是显示制造方法的主要部分剖面图;

图5是显示第3实施例的栅极电压与漏极电流的关系图;

图6 (a) 是显示斜面角 θ 在30度、45度、60度时栅极电压与漏极电流的关系图;

图6 (b) 是显示斜面角 θ 与阈值电压 V_{th} 间的关系图;

图7 (a) 是传统薄膜晶体管的斜视图;

图7 (b) 是图7 (a) 的A-A'剖面线的剖面图。

具体实施方式

下面结合附图详细说明有关本发明的实施例。此外, 在以下说明的附图中, 具有相同功能的部分用相同符号标示, 并省略其重复说明。

实施例 1

图1 (a) 为本发明的第1实施例的薄膜晶体管的斜视图, 图1 (b) 是图1 (a) 的A-A'剖面线的剖面图。图2为显示本发明的第1实施例的薄膜晶体管的配置图。

此外, 标示与图7相同符号的部分即代表相同的构件, 因此省略其说明。

在图2中, 符号13、14、15分别表示栅极电极7、源极区域8、漏极区域9的接触孔。

第1实施例的薄膜晶体管具有: 例如, 隔着由 SiO_2 膜等所构成的基底绝缘膜3而设在玻璃基板2上的由例如Si所构成的多结晶或非晶质的半导体层4; 将杂质导入半导体层4中的两侧而设的源极区域8与漏极区域9; 在半导体层4中的源极区域8与漏极区域9之间的沟

道区域 10；隔着由 SiO_2 膜等所构成的栅极绝缘膜 6 而设在沟道区域 10 上的栅极电极 7，其中，至少被栅极电极 7 所覆盖的沟道区域 10 的沟道宽度方向 WD 的端部 5 的斜面角在大约 60 度以上。

在第 1 实施例中，如上所述，半导体层 4 由 Si 所构成，而基底绝缘膜 3 与栅极绝缘膜 6 分别由 SiO_2 所构成。半导体层 4 及其界面，含有起因于杂质与结晶的非完整性的缺陷。在该构造中，沟道宽度方向 WD 的半导体层 4 的端部 5，具有大于 60 度的斜面角 θ 。

薄膜晶体管为 n 沟道薄膜晶体管 1 时，在源极区域 8 与漏极区域 9 中，注入体积浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 的磷，并在沟道区域 10 注入体积浓度为 $1 \times 10^{16} \text{cm}^{-3}$ 的硼。覆盖在半导体层 4 上的栅极绝缘膜 6，由保形模型（conformal model）所形成。此外，沟道宽度 W 设定为 $1 \mu\text{m}$ ，沟道长度 L 为 $4 \mu\text{m}$ ，栅极绝缘膜 6 的膜厚为 40nm，半导体层 4 的膜厚为 60nm。此外，栅极电极 7 的膜厚，设定在 200nm 至 500nm 之间，例如将其设定为 300nm。

对应起因于沟道宽度方向 WD 的半导体层 4 的端部的斜面角 θ 的参差的薄膜晶体管 1 的特性参差问题的解决方法之一，根据图 6 所示结果，将沟道宽度方向的半导体层 4 的端部 5 的斜面角 θ 设定在大约 60 度以上。这可以通过控制半导体层 4 的制作条件（蚀刻条件），使端部 5 的斜面角 θ 的平均值约在大约 60 度以上。换言之，端部 5 的斜面角 θ ，一般而言，由光阻剂形状所规定。即可通过控制光阻剂形状，来控制端部 5 的斜面角 θ ，具体而言，可通过使用感度良好的光阻剂，曝光条件的最佳化，及曝光时的烘烤条件的最佳化来控制。

由图 6 所示的结果可以得知，将斜角 θ 的平均值设定在 60 度以上，这样即使斜面角 θ 产生变动，也可抑制阈值电压 V_{th} 的变动。如此一来，即可容许在制程上的斜面角的变动，并提升制造效率。

实施例 2

图 3（a）为本发明的第 2 实施例的薄膜晶体管的主要部分剖面图（对应第 1 实施例的图 1（b）），图 3（b）为显示第 2 实施例的薄膜晶体管的制造方法的主要部分剖面图。

在图 3 中，符号 11 为由 SiO_2 所构成的绝缘膜，在图 3（b）中，16 显示光阻剂膜。

由前述可清楚得知，阈值电压 V_{th} 产生变化的原因在于：由于栅极电极 7 所覆盖的沟道宽度方向 WD 的半导体层 4 的沟道区域 10 的端部 5（栅极边缘部）构造，因此在解决上述问题的对策上，可通过阻止电流流经该端部 5 而加以对应。

为实现上述解决方法，在第 2 实施例中，如图 3（a）所示，将至少由上述栅极电极 7 所覆盖的上述沟道区域 10 的沟道宽度方向 WD 的端部 5 绝缘化（非导体化）（对应权利要求 2），

而形成绝缘膜 11。

在选择性地将半导体层 4 的端部 5 绝缘化的方法中，举例而言：如图 3 (b) 所示，形成半导体层 4，并在图案化后，以光阻剂膜 16 覆盖端部 5 以外的区域，再暴露在氧化环境中，或进行电浆氧化等以选择性地氧化端部 5。

这样，可阻止电流通过端部 5，而形成端部 5 不会助长阈值电压 V_{th} 的构造，因此即使端部 5 的斜面角 θ 产生变动，也可得到实际上斜面角 θ 为 90 度的构造，而得以抑制阈值电压 V_{th} 的变动。

此外，在上述第 1 实施例中，因半导体层 4 的端部 5 的斜面角 θ 变大，而导致问题产生。即产生覆盖半导体层 4 而形成的栅极绝缘膜 6 的断裂，及绝缘耐压的降低等问题。在第 2 实施例中，由于在不加大半导体层 4 的端部 5 的斜面角 θ 的情况下，使端部 5 选择性地绝缘化，因此可解决上述问题。

实施例 3

图 4 (a) 为本发明的第 3 实施例的薄膜晶体管的主要部分剖面图（对应第 1 实施例的图 1 (b)），而图 4 (b) 为显示第 3 实施例的制造方法的主要部分剖面图。

在图 4 中，符号 12 为选择性地导入杂质的杂质区域，在图 4 (b) 中，符号 17 显示杂质。

上述第 2 实施例，形成沟道宽度方向 WD 上的半导体层 4 的端部 5 不会助长阈值电压 V_{th} 的构造，但不同于第 2 实施例，在第 3 实施例中，在至少由栅极电极 7 所覆盖的沟道区域 10 的沟道宽度方向 WD 的端部 5，导入与在源极电极 8 以及漏极电极 9 中导入的杂质具有相反导电型的杂质（对应权利要求 3）。

作为一种将杂质选择性地导入半导体层 4 的端部 5 的方法，如图 4 (b) 所示，形成半导体层 4，将其图案化后，以光阻剂膜 16 覆盖端部 5 以外的区域，再利用一般所知的方法导入杂质 17。

如上所述，通过将杂质导入该端部 5，使该端部 5 的形成沟道的阈值电压 V_{th} 变大。基本上，将杂质浓度 c 的 n 型或 p 型的杂质注入整体沟道区域 10 时，通过以高于杂质浓度 c 的浓度将同一导电型的杂质注入该沟道区域 10 的端部 5，而达成目的。在杂质方面，为 n 型薄膜晶体管时，例如使用硼，为 p 型薄膜晶体管时，例如使用磷。而杂质浓度，例如，可将沟道区域 10 的杂质浓度设定为 10^{17}cm^{-3} ，而将端部 5 的杂质区域 12 的杂质浓度设定为 10^{19}cm^{-3} 。

通过上述构造，使栅极电极 7 所覆盖的沟道区域 10 的沟道宽度方向 WD 的端部 5（栅极边缘部）的阈值电压 V_{th} 变大，并通过抑制栅极电极 7 的栅极电场所致的沟道形成，则即使

端部 5 的斜面角 θ 产生变动,也可得到实际上斜面角 θ 为 90 度的构造,而达到控制阈值电压 V_{th} 变动的目的。

上述第2实施例与第3实施例的构造,其电性特性与半导体层4的端部5的斜面角 θ 为90度的构造等效,其所能达成的效果与斜面角 θ 为90度的构造相同。

在第3实施例中,在不加大半导体层4的端部5的斜面角 θ 的情况下,选择性地使端部5高浓度杂质化,因此不会产生覆盖半导体层4而形成的栅极绝缘膜6的断裂,以及绝缘耐压的降低等问题。

采用第3实施例可获致的效果,可利用三维装置仿真进行计算。图5,在第3实施例中,当半导体层4的端部5的斜面角形成30度、60度时,如上述一般在端部5上形成杂质区域12时的栅极电压与漏极电流的关系图。由该结果可得知,斜面角 θ 在30度、60度时阈值电压 V_{th} 的变动小,而得以抑制因斜面角 θ 的变动而产生的阈值电压 V_{th} 的变动。

以上是根据本发明的实施例进行具体说明,但本发明并不受上述实施例的限定,在不超出发明要点的范围内可作各种变更。

附图标记说明

- 1 薄膜晶体管
- 2 玻璃基板
- 3 基底绝缘膜
- 4 半导体层
- 5 端部
- 6 栅极绝缘膜
- 7 栅极电极
- 8 源极区域
- 9 漏极区域
- 10 沟道区域
- 11 绝缘膜
- 12 杂质区域
- 13、14、15 接触孔
- 16 光阻剂膜
- 17 杂质

-
- L 沟道长度
 - W 沟道宽度
 - WD 沟道宽度方向
 - θ 斜面角

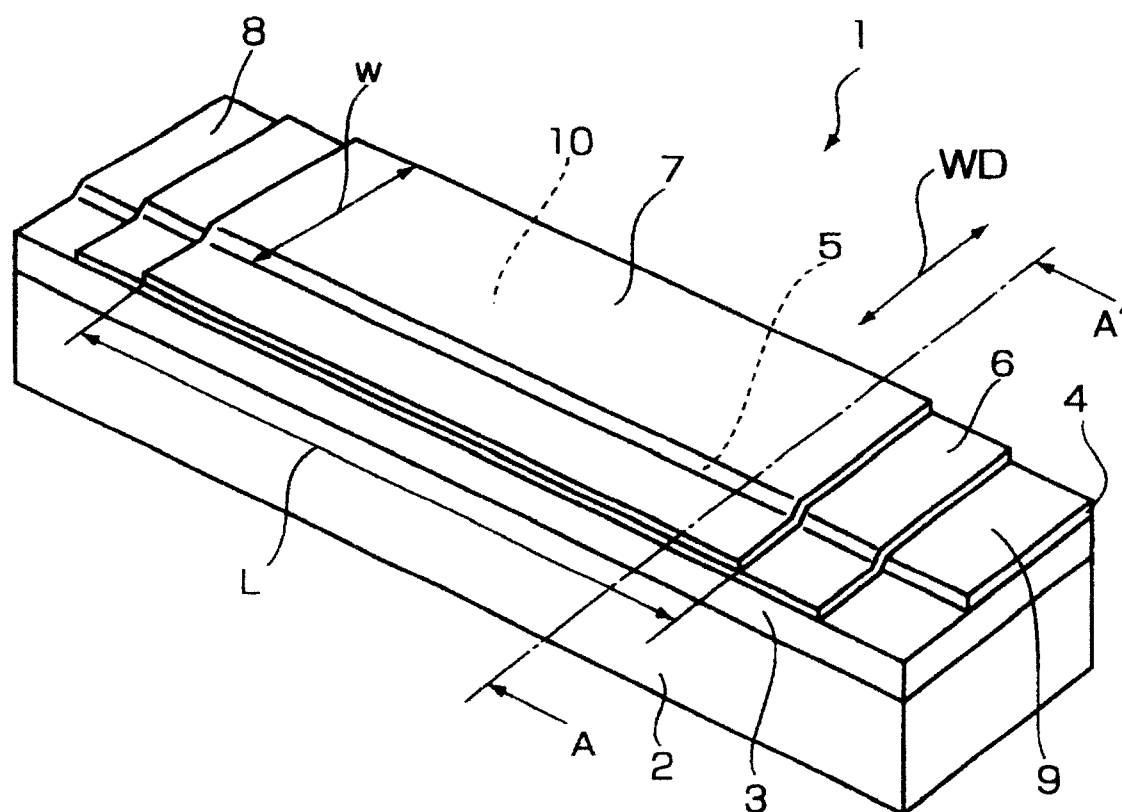


图 1 (a)

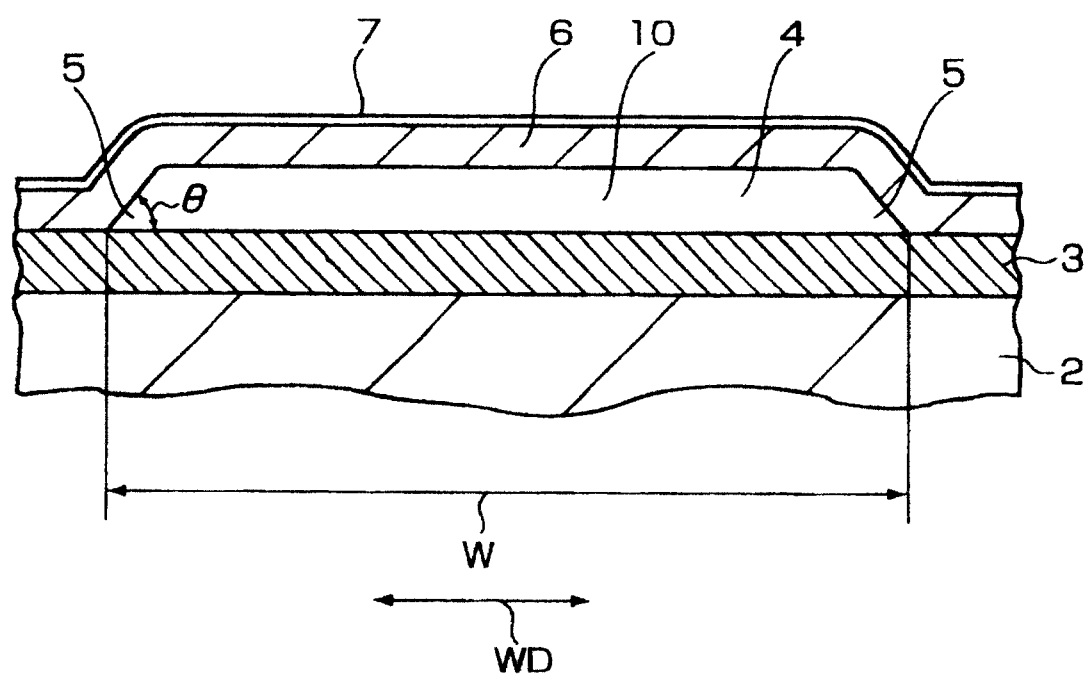


图 1 (b)

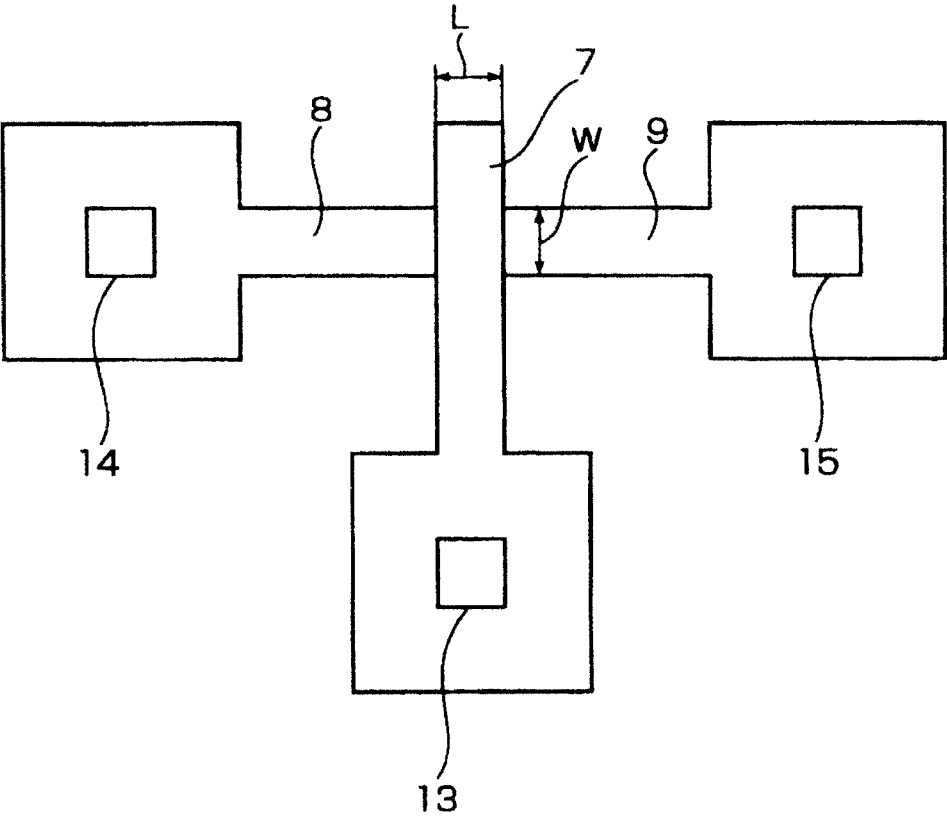


图 2

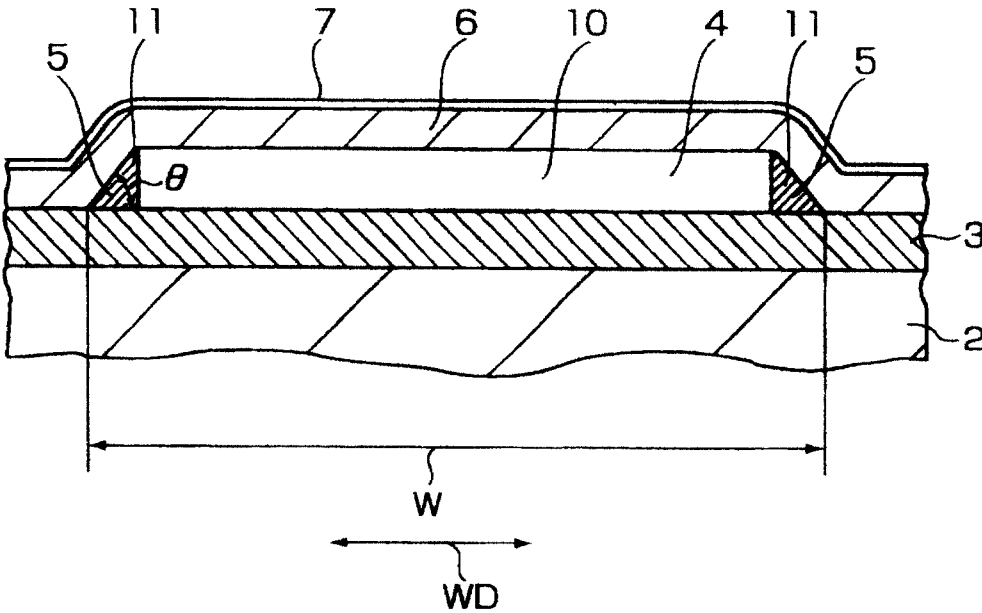


图 3 (a)

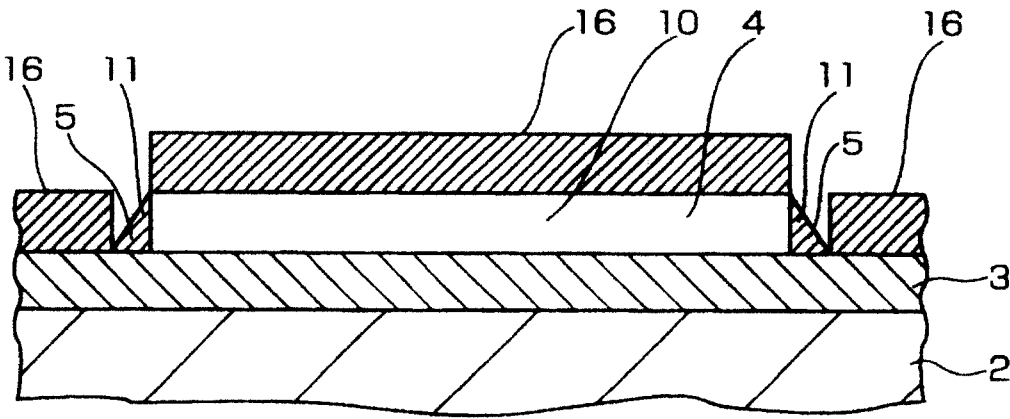


图 3 (b)

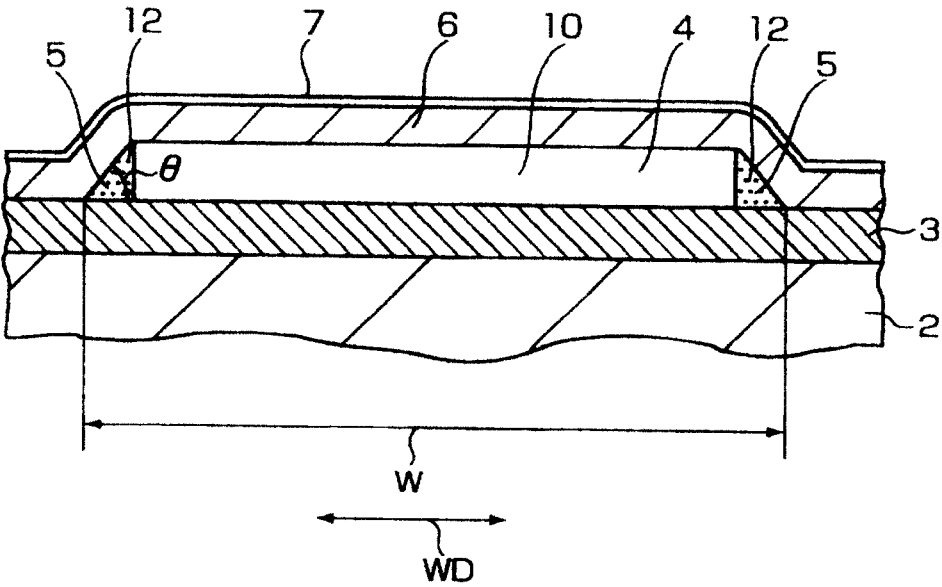


图 4 (a)

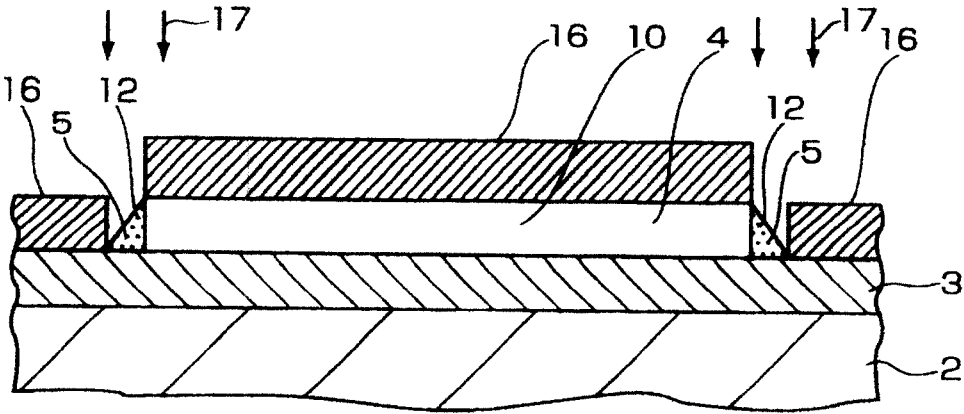


图 4 (b)

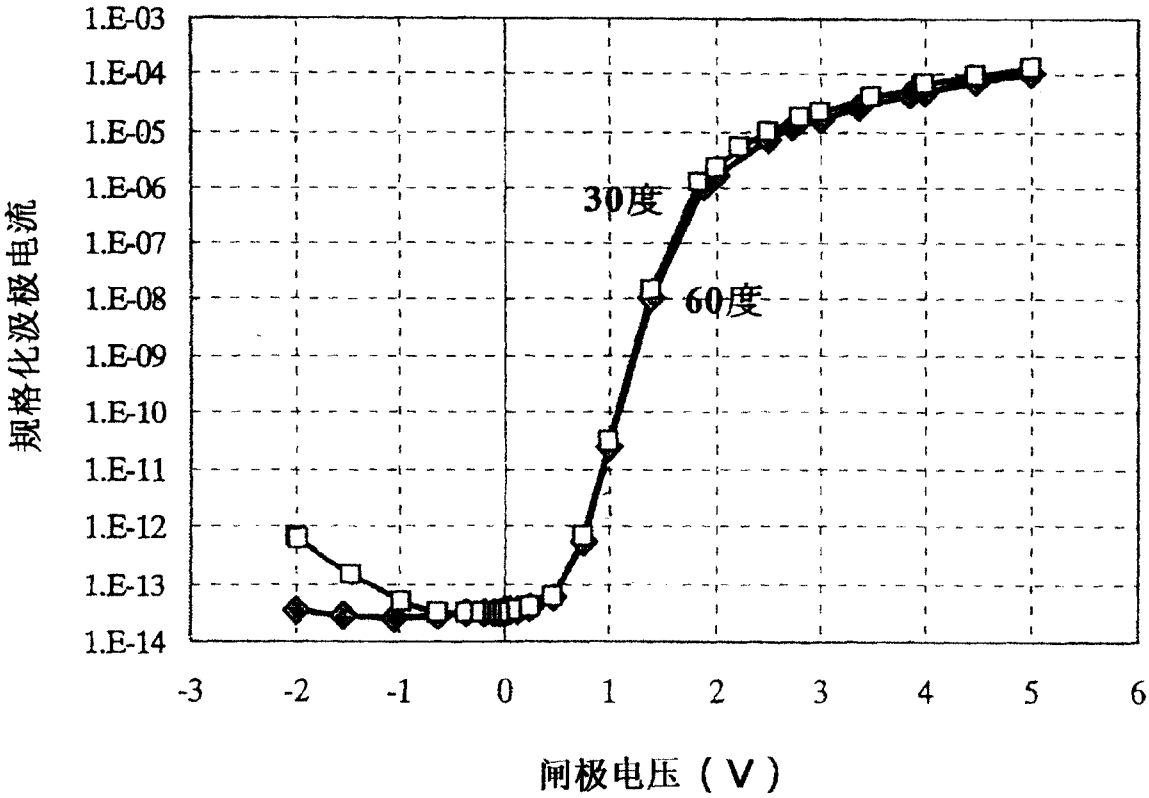


图 5

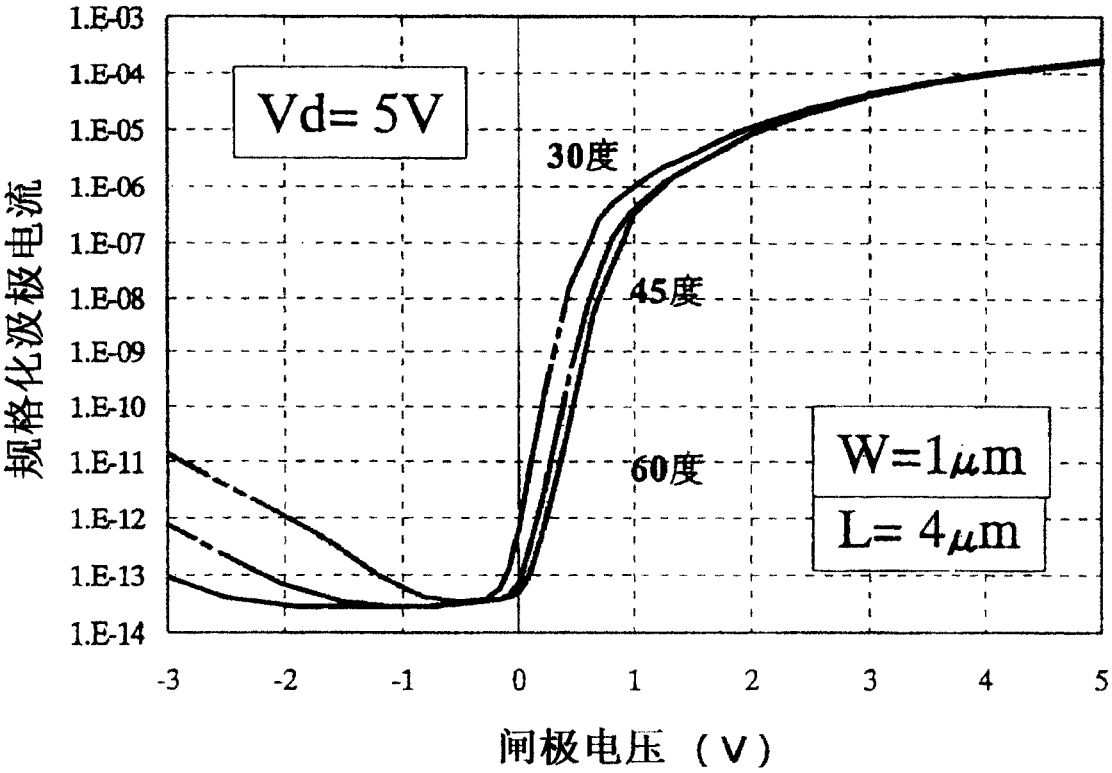


图 6 (a)

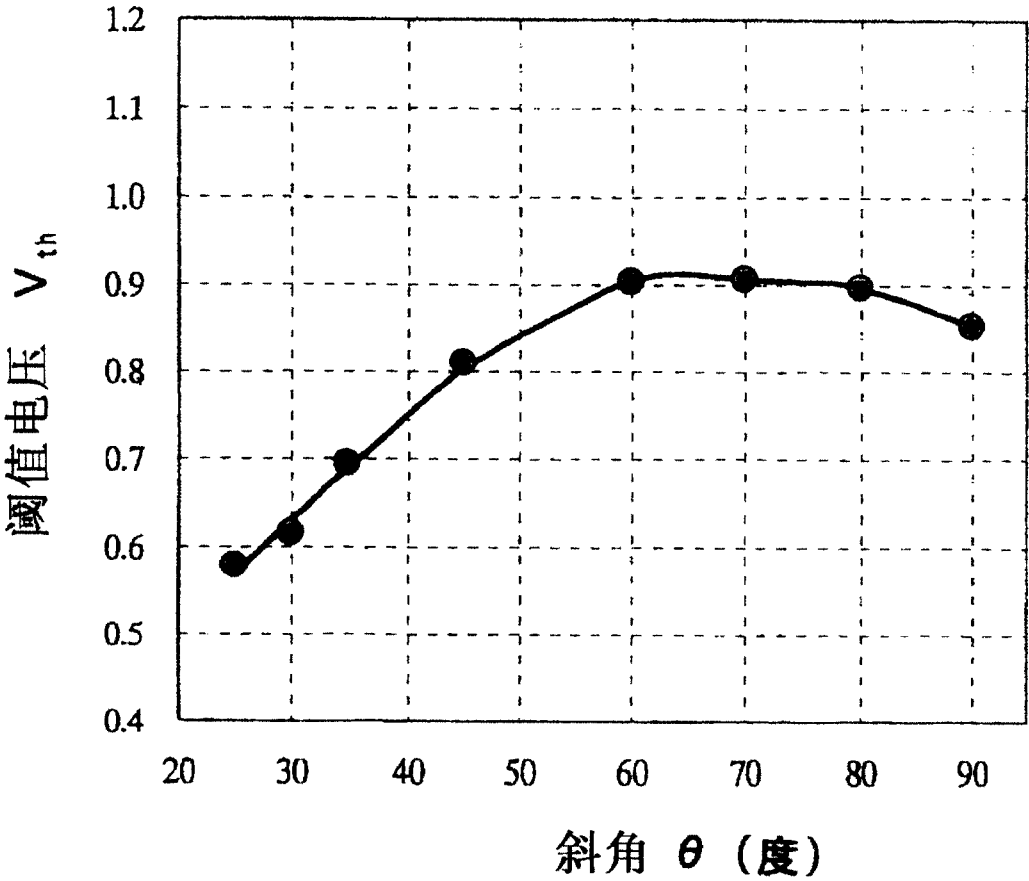


图 6 (b)

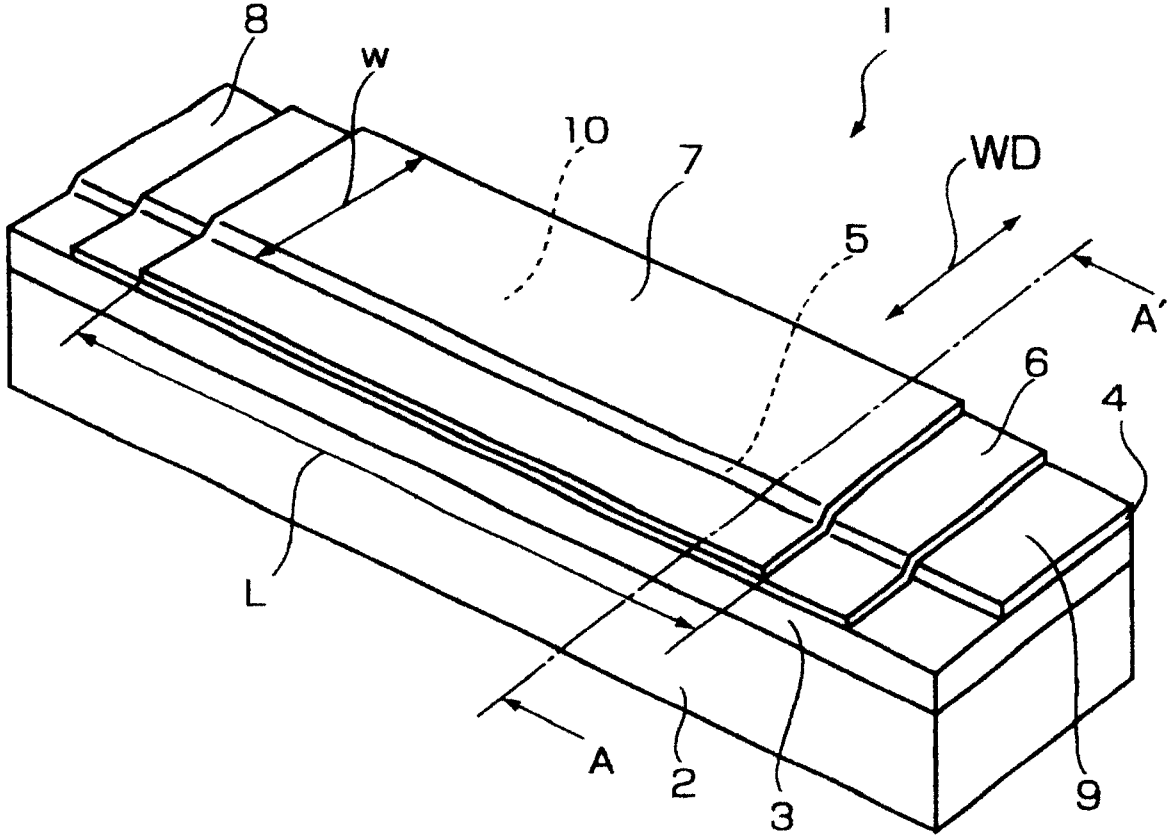


图 7 (a)

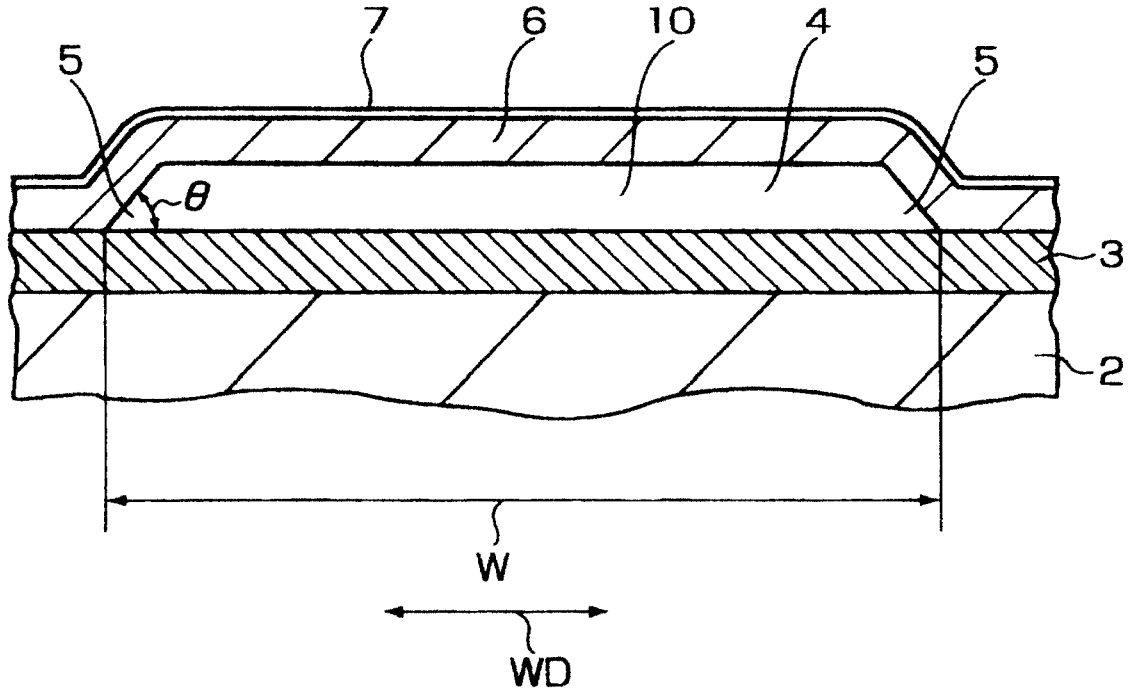


图 7 (b)