

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-172596

(P2004-172596A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int.Cl.⁷

H O 1 L 21/336

H O 1 L 29/786

F I

H O 1 L 29/78

H O 1 L 29/78

H O 1 L 29/78

6 1 7 A

6 1 8 F

6 2 7 G

テーマコード (参考)

5 F 1 1 O

審査請求 未請求 請求項の数 11 O L (全 14 頁)

(21) 出願番号 特願2003-367761 (P2003-367761)
 (22) 出願日 平成15年10月28日 (2003.10.28)
 (31) 優先権主張番号 特願2002-312968 (P2002-312968)
 (32) 優先日 平成14年10月28日 (2002.10.28)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 501286657
 株式会社 液晶先端技術開発センター
 神奈川県横浜市戸塚区吉田町292番地
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

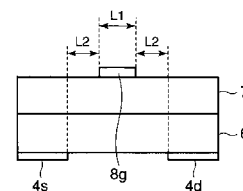
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 ドレイン端で発生した少数キャリアによるドレイン耐圧の低下に対する有効な対処方法を提案する。

【構成】 本発明のDepletion型トランジスタ（ゲート電圧で半導体層に空乏層を形成しその空乏層幅によってドレイン電流を制御するトランジスタ）においては、半導体層のゲート絶縁膜との界面近傍の不純物濃度を小さくし、逆の界面の不純物濃度を相対的に大きくすると、ゲート電圧により半導体層に空乏層が形成された構造であり、ドレイン近傍で発生した少数キャリアが蓄積されにくく、ドレイン耐圧が改善される。また、半導体層のゲート絶縁膜との界面と逆の界面近傍の不純物濃度を小さくし、ゲート絶縁膜との界面近傍の不純物濃度を相対的に大きくすると、ゲート電圧により半導体層に空乏層が形成された場合に、ドレイン近傍での衝突電離が生じにくく、ドレイン耐圧が改善される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

不純物が導入され、チャンネル領域が形成される半導体層と、

上記半導体層と同一不純物で、その濃度が同等以上であり、該半導体層の両側に配置されるソース・ドレイン領域と、

上記半導体層のチャンネル領域上にゲート絶縁膜を介して設けられたゲート電極と、
で構成されることを特徴とする半導体装置。

【請求項 2】

チャンネル領域が形成される半導体層と、

上記半導体層に離隔して配置されるソース領域及びドレイン領域と、

上記半導体層上にゲート絶縁膜を介して設けられ、上記ソース領域に対して第 1 のオフセット距離と、上記ドレイン領域に対して第 2 のオフセット距離（第 1 のオフセット距離 $\leq$ 第 2 のオフセット距離）をそれぞれ有して設けられるゲート電極と、
で構成されることを特徴とする半導体装置。

【請求項 3】

n 形の半導体層と、

上記半導体層に離隔して配置されるソース領域及びドレイン領域と、

上記半導体層上にゲート絶縁膜を介して設けられ、上記ソース領域に対して第 1 のオフセット距離と、上記ドレイン領域に対して第 2 のオフセット距離（第 1 のオフセット距離 $\leq$ 第 2 のオフセット距離）をそれぞれ有して設けられるゲート電極と、
で構成されることを特徴とする半導体装置。

【請求項 4】

上記半導体装置の上記半導体層の不純物濃度を 1×10^{17} （個 / cm^3 ）以下とすることを特徴とする請求項 1 乃至 3 に記載の半導体装置

【請求項 5】

チャンネル領域が形成される半導体層と、この半導体層に離隔して設けられたソース・ドレイン領域と、前記半導体層のチャンネル領域上に絶縁層を介して設けられたゲート電極と、前記半導体層の表面の不純物濃度と裏面の不純物濃度に差を設け、

この半導体層の不純物濃度分布に膜厚方向の勾配をもたせることを特徴とする半導体装置。

【請求項 6】

前記半導体層をチャンネルとする電界効果トランジスタを形成し、

この電界効果トランジスタのソース・ドレインを半導体層に対してゲートの反対側に配置することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記電界効果トランジスタのゲート絶縁膜と半導体層との界面の不純物濃度を最小にして膜厚方向に増大させることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記電界効果トランジスタのゲート絶縁膜と半導体層との界面の不純物濃度を最大にして膜厚方向に減少させることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】

前記電界効果トランジスタのゲート電極とソース電極を半導体層に対してオーバーラップさせて配置することを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 10】

前記電界効果トランジスタのゲート電極をソース電極とだけでなくドレイン電極とも半導体層に対してオーバーラップさせて配置することを特徴とする請求項 5 に記載の半導体装置。

【請求項 11】

非単結晶半導体層に離隔して設けられたソース電極及びドレイン電極と、このソース電極及びドレイン電極間の前記非単結晶半導体層に絶縁膜を介して設けられたゲート電極とからなる半導体装置の前記非単結晶半導体層に不純物濃度勾配を形成するに際し、前記非単

10

20

30

40

50

結晶半導体層に不純物を膜厚方向に不純物濃度勾配が形成されるようにイオン注入する工程と、

不純物をイオン注入した前記非単結晶半導体層を結晶化するためのエネルギー量のレーザ光を前記非単結晶半導体層に照射して結晶化する結晶工程と、
具備してなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドレイン耐圧が改善された半導体装置およびその製造方法に関する。

【背景技術】

【0002】

一般に、半導体装置として、ゲート電極に印加した電圧により、ゲート電極下の半導体層に形成される空乏層厚さによってドレイン電流を制御するトランジスタが知られている。このトランジスタとしては、ゲート電極と半導体層の接合にp型半導体とn型半導体の接触による整流性を利用したpnジャンクションを用いたもの(JFET)や、金属と半導体の接触による整流性を利用したショットキー接合を用いたもの(MESFET)等がある。

【0003】

また、液晶表示装置を駆動するトランジスタとして、駆動電圧が通常のロジック回路に比べて高電圧となり、高い耐圧のトランジスタが要求されている。例えば、シリコン半導体基板やガラス基板、あるいはプラスチック基板上の少なくとも局所的な領域が単結晶に近い特性を持つように半導体薄膜を形成し、その領域上にTFET構造の薄膜トランジスタが形成されている。

【特許文献1】特開2002-261254

【発明の開示】

【発明が解決しようとする課題】

【0004】

これらのトランジスタにおける半導体層の不純物濃度は、半導体層の膜厚によって規定される。つまり、半導体層の膜厚は少なくともゲート電圧によって制御する最大空乏層幅よりも小さくする必要があり、むやみに不純物濃度を高くすることはできない。一方で、不純物濃度は半導体層の抵抗値を決めるため、不純物濃度が低いと、ドレイン電流が小さくなり、トランジスタの電流駆動能力が低くなる。これらトレードオフの関係より目的のために最適な不純物濃度が決められる。

【0005】

これらのトランジスタにおいては、高いドレイン電圧が印加された場合にドレイン端のpn接合部やショットキー接合部は逆バイアス状態となり、これらの近傍で生じる衝突電離によって新たに発生した電子-正孔対のうち、多数キャリアはドレインに流れ込み、少数キャリアはソース電極やゲート電極の方向に加速される。ソース領域には少数キャリアに対するエネルギーバリアがあるためソースに流れ込むことができないが、ゲート電極にはエネルギーバリアがないため少数キャリアはゲート電極に流れ込み、半導体層に蓄積されない。

【0006】

これらのトランジスタをゲート電極が絶縁物を介して形成するMOSFET構造とした場合(Depletion型のMOSFET)、高いドレイン電圧が印加された場合にドレイン端で生じる衝突電離あるいはBand間励起等によって発生した少数キャリアは、同様にソース電極やゲート電極の方向に加速されるが、ソース領域には少数キャリアに対するエネルギーバリアが存在し、ゲート電極とは絶縁物を介しているため、発生した少数キャリアの一部は静電誘導によって半導体層のゲート電極下に蓄積される。そのため、少数キャリアが蓄積した半導体層の電位が変化する。この結果として閾値電圧が変化し、ドレイン耐圧が低下する問題が生じる。

10

20

30

40

50

【0007】

また半導体装置のうち、例えば、薄膜トランジスタ（TFT）における構造では、単にチャネル長を長くしても、ドレイン耐圧が大きくなる場合がある。これは前述した問題と同様に、発生した少数キャリアの一部がボディ領域のゲート電極下に蓄積されるため、ボディ領域の電位が変化し、この結果として閾電圧が変化する問題や、ドレイン耐圧が低下する問題が生じているためである。

【0008】

また、チャネル長を長くしてドレイン耐圧を改善できた場合でもトランジスタサイズが大きくなるため、レイアウト上の問題ばかりでなく負荷容量が大きくなる等の問題が発生することになる。

10

【0009】

この問題を解決するために、例えば特許文献1に記載されるようなLDD (Lightly-Doped Drain)を付加した構造により高いドレイン耐圧を実現することが知られている。しかし製造工程数が増えるため、必ずしも好適なものではなく、また電流駆動能力が低下するという問題が発生する。さらにこの問題を解決するものとしては、デプレッション（Depletion）型TFTが考えられている。この構造により上記問題はほぼ解決できるが、通常では、ノーマリオン特性となり、CMOS等を構成しにくいという問題がある。

【0010】

そこで本発明は、高いドレイン耐圧を有し、製造工数の増加を抑制しつつ、さらなる集積化が可能な半導体装置およびその製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0011】

かかる上記目的を達成するために、本発明は以下のように構成した。

すなわち、本発明の半導体装置は、不純物が導入され、チャネル領域が形成される半導体層と、上記半導体層と同一不純物で、その濃度が同等以上であり、該半導体層の両側に配置されるソース・ドレイン領域と、上記半導体層のチャネル領域上にゲート絶縁膜を介して設けられたゲート電極とで構成されることを特徴とする。

また、本発明の半導体装置は、チャネル領域が形成される半導体層と、上記半導体層に離隔して配置されるソース領域及びドレイン領域と、上記半導体層上にゲート絶縁膜を介して設けられ、上記ソース領域に対して第1のオフセット距離と、上記ドレイン領域に対して第2のオフセット距離（第1のオフセット距離 $\leq$ 第2のオフセット距離）をそれぞれ有して設けられるゲート電極とで構成されることを特徴とする。

30

【0012】

また、本発明の半導体装置は、n形の半導体層と、上記半導体層に離隔して配置されるソース領域及びドレイン領域と、上記半導体層上にゲート絶縁膜を介して設けられ、上記ソース領域に対して第1のオフセット距離と、上記ドレイン領域に対して第2のオフセット距離（第1のオフセット距離 $\leq$ 第2のオフセット距離）をそれぞれ有して設けられるゲート電極とで構成されることを特徴とする。

【0013】

また、本発明の半導体装置は、上記半導体装置の上記半導体層の不純物濃度を 1×10^{17} （個/cm³）以下とすることを特徴とする。

40

【0014】

また、本発明の半導体装置は、チャネル領域が形成される半導体層と、この半導体層に離隔して設けられたソース・ドレイン領域と、前記半導体層のチャネル領域上に絶縁層を介して設けられたゲート電極と、前記半導体層の表面の不純物濃度と裏面の不純物濃度に差を設け、この半導体層の不純物濃度分布に膜厚方向の勾配をもたせることを特徴とする。また、本発明の半導体装置は、前記半導体層をチャネルとする電界効果トランジスタを形成し、この電界効果トランジスタのソース・ドレインを半導体層に対してゲートの反対側に配置することを特徴とする。

【0015】

50

また、本発明の半導体装置は、前記電界効果トランジスタのゲート絶縁膜と半導体層との界面の不純物濃度を最小にして膜厚方向に増大させることを特徴とする。

【0016】

また、本発明の半導体装置は、前記電界効果トランジスタのゲート絶縁膜と半導体層との界面の不純物濃度を最大にして膜厚方向に減少させることを特徴とする。

【0017】

また、本発明の半導体装置は、前記電界効果トランジスタのゲート電極とソース電極を半導体層に対してオーバーラップさせて配置することを特徴とする。

【0018】

また、本発明の半導体装置は、前記電界効果トランジスタのゲート電極をソース電極とだけでなくドレイン電極とも半導体層に対してオーバーラップさせて配置することを特徴とする。 10

【0019】

また、本発明の半導体装置の製造方法は、非単結晶半導体層に離隔して設けられたソース電極及びドレイン電極と、このソース電極及びドレイン電極間の前記非単結晶半導体層に絶縁膜を介して設けられたゲート電極とからなる半導体装置の前記非単結晶半導体層に不純物濃度勾配を形成するに際し、前記非単結晶半導体層に不純物を膜厚方向に不純物濃度勾配が形成されるようにイオン注入する工程と、不純物をイオン注入した前記非単結晶半導体層を結晶化するためのエネルギー量のレーザ光を前記非単結晶半導体層に照射して結晶化する結晶工程とを具備してなることを特徴とする。 20

【発明の効果】

【0020】

以上説明したように、本発明の半導体装置は、チャンネル領域が形成される半導体層の不純物濃度を約 1×10^{17} (個/cm³) 以下とし、n形TFETでは、ゲート電極にp⁺形ポリシリコンを用いて、p形TFETでは、ゲート電極にn⁺形ポリシリコンを用いることで、共にノーマリオフとすることができる。この半導体装置は、高いドレイン耐圧を有し、LDD工程に比べて製造工程が少なく済み、また電流駆動能力が低下が防止できる。従って、従来のノーマリーオンのデプレッション型TFETにオフワークを持たせることができる。

【0021】

本発明の半導体装置は、半導体層の不純物濃度分布に膜厚方向の勾配をもたせることにより、不純物濃度を低くしてエネルギーバリアを小さくする領域と、不純物濃度を高くして電流駆動能力を大きくする領域で電界効果トランジスタのチャンネルとなる半導体層を構成する。 30

従って、本発明によれば、電流駆動能力を大きくする領域でキャリアを高速移動させながらエネルギーバリアを小さくする領域で少数キャリアの蓄積あるいは発生を抑制するので、高移動度と高いドレイン耐圧を同時に満たす高性能な電界効果トランジスタを実現できる。

【0022】

また、電界効果トランジスタのゲート電極とソース電極あるいはゲート電極と、ソース電極及びドレイン電極の両方をゲート絶縁膜を介してオーバーラップさせることにより、衝突電離によって発生した少数キャリアのドレイン近傍での蓄積をしにくくし、これと半導体層の不純物濃度分布に膜厚方向の勾配をもたせることにより、ドレイン耐圧を更に改善することができる。さらに、ノーマリオフ特性で高いドレイン耐圧を有し、製造工数の増加を抑制しつつ、さらなる集積化が可能な薄膜トランジスタを実現できる。 40

また、高いドレイン耐圧を有する半導体装置及びその装置・製造方法を得ることができる。

【発明を実施するための最良の形態】

【0023】

以下に図面を参照して、本発明の実施の形態について説明する。 50

上述の問題を解決するためには、チャネル領域のドレイン端側にて発生した少数キャリアに対して、チャネル領域のソース端側に存在するエネルギーバリアを小さくし、チャネル領域のドレイン端側で少数キャリアが発生してもそれが蓄積されにくいようにする方法、および上記ドレイン端側の電界強度を抑制することにより問題となる少数キャリアが発生しないようにする方法等が考えられる。

【0024】

半導体層の不純物濃度を小さくすることにより両者の問題を同時に解決することができるが、前述したように不純物濃度を小さくすることは電流駆動能力を低下させる問題がある。

【0025】

できる限り電流駆動能力を低下させずにドレイン耐電圧を改善するためには、少数キャリアの発生を抑制し、半導体層の膜厚方向に不純物濃度の分布に勾配をもたせることを見出した。つまり、半導体層のボディ領域において、上記ソース端側に存在するエネルギーバリアを小さくするために不純物濃度を小さくする領域と、電流駆動能力を向上させるために不純物濃度を高くする領域を形成することである。具体的には例えば、不純物濃度を膜厚方向にガウシアン分布を持つように形成する際に、ボディ領域においてゲート絶縁膜との界面で不純物濃度を小さくし、逆の界面（半導体層の裏面側）においては、その不純物濃度よりも大きくなるように不純物の濃度分布を持たせることにより形成できる。この構成によってゲート絶縁膜と半導体層との界面近傍における少数キャリアに対するエネルギーバリアが小さくなり、ゲート電極下に少数キャリアが蓄積しにくくなる。

【0026】

逆に、半導体層において、ゲート絶縁膜との界面においては、不純物濃度を大きくし、半導体層の反対側内表面側においては、その不純物濃度よりも小さい不純物分布を持たせているので、衝突電離によって生じる少数キャリアの発生を抑制することができる。

【0027】

また、できる限り電流駆動能力を低下させずに問題を解決するためには、衝突電離によって生じた少数キャリアができる限りドレイン近傍に蓄積しないようにすることによってドレイン耐圧を向上させることができる。つまり、ソース電極とゲート電極をオーバーラップする構造とすることによっても、ドレイン耐圧を向上させることができる。

【0028】

図1に、Depletion型トランジスタの構造図を示す。

【0029】

このトランジスタは、ソース・ドレインが半導体層に対してゲートの反対側にあるスタガ型で、n型またはp型の例えばp-Si膜6にソース領域とドレイン領域が形成され、その間のボディ領域の上にゲート酸化膜7を挟んでゲート電極8gが形成される。

【0030】

また、ソース領域とドレイン領域の下にはソース電極4sとドレイン電極4dがそれぞれオーミック接触される。

【0031】

以上のような構成で、ゲート電極8gにゲート電圧 $V_g > 0$ を印加すると、 $V_g = 0$ でドレイン電流 I_d が流れ、 V_g を徐々に上げていくと、ボディ領域の空乏層が広がってチャネルを狭くし、 V_g を高くするほど I_d が減少する。

図1に示した構造をもつDepletion型トランジスタ（ゲート電圧で半導体層に空乏層を形成しその空乏層幅によってドレイン電流を制御するトランジスタ）においては、図2に示したようにドレイン近傍での衝突電離によって生じた少数キャリアがゲート電極下に蓄積し耐圧を低下させる。

【0032】

図3に示した構造（半導体層のゲート絶縁膜との界面近傍の不純物濃度を小さくし、逆の界面の不純物濃度を相対的に大きくする）においては、ゲート電圧により半導体層に空乏層が形成された場合に、ドレイン近傍で発生した少数キャリアが蓄積されにくく、ドレ

10

20

30

40

50

イン耐圧が改善される。

また、図4に示した構造（半導体層のゲート絶縁膜との界面と逆の界面近傍の不純物濃度を小さくし、ゲート絶縁膜との界面近傍の不純物濃度を相対的に大きくする）においては、ゲート電圧により半導体層に空乏層が形成された場合に、ドレイン近傍での衝突電離が生じにくく、ドレイン耐圧が改善される。

【0033】

衝突電離によって生じた少数キャリアが、ゲート電極下に蓄積しないようにする方法は、Si薄膜の不純物濃度を小さくする方法、及び図3に示したようなp-Si膜6の膜厚方向に不純物濃度勾配をつける方法以外にも、ゲート電極をソース電極とオーバーラップさせる方法が考えられる。図8のようにゲート電極8gとソース電極4sをオーバーラップさせることによって、オーバーラップに起因した寄生容量により、ドレイン近傍で衝突電離によって発生した少数キャリアが半導体層とゲート絶縁膜の界面近傍のドレイン近傍に蓄積されにくくなり、ドレイン耐圧が改善される。また、図3に示した構造と図8に示した構造を同時に実現することによって、更にドレイン耐圧が改善される。

10

【0034】

ただし、図8に示すような構造は、ソース電極4sとドレイン4dの配置（入出力側）が入れ替わり、ドレイン電極4dの上方にゲート電極8gが存在する回路構成では適用できない。ソース電極4sとドレイン電極4dが入れ替わることがあり得る場合は、ゲート電極8gはソース電極4sだけでなく、ドレイン電極4dともオーバーラップさせるとよい。要するに、ソース電極4s上方にゲート電極8gが存在すればよい。

20

【0035】

図5に、スタガ型TFET（薄膜トランジスタ）を例に本発明を実施した半導体装置の製造工程の断面図を示す。

図5において、(1)図～(2)図に示すように、ガラス基板1の上にチャネル領域への励起光の入光を遮光するために成膜された遮光膜2を島状にパターニングし、その表面上に絶縁膜3を成膜する。

【0036】

次に、(3)図～(4)図に示すように、絶縁膜3上にソース・ドレイン電極膜4とオーミックコンタクト膜5を全面に連続形成し、ソース電極4sとドレイン電極4dを島状に分離パターニングする。

30

次に、(5)図～(6)図に示すように、a-Si膜（非晶質シリコン膜）6を成膜した後、島状にパターニングし、a-Si膜6にボロンなどの不純物イオンaをイオン注入し、さらにレーザ光bを照射して熔融・再結晶化し、結晶化されたp型のp-Si膜6を生成する。

【0037】

不純物イオンaは、イオンビームの電流と形状、加速電圧、注入時間の制御を正確に行うことにより、不純物の濃度分布、拡散深さを高い精度で制御し、p-Si膜6の不純物の濃度分布に膜厚方向の勾配をもたせる。

次に、(7)図～(8)図に示すように、その上にゲート酸化膜7とゲート電極膜8を堆積して全体を被覆した後、選択エッチングすることにより、ゲート電極8gを島状にパターニングする。このようにして、TFET構造の半導体装置を製造する。

40

【0038】

〔実施例1〕

図1に示した構造において、ゲート長L1およびオフセット長L2をいずれも1ミクロン、ゲート酸化膜7厚、p-Si膜6厚をいずれも50nmとした構造において、デバイスシミュレータによりドレイン耐圧をシミュレートした。ドレイン耐圧は、ソース電極4sを0Vに固定した条件で、オフ状態におけるドレイン電流が1pA以上となるドレイン電圧と定義した。従来の構造（図2）において、p-Si膜6の不純物濃度を 1.0×10^{17} （個/cm³）で同様とした場合のドレイン耐圧、および構造1（図3）、構造2（図4）において不純物濃度のピーク値を 1.0×10^{17} （個/cm³）としガウシア

50

ン分布によって不純物濃度が分布した場合のドレイン耐圧を計算した。なお不純物濃度がピークとなる位置は構造 1 の場合は、p-Si 膜 6 のゲート酸化膜 7 との界面と逆の界面に形成した例であり、構造 2 の場合は、p-Si 膜 6 のゲート酸化膜 7 との界面に形成した例である。

【0039】

上記条件のもと計算を行った結果、p-Si 膜 6 の不純物濃度が 1.0×10^{17} (個/cm³) で一様な場合はドレイン耐圧が n チャンネルで 1.4 V、p チャンネルで 2.4 V である。構造 1、構造 2 において不純物濃度の分布の標準偏差を変えた場合のドレイン耐圧を n チャンネルの場合を図 6 に、p チャンネルの場合を図 7 に示した。結果として、構造 1、構造 2 のいずれにおいても、ドレイン耐圧が改善されており、本構造が有用であることが示された。

【0040】

[実施例 2]

図 8 に示したゲートソースオーバーラップ構造において、図 9 に示すように、ゲート長 L1 を 3 ミクロン、オフセット長 L2 を 1 ミクロン、電極間距離 L3 を 3 ミクロン、ゲート酸化膜 7 の厚さ、p-Si 膜 6 の厚さをいずれも 50 nm とした構造に対してドレイン耐圧をシミュレートした。この結果、p-Si 膜 6 の不純物濃度を 1.0×10^{17} (個/cm³) で一様とした場合のドレイン耐圧は 3.8 V であり、図 1 の構造の場合 (1.4 V) に対して改善されている。また、図 3 と同じような濃度勾配を持たせたゲートソースオーバーラップ構造のドレイン耐圧は 14.2 V であり、顕著に改善される。

【0041】

[実施例 3]

前述したように、ゲートソースオーバーラップ構造は、ソースとドレインが入れ替わることがあり得る回路構成では適用できない。このような場合にはゲート電極 8g はソース電極 4s だけでなくドレイン電極 4d もオーバーラップさせる必要があり、図 10 に示すような全面ゲート構造となる。この構造において、図 11 に示すように、ゲート長 L1 を 5 ミクロン、電極間距離 L3 を 3 ミクロン、ゲート酸化膜 7 厚、p-Si 膜 6 厚をいずれも 50 nm とした構造に対してドレイン耐圧をシミュレートした。この結果、p-Si 膜 6 の不純物濃度を 1.0×10^{17} (個/cm³) で一様とした場合のドレイン耐圧は 1.8 V であり、図 1 の構造の場合 (1.4 V) に対してあまり違いがないが、図 3 と同じような濃度勾配を持たせた全面ゲート構造のドレイン耐圧は 5.4 V であり、顕著に改善される。

【0042】

[実施例 4]

実施例 4 として、本発明の半導体装置を薄膜トランジスタ (TFET) に適用した例について説明する。

図 12 (a) を参照して、本実施例における n 形シリコンを用いた n 形 (n チャンネル) TFET について説明する。

【0043】

この n 形 TFET は、基板例えば、ガラス基板上に一導電型半導体層例えば、n 形シリコン層が形成され、このシリコン (Si) 層に形成されたボディ領域と、n チャンネルが形成されるシリコン (Si) 層に設けられるボディ (n) 領域 11 と、シリコン層に離隔して不純物がドーピングされてボディ領域 11 の両側に設けられるソース・ドレイン (n⁺) 領域 12a、12b と、これらのソース・ドレイン領域 12a、12b 上に設けられた金属等からなるソース・ドレイン電極 13a、13b と、ボディ領域 11 上に設けられたシリコン酸化膜 (SiO₂) からなるゲート絶縁膜 14 と、ゲート絶縁膜 14 上でソース・ドレイン領域 12a、12b に対して、オフセット距離 A1、A2 を設けてボディ領域 11 よりも短い長さのゲート長 L を有するゲート電極 15 とで構成される。ここで、ソース領域 12a 側のオフセット距離 A1 とドレイン領域 12b 側のオフセット距離 A2 の長さは、 $A1 \leq A2$ の関係にある。但し、この場合は、ソースとドレインが回路構成上で交代され

ず固定されて使用されるものとする。

【0044】

このn形TF T構造の例では、ゲート長L及びオフセット距離A1、A2の長さをいずれも $1\mu\text{m}$ 、ゲート絶縁膜14を 30nm 、ボディ領域11及びソース・ドレイン(n^+)領域12a、12bからなるシリコン膜の膜厚を 50nm としている。

図12(b)を参照して、p形TF Tについて説明する。この構造は、前述したn形TF Tをp形シリコンに置き換えた構造である。

このp形TF Tは、pチャンネルが形成されるボディ(p)領域16と、このボディ領域16の両側に電氣的に接合するように設けられるソース・ドレイン(n^+)領域17a、17bと、これらのソース・ドレイン領域17a、17b上に設けられた金属等からなるソース・ドレイン電極18a、18bと、ボディ領域16上に設けられたゲート絶縁膜14と、ゲート絶縁膜14上でソース・ドレイン領域17a、17bに対して、オフセット距離B1、B2を設けてボディ領域16よりも短い長さのゲート長Lを有するゲート電極19とで構成される。ここで、ソース領域17a側のオフセット距離B1とドレイン領域17b側のオフセット距離B2の長さは、 $B1 \leq B2$ の関係にある。これらのTF Tは、基本的にはトップゲート・デプレッション型TF T構造の思想を取り入れて構成されている。

【0045】

このような構造におけるドレイン耐圧は、ドレイン端(ドレイン領域17bとボディ領域16の接合箇所)の電界強度の低減効果等により顕著に改善される。つまり、このTF T構造におけるドレイン耐圧は、図13におけるボディ濃度(不純物濃度)とドレイン耐圧所謂、降伏電圧(breakdown voltage)の関係となる。ここで示すようにドレイン耐圧は、ボディ領域の不純物濃度に依存しており、所望のドレイン耐圧と電流駆動能力の兼ね合いで決定すべきである。この図13において、例えば、ボディ濃度を約 1×10^{17} (個/ cm^3)以下とすることでノーマリオフとなり、降伏電圧は、約3V程度から、 1×10^{16} (個/ cm^3)で約28Vとなる。

【0046】

図14は、第1の実施形態で説明したn、p形TF Tにおけるゲート電圧 V_g とドレイン電流 I_d との関係を示している。ここでは、ソース電極3aを0Vに固定し、オフ状態におけるドレイン電流が1pA以上となるドレイン電圧と定義し、ボディ濃度を 5×10^{16} 個/ cm^3 として、8V程度のドレイン耐圧を得ることができる。

この図14に示すように、 $V_d = 5\text{V}$ とし、前述したようにボディ濃度を 5×10^{16} (個/ cm^3)とした場合には、n形TF Tは、ゲート電圧0Vよりやや負側から急峻に立ち上がるノーマリーオフ特性となり、p形TF Tのドレイン電流は、0Vへ向かい-1V程度を越えてから急峻に立ち下がるノーマリーオフ特性となる。

【0047】

また、電界強度を低減させる場合、図15に示すようにソース側のオフセット距離C1及びドレイン側のオフセット距離C2の長さは、それぞれ0以上であり、オフセット距離C2の長さはオフセット距離C1の長さと同じか、より大きくすることが望ましい($C1 \leq C2$)。これらのオフセット距離C1、C2を設けることにより、従来のゲート電極とドレイン領域の構造に対して、ゲート電極5とドレイン領域3bとの距離が離れ、電界強度が緩和される。

【0048】

この図13に示すような不純物濃度による特性を利用して、所望する立ち上がり特性(ノーマリーオフ)を持たせることにより、従来のノーマリーオンのデプレッション型TF Tにオフワークを持たせることができる。この時、図示するように、ゲート電圧を印加していないボディ領域2、6には、空乏層(空乏領域)が存在し、ゲート電圧の印加を調整することにより、この空乏層が減少してドレイン電流が流れる。

【0049】

以上説明したように、図12(a)、(b)に示す構成において、ボディ領域の不純物

10

20

30

40

50

濃度を約 1×10^{17} (個/cm³) 以下とし、n形TFETでは、ゲート電極5にp⁺形ポリシリコンを用いて、p形TFETでは、ゲート電極5にn⁺形ポリシリコンを用いることで、共にノーマリオフとすることができる。さらにゲート電極材料としては、これらのn⁺形ポリシリコン及びp⁺形ポリシリコンの代わりに同程度の仕事関数値を持つ金属を用いてもよい。

このような構造の薄膜トランジスタは、高いドレイン耐圧を有し、LDD工程に比べて製造工程が少なく済み、また電流駆動能力が低下が防止できる。

【図面の簡単な説明】

【0050】

【図1】本発明を実施したDepletion型トランジスタの構造図である。

10

【図2】不純物濃度を一様にした従来のトランジスタの構造図である。

【図3】上界面の不純物濃度を最小にしたトランジスタの構造図である。

【図4】下界面の不純物濃度を最小にしたトランジスタの構造図である。

【図5】本発明を実施した半導体装置の製造工程の断面図である。

【図6】nチャネルの不純物濃度分布の標準偏差とドレイン耐圧の関係グラフである。

【図7】pチャネルの不純物濃度分布の標準偏差とドレイン耐圧の関係グラフである。

【図8】ゲートソースオーバーラップ構造のトランジスタの構造図である。

【図9】図8の構造説明図である。

【図10】全面ゲート構造のトランジスタの構造図である。

【図11】図10の構造説明図である。

20

【図12】実施例4に係る薄膜トランジスタ(TFET)の概略的な構造例を示す図である。

【図13】ボディ濃度と降伏電圧の関係を示す図である。

【図14】n, p形TFETにおけるゲート電圧V_gとドレイン電流I_dとの関係を示す図である。

【図15】実施例4のTFETにおけるオフセット距離について説明するための図である。

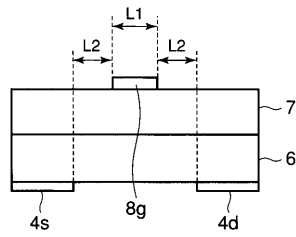
【符号の説明】

【0051】

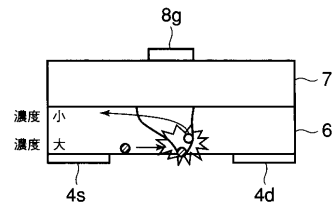
1…ガラス基板、2…遮光膜、3…絶縁膜、4…ソース・ドレイン電極膜、4d…ドレイン電極、4s…ソース電極、5…オーミックコンタクト膜、6…a-Si膜(p-Si膜)、7…ゲート酸化膜、8…ゲート電極膜、8g…ゲート電極、a…不純物イオン、b…レーザ光。

30

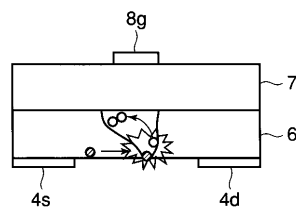
【図 1】



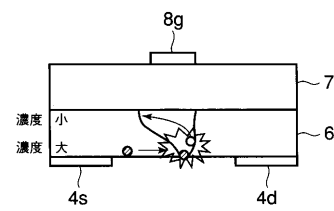
【図 3】



【図 2】

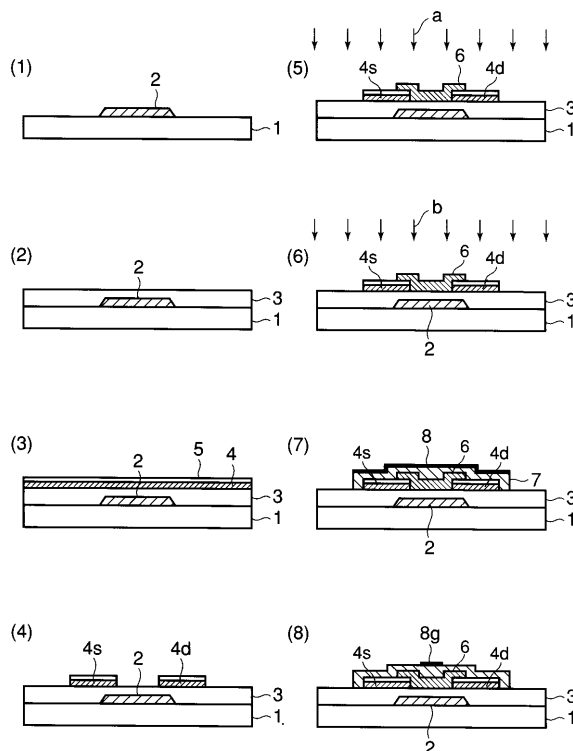


【図 4】

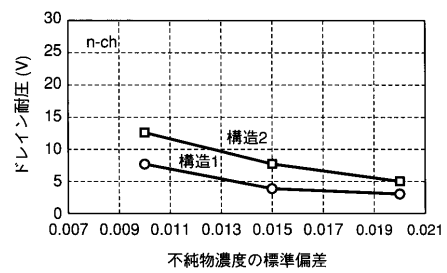


n-chの場合
 ● 電子 (多数キャリア)
 ○ 正孔 (少数キャリア)

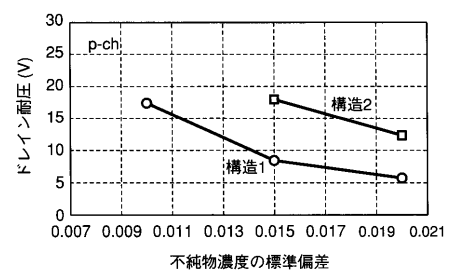
【図 5】



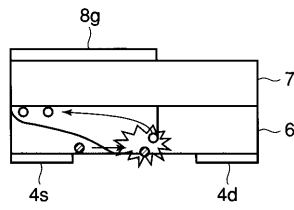
【図 6】



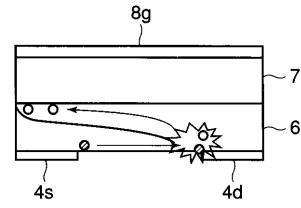
【図 7】



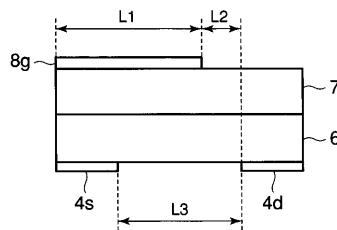
【図 8】



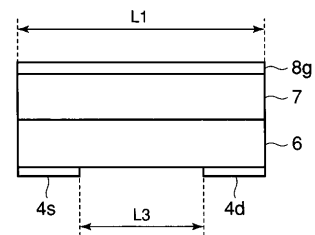
【図 10】



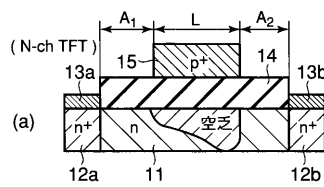
【図 9】



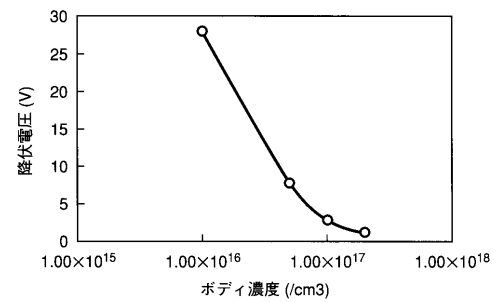
【図 11】



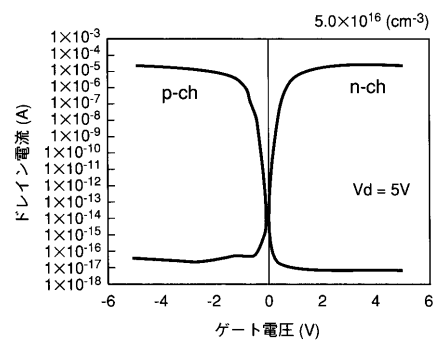
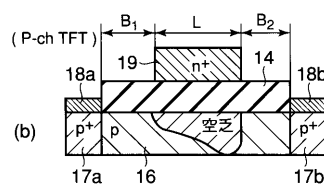
【図 12】



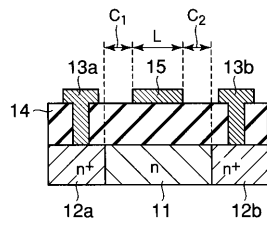
【図 13】



【図 14】



【図 15】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 是成 貴弘

神奈川県横浜市戸塚区吉田町2-9-2番地 株式会社液晶先端技術開発センター内

Fターム(参考) 5F110 AA04 AA13 AA16 BB01 CC02 CC05 DD02 DD11 EE09 EE42

FF02 FF27 GG02 GG13 GG25 GG28 GG32 GG37 GG52 HK02

HK21 HM12 HM13 HM14 NN41 PP03 QQ09