

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2024年5月10日 (10.05.2024)



(10) 国际公布号  
**WO 2024/093702 A1**

- (51) 国际专利分类号:  
H01L 27/12 (2006.01) H10K 59/131 (2023.01)  
H10K 59/12 (2023.01) G09G 3/3233 (2016.01)
- (21) 国际申请号: PCT/CN2023/125969
- (22) 国际申请日: 2023年10月23日 (23.10.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202211378086.2 2022年11月4日 (04.11.2022) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS

TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路1188号, Sichuan 611731 (CN)。

- (72) 发明人: 青海刚 (QING, Haigang); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。牟良丰 (MOU, Liangfeng); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。胡明 (HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。邱海军 (QIU, Haijun); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(54) Title: ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及显示装置

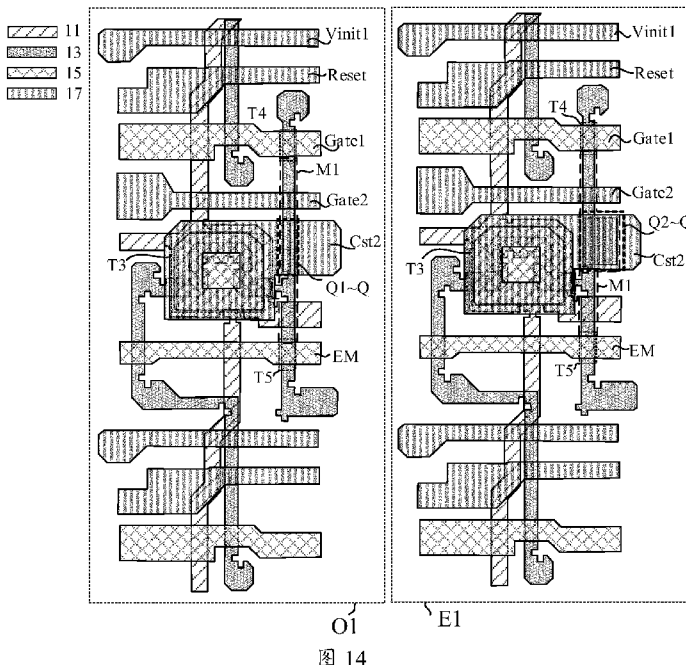


图 14

(57) Abstract: An array substrate (1), comprising: a base (101), and a plurality of pixel driving circuits (10) arranged on the base (101), wherein a first electrode region (S3) of a driving transistor (T3) of the pixel driving circuit (10), a second electrode region (D4) of a data writing transistor (T4) thereof and a second electrode region (D5) of a first light-emission control transistor (T5) thereof are connected to form a conductive connection pattern (M1), and the conductive connection pattern (M1) is a continuous pattern. The plurality of pixel driving circuits (10) are configured to be an odd-numbered row circuit group (O1) and an even-numbered row circuit group (E1).



WO 2024/093702 A1

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

The array substrate (1) further comprises a conductive pattern (Q), wherein the conductive pattern (Q) comprises a pattern in the pixel driving circuit (10) that is located on a different layer from the conductive connection pattern (M1). The overlap area of the conductive connection pattern (M1) of at least one pixel driving circuit (10) in the odd-numbered row circuit group (O1) and the orthographic projection of the conductive pattern (Q) on the base (101) is smaller than the overlap area of the conductive connection pattern (M1) of at least one pixel driving circuit (10) in the even-numbered row circuit group (E1) and the orthographic projection of the conductive pattern (Q) on the base (101).

(57) 摘要: 一种阵列基板(1), 包括: 基底(101)以及设置于基底(101)上的多个像素驱动电路(10), 像素驱动电路(10)的驱动晶体管(T3)的第一极区(S3)、数据写入晶体管(T4)的第二极区(D4)和第一发光控制晶体管(T5)的第二极区(D5)连接为导电连接图案(M1), 导电连接图案(M1)为连续图案。多个像素驱动电路(10)被配置为: 奇数排电路组(O1)和偶数排电路组(E1)。阵列基板(1)还包括: 导电图案(Q), 导电图案(Q)包括像素驱动电路(10)中的与导电连接图案(M1)位于不同层的图案。奇数排电路组(O1)中的至少一个像素驱动电路(10)的导电连接图案(M1)与导电图案(Q)在基底(101)上的正投影的交叠面积, 小于偶数排电路组(E1)中的至少一个像素驱动电路(10)的导电连接图案(M1)与导电图案(Q)在基底(101)上的正投影的交叠面积。

## 阵列基板及显示装置

本申请要求于 2022 年 11 月 4 日提交的、申请号为 202211378086.2 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

本公开涉及显示技术领域，尤其涉及一种阵列基板及显示装置。

### 背景技术

随着 AMOLED (Active-Matrix Organic Light Emitting Diode, 有源矩阵有机发光二极管) 技术的成熟，越来越多的终端使用 AMOLED 作为显示面板。针对游戏类产品，市场对高帧频 (90Hz、120Hz) AMOLED 屏幕要求也越来越迫切。

### 发明内容

一方面，提供一种阵列基板，阵列基板包括：基底以及设置于所述基底上的多个像素驱动电路，所述多个像素驱动电路中的每个像素驱动电路包括：晶体管，所述晶体管包括：驱动晶体管、数据写入晶体管和第一发光控制晶体管。所述阵列基板还包括：所述晶体管的第一极区和第二极区，所述驱动晶体管的第一极区、所述数据写入晶体管的第二极区和所述第一发光控制晶体管的第二极区连接为导电连接图案，且所述导电连接图案为连续的图案。

所述多个像素驱动电路被配置为：奇数排电路组和偶数排电路组，所述奇数排电路组和所述偶数排电路组包括沿第一方向排列设置的多个所述像素驱动电路，沿第二方向，所述奇数排电路组和所述偶数排电路组交替设置，所述第一方向和所述第二方向相交叉。

所述阵列基板还包括：导电图案，所述导电图案包括所述像素驱动电路中的与所述导电连接图案位于不同层的图案。所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案在所述基底上的正投影的交叠面积，小于所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案在所述基底上的正投影的交叠面积。

在一些实施例中，所述晶体管还包括：补偿晶体管，所述阵列基板还包括：所述补偿晶体管的栅极图案和第二扫描信号线，所述补偿晶体管的栅极图案与所述第二扫描信号线电连接；所述补偿晶体管的第二极区与所述驱动晶体管的第二极区连接。所述多个像素驱动电路还被配置为：沿所述第二方向依次设置的多个像素组单元，所述多个像素组单元中的每个像素组单元包括：所述奇数排电路组和与所述奇数排电路组相邻设置的所述偶数排电路组。

每个所述像素组单元共用一条所述第二扫描信号线。

在一些实施例中，阵列基板还包括：设置于所述基底上的第一半导体层，所述导电连接图案位于所述第一半导体层。

在一些实施例中，阵列基板还包括：设置于所述基底上的遮挡层，以及设置于所述遮挡层远离所述基底一侧的第一半导体层。所述导电图案位于所述遮挡层。

在一些实施例中，阵列基板还包括：设置于所述第一半导体层远离所述基底一侧的第一栅导电层，以及设置于所述第一栅导电层远离基底一侧的第二栅导电层。所述像素驱动电路还包括：电容器和补偿晶体管，所述电容器包括：第一极板和第二极板，所述第一极板位于所述第一栅导电层，所述第二极板位于所述第二栅导电层。所述第一极板与所述补偿晶体管的第一极区电连接，所述第二极板与电源信号线电连接。所述导电图案包括：位于所述遮挡层的第一部分和与所述第二极板电连接的第二部分。

在一些实施例中，阵列基板还包括：设置于所述第一半导体层远离所述基底一侧的第一栅导电层，以及设置于所述第一栅导电层远离基底一侧的第二栅导电层。所述导电图案位于所述第二栅导电层。

在一些实施例中，所述奇数排电路组中的所述导电图案在所述基底上的正投影的面积，与所述偶数排电路组中的所述导电图案在所述基底上的正投影的面积相等。在所述偶数排电路组中，所述导电连接图案上连接有位于所述第一半导体层的第一扩展图案，所述导电图案在所述基底上的正投影，覆盖所述第一扩展图案在所述基底上的正投影。

在一些实施例中，所述阵列基板还包括：设置于所述第一半导体层远离所述基底一侧的第二栅导电层。所述阵列基板还包括第二扫描信号线，所述第二扫描信号线位于所述第二栅导电层。所述导电图案与所述第二扫描信号线为一体结构。

在一些实施例中，阵列基板还包括：设置于所述第一半导体层远离所述基底一侧的第一源漏金属层，所述第一源漏金属层包括第三扩展图案，所述第三扩展图案与所述导电连接图案通过过孔连接。阵列基板还包括：设置于所述第一源漏金属层远离所述基底一侧的第二源漏金属层，所述第二源漏金属层包括电源信号线。所述导电图案与所述电源信号线为一体结构，所述奇数排电路组中的所述第三扩展图案在所述基底上的正投影与所述导电图案在所述基底上的正投影的交叠面积，小于所述偶数排电路组中的所述第三扩展图案在所述基底上的正投影与所述导电图案在所述基底上的正投影的交叠面

积。

在一些实施例中，在所述奇数排电路组中，所述数据信号线在所述基底上的正投影，与所述第三扩展图案在所述基底上的正投影无交叠。

在一些实施例中，所述第三扩展图案在所述基底上的正投影，与所述导电连接图案在所述基底上的正投影有交叠。

在一些实施例中，所述晶体管包括：第一复位晶体管、补偿晶体管、第二发光控制晶体管和第二复位晶体管。所述阵列基板还包括：第一初始信号线、第二初始信号线、数据信号线和电源信号线。所述第一复位晶体管的第一极区与所述第一初始信号线电连接，所述第一复位晶体的第二极区和所述补偿晶体管的第一极区电连接，所述补偿晶体的第二极区与所述驱动晶体的第二极区电连接。所述第二发光控制晶体管的第一极区与所述驱动晶体的第二极区电连接，所述第二发光控制晶体的第二极区与所述第二复位晶体的第二极区电连接，所述第二复位晶体管的第一极区与所述第二初始信号线电连接。所述数据写入晶体管的第一极区与所述数据信号线电连接，所述第一发光控制晶体管的第一极区与所述电源信号线电连接。

在一些实施例中，阵列基板还包括：所述第一复位晶体管的栅极图案、复位信号线、所述第二复位晶体管的栅极图案、第一扫描信号线、所述第一发光控制晶体管的栅极图案、所述第二发光控制晶体管的栅极图案和发光控制信号线。所述第一复位晶体管的栅极图案与所述复位信号线电连接，所述第二复位晶体管的栅极图案与所述第一扫描信号线电连接，所述第一发光控制晶体管的栅极图案和所述第二发光控制晶体管的栅极图案与所述发光控制信号线电连接。

在一些实施例中，阵列基板还包括：设置于所述基底一侧的第一半导体层，所述导电连接图案位于所述第一半导体层；设置于所述第一半导体层远离所述基底一侧的第一栅导电层，所述第一扫描信号线和所述发光控制信号线位于所述第一栅导电层；设置于所述第一栅导电层远离所述基底一侧的第二栅导电层，所述第一初始信号线和所述复位信号线位于所述第二栅导电层；设置于所述第二栅导电层远离所述基底一侧的第一源漏金属层，所述第二初始信号线位于所述第一源漏金属层；设置于所述第一源漏金属层远离所述基底一侧的第二源漏金属层，所述数据信号线和所述电源信号线位于所述第二源漏金属层。

在一些实施例中，所述补偿晶体管和所述第一复位晶体管包括氧化物薄膜晶体管。阵列基板还包括：设置于所述第二栅导电层和所述第一源漏金属

层之间的第二半导体层和第三栅导电层，所述第三栅导电层设置于所述第二半导体层远离所述基底的一侧。

另一方面，提供一种阵列基板，该阵列基板包括：基底以及设置于所述基底上的多个像素驱动电路。所述多个像素驱动电路中的每个像素驱动电路包括：晶体管，所述晶体管包括：驱动晶体管、数据写入晶体管和第一发光控制晶体管。所述阵列基板还包括：所述晶体管的第一极区和第二极区；所述驱动晶体管的第一极区、所述数据写入晶体管的第二极区和所述第一发光控制晶体管的第二极区连接为导电连接图案，且所述导电连接图案为连续的图案。

所述多个像素驱动电路被配置为：奇数排电路组和偶数排电路组，所述奇数排电路组和所述偶数排电路组包括沿第一方向排列设置的多个所述像素驱动电路。沿第二方向，所述奇数排电路组和所述偶数排电路组交替设置；所述第一方向和所述第二方向相交叉。所述阵列基板还包括：导电图案，所述导电图案包括所述像素驱动电路中的与所述导电连接图案位于不同层的图案。所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间形成的电容的容值，小于所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间形成的电容的容值。

在一些实施例中，所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层，和所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层材质相同。

在一些实施例中，所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层，和所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层包括至少一层相同材质的绝缘层。

又一方面，提供一种显示装置，包括如上任一实施例所述的阵列基板。

## 附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据一些实施例所提供的显示面板的结构图；

图 2 为根据一些实施例所提供的像素驱动电路的等效电路图；

图 3 为根据一些实施例基于图 2 所提供的像素驱动电路的时序图；

图 4 为根据本公开一些实施例所提供的阵列基板的结构图；

图 5 为根据本公开一些实施例所提供的像素驱动电路的等效电路图；

图 6 为根据本公开一些实施例所提供的遮挡层、第一半导体层和第一栅导电层叠加后的结构图；

图 7 为根据本公开一些实施例所提供的像素驱动电路的另一种等效电路图；

图 8 为根据本公开一些实施例基于图 7 所提供的像素驱动电路的时序图；

图 9 为根据本公开一些实施例所提供的第一半导体层、第一栅导电层、第二栅导电层、第二半导体层和第三栅导电层叠加后的结构图；

图 10 为根据本公开一些实施例所提供的显示面板的结构图；

图 11 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层和第二栅导电层叠加后的结构图；

图 12 为根据本公开一些实施例所提供的遮挡层、第一半导体层和第二栅导电层叠加后的局部结构图；

图 13 为根据本公开一些实施例所提供的第一半导体层、第一栅导电层和第二栅导电层叠加后的结构图；

图 14 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层和第二栅导电层叠加后的另一种结构图；

图 15 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层和第二栅导电层叠加后的又一种结构图；

图 16 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层、第二栅导电层和第一源漏金属层叠加后的结构图；

图 17 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层、第二栅导电层、第一源漏金属层和第二源漏金属层叠加后的结构图；

图 18 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层、第二栅导电层、第一源漏金属层和第二源漏金属层叠加后的另一种结构图；

图 19 为根据本公开一些实施例所提供的遮挡层、第一半导体层、第一栅导电层、第二栅导电层、第二半导体层、第三栅导电层、第一源漏金属层和第二源漏金属层叠加后的结构图；

图 20 为根据本公开一些实施例所提供的第一半导体层、第一栅导电层和第二栅导电层叠加后的又一种结构图；

图 21 为根据本公开一些实施例所提供的像素驱动电路的又一种等效电路图；

图 22 为根据本公开一些实施例所提供的第一半导体层、第一栅导电层和第二栅导电层叠加后的又一种结构图；

图 23 为根据本公开一些实施例所提供的第一半导体层、第一栅导电层和第二栅导电层叠加后的又一种结构图；

图 24 为根据本公开一些实施例所提供的显示装置的结构图。

### 具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示例性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，

或成一体；可以是直接相连，也可以通过中间媒介间接相连。术语“耦接”例如表明两个或两个以上部件有直接物理接触或电接触。术语“耦接”或“通信耦合 (communicatively coupled)”也可能指两个或两个以上部件彼此间并无直接接触，但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义，均包括以下 A、B 和 C 的组合：仅 A，仅 B，仅 C，A 和 B 的组合，A 和 C 的组合，B 和 C 的组合，及 A、B 和 C 的组合。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“平行”包括绝对平行和近似平行，其中近似平行的可接受偏差范围例如可以是 5° 以内偏差；“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层的厚度和区域的面积。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

随着有机发光二极管显示 (Organic Light Emitting Diode, OLED) 技术，

例如有源矩阵有机发光二极管(Active-Matrix Organic Light Emitting Diode, AMOLED)显示技术的发展,人们对显示产品的显示效果要求越来越高,显示产品中的像素驱动电路的设计对 AMOLED 产品的显示特性至关重要。

现有的像素驱动电路 10'中,像素驱动电路 10'包括:发光控制信号线 EM、第一扫描信号线 Gate1 和第二扫描信号线 Gate2。如图 1 所示,第一扫描信号线 Gate1 的 GOA (Gate on Array, 阵列基板行驱动) 电路是一行驱动一行,第一扫描信号线 Gate1 的 GOA 电路包括:奇数行 GOA 电路(Gate1-odd GOA)和偶数行 GOA 电路 (Gate1-even GOA)。然而,为了减少 GOA 电路对显示面板 100'的边框区 BB 的占用以实现更窄边框的目的,发光控制信号线 EM 的 GOA 电路和第二扫描信号线 Gate2 的 GOA 电路采用的是一个 GOA 电路驱动两行(即一驱二)的驱动架构。即一个发光控制信号线 EM 的 GOA 电路和第二扫描信号线 Gate2 的 GOA 电路驱动位于显示区 AA 的两行像素驱动电路 10'。

示例性的,如图 2 所示,相邻两行像素驱动电路 10'中补偿晶体管 T2 采用的是同一条第二扫描信号线 Gate2 进行驱动。例如,第一复位晶体管 T1 和补偿晶体管 T2 采用 LTPO (Low Temperature Polycrystalline Oxide, 低温多晶氧化物) 晶体管,高电平开启,其余晶体管采用 LTPS (Low Temperature Poly-silicon, 低温多晶硅) 的 P 型晶体管,低电平开启。关于像素驱动电路 10'的晶体管及其连接关系的具体介绍可以参见后续内容,此处不再赘述。

示例性的,如图 3 所示,为对应图 2 所示的像素驱动电路 10'的驱动时序图,主要分为 6 个阶段:①发光控制信号线 EM 和复位信号线 Reset 同时为高电平,第一节点 N1 由第一初始信号线 Vinit1 信号重置;②第二扫描信号线 Gate2 跳变为高电平,奇数行 odd 和偶数行 even 像素驱动电路 10'的补偿晶体管 T2 同时开启;③奇数行 odd 第一扫描信号线 Gate1 的扫描信号 Gate1-odd 为低电平,奇数行 odd 的数据信号写入和驱动晶体管 T3 阈值补偿同时进行;④偶数行 even 第一扫描信号线 Gate1 的扫描信号 Gate1-even 为低电平,偶数行 even 数据信号写入和驱动晶体管 T3 阈值补偿同时进行;⑤奇数行 odd 和偶数行 even 同时利用第二节点 N2 的寄生电容继续进行数据信号写入和驱动晶体管 T3 阈值补偿,至奇数行 odd 和偶数行 even 的补偿晶体管 T2 同时截止;⑥发光控制信号线 EM 为低电平,奇数行 odd 和偶数行 even 同时发光。

发明人发现,在上述的像素驱动电路 10'中,通过图 3 的驱动时序图可以看到,奇数行 odd 自扫描信号 Gate1-odd 截止到第二扫描信号线 Gate2 信号截止的时长为 a,偶数行 even 自扫描信号 Gate1-even 截止到第二扫描信号线

Gate2 信号截止的时长为  $b$ ，时长  $a$  比时长  $b$  长。

第一扫描信号线 Gate1 信号截止后，无论是奇数行 odd 还是偶数行 even，像素驱动电路 10' 会通过第二节点 N2 的寄生电容  $C_t$  继续经过驱动晶体管 T3 对第一节点 N1 进行数据信号写入和阈值补偿。由于奇数行 odd 像素驱动电路 10' 和偶数行 even 的像素驱动电路 10' 的第二节点 N2 的寄生电容  $C_t$  大小完全一样，但是，奇数行 odd 和偶数行 even 继续进行数据信号写入的时长  $a$  和时长  $b$  不一样，时长  $a$  比时长  $b$  长，因此，会导致在同样的数据信号电压下奇数行 odd 和偶数行 even 补偿结果出现差异，最终体现在显示面板 100' 的显示上为奇数行 odd 暗，偶数行 even 亮，从而出现显示不良的问题，影响画面的品质。

基于此，本公开提供一种阵列基板 1，如图 4 所示，阵列基板 1 包括基底 101 以及设置于基底 101 上的多个像素驱动电路 10。如图 5 所示，多个像素驱动电路 10 中的每个像素驱动电路 10 包括：晶体管，晶体管包括：驱动晶体管 T3、数据写入晶体管 T4 和第一发光控制晶体管 T5。

如图 6 所示，阵列基板 1 还包括：晶体管的第一极区和第二极区，驱动晶体管 T3 的第一极区 S3、数据写入晶体管 T4 的第二极区 D4 和第一发光控制晶体管 T5 的第二极区 D5 连接为导电连接图案 M1，且导电连接图案 M1 为连续的图案。

在像素驱动电路 10 中，如图 5 所示，驱动晶体管 T3、数据写入晶体管 T4 和第一发光控制晶体管 T5 的电连接汇合点为节点 N2。因此，在阵列基板 1 的布图设计中，导电连接图案 M1 区域，与像素驱动电路 10 中的第二节点 N2 相对应。

可以理解的是，在像素驱动电路 10 中，晶体管包括：第一极和第二极，像素驱动电路 10 中晶体管的第一极，对应阵列基板 1 布图设计中的晶体管的第一极区，像素驱动电路 10 中晶体管的第二极，对应阵列基板 1 布图设计中的晶体管的第二极区。例如，图 6 中驱动晶体管 T3 的第一极区 S3，对应图 5 中驱动晶体管 T3 的第一极 s3。图 6 中数据写入晶体管 T4 的第二极区 D4，对应图 5 中数据写入晶体管 T4 的第二极 d4。图 6 中第一发光控制晶体管 T5 的第二极区 D5，对应图 5 中第一发光控制晶体管 T5 的第二极 d5。

因此，图 6 中驱动晶体管 T3 的第一极区 S3、数据写入晶体管 T4 的第二极区 D4 和第一发光控制晶体管 T5 的第二极区 D5 连接的导电连接图案 M1，对应驱动晶体管 T3 的第一极 s3、数据写入晶体管 T4 的第二极 d4 和第一发光控制晶体管 T5 的第二极 d5 电连接汇合点即节点 N2。那么，可以理解的是，

导电连接图案 M1 区域，与像素驱动电路 10 中的第二节点 N2 相对应是指，在第二节点 N2 存在的寄生电容，是由于在阵列基板 1 的布图设计中导电连接图案 M1 区域产生的寄生电容。

其中，寄生的含义是本来没有在此处设计电容，但由于布线之间总是有互容，互容可以认为是寄生在布线之间，所以叫寄生电容，又称杂散电容。

需要说明的是，在本公开的实施例提供的电路中，节点并非表示实际存在的部件，而是表示电路图中相关电连接的汇合点，也就是说，这些节点是由电路图中相关电连接的汇合点等效而成的节点。

如图 4 所示，多个像素驱动电路 10 被配置为：奇数排电路组 O1 和偶数排电路组 E1，奇数排电路组 O1 和偶数排电路组 E1 包括沿第一方向 X 排列设置的多个像素驱动电路 10。沿第二方向 Y，奇数排电路组 O1 和偶数排电路组 E1 交替设置。第一方向 X 和第二方向 Y 相交叉。

示例性的，第一方向 X 为多个像素驱动电路 10 排列的行方向，每一行的像素驱动电路 10 称为一个电路组。第二方向 Y 为多个像素驱动电路 10 排列的列方向，多个电路组沿第二方向 Y 排列设置，分别为第一行、第二行、第三行...第 n 行，其中，第一行、第三行、第五行...均位于奇数行，均可以称为奇数排电路组 O1。第二行、第四行、第六行...均位于偶数行，均可以称为偶数排电路组 E1。因此，奇数排电路组 O1 和偶数排电路组 E1 交替设置。

示例性的，第一方向 X 和第二方向 Y 相垂直。

如图 6、图 11、图 13~图 17 所示，阵列基板 1 还包括：导电图案 Q，导电图案 Q 包括像素驱动电路 10 中的与导电连接图案 M1 位于不同层的图案。奇数排电路组 O1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 在基底 101 上的正投影的交叠面积，小于偶数排电路组 E1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 在基底 101 上的正投影的交叠面积。

需要说明的是，本公开中的“正投影”指的是，由垂直于投影面的、相互平行的投射射线所产生的投影。

可以理解的是，如图 4 所示，像素驱动电路 10 设置于基底 101 上，图 5~图 17 中未示出基底 101，基底 101 的位置可以参照图 4 所示。

为了方便理解奇数排电路组 O1 的导电图案 Q 和偶数排电路组 E1 的导电图案 Q，如图 6、图 11、图 13~图 17 所示，将奇数排电路组 O1 的导电图案 Q 表示为第一导电图案 Q1，偶数排电路组 E1 的导电图案 Q 表示为第二导电图案 Q2。

当导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影交叠时, 导电图案 Q 与导电连接图案 M1 之间会产生寄生电容, 寄生电容的大小, 与导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影的交叠面积大小有关。导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影交叠面积越大, 产生的寄生电容越大。

示例性的, 如图 5 和图 6 所示, 由于奇数排电路组 O1 中的导电连接图案 M1 在基底 101 上的正投影, 与第一导电图案 Q1 在基底 101 上的正投影的交叠面积, 小于偶数排电路组 E1 中的导电连接图案 M1 在基底 101 上的正投影, 与第二导电图案 Q2 在基底 101 上的正投影的交叠面积。因此, 偶数排电路组 E1 在第二节点 N2 产生的寄生电容  $C_e$ , 大于奇数排电路组 O1 在第二节点 N2 产生的寄生电容  $C_e$ 。

如前所述, 奇数行 odd 和偶数行 even 继续进行数据信号写入的时长 a 和时长 b 不一样, 时长 a 比时长 b 长, 具体参照上述内容, 此处不再赘述。本公开将奇数排电路组 O1 的第二节点 N2 的寄生电容  $C_e$  和偶数排电路组 E1 的第二节点 N2 的寄生电容  $C_e$  进行差异化设计, 将奇数排电路组 O1 在第二节点 N2 的寄生电容  $C_e$  设计小一些, 将偶数排电路组 E1 的第二节点 N2 的寄生电容  $C_e$  设计的大一些。

基于此设计, 在现有补偿晶体管 T2 管一驱二的驱动架构下, 虽然第一扫描信号线 Gate1 信号截止后, 奇数排电路组 O1 中的补偿晶体管 T2 的补偿时长 a, 大于偶数排电路组 E1 中的补偿晶体管 T2 的补偿时长 b。但是偶数排电路组 E1 中的第二节点 N2 的寄生电容  $C_e$ , 大于奇数排电路组 O1 中的第二节点 N2 的寄生电容  $C_o$ 。

因此, 在第一扫描信号线 Gate1 信号截止后, 偶数排电路组 E1 中的第二节点 N2 电位下降慢, 奇数排电路组 O1 中的第二节点 N2 电位下降快。虽然偶数排电路组 E1 中的补偿时长 b 比奇数排电路组 O1 中的补偿时长 a 短, 但是, 由于偶数排电路组 E1 中的第二节点 N2 电位下降慢, 相同时长写入的电荷量更多, 最终使得奇数排电路组 O1 和偶数排电路组 E1 的补偿效果一致。

在相同数据电压下, 使得奇数排电路组 O1 的像素驱动电路 10 和偶数排电路组 E1 的像素驱动电路 10 驱动的发光器件 L 没有发光亮度的差异, 从而解决由于奇偶行像素驱动电路 10 的补偿晶体管 T2 的补偿时长不一致引起的奇偶行亮度差异的问题, 提升显示面板 100 图像显示的画质。

示例性的, 导电图案 Q 位于像素驱动电路 10 中的与导电连接图案 M1 位于不同层的图案。导电图案 Q 与导电连接图案 M1 不连接, 导电图案 Q 与导

电连接图案 M1 位于不同的膜层。

需要说明的是，如图 6 所示，为了更清楚的显示奇数排电路组 O1 和偶数排电路组 E1 中导电连接图案 M1 区域中，形成寄生电容的结构设计，图中未示出其他不影响寄生电容差异化设计其他膜层，阵列基板 1 的其他膜层设计并不受限，以下同理。并且，本公开以示例导电连接图案 M1 区域的布图设计为主要部分，对于导电连接图案 M1 区域以外的其他区域的设计并不受限。

在一些实施例中，如图 5 和图 7 所示，晶体管还包括：补偿晶体管 T2。如图 9 所示，阵列基板 1 还包括：补偿晶体管 T2 的栅极图案 G2 和第二扫描信号线 Gate2，补偿晶体管 T2 的栅极图案 G4 和第二扫描信号线 Gate2 电连接。补偿晶体管 T2 的第二极区 D2 与驱动晶体管 T3 的第二极区 D3 连接。

如图 4 和图 5 所示，多个像素驱动电路 10 还被配置为：沿第二方向 Y 依次设置的多个像素组单元 70，多个像素组单元 70 中的每个像素组单元 70 包括：奇数排电路组 O1 和与奇数排电路组 O1 相邻设置的偶数排电路组 E1，每个像素组单元 70 共用一条第二扫描信号线 Gate2。

示例性的，第二方向 Y 为多个像素驱动电路 10 排列的列方向，多个电路组沿第二方向 Y 排列设置，分别为第一行、第二行、第三行...第 n 行，其中，第一行和第二行为一个像素组单元 70、第三行和第四行为一个像素组单元 70、第五行和第六行为一个像素组单元 70...，每个像素组单元 70 共用一条第二扫描信号线 Gate2。

每个像素组单元 70 共用一条第二扫描信号线 Gate2 即为第二扫描信号线 Gate2 一驱二的驱动架构。在第二扫描信号线 Gate2 一驱二的驱动架构下，本公开的设计，即奇数排电路组 O1 中的导电连接图案 M1 在基底 101 上的正投影，与导电图案 Q 在基底 101 上的正投影的交叠面积，小于偶数排电路组 E1 中的导电连接图案 M1 在基底 101 上的正投影，与导电图案 Q 在基底 101 上的正投影的交叠面积，可以解决奇数排电路组 O1 和偶数排电路组 E1 驱动的发光器件 L 存在亮度差异的问题。

为了方便理解导电图案 Q 的设计，以下先介绍像素驱动电路 10 的示例结构，以及阵列基板 1 的布图设计的示例结构，可以理解的是，以下内容仅是对像素驱动电路 10 的结构和阵列基板 1 的布图设计结构的示例，并不是对像素驱动电路 10 的结构和阵列基板 1 的布图设计结构的限制。

在一些实施例中，本公开中的像素驱动电路 10 可以为包括 7T1C、8T1C 或者 9T1C 的电路，其中 T 代表晶体管，位于 T 前面的数字表示为晶体管的个数，C 代表电容器，位于 C 前面的数字表示为电容器的个数，示例性的，

7T1C 表示 7 个晶体管和 1 个电容器。

在一些实施例中，介绍基于图 5 所示的像素驱动电路 10 的结构，像素驱动电路 10 包括：第一复位晶体管 T1、补偿晶体管 T2、驱动晶体管 T3、数据写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第二复位晶体管 T7。

示例性的，如图 5 所示，第一复位晶体管 T1 包括：栅极 g1、第一极 s1 和第二极 d1，第一复位晶体管 T1 的栅极 g1 与复位信号线端电连接，第一复位晶体管 T1 的第一极 s1 与第一初始信号端电连接，第一复位晶体管 T1 的第二极 d1 与第一节点 N1 电连接。复位信号端用于接收复位信号线 Reset 传输的复位信号。第一初始信号端用于接收第一初始信号线 Vinit1 传输的初始信号。第一复位晶体管 T1 被配置为：响应于在复位信号线 Reset 处接收的复位信号，将第一初始信号线 Vinit1 处接收的初始信号传输至第一节点 N1，对驱动晶体管 T3 的栅极 g3 进行复位。

需要说明的是，本公开晶体管的第一极为晶体管的源极和漏极中一者，第二极为晶体管的源极和漏极中另一者。由于晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的，也就是说，本公开的实施例中的晶体管的第一极和第二极在结构上可以是没有区别的。示例性的，在晶体管为 P 型晶体管的情况下，晶体管的第一极为源极，第二极为漏极；示例性的，在晶体管为 N 型晶体管的情况下，晶体管的第一极为漏极，第二极为源极。

示例性的，如图 5 所示，补偿晶体管 T2 包括：栅极 g2、第一极 s2 和第二极 d2，补偿晶体管 T2 的栅极 g2 与第二扫描信号端电连接，补偿晶体管 T2 的第一极 s2 与第一节点 N1 电连接，补偿晶体管 T2 的第二极 d2 与第三节点 N3 电连接。第二扫描信号端用于接收第二扫描信号线 Gate2 传输的扫描信号。补偿晶体管 T2 被配置为：响应于第二扫描信号线 Gate2 处接收的扫描信号，对驱动晶体管 T3 进行阈值补偿。

示例性的，如图 5 所示，驱动晶体管 T3 包括：栅极 g3、第一极 s3 和第二极 d3，驱动晶体管 T3 的栅极 g3 与第一节点 N1 电连接，驱动晶体管 T3 的第一极 s3 与第二节点 N2 电连接，驱动晶体管 T3 的第二极 d3 与第三节点 N3 电连接。驱动晶体管 T3 被配置为产生驱动电流信号。

示例性的，如图 5 所示，数据写入晶体管 T4 包括：栅极 g4、第一极 s4 和第二极 d4，数据写入晶体管 T4 的栅极 g4 与第一扫描信号端电连接，数据写入晶体管 T4 的第一极 s4 与数据信号端电连接，数据写入晶体管 T4 的第二

极 d4 与第二节点 N2 电连接。数据信号端用于接收数据信号线 Vdata 传输的数据信号。数据写入晶体管 T4 被配置为：响应于在第一扫描信号线 Gate1 处接收的扫描信号，将在数据信号线 Vdata 处接收的数据信号传输至驱动晶体管 T3。

示例性的，如图 5 所示，第一发光控制晶体管 T5 包括：栅极 g5、第一极 g5 和第二极 d5，第一发光控制晶体管 T5 的栅极 g5 与发光控制信号端电连接，第一发光控制晶体管 T5 的第一极 g5 与电源信号端电连接，第一发光控制晶体管 T5 的第二极 d5 与第二节点 N2 电连接。发光控制信号端用于接收发光控制信号线 EM 传输的发光控制信号。电源信号端用于接收电源信号线 ELVDD 传输的电源信号。第一发光控制晶体管 T5 被配置为：响应于在发光控制信号线 EM 处接收的发光控制信号，将在电源信号线 ELVDD 处接收的电源信号传输至驱动晶体管 T3。

示例性的，如图 5 所示，第二发光控制晶体管 T6 包括：栅极 g6、第一极 s6 和第二极 d6，第二发光控制晶体管 T6 的栅极 g6 与发光控制信号端电连接，第二发光控制晶体管 T6 的第一极 s6 与第三节点 N3 电连接，第二发光控制晶体管 T6 的第二极 d6 与第四节点 N4 电连接。第二发光控制晶体管 T6 被配置为：响应于在发光控制信号线 EM 处接收的发光控制信号，将驱动电流信号传输至发光器件 L，用于驱动发光器件 L 发光。

示例性的，如图 5 所示，第二复位晶体管 T7 包括：栅极 g7、第一极 s7 和第二极 d7，第二复位晶体管 T7 的栅极 g7 与第一扫描信号端电连接，第二复位晶体管 T7 的第一极 s7 与第二初始信号端电连接，第二复位晶体管 T7 的第二极 d7 与第四节点 N4 电连接。第二复位晶体管 T7 被配置为：响应于在第一扫描信号线 Gate1 处接收的扫描信号，将第二初始信号线 Vinit2 处接收的初始信号传输至发光器件 L，以对发光器件 L 进行复位。

示例性的，发光器件 L 的阳极与第四节点 N4 电连接，发光器件 L 的阴极与参考电压线 ELVSS 电连接。

示例性的，如图 5 所示，像素驱动电路 10 还包括：电容器 Cst，电容器 Cst 包括：第一极板 Cst1 和第二极板 Cst2，电容器 Cst 的第一极板 Cst1 与第一节点 N1 电连接，电容器 Cst 的第二极板 Cst2 与电源信号端电连接。

示例性的，第一复位晶体管 T1 和补偿晶体管 T2 可以采用氧化物薄膜晶体管，即 LTPO (Low Temperature Polycrystalline Oxide, 低温多晶氧化物) 晶体管，高电平导通。驱动晶体管 T3、数据写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第二复位晶体管 T7 均为低温多晶硅薄膜晶

晶体管 (Low Temperature Poly-silicon Thin Film Transistor) 的 P 型晶体管, 低电平导通。

上述像素驱动电路 10 的驱动时序图, 可以参见图 3, 此处不再赘述。

需要说明的是, 上述第一复位晶体管 T1、补偿晶体管 T2、驱动晶体管 T3、数据写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6 和第二复位晶体管 T7 的示例并不是对晶体管类型的限制。

在一些实施例中, 介绍基于图 7 所示的像素驱动电路 10 的结构, 像素驱动电路 10 包括: 第一复位晶体管 T1、补偿晶体管 T2、驱动晶体管 T3、数据写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6、第二复位晶体管 T7、第三复位晶体管 T8 和电容器 Cst。

其中, 补偿晶体管 T2 可以为 N 型晶体管, 第一复位晶体管 T1、驱动晶体管 T3、数据写入晶体管 T4、第一发光控制晶体管 T5、第二发光控制晶体管 T6、第二复位晶体管 T7 和第三复位晶体管 T8 可以为 P 型晶体管。

示例性的, 如图 7 所示, 补偿晶体管 T2 的第一极 s2 连接驱动晶体管 T3 的栅极 g3, 第二极 d2 连接驱动晶体管 T3 的第二极 d3, 栅极 g2 连接第二扫描信号端; 第一复位晶体管 T1 的第一极 s1 连接第一初始信号端, 第二极 d1 连接补偿晶体管 T2 的第二极 d2, 栅极 g1 连接第一复位信号端; 数据写入晶体管 T4 的第一极 s4 连接数据信号端, 第二极 d4 连接驱动晶体管 T3 的第一极 s3, 栅极 g4 连接第一扫描信号端; 第一发光控制晶体管 T5 的第一极 s5 连接电源信号端, 第二极 d5 连接驱动晶体管 T3 的第一极 s3, 栅极 g5 连接发光控制信号端; 第二发光控制晶体管 T6 的第一极 s6 连接驱动晶体管 T3 的第二极 d3, 栅极 g6 连接发光控制信号端; 第二复位晶体管 T7 的第一极 s7 连接第二初始信号端, 第二极 d7 连接第二发光控制晶体管 T6 的第二极 d6, 栅极 g7 连接第二复位信号端; 第三复位晶体管 T8 的第一极 s8 连接第三初始信号端, 第二极 d8 连接驱动晶体管 T3 的第一极 s3, 栅极 g8 连接第二复位信号端; 电容器 Cst 的第一极板 Cst1 连接驱动晶体管 T3 的栅极 g3, 第二极板 Cst2 连接电源信号端。该像素驱动电路 10 可以用于驱动发光器件 L 发光。

第二扫描信号端用于接收第二扫描信号线 Gate2 传输的第二扫描信号, 第一初始信号端用于接收第一初始信号线 Vinit1 传输的第一初始信号, 第一复位信号端用于接收第一复位信号线 Reset1 传输的第一复位信号, 数据信号端用于接收数据信号线 Vdata 传输的数据信号, 第一扫描信号端用于接收第一扫描信号线 Gate1 传输的第一扫描信号, 电源信号端用于接收电源信号线 ELVDD 传输的电源信号, 发光控制信号端用于接收发光控制信号线 EM 传输

的发光控制信号，第二初始信号端用于接收第二初始信号线 Vinit2 传输的第二初始信号，第二复位信号端用于接收第二复位信号线 Reset2 传输的第二复位信号，第三初始信号端用于接收第三初始信号线 Vinit3 传输的第三初始信号。

示例性的，如图 7 所示的像素驱动电路 10 的时序图如图 8 所示，EM 表示发光控制信号线 EM 传输的发光控制信号的时序图；Gate1 表示第一扫描信号线 Gate1 传输的第一扫描信号时序图；Gate2 表示第二扫描信号线 Gate2 传输的第二扫描信号的时序图；Reset1 表示第一复位信号线 Reset1 传输的第一复位信号的时序图；Reset2 表示第二复位信号线 Reset2 传输的第二复位信号的时序图。

本公开中像素驱动电路 10 的驱动方法可以包括扫描帧 Ft。扫描帧 Ft 可以包括：第一复位阶段 t1、第二复位阶段 t2、第三复位阶段 t3、数据写入阶段 t4、发光阶段 t5。在第一复位阶段 t1：第二扫描信号端输出高电平信号，第二复位信号线 Reset2 输出低电平信号，补偿晶体管 T2、第二复位晶体管 T7 和第三复位晶体管 T8 导通，第二初始信号端向发光器件 L 的第一电极输入第二初始信号，第三初始信号端向驱动晶体管 T3 的第一极 s3 输入第三初始信号，同时，驱动晶体管 T3 可以导通，第三初始信号端向驱动晶体管 T3 栅极 g3 写入复位信号；在第二复位阶段 t2：第二扫描信号端输出高电平信号，第一复位信号端输出低电平信号，第一复位晶体管 T1、补偿晶体管 T2 导通，第一初始信号端向驱动晶体管 T3 的栅极 g3 输入第一初始信号；在第三复位阶段 t3：第二扫描信号端输出高电平信号，第一复位信号端输出低电平信号，第一复位晶体管 T1、补偿晶体管 T2 导通，第一初始信号端向驱动晶体管 T3 的栅极 g3 输入第一初始信号；在数据写入阶段 t4，第一扫描信号端输出低电平信号，第二扫描信号端输出高电平信号，补偿晶体管 T2、数据写入晶体管 T4 导通，数据信号端输出数据信号以向驱动晶体管 T3 的栅极 g3 写入补偿电压；在发光阶段 t5：发光控制信号端输出低电平信号，第一发光控制晶体管 T5、第二发光控制晶体管 T6 导通，驱动晶体管 T3 在其栅极 g3 的电压作用下驱动发光器件 L 发光。

本示例性实施例中，驱动晶体管 T3 的栅极 g3 通过补偿晶体管 T2 和第一复位晶体管 T1 连接第一初始信号端，从而可以降低驱动晶体管 T3 在发光阶段向第一初始信号端的漏电流。此外，在第一复位阶段 t1，第三初始信号端向驱动晶体管 T3 的栅极 g3 输入复位信号，向驱动晶体管 T3 的第一极 g3 输入第三初始信号，该设置可以恢复驱动晶体管 T3 由于前一帧偏压造成的磁滞，

以及解决首帧亮度偏暗等问题。

需要说明的是，在其他示例性实施例中，该像素驱动电路 10 还可以有其他驱动方法，本公开不对像素驱动电路 10 的驱动方法进行限定。

以下示例性的介绍一种阵列基板 1 的膜层设计结构。需要说明的是，下述示例并不是对阵列基板 1 膜层结构设计的限制。

如图 10 所示，显示面板 100 包括：阵列基板 1 和发光器件 L，阵列基板 1 上的像素驱动电路 10 用于驱动发光器件 L 发光。阵列基板 1 包括：在基底 101 上依次层叠设置的第一半导体层 13、第一栅导电层 15、第二栅导电层 17、第二半导体层 61、第三栅导电层 62、第一源漏金属层 19 和第二源漏金属层 21。

需要说明的是，阵列基板 1 的各功能膜层之间还设置有绝缘层。功能膜层包括：第一半导体层 13、第一栅导电层 15、第二栅导电层 17、第二半导体层 61、第三栅导电层 62、第一源漏金属层 19 和第二源漏金属层 21。在布图设计的示例图中，为了更清晰的表示功能膜层之间的层叠关系，未示出功能膜层之间的绝缘层。

示例性的，如图 10 所示，绝缘层包括：第一栅绝缘层 103、第二栅绝缘层 104、第一无机绝缘层 105、第三栅绝缘层 106、第二无机绝缘层 107、钝化层 108、第一平坦化层 109 和第二平坦化层 110。

例如，像素驱动电路 10 包括依次层叠设置的第一半导体层 13、第一栅绝缘层 103、第一栅导电层 15、第二栅绝缘层 104、第二栅导电层 17、第一无机绝缘层 105、第二半导体层 61、第三栅绝缘层 106、第三栅导电层 62、第二无机绝缘层 107、第一源漏金属层 19、钝化层 108、第一平坦化层 109、第二源漏金属层 21 和第二平坦化层 110。

示例性的，第一平坦化层 109 和第二平坦化层 110 的材料包括聚酰亚胺，第一无机绝缘层 105 和第二无机绝缘层 107 的材料包括氮化硅和氧化硅中的任一种。

以下为本公开关于导电连接图案 M1 和导电图案 Q 的介绍，可以基于以上的示例的像素驱动电路 10 和阵列基板 1 的膜层设计的介绍理解以下实施例。

在一些实施例中，如图 6、图 11、图 13~图 17 所示，阵列基板 1 还包括：设置于基底 101 上的第一半导体层 13，导电连接图案 M1 位于第一半导体层 13。

示例性的，第一半导体层 13 的材料包括 P-Si（多晶硅）。

示例性的，导电连接图案 M1 位于第一半导体层 13，第二节点 N2 的寄生电容包括位于第一半导体层 13 的导电连接图案 M1 与第一栅导电层 15 之间的寄生电容、导电连接图案 M1 与第二栅导电层 17 之间的寄生电容或导电连接图案 M1 与第一源漏金属层 19 之间的寄生电容等。

在一些实施例中，如图 6 所示，阵列基板 1 还包括：设置于基底 101 上的遮挡层 11，以及设置于遮挡层 11 远离基底 101 一侧的第一半导体层 13，导电图案 Q 位于遮挡层 11。

示例性的，如图 6 所示，奇数排电路组 O1 中的导电连接图案 M1 在基底 101 上的正投影，与遮挡层 11 在基底 101 上的正投影的交叠面积，小于偶数排电路组 E1 中的导电连接图案 M1 在基底 101 上的正投影，与遮挡层 11 在基底 101 上的正投影的交叠面积。

也就是说，如图 6 所示，在第一半导体层 13 的布图设计中，奇数排电路组 O1 中的导电连接图案 M1 可以与偶数排电路组 E1 的导电连接图案 M1 的设计形状一致，且面积相等。在遮挡层 11 的布图设计中，第二导电图案 Q2 的面积，大于第一导电图案 Q1 的面积，使得第一导电图案 Q1 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影的交叠面积，小于第二导电图案 Q2 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影的交叠面积。从而实现在一个像素组单元 70 中，偶数排电路组 E1 的像素驱动电路 10 在第二节点 N2 的寄生电容，大于奇数排电路组 O1 的像素驱动电路 10 在第二节点 N2 的寄生电容的目的。

可以理解的是，可以在一个像素组单元 70 中，使得第一导电图案 Q1 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影的交叠面积，小于第二导电图案 Q2 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影的交叠面积。

也可以在阵列基板 1 的整个布图设计中，使得所有的第一导电图案 Q1 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影的交叠面积，小于所有的第二导电图案 Q2 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影的交叠面积。

即在一个像素组单元 70 中，达到偶数排电路组 E1 的像素驱动电路 10 在第二节点 N2 的寄生电容  $C_e$ ，大于奇数排电路组 O1 的像素驱动电路 10 在第二节点 N2 的寄生电容  $C_o$  的目的即可，此处并不设限。

示例性的，遮挡层 11 可以接入固定电位，屏蔽周边杂散电荷对驱动晶体管 T3 的影响。

在一些实施例中，如图 11 所示，阵列基板 1 还包括设置于第一半导体层 13 远离基底 101 一侧的第一栅导电层 15，以及设置于第一栅导电层 15 远离基底 101 一侧的第二栅导电层 17。

如图 5 和图 9 所示，像素驱动电路 10 还包括：电容器 Cst 和补偿晶体管 T2，电容器 Cst 包括：第一极板 Cst1 和第二极板 Cst2，第一极板 Cst1 位于第一栅导电层 15，第二极板 Cst2 位于第二栅导电层 17。第一极板 Cst1 与补偿晶体管 T2 的第一极区 S2 电连接，第二极板 Cst2 与电源信号线 ELVDD 电连接。

需要说明的是，第一极板 Cst1 与补偿晶体管 T2 的第一极区 S2 通过过孔连接，第二极板 Cst2 与电源信号线 ELVDD 通过过孔连接，第一发光控制晶体管 T5 的第一极区 S5 与电源信号线 ELVDD 通过过孔连接，为了更清楚的表示各个晶体管的位置，并未示出第一极板 Cst1 与补偿晶体管 T2 的第一极区 S2 之间的连接图案，及第二极板 Cst2 与电源信号线 ELVDD 之间的连接图案。

如图 11 和图 12 所示，导电图案 Q 包括：位于遮挡层 11 的第一部分 Qa 和与第二极板 Cst2 电连接的第二部分 Qb。

示例性的，如图 12 所示，位于基底 101 的一侧依次设置有遮挡层 11、第一半导体层 13 和第二栅导电层 17，F 代表投射线的入射方向，投射线的入射方向可以垂直基底 101 所在平面。从投射线的入射方向观察，第二极板 Cst2 与导电连接图案 M1 交叠的面积，等于第二极板 Cst2 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影的交叠面积。

从图 12 可以看出，导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影的交叠面积包括两部分：第二极板 Cst2 的第二部分 Qb 与导电连接图案 M1 在投射线方向的交叠面积，以及遮挡层 11 的第一部分 Qa 与导电连接图案 M1 在投射线方向的交叠面积。因此，在该实施例中，导电连接图案 M1 位于第二极板 Cst2 和遮挡层 11 之间，在导电连接图案 M1 上形成了夹层寄生电容，该夹层寄生电容的大小与第二极板 Cst2 的第二部分 Qb 和导电连接图案 M1 在投射线方向的交叠面积，以及遮挡层 11 的第一部分 Qa 和导电连接图案 M1 在投射线方向的交叠面积之和成正比。

示例性的，如图 12 所示，奇数排电路组 O1 中的第二极板 Cst2 的第二部分 Qb 与导电连接图案 M1 在投射线方向的交叠面积，以及遮挡层 11 的第一部分 Qa 与导电连接图案 M1 在投射线方向的交叠面积之和，小于偶数排电路组 E1 中的第二极板 Cst2 的第二部分 Qb 与导电连接图案 M1 在投射线方向的

交叠面积，以及遮挡层 11 的第一部分 Qa 与导电连接图案 M1 在投射方向上的交叠面积之和。即可实现将偶数排电路组 E1 的第二节点 N2 的寄生电容 Ce 设计的大一些的目的，可以解决奇数排电路组 O1 和偶数排电路组 E1 驱动的发光器件 L 存在亮度差异的问题。

在一些实施例中，如图 13 所示，阵列基板 1 包括设置于第一半导体层 13 远离基底 101 一侧的第一栅导电层 15，以及设置于第一栅导电层 15 远离基底 101 一侧的第二栅导电层 17。导电图案 Q 位于第二栅导电层 17。

示例性的，如图 13 所示，像素驱动电路 10 还包括：电容器 Cst，电容器 Cst 包括：第一极板 Cst1 和第二极板 Cst2，第一极板 Cst1 位于第一栅导电层 15，第二极板 Cst2 位于第二栅导电层 17。位于第二栅导电层 17 的导电图案 Q 与第二极板 Cst2 电连接，也可以理解为导电图案 Q 位于第二极板 Cst2 上。

示例性的，如图 13 所示，奇数排电路组 O1 中的第二极板 Cst2 设置有第一导电图案 Q1，偶数排电路组 E1 中的第二极板 Cst2 设置有第二导电图案 Q2。奇数排电路组 O1 中第一导电图案 Q1 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影的交叠面积，小于偶数排电路组 E1 中的第二导电图案 Q2 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影的交叠面积。实现偶数排电路组 E1 在第二节点 N2 产生的寄生电容 Ce，大于奇数排电路组 O1 在第二节点 N2 产生的寄生电容 Ce 的目的，可以解决奇数排电路组 O1 和偶数排电路组 E1 驱动的发光器件 L 存在亮度差异的问题。

在一些实施例中，如图 14 所示，奇数排电路组 O1 中的导电图案 Q 在基底 101 的正投影的面积，与偶数排电路组 E1 中的导电图案 Q 在基底 101 上的正投影的面积相等。

示例性的，导电图案 Q 位于第二极板 Cst2，在奇数排电路组 O1 和偶数排电路组 E1 中，第二极板 Cst2 的设计面积一致。也可以说，在布图设计中，奇数排电路组 O1 和偶数排电路组 E1 中的第二极板 Cst2 可以具有相同的形状和相等的面积。

如图 14 所示，在偶数排电路组 E1 中，导电连接图案 M1 上连接有位于第一半导体层 13 的第一扩展图案 U1，导电图案 Q 在基底 101 上的正投影，覆盖第一扩展图案 U1 在基底 101 上的正投影。

示例性的，如图 14 所示，在偶数排电路组 E1 中，第一扩展图案 U1 与导电连接图案 M1 连接且均位于第一半导体层 13，第一扩展图案 U1 与导电连接图案 M1 可以一体成型设计。也就是说，在偶数排电路组 E1 中导电连接图案 M1 的设计面积，大于奇数排电路组 O1 中导电连接图案 M1 的设计面积。

在偶数排电路组 E1 中，由于第二导电图案 Q2 在基底 101 上的正投影，覆盖第一扩展图案 U1 在基底 101 上的正投影。因此，在偶数排电路组 E1 中，第二节点 N2 的寄生电容  $C_e$  由第二导电图案 Q2 在基底 101 上的正投影，与导电连接图案 M1 和第一扩展图案 U1 在基底 101 上的正投影的交叠面积有关。该交叠面积大于奇数排电路组 O1 中，第一导电图案 Q1 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影的交叠面积。从而实现偶数排电路组 E1 中的第二节点 N2 的寄生电容  $C_e$ ，大于奇数排电路组 O1 中的第二节点 N2 的寄生电容  $C_o$  的设计，可以解决奇数排电路组 O1 和偶数排电路组 E1 驱动的发光器件 L 存在亮度差异的问题。

需要说明的是，如图 14 所示，在偶数排电路组 E1 和奇数排电路组 O1 中，遮挡层 11 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影有交叠，且交叠面积相同。因此，在偶数排电路组 E1 和奇数排电路组 O1 中，由于遮挡层 11 的存在使得第二节点 N2 产生相等的寄生电容，因此，不影响偶数排电路组 E1 和奇数排电路组 O1 在第二节点 N2 的寄生电容的差异化设计。

所以，可以理解的是，导电图案 Q 是将偶数排电路组 E1 和奇数排电路组 O1 进行比对，引起第二节点 N2 的寄生电容的差异化设计的图案的定义。

在一些实施例中，如图 15 所示，阵列基板 1 还包括设置于第一半导体层 13 远离基底 101 一侧的第二栅导电层 17。阵列基板 1 还包括第二扫描信号线 Gate2，第二扫描信号线 Gate2 位于第二栅导电层 17。导电图案 Q 与第二扫描信号线 Gate2 为一体结构。

示例性的，如图 15 所示，在偶数排电路组 E1 和奇数排电路组 O1 中，导电连接图案 M1 的设计形状和面积相同。第二扫描信号线 Gate2 在基底 101 上的正投影与导电连接图案 M1 在基底 101 上的正投影有交叠。在奇数排电路组 O1 中位于第二扫描信号线 Gate2 的第一导电图案 Q1 的面积，小于在偶数排电路组 E1 中第二扫描信号线 Gate2 的第二导电图案 Q2 的面积。从而实现偶数排电路组 E1 中的第二节点 N2 的寄生电容  $C_e$ ，大于奇数排电路组 O1 中的第二节点 N2 的寄生电容  $C_o$  的设计，可以解决奇数排电路组 O1 和偶数排电路组 E1 驱动的发光器件 L 存在亮度差异的问题。

需要说明的是，如图 15 所示，在偶数排电路组 E1 和奇数排电路组 O1 中，遮挡层 11 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影有交叠，且交叠面积相同。位于第二栅导电层 17 的第二极板 Cst2 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影有交叠，且交

叠面积相同。

因此，在偶数排电路组 E1 和奇数排电路组 O1 中，由于遮挡层 11 的存在使得第二节点 N2 产生相等的寄生电容，由于第二极板 Cst2 的存在使得第二节点 N2 产生相等的寄生电容，均不影响偶数排电路组 E1 和奇数排电路组 O1 在第二节点 N2 的寄生电容的差异化设计。因此，在偶数排电路组 E1 和奇数排电路组 O1 中，遮挡层 11 和第二极板 Cst2 在基底 101 上的正投影，与导电连接图案 M1 在基底 101 上的正投影有交叠的部分，不称为上述的导电图案 Q。

在一些实施例中，如图 16 所示，阵列基板 1 还包括：设置于第一半导体层 13 远离基底 101 一侧的第二栅导电层 17，以及设置于所述第二栅导电层 17 远离基底 101 一侧的第一源漏金属层 19，第一源漏金属层 19 包括第二扩展图案 U2。导电图案 Q 位于第二栅导电层 17，在偶数排电路组 E1 中，第二扩展图案 U2 与导电连接图案 M1 通过过孔 H1 连接。

示例性的，如图 16 所示，在偶数排电路组 E1 中，位于第一源漏金属层 19 的第二扩展图案 U2 与位于第一半导体层 13 的导电连接图案 M1 通过过孔 H1 连接，相当于增大了导电连接图案 M1 的面积，第二扩展图案 U2 和导电连接图案 M1 具有相同的功能，即可以与导电图案 Q 之间形成寄生电容。

因此，如图 16 所示，在偶数排电路组 E1 中，第二导电图案 Q2 位于第二极板 Cst2，第二极板 Cst2 位于第二栅导电层 17。第二扩展图案 U2 与导电连接图案 M1 处于连接的状态，第二极板 Cst2 位于第二扩展图案 U2 和导电连接图案 M1 之间，导电连接图案 M1 与第二导电图案 Q2 之间形成寄生电容，同时第二扩展图案 U2 与第二导电图案 Q2 之间也形成寄生电容，实现增加在偶数排电路组 E1 中第二节点 N2 的寄生电容 Ce 的目的。

示例性的，可以设置奇数排电路组 O1 中的第二扩展图案 U2 在基底 101 上的正投影，与第二极板 Cst2 在基底 101 上的正投影的交叠面积，小于偶数排电路组 E1 中的第二扩展图案 U2 在基底 101 上的正投影，与第二极板 Cst2 在基底 101 上的正投影的交叠面积，实现偶数排电路组 E1 和奇数排电路组 O1 的第二节点 N2 的寄生电容的差异化设计。

示例性的，如图 16 所示，在奇数排电路组 O1 中，可以不设置第二扩展图案 U2，此时，可以认为偶数排电路组 E1 和奇数排电路组 O1 的第二节点 N2 的寄生电容的差异是由于在偶数排电路组 E1 中设置第二扩展图案 U2 引起的。

在一些实施例中，如图 17 所示，阵列基板 1 还包括：设置于第一半导体层 13 远离基底 101 一侧的第一源漏金属层 19，第一源漏金属层 19 包括第三

扩展图案 U3，第三扩展图案 U3 与导电连接图案 M1 通过过孔 H1 连接。

示例性的，在偶数排电路组 E1 和奇数排电路组 O1 中均设置有第三扩展图案 U3，且在偶数排电路组 E1 和奇数排电路组 O1 中的第三扩展图案 U3 的形状一致、面积相等。第三扩展图案 U3 通过过孔 H1 与导电连接图案 M1 连接，增大了导电连接图案 M1 的面积，第三扩展图案 U3 和导电连接图案 M1 具有相同的功能，即可以与导电图案 Q 之间形成寄生电容。

如图 17 所示，阵列基板 1 还包括：设置于第一源漏金属层 19 远离基底 101 一侧的第二源漏金属层 21，第二源漏金属层 21 包括电源信号线 ELVDD。导电图案 Q 与电源信号线 ELVDD 为一体结构。奇数排电路组 O1 中的第三扩展图案 U3 在基底 101 上的正投影与导电图案 Q 在基底 101 上的正投影的交叠面积，小于偶数排电路组 E1 中的第三扩展图案 U3 在基底 101 上的正投影与导电图案 Q 在基底 101 上的正投影的交叠面积。

示例性的，如图 17 所示，在偶数排电路组 E1 中，第二导电图案 Q2 与电源信号线 ELVDD 为一体结构，第二导电图案 Q2 在基底 101 上的正投影，与第三扩展图案 U3 在基底 101 上的正投影有交叠，因此，第二导电图案 Q2 与第三扩展图案 U3 之间形成寄生电容。从而实现增加在偶数排电路组 E1 中第二节点 N2 的寄生电容  $C_e$  的目的。

并且，如图 17 所示，在偶数排电路组 E1 中，在第三扩展图案 U3 和第一半导体层 13 之间设置有第二栅导电层 17，位于第二栅导电层 17 的与第二极板 Cst2 连接的图案在基底 101 上的正投影，与第三扩展图案 U3 和第一半导体层 13 在基底 101 上的正投影均有交叠。因此，第一半导体层 13 和第二极板 Cst2 之间、第二极板 Cst2 和第三扩展图案 U3 之间，第三扩展图案 U3 和第二导电图案 Q2 之间均形成了寄生电容，即形成了多层电容。

在一些实施例中，如图 17 所示，在奇数排电路组 O1 中，电源信号线 ELVDD 在基底 101 上的正投影，与第三扩展图案 U3 在基底 101 上的正投影无交叠。

示例性的，如图 17 所示，偶数排电路组 E1 的电源信号线 ELVDD 与奇数排电路组 O1 中的电源信号线 ELVDD 相比，偶数排电路组 E1 中的电源信号线 ELVDD 在基底 101 上的正投影，与第三扩展图案 U3 在基底 101 上的正投影有交叠，奇数排电路组 O1 中的电源信号线 ELVDD 在基底 101 上的正投影，与第三扩展图案 U3 在基底 101 上的正投影无交叠。实现增加在偶数排电路组 E1 中第二节点 N2 的寄生电容  $C_e$  的目的。

示例性的，如图 17 所示，第三扩展图案 U3 在基底 101 上的正投影，与

导电连接图案 M1 在基底 101 上的正投影有交叠。第三扩展图案 U3 与导电连接图案 M1 通过过孔 H1 连接, 使得设置于第三扩展图案 U3 和导电连接图案 M1 之间的第二极板 Cst2, 与第三扩展图案 U3 和导电连接图案 M1 均形成寄生电容, 有利于增加像素驱动电路 10 中第二节点 N2 的寄生电容。

在一些实施例中, 如图 18 所示, 阵列基板 1 还包括: 设置于第一半导体层 13 远离基底 101 一侧的第一源漏金属层 19, 设置于第一源漏金属层 19 远离基底 101 一侧的第二源漏金属层 21, 第二源漏金属层 21 包括数据信号线 Vdata 和电源信号线 ELVDD。导电图案 Q 与电源信号线 ELVDD 为一体结构。

在奇数排电路组 O1 中第一导电图案与导电连接图案 M1 在基底 101 上的正投影的交叠面积, 小于偶数排电路组 E1 中第二导电图案 Q2 与导电图案 Q 在基底 101 上的正投影的交叠面积。为了避免数据信号线 Vdata 的影响, 将数据信号线 Vdata 进行避让设计, 使得数据信号线 Vdata 在基底 101 上的正投影, 与导电连接图案 M1 在基底 101 上的正投影的无交叠。

在一些示例中, 导电图案 Q 位于像素驱动电路 10 中的与导电连接图案 M1 位于不同层的图案。例如, 导电图案 Q 与参考电压线 ELVSS 电连接、导电图案 Q 与第一初始信号线 Vinit1 电连接、导电图案 Q 与第二初始信号线 Vinit2 电连接或者导电图案 Q 与其他恒压线电连接等, 此处并不受限。

结合以上关于导电连接图案 M1 和导电图案 Q 的介绍, 以下示例又一种阵列基板 1 的膜层设计。

在一些实施例中, 如图 19 所示, 晶体管包括: 第一复位晶体管 T1、补偿晶体管 T2、第二发光控制晶体管 T6 和第二复位晶体管 T7。阵列基板 1 还包括: 第一初始信号线 Vinit1、第二初始信号线 Vinit2、数据信号线 Vdata 和电源信号线 ELVDD。

第一复位晶体管 T1 的第一极区 S1 与第一初始信号线 Vinit1 电连接, 第一复位晶体管 T1 的第二极区 D1 和补偿晶体管 T2 的第一极区 S2 电连接, 补偿晶体管 T2 的第二极区 D2 与驱动晶体管 T3 的第二极区 D3 电连接。第二发光控制晶体管 T6 的第一极区 S6 与驱动晶体管 T3 的第二极区 D3 电连接, 第二发光控制晶体管 T6 的第二极区 D6 与第二复位晶体管 T7 的第二极区 D7 电连接, 第二复位晶体管 T7 的第一极区 S7 与第二初始信号线 Vinit2 电连接, 数据写入晶体管 T4 的第一极区 S4 与数据信号线 Vdata 电连接, 第一发光控制晶体管 T5 的第一极区 S5 与电源信号线 ELVDD 电连接。

示例性的, 如图 9 所示, 阵列基板 1 还包括: 第一复位晶体管 T1 的栅极图案 G1、复位信号线 Reset、第二复位晶体管 T7 的栅极图案 G7、第一扫描

信号线 Gate1、第一发光控制晶体管 T5 的栅极图案 G5、第二发光控制晶体管 T6 的栅极图案 G6 和发光控制信号线 EM。第一复位晶体管 T1 的栅极图案 G1 与复位信号线 Reset 电连接，第二复位晶体管 T7 的栅极图案 G7 与第一扫描信号线 Gate1 电连接，第一发光控制晶体管 T5 的栅极图案 G5 和第二发光控制晶体管 T6 的栅极图案 G6 与发光控制信号线 EM 电连接。

示例性的，如图 19 所示，阵列基板 1 包括：设置于基底 101 一侧的第一半导体层 13，导电连接图案 M1 位于第一半导体层 13。阵列基板 1 包括：设置于第一半导体层 13 远离基底 101 一侧的第一栅导电层 15，第一扫描信号线 Gate1 和发光控制信号线 EM 位于第一栅导电层 15。阵列基板 1 包括：设置于第一栅导电层 15 远离基底 101 一侧的第二栅导电层 17，第一初始信号线 Vinit1 和复位信号线 Reset 位于第二栅导电层 17。阵列基板 1 包括：设置于第二栅导电层 17 远离基底 101 一侧的第一源漏金属层 19，第二初始信号线 Vinit2 位于第一源漏金属层 19。阵列基板 1 包括：设置于第一源漏金属层 19 远离基底 101 一侧的第二源漏金属层 21，数据信号线 Vdata 和电源信号线 ELVDD 位于第二源漏金属层 21。

在一些实施例中，如图 9 和图 19 所示，补偿晶体管 T2 和第一复位晶体管 T1 包括氧化物薄膜晶体管。例如，补偿晶体管 T2 和第一复位晶体管 T1 包括 N 型的氧化物薄膜晶体管。阵列基板 1 还包括：设置于第二栅导电层 17 和第一源漏金属层 19 之间的第二半导体层 61 和第三栅导电层 62，第三栅导电层 62 设置于第二半导体层 61 远离基底 101 的一侧。

示例性的，第二半导体层 61 的材料包括铟镓锌氧化物，但不限于此。补偿晶体管 T2 和第一复位晶体管 T1 的沟道部分位于第二半导体层 61，补偿晶体管 T2 和第一复位晶体管 T1 的栅极图案位于第三栅导电层 62。

本公开的一些实施例还提供一种阵列基板 1，如图 4 和图 5 所示，阵列基板 1 包括基底 101 以及设置于基底 101 上的多个像素驱动电路 10。如图 5 所示，多个像素驱动电路 10 中的每个像素驱动电路 10 包括：晶体管，晶体管包括：驱动晶体管 T3、数据写入晶体管 T4 和第一发光控制晶体管 T5。

阵列基板 1 还包括：晶体管的第一极区和第二极区，驱动晶体管 T3 的第一极区 S3、数据写入晶体管 T4 的第二极区 D4 和第一发光控制晶体管 T5 的第二极区 D5 连接为导电连接图案 M1，且导电连接图案 M1 为连续的图案。

如图 4 所示，多个像素驱动电路 10 被配置为：奇数排电路组 O1 和偶数排电路组 E1，奇数排电路组 O1 和偶数排电路组 E1 包括沿第一方向 X 排列设置的多个像素驱动电路 10。沿第二方向 Y，奇数排电路组 O1 和偶数排电

路组 E1 交替设置。第一方向 X 和第二方向 Y 相交叉。

如图 6、图 11、图 13~图 17 所示，阵列基板 1 还包括：导电图案 Q，导电图案 Q 包括像素驱动电路 10 中的与导电连接图案 M1 位于不同层的图案。奇数排电路组 O1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 形成的电容  $C_o$  的容值，小于偶数排电路组 E1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 形成的电容  $C_e$  的容值。

示例性的，阵列基板 1 的各功能膜层之间设置有绝缘层，可以通过调整绝缘层的不同，实现奇数排电路组 O1 中的导电连接图案 M1 与导电图案 Q 形成的电容  $C_o$  的容值，和偶数排电路组 E1 中的导电连接图案 M1 与导电图案 Q 形成的电容  $C_e$  之间的容值（即电容值）的差异化设计。

在一些实施例中，奇数排电路组 O1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 之间的绝缘层，和偶数排电路组 E1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 之间的绝缘层材质相同。

示例性的，可以通过设置奇数排电路组 O1 中的导电连接图案 M1 与导电图案 Q 之间的绝缘层厚度，大于偶数排电路组 E1 中的导电连接图案 M1 与导电图案 Q 之间的绝缘层厚度。从而使得奇数排电路组 O1 中导电连接图案 M1 与导电图案 Q 形成的电容  $C_o$  的容值，小于偶数排电路组 E1 中的导电连接图案 M1 与导电图案 Q 形成的电容  $C_e$  的容值。

在一些实施例中，奇数排电路组中 O1 的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 之间的绝缘层，和偶数排电路组 E1 中的至少一个像素驱动电路 10 的导电连接图案 M1 与导电图案 Q 之间的绝缘层包括至少一层相同材质的绝缘层。

示例性的，通过调整奇数排电路组中 O1 的导电连接图案 M1 与导电图案 Q 之间的绝缘层，与偶数排电路组 E1 中的导电连接图案 M1 与导电图案 Q 之间的绝缘层的材质的差异，可以实现奇数排电路组 O1 中导电连接图案 M1 与导电图案 Q 形成的电容  $C_o$  的容值，与偶数排电路组 E1 中的导电连接图案 M1 与导电图案 Q 形成的电容  $C_e$  的容值的差异化设计。并且，在奇数排电路组 O1 和偶数排电路组 E1 中，采用至少一层相同材质的绝缘层的设计，可以减少阵列基板 1 的膜层形成的工艺步骤。

在一些实施例中，如图 11 所示，阵列基板 1 还包括设置于第一半导体层 13 远离基底 101 一侧的第一栅导电层 15，以及设置于第一栅导电层 15 远离基底 101 一侧的第二栅导电层 17。如图 9 所示，像素驱动电路 10 还包括：电容器 Cst，电容器 Cst 包括：第一极板 Cst1 和第二极板 Cst2，第一极板 Cst1

位于第一栅导电层 15，第二极板 Cst2 位于第二栅导电层 17。如图 20 所示，奇数排电路组 O1 中电容器 Cst 的容值，大于偶数排电路组 E1 中电容器 Cst 的容值。

也就是说，奇数排电路组 O1 的电容器 Cst 的存储电容，大于偶数排电路组 E1 中的存储电容，这样有利于偶数排电路组 E1 中的数据信号快速输入第一节点 N1，弥补偶数排电路组 E1 中对第一节点 N1 进行数据信号写入和阈值补偿的时长  $b$  不足的问题。

示例性的，如图 20 所示，奇数排电路组 O1 中电容器 Cst 的第一极板 Cst1 在基底 101 上的正投影面积，大于偶数排电路组 E1 中电容器 Cst 的第一极板 Cst1 在基底 101 上的正投影面积。实现奇数排电路组 O1 中电容器 Cst 的容值，大于偶数排电路组 E1 中电容器 Cst 的容值的目的。

在一些实施例中，如图 21 所示，阵列基板 1 上设置的像素驱动电路 10 用于驱动出射不同颜色光的发光器件 L。像素驱动电路 10 包括：第一像素驱动电路 10a、第二像素驱动电路 10b 和第三像素驱动电路 10c。示例性的，第一像素驱动电路 10a 用于驱动出射绿色光的发光器件 L，第二像素驱动电路 10b 用于驱动出射红色光的发光器件 L，第三像素驱动电路 10c 用于驱动出射蓝色光的发光器件 L。

如图 21 所示，由于出射绿色光的发光器件 L 出射的绿色光较亮，可以将第一像素驱动电路 10a 的奇偶行的第二节点 N2 的寄生电容 Ct 进行差异化设计。例如，奇数排电路组 O1 中第一像素驱动电路 10a 的第二节点 N2 的寄生电容 Co 的容值，小于偶数排电路组 E1 中第一像素驱动电路 10a 的第二节点 N2 的寄生电容 Ce 的容值。

第二像素驱动电路 10b 和第三像素驱动电路 10c 的第二节点 N2 的寄生电容 Ct 不进行差异化设计，例如，在奇数排电路组 O1 和偶数排电路组 E1，第二像素驱动电路 10b 和第三像素驱动电路 10c 的第二节点 N2 的寄生电容 Ct 相等。或者，根据出射红色光的发光器件 L 和出射蓝色光的发光器件 L 的色度，对第二像素驱动电路 10b 和第三像素驱动电路 10c 的第二节点 N2 的寄生电容 Ct 进行差异化设置。

关于第二节点 N2 的寄生电容 Ct 的差异化设计的方案，可以参照上述内容，此处不再赘述。

在一些实施例中，由于出射绿色光的发光器件 L 的启亮电压较高，为了消除亮度差异造成的显示亮度不均的问题提供以下两种示例。

示例性的，如图 22 所示，在同一行电路组中，第一像素驱动电路 10a 的

电容器 Cst 的容值, 小于第二像素驱动电路 10b 和第三像素驱动电路 10c 的电容器 Cst 的容值。例如, 第一像素驱动电路 10a 的电容器 Cst 第一极板 Cst1 在基底 101 上的正投影面积, 小于第二像素驱动电路 10b 的电容器 Cst 第一极板 Cst1 在基底 101 上的正投影面积, 且小于第三像素驱动电路 10c 的电容器 Cst 第一极板 Cst1 在基底 101 上的正投影面积。

示例性的, 如图 23 所示, 在同一行电路组中, 第一像素驱动电路 10a 的第二节点 N2 的寄生电容 Ct 的容值, 大于第二像素驱动电路 10b 的第二节点 N2 的寄生电容 Ct 的容值, 且大于第三像素驱动电路 10c 的第二节点 N2 的寄生电容 Ct 的容值。例如, 第一像素驱动电路 10a 的导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影的交叠面积, 大于第二像素驱动电路 10b 的导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影的交叠面积, 且大于于第三像素驱动电路 10c 的导电图案 Q 与导电连接图案 M1 在基底 101 上的正投影的交叠面积。

本公开的一些实施例还提供一种显示装置 1000, 如图 24 所示, 显示装置 1000 包括如上任一实施例所提供的阵列基板 1。

本公开实施例所提供的显示装置可以是显示不论运动(例如, 视频)还是固定(例如, 静止图像)的且不论文字还是图像的任何装置。更明确地说, 预期所述实施例可实施在多种电子装置中或与多种电子装置关联, 所述多种电子装置例如(但不限于)移动电话、无线装置、个人数据助理(PDA)、手持式或便携式计算机、GPS 接收器/导航器、相机、MP4 视频播放器、摄像机、游戏控制台、手表、时钟、计算器、电视监视器、平板显示器、计算机监视器、汽车显示器(例如, 里程表显示器等)、导航仪、座舱控制器和/或显示器、相机视图的显示器(例如, 车辆中后视相机的显示器)、电子相片、电子广告牌或指示牌、投影仪、建筑结构、包装和美学结构(例如, 对于一件珠宝的图像的显示器)等。

以上所述, 仅为本公开的具体实施方式, 但本公开的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本公开揭露的技术范围内, 想到变化或替换, 都应涵盖在本公开的保护范围之内。因此, 本公开的保护范围应以所述权利要求的保护范围为准。

## 权 利 要 求 书

1、一种阵列基板，包括：基底以及设置于所述基底上的多个像素驱动电路；

所述多个像素驱动电路中的每个像素驱动电路包括：晶体管，所述晶体管包括：驱动晶体管、数据写入晶体管和第一发光控制晶体管；

所述阵列基板还包括：所述晶体管的第一极区和第二极区；所述驱动晶体管的第一极区、所述数据写入晶体管的第二极区和所述第一发光控制晶体管的第二极区连接为导电连接图案，且所述导电连接图案为连续的图案；

所述多个像素驱动电路被配置为：奇数排电路组和偶数排电路组，所述奇数排电路组和所述偶数排电路组包括沿第一方向排列设置的多个所述像素驱动电路；沿第二方向，所述奇数排电路组和所述偶数排电路组交替设置；所述第一方向和所述第二方向相交叉；

所述阵列基板还包括：导电图案，所述导电图案包括所述像素驱动电路中的与所述导电连接图案位于不同层的图案；

所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案在所述基底上的正投影的交叠面积，小于所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案在所述基底上的正投影的交叠面积。

2、根据权利要求1所述的阵列基板，其中，所述晶体管还包括：补偿晶体管；

所述阵列基板还包括：所述补偿晶体管的栅极图案和第二扫描信号线；所述补偿晶体管的栅极图案和所述第二扫描信号线电连接；所述补偿晶体管的第二极区与所述驱动晶体管的第二极区连接；

所述多个像素驱动电路还被配置为：沿所述第二方向依次设置的多个像素组单元，所述多个像素组单元中的每个像素组单元包括：所述奇数排电路组和与所述奇数排电路组相邻设置的所述偶数排电路组；每个所述像素组单元共用一条所述第二扫描信号线。

3、根据权利要求1或2所述的阵列基板，其中，还包括：设置于所述基底上的第一半导体层，所述导电连接图案位于所述第一半导体层。

4、根据权利要求1~3任一项所述的阵列基板，其中，还包括：设置于所述基底上的遮挡层，以及设置于所述遮挡层远离所述基底一侧的第一半导体层；

所述导电图案位于所述遮挡层。

5、根据权利要求3所述的阵列基板，其中，还包括：设置于所述第一半

导体层远离所述基底一侧的第一栅导电层，以及设置于所述第一栅导电层远离基底一侧的第二栅导电层；

所述像素驱动电路还包括：电容器和补偿晶体管，所述电容器包括：第一极板和第二极板，所述第一极板位于所述第一栅导电层，所述第二极板位于所述第二栅导电层；所述第一极板与所述补偿晶体管的第一极区电连接，所述第二极板与电源信号线电连接；

所述导电图案包括：位于所述遮挡层的第一部分和与所述第二极板电连接的第二部分。

6、根据权利要求3所述的阵列基板，其中，还包括：设置于所述第一半导体层远离所述基底一侧的第一栅导电层，以及设置于所述第一栅导电层远离基底一侧的第二栅导电层；所述导电图案位于所述第二栅导电层。

7、根据权利要求6所述的阵列基板，其中，所述奇数排电路组中的所述导电图案在所述基底上的正投影的面积，与所述偶数排电路组中的所述导电图案在所述基底上的正投影的面积相等；

在所述偶数排电路组中，所述导电连接图案上连接有位于所述第一半导体层的第一扩展图案，所述导电图案在所述基底上的正投影，覆盖所述第一扩展图案在所述基底上的正投影。

8、根据权利要求3所述的阵列基板，其中，所述阵列基板还包括：设置于所述第一半导体层远离所述基底一侧的第二栅导电层；

所述阵列基板还包括第二扫描信号线，所述第二扫描信号线位于所述第二栅导电层；

所述导电图案与所述第二扫描信号线为一体结构。

9、根据权利要求3所述的阵列基板，其中，

还包括：设置于所述第一半导体层远离所述基底一侧的第一源漏金属层，所述第一源漏金属层包括第三扩展图案，所述第三扩展图案与所述导电连接图案通过过孔连接；

还包括：设置于所述第一源漏金属层远离所述基底一侧的第二源漏金属层，所述第二源漏金属层包括电源信号线；

所述导电图案与所述电源信号线为一体结构；所述奇数排电路组中的所述第三扩展图案在所述基底上的正投影与所述导电图案在所述基底上的正投影的交叠面积，小于所述偶数排电路组中的所述第三扩展图案在所述基底上的正投影与所述导电图案在所述基底上的正投影的交叠面积。

10、根据权利要求9所述的阵列基板，其中，在所述奇数排电路组中，

所述电源信号线在所述基底上的正投影，与所述第三扩展图案在所述基底上的正投影无交叠。

11、根据权利要求 9 或 10 所述的阵列基板，其中，所述第三扩展图案在所述基底上的正投影，与所述导电连接图案在所述基底上的正投影有交叠。

12、根据权利要求 1~11 任一项所述的阵列基板，其中，

所述晶体管包括：第一复位晶体管、补偿晶体管、第二发光控制晶体管和第二复位晶体管；

所述阵列基板还包括：第一初始信号线、第二初始信号线、数据信号线和电源信号线；

所述第一复位晶体管的第一极区与所述第一初始信号线电连接，所述第一复位晶体管的第二极区和所述补偿晶体管的第一极区电连接，所述补偿晶体管的第二极区与所述驱动晶体管的第二极区电连接；所述第二发光控制晶体管的第一极区与所述驱动晶体管的第二极区电连接，所述第二发光控制晶体管的第二极区与所述第二复位晶体管的第二极区电连接，所述第二复位晶体管的第一极区与所述第二初始信号线电连接；所述数据写入晶体管的第一极区与所述数据信号线电连接，所述第一发光控制晶体管的第一极区与所述电源信号线电连接。

13、根据权利要求 12 所述的阵列基板，其中，还包括：所述第一复位晶体管的栅极图案、复位信号线、所述第二复位晶体管的栅极图案、第一扫描信号线、所述第一发光控制晶体管的栅极图案、所述第二发光控制晶体管的栅极图案和发光控制信号线；

所述第一复位晶体管的栅极图案与所述复位信号线电连接，所述第二复位晶体管的栅极图案与所述第一扫描信号线电连接，所述第一发光控制晶体管的栅极图案和所述第二发光控制晶体管的栅极图案与所述发光控制信号线电连接。

14、根据权利要求 13 所述的阵列基板，其中，还包括：

设置于所述基底一侧的第一半导体层；所述导电连接图案位于所述第一半导体层；

设置于所述第一半导体层远离所述基底一侧的第一栅导电层；所述第一扫描信号线和所述发光控制信号线位于所述第一栅导电层；

设置于所述第一栅导电层远离所述基底一侧的第二栅导电层；所述第一初始信号线和所述复位信号线位于所述第二栅导电层；

设置于所述第二栅导电层远离所述基底一侧的第一源漏金属层；所述第

二初始信号位于所述第一源漏金属层；

设置于所述第一源漏金属层远离所述基底一侧的第二源漏金属层；所述数据信号线和所述电源信号线位于所述第二源漏金属层。

15、根据权利要求 14 所述的阵列基板，其中，所述补偿晶体管和所述第一复位晶体管包括氧化物薄膜晶体管；

所述阵列基板还包括：设置于所述第二栅导电层和所述第一源漏金属层之间的第二半导体层和第三栅导电层，所述第三栅导电层设置于所述第二半导体层远离所述基底的一侧。

16、一种阵列基板，包括：基底以及设置于所述基底上的多个像素驱动电路；

所述多个像素驱动电路中的每个像素驱动电路包括：晶体管，所述晶体管包括：驱动晶体管、数据写入晶体管和第一发光控制晶体管；

所述阵列基板还包括：所述晶体管的第一极区和第二极区；所述驱动晶体管的第一极区、所述数据写入晶体的第二极区和所述第一发光控制晶体的第二极区连接为导电连接图案，且所述导电连接图案为连续的图案；

所述多个像素驱动电路被配置为：奇数排电路组和偶数排电路组，所述奇数排电路组和所述偶数排电路组包括沿第一方向排列设置的多个所述像素驱动电路；

沿第二方向，所述奇数排电路组和所述偶数排电路组交替设置；所述第一方向和所述第二方向相交叉；

所述阵列基板还包括：导电图案，所述导电图案包括所述像素驱动电路中的与所述导电连接图案位于不同层的图案；

所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间形成的电容的容值，小于所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间形成的电容的容值。

17、根据权利要求 16 所述的阵列基板，其中，所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层，和所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层材质相同。

18、根据权利要求 16 所述的阵列基板，其中，所述奇数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层，和所述偶数排电路组中的至少一个像素驱动电路的所述导电连接图案与所述导电图案之间的绝缘层包括至少一层相同材质的绝缘层。

19、一种显示装置，包括如权利要求 1~15 中任一项所述的阵列基板，或如权利要求 16~18 中任一项所述的阵列基板。

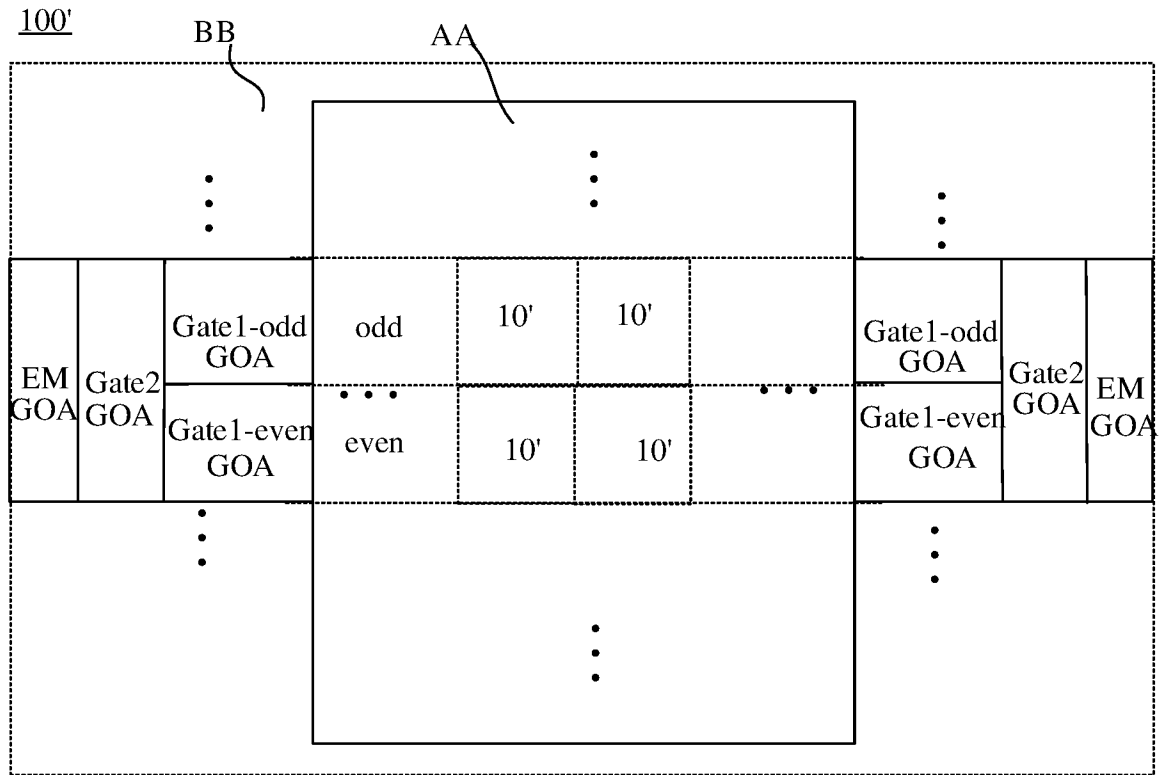


图 1

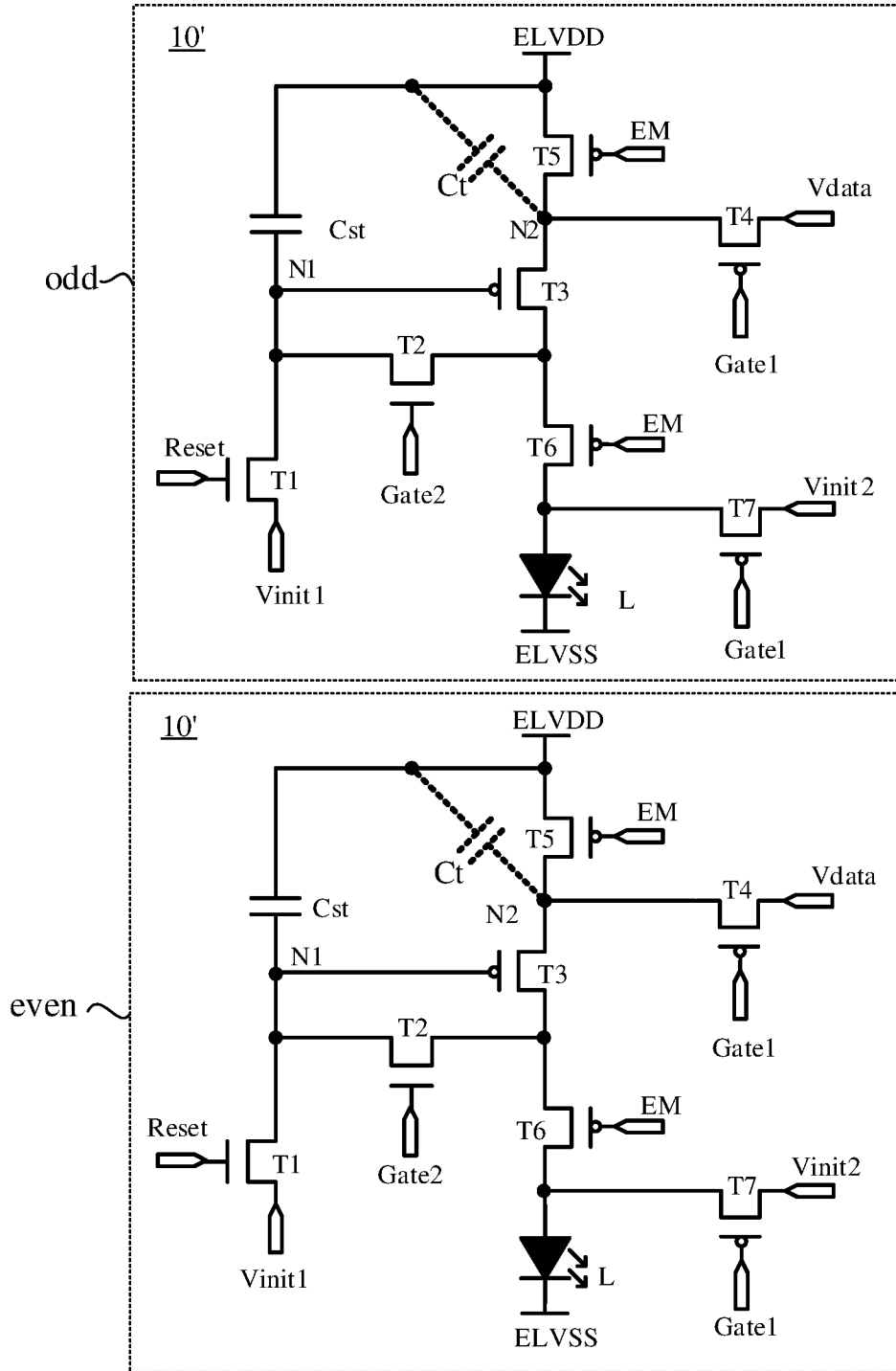


图 2

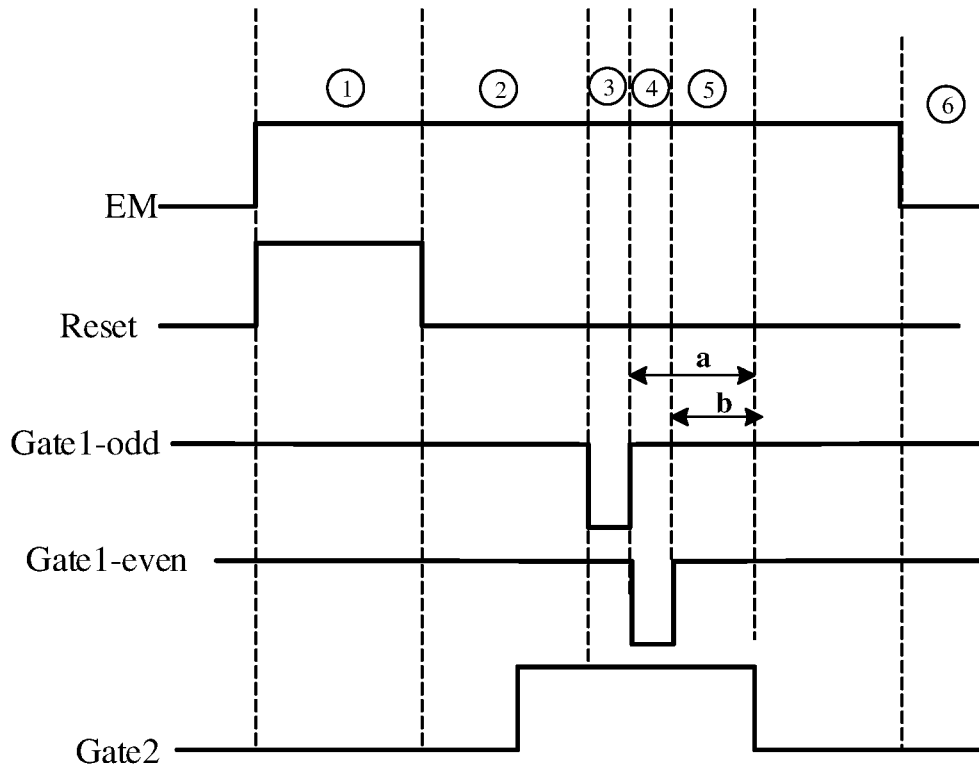


图 3

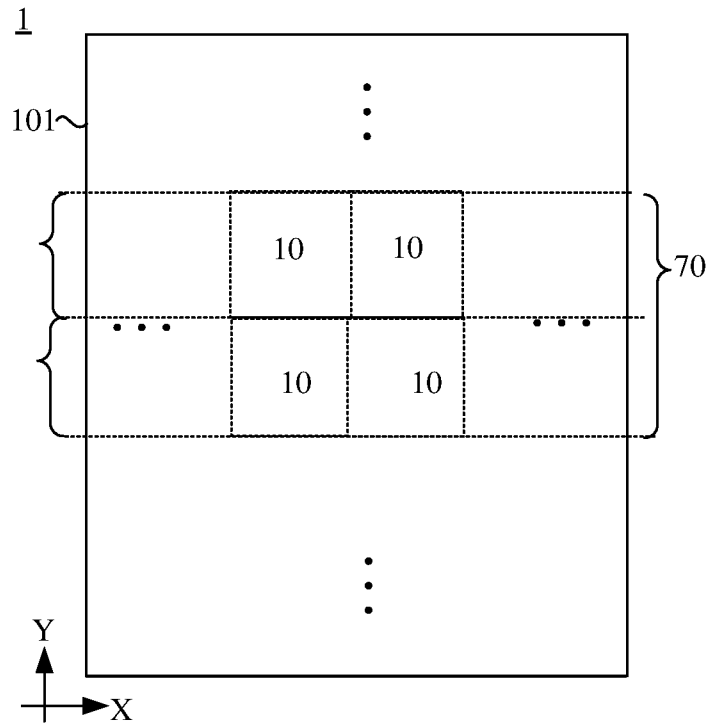


图 4

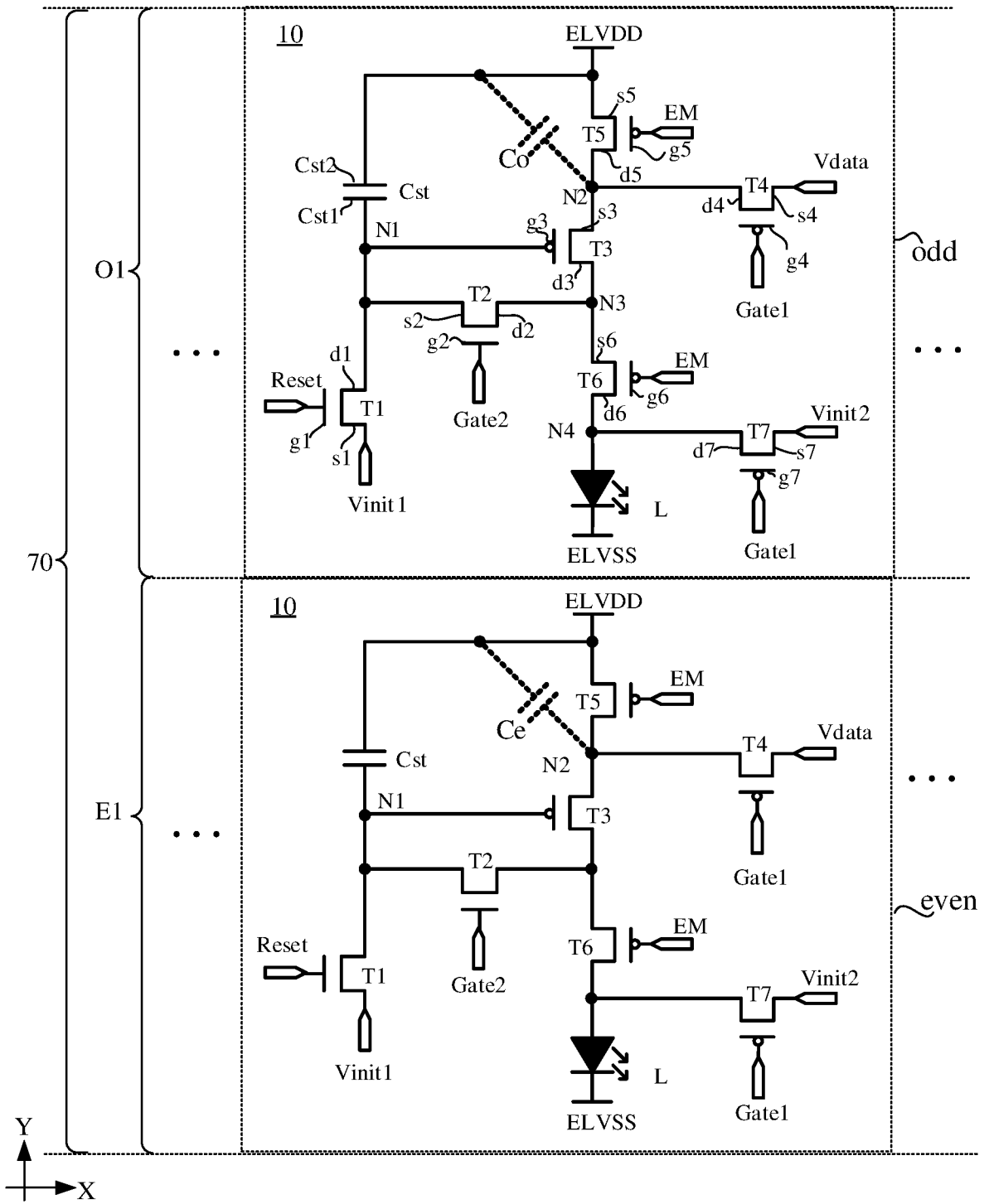
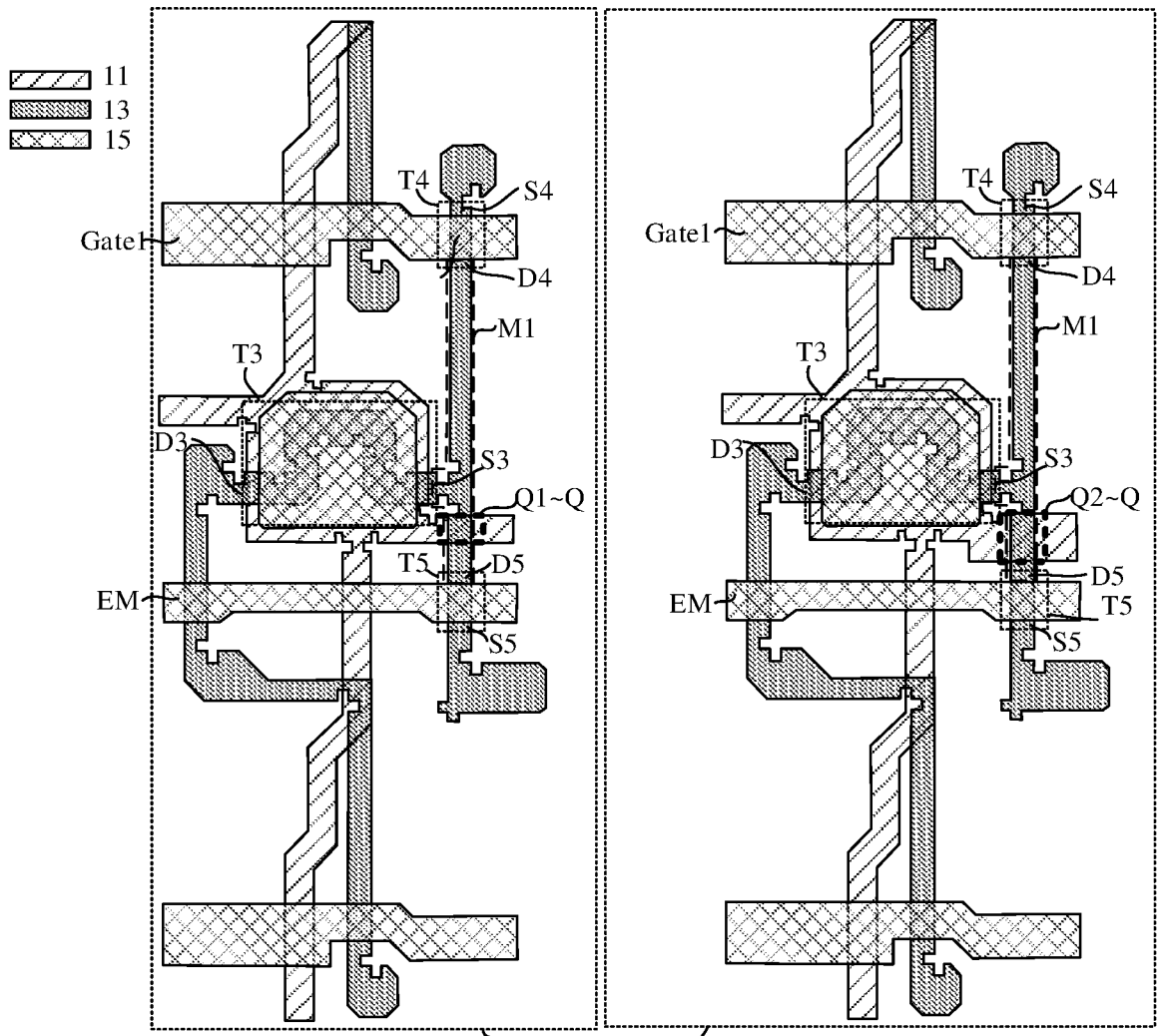


图 5



O1 E1

70  
图 6

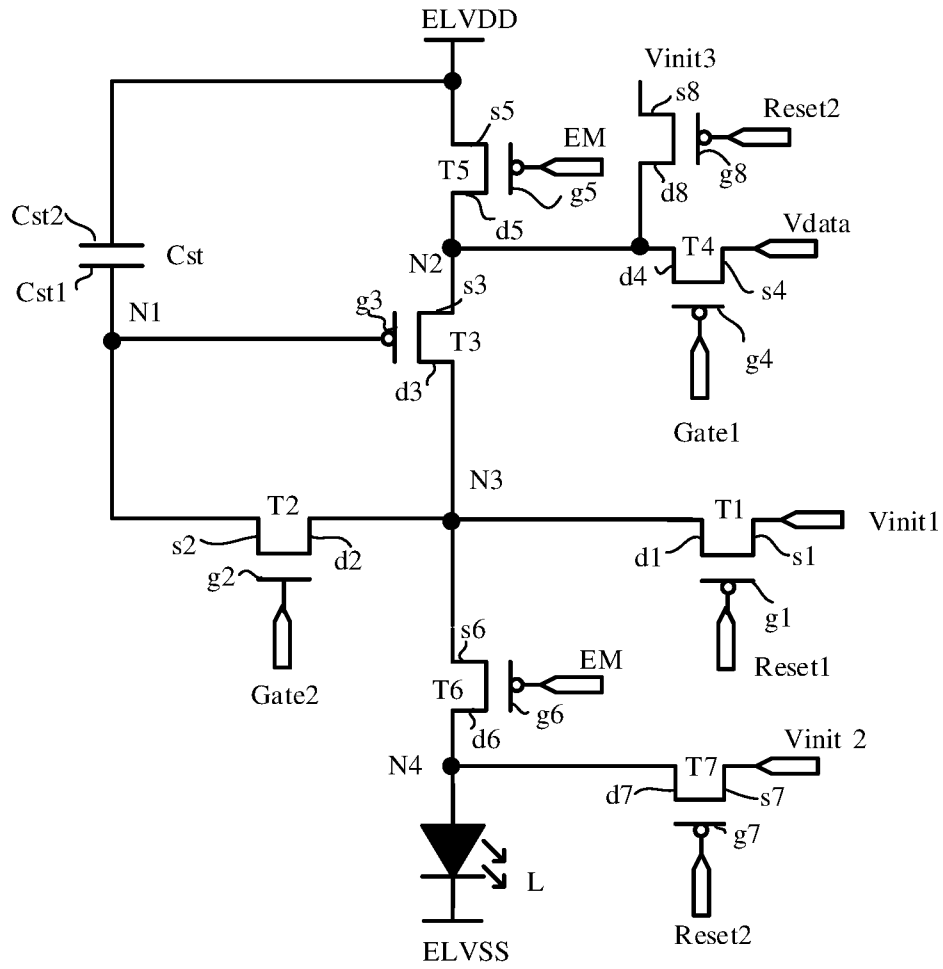


图 7

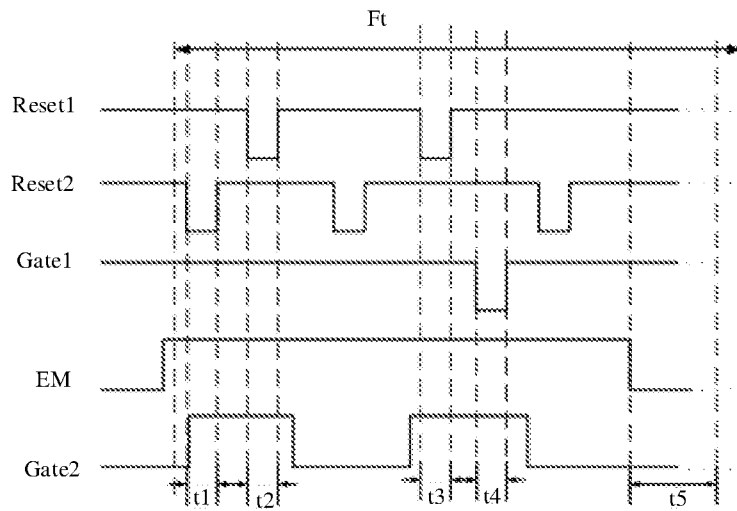


图 8

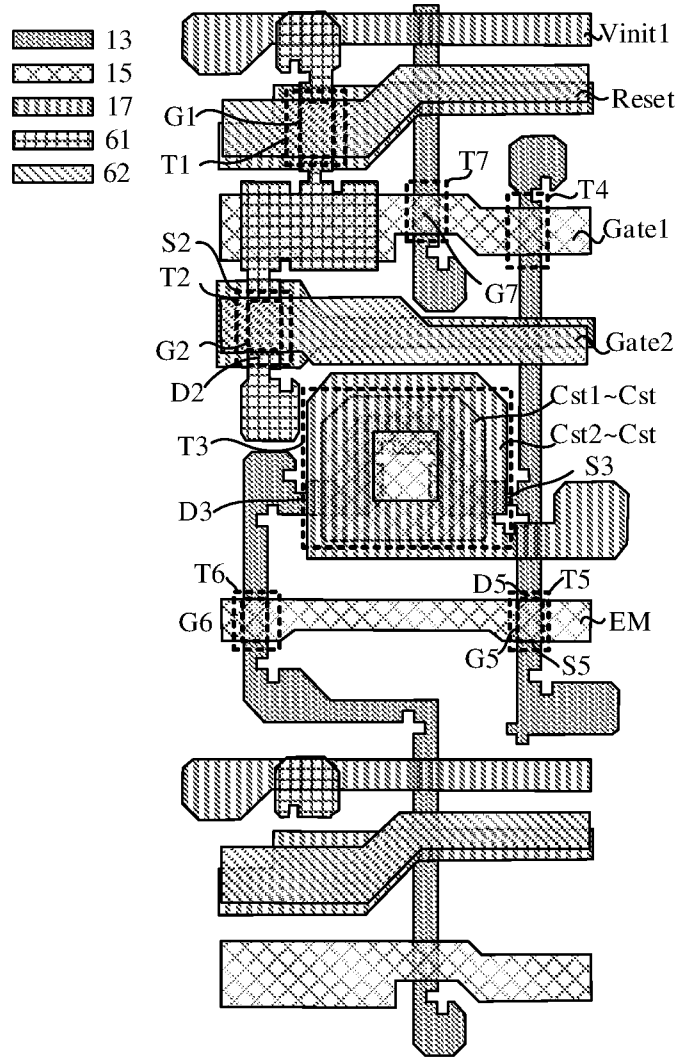


图 9

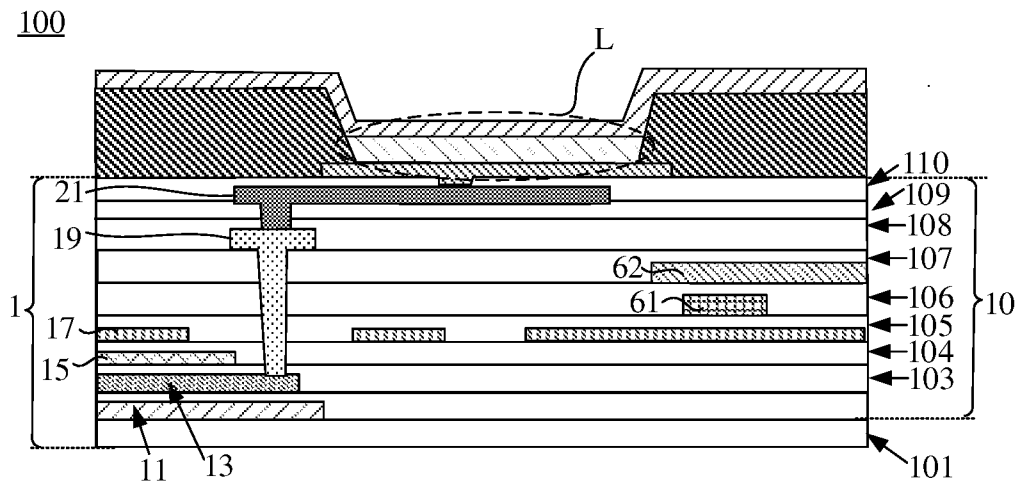


图 10

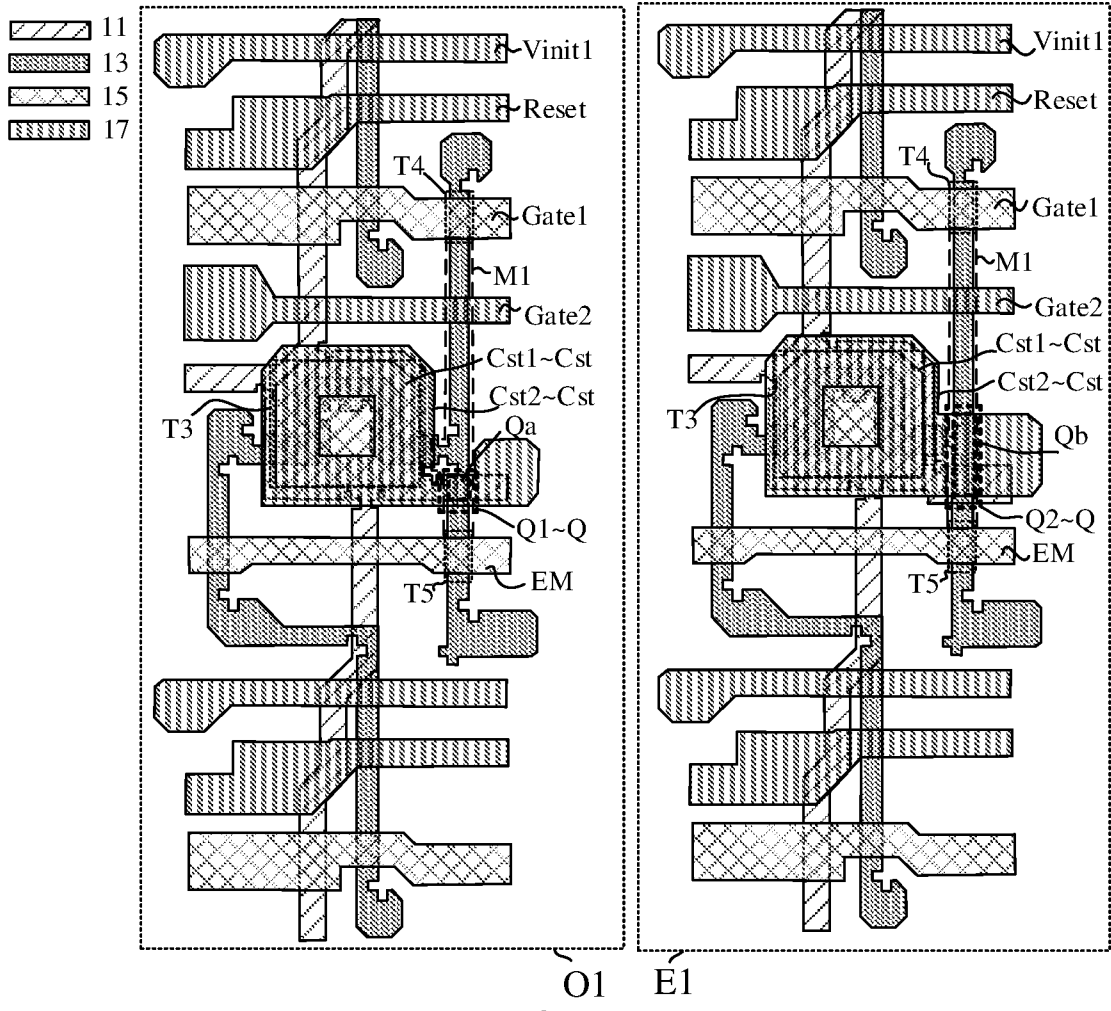


图 11

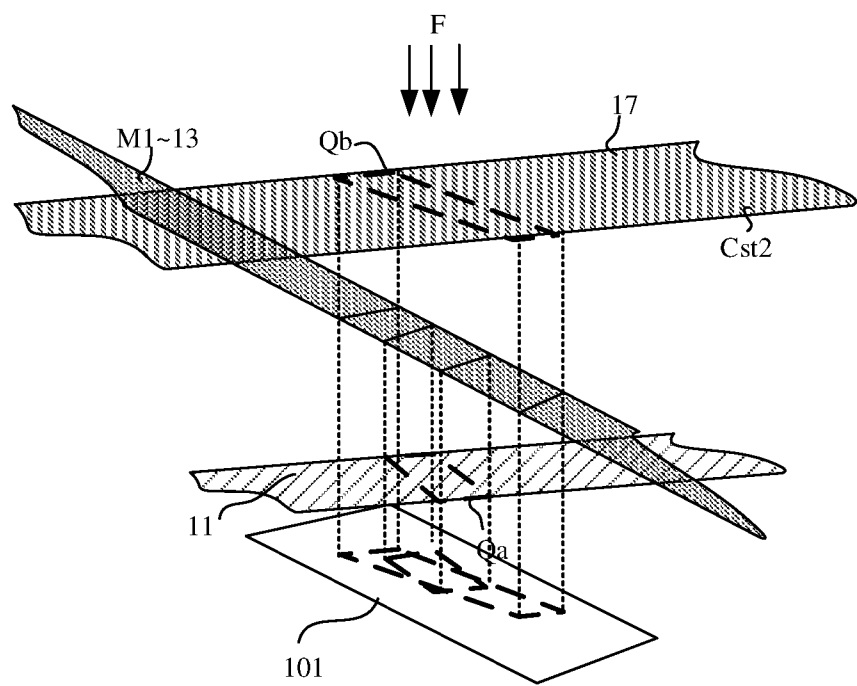


图 12

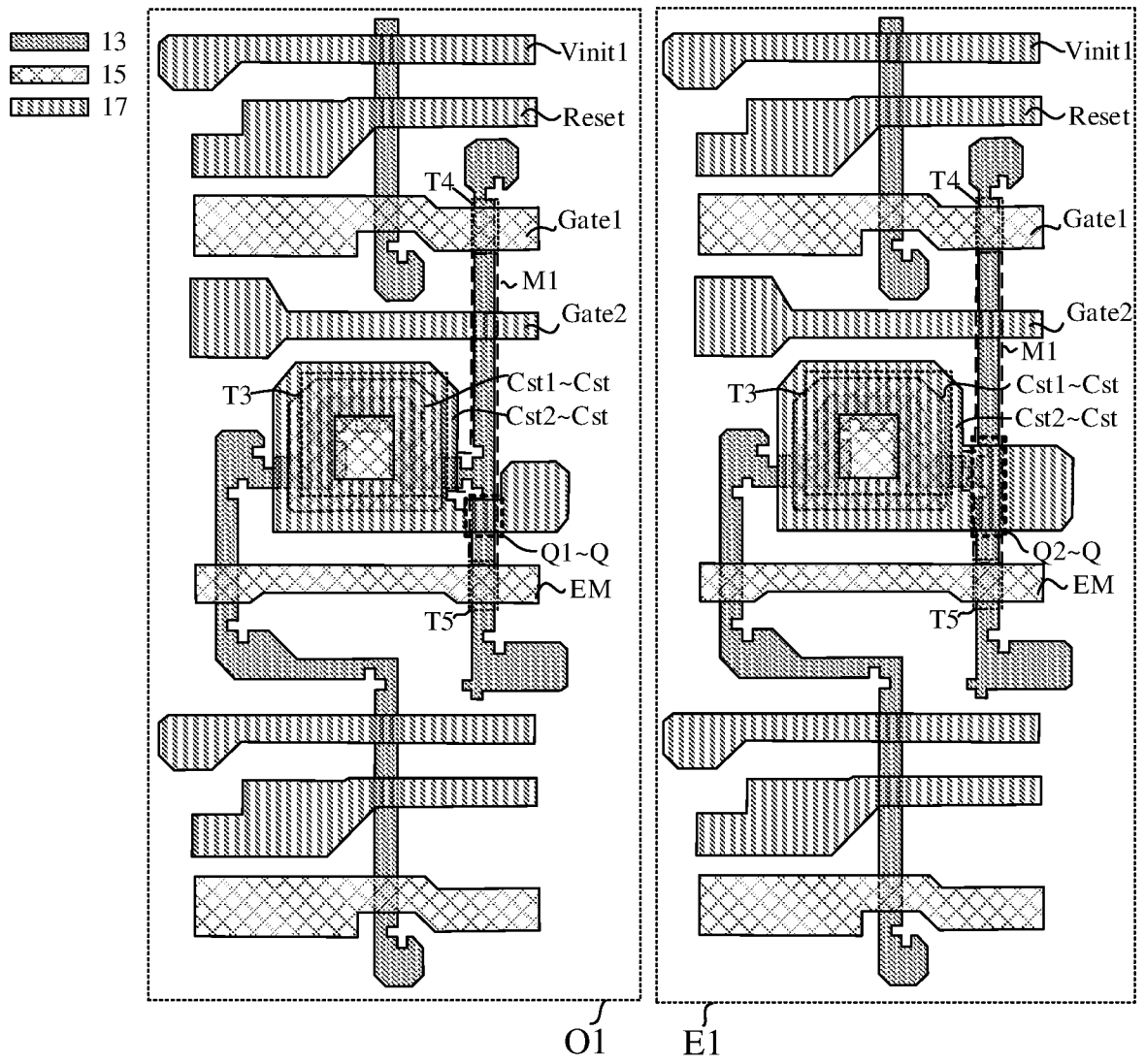
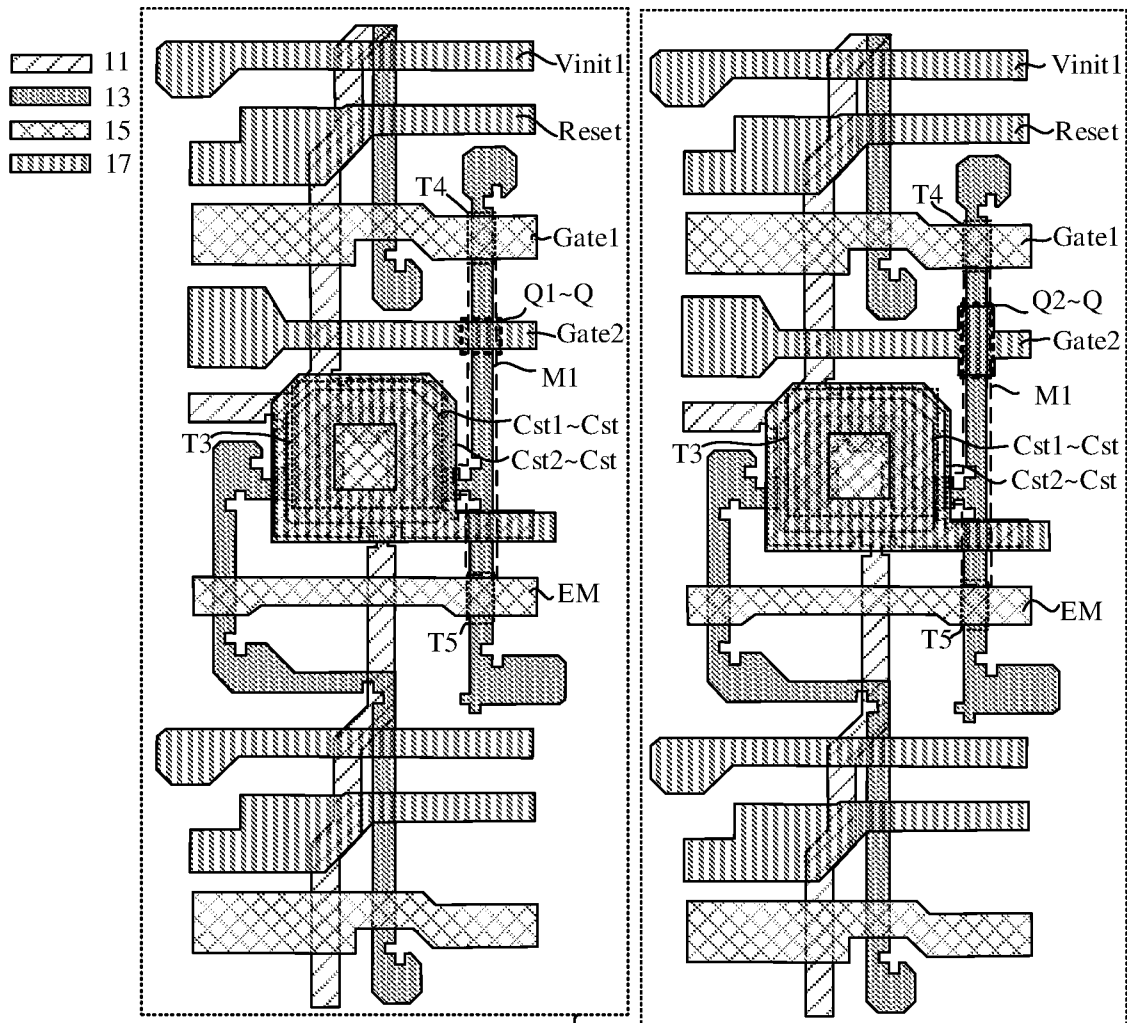


图 13





O1 E1  
图 15

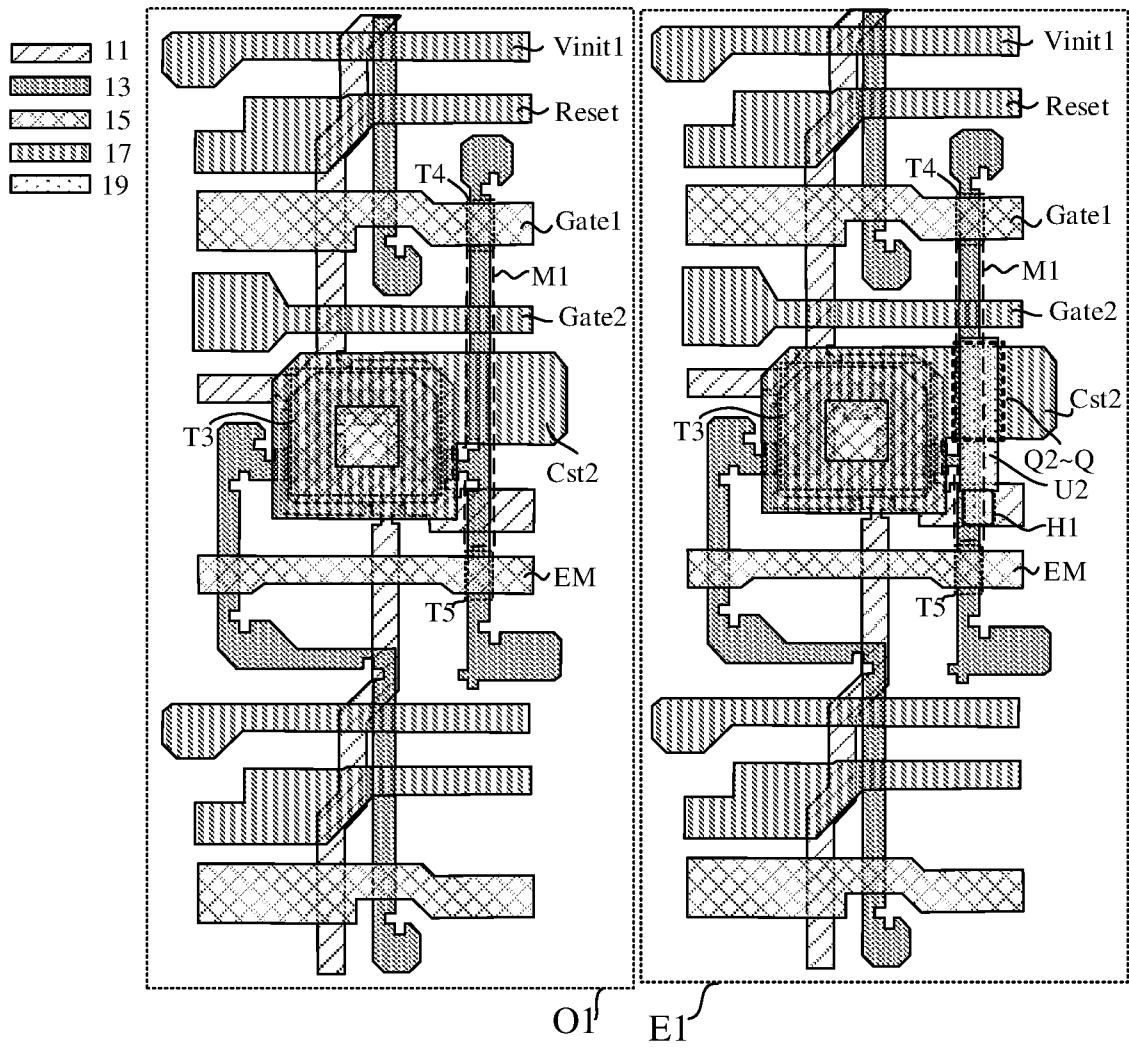


图 16

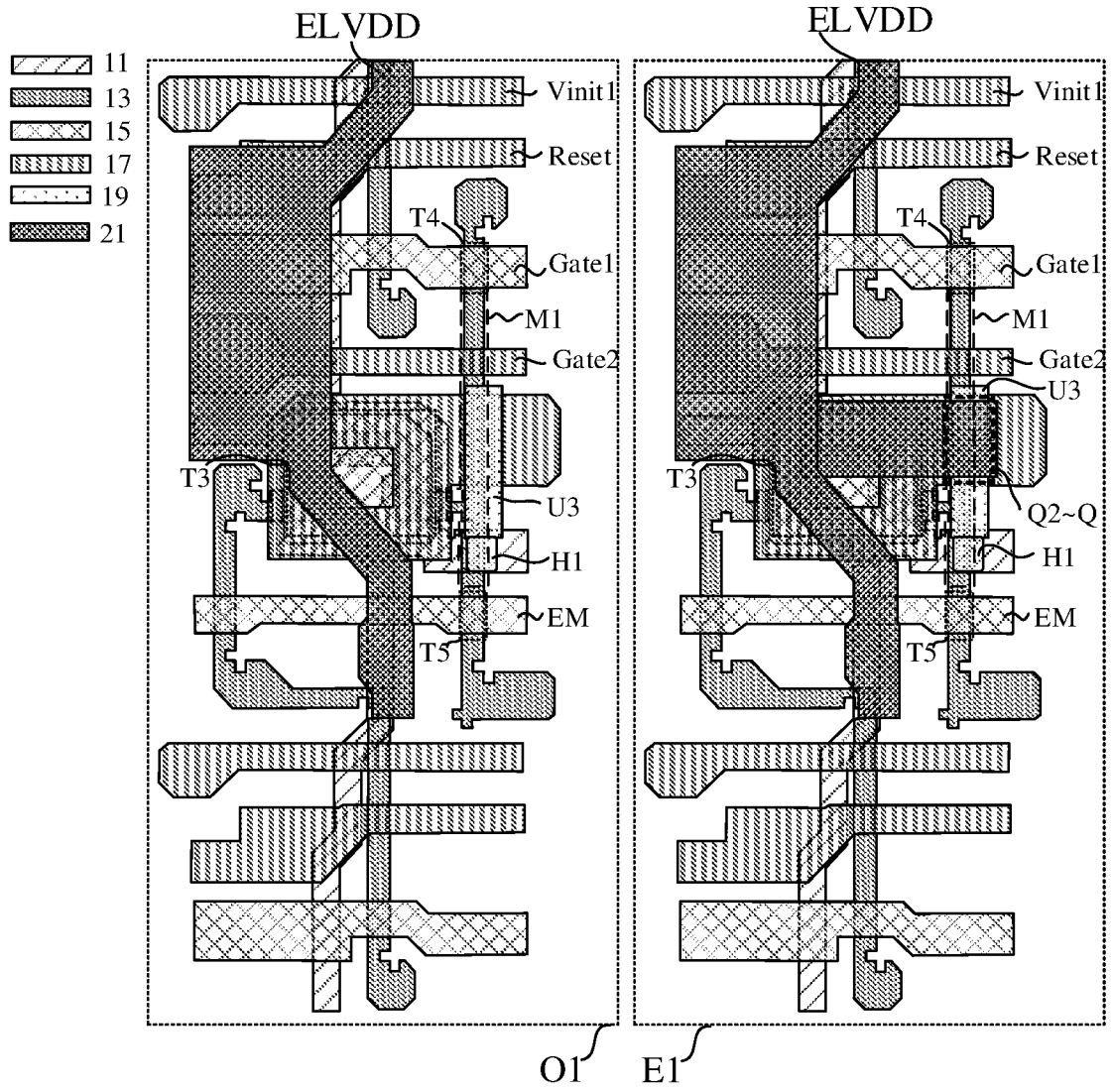


图 17

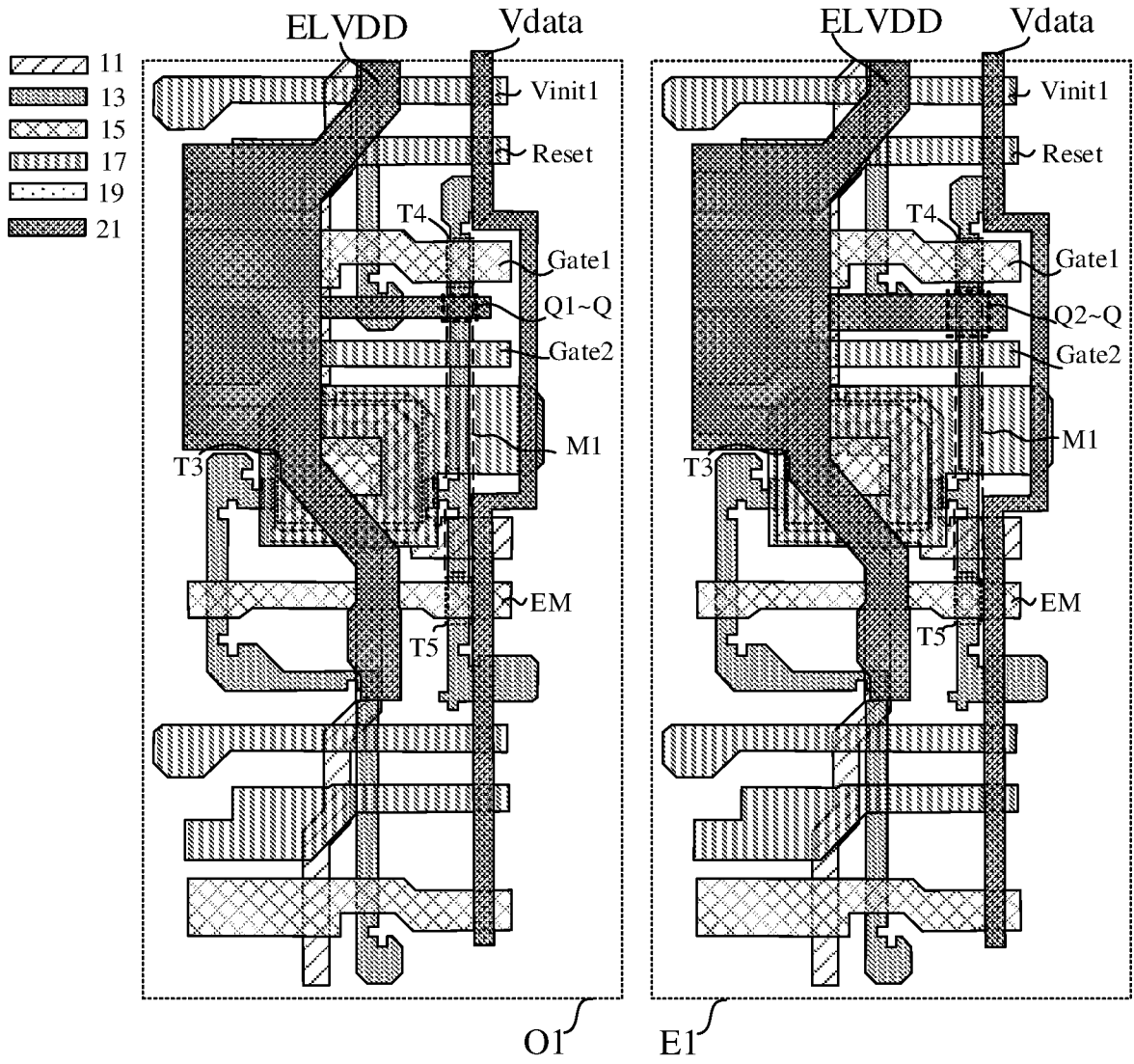


图 18

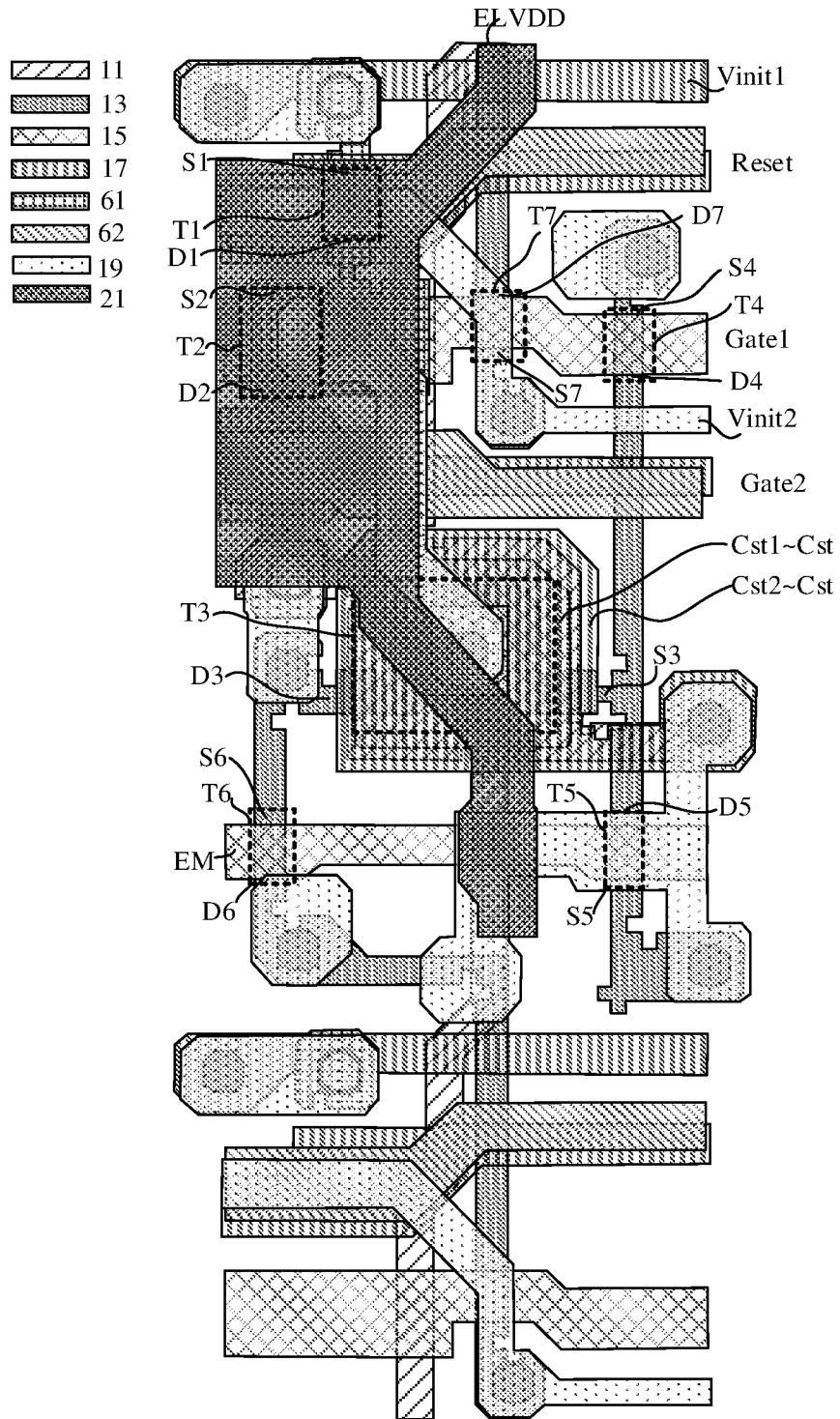
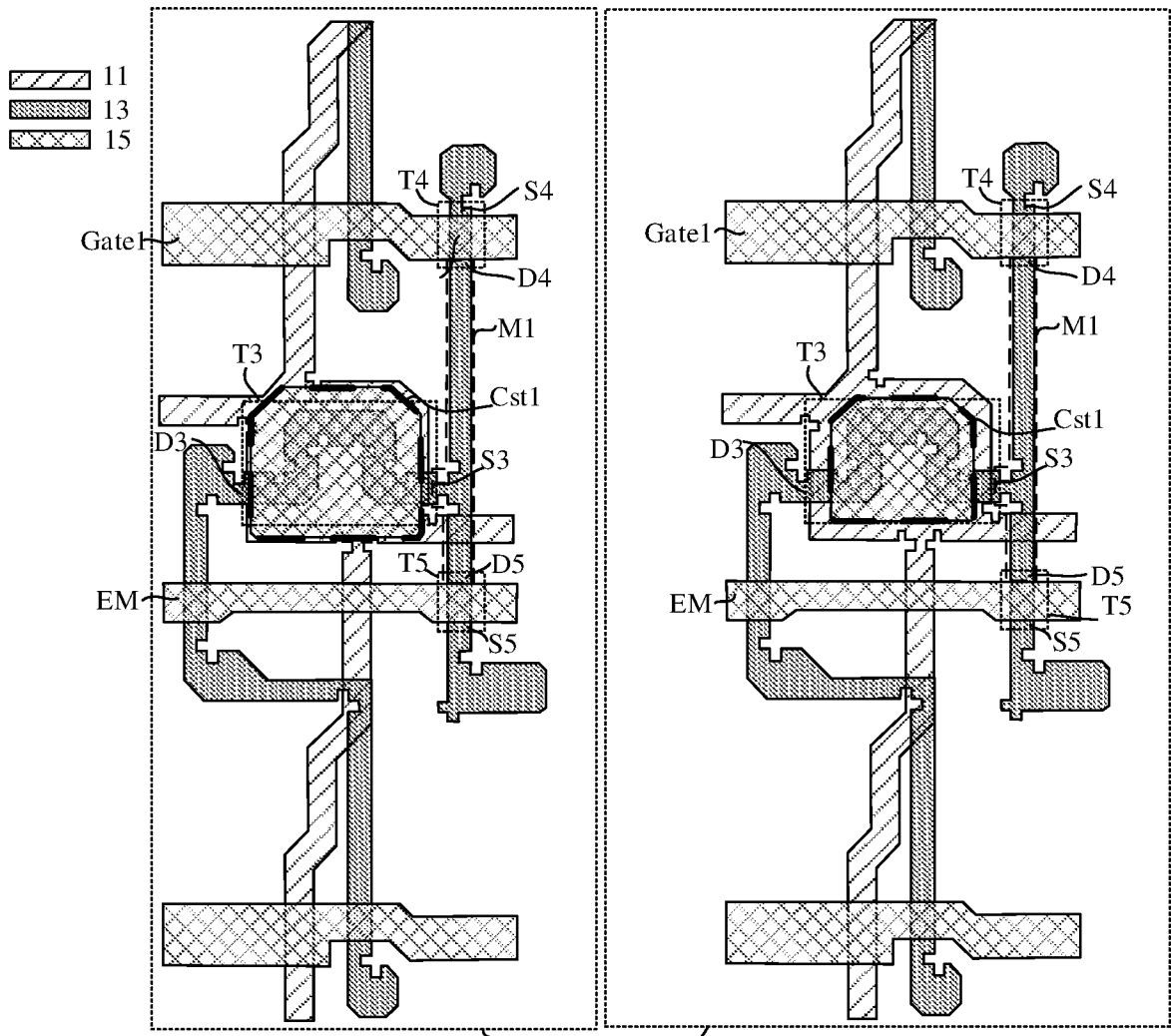


图 19



O1 EI  
70  
图 20



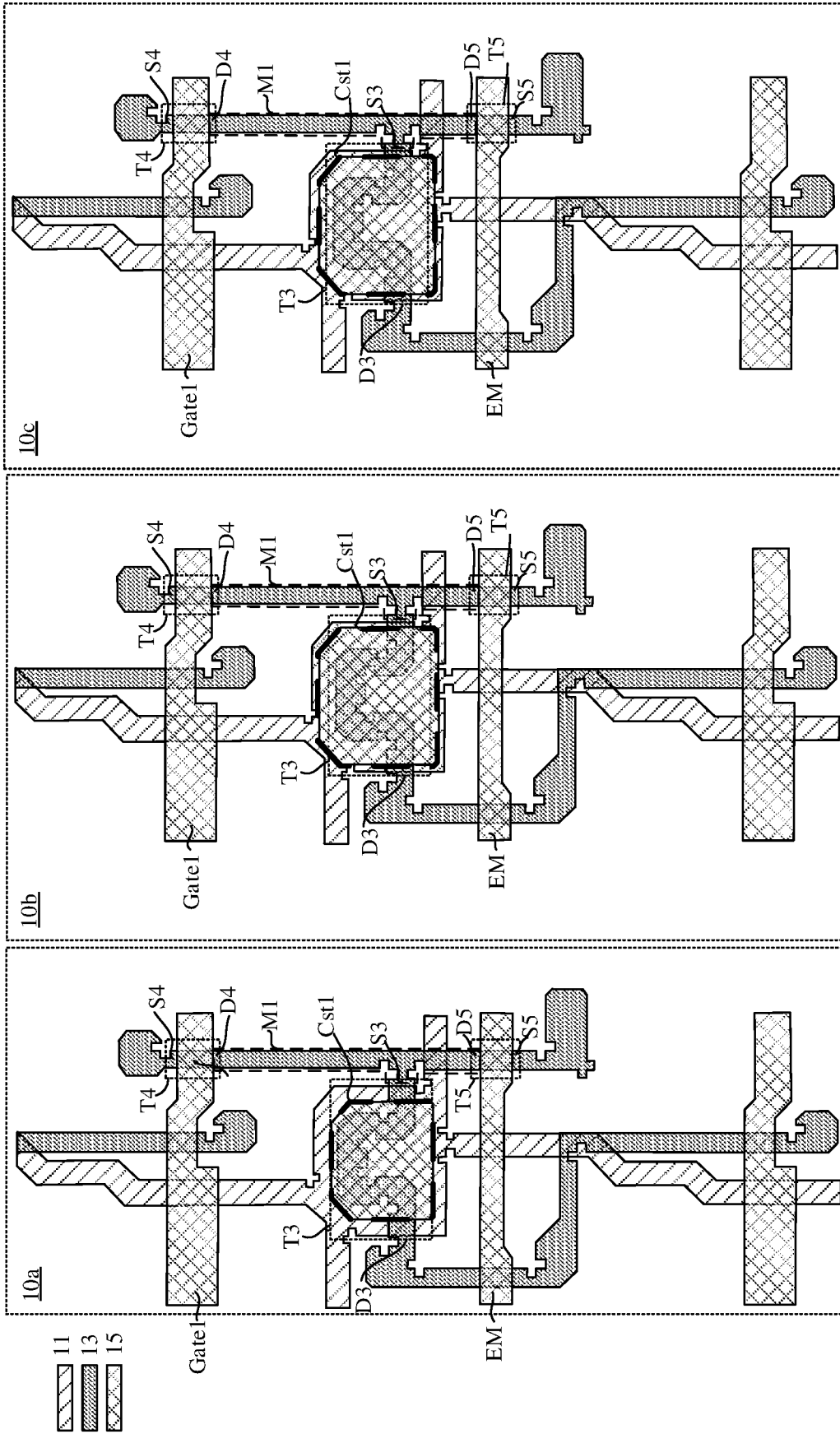


图 22

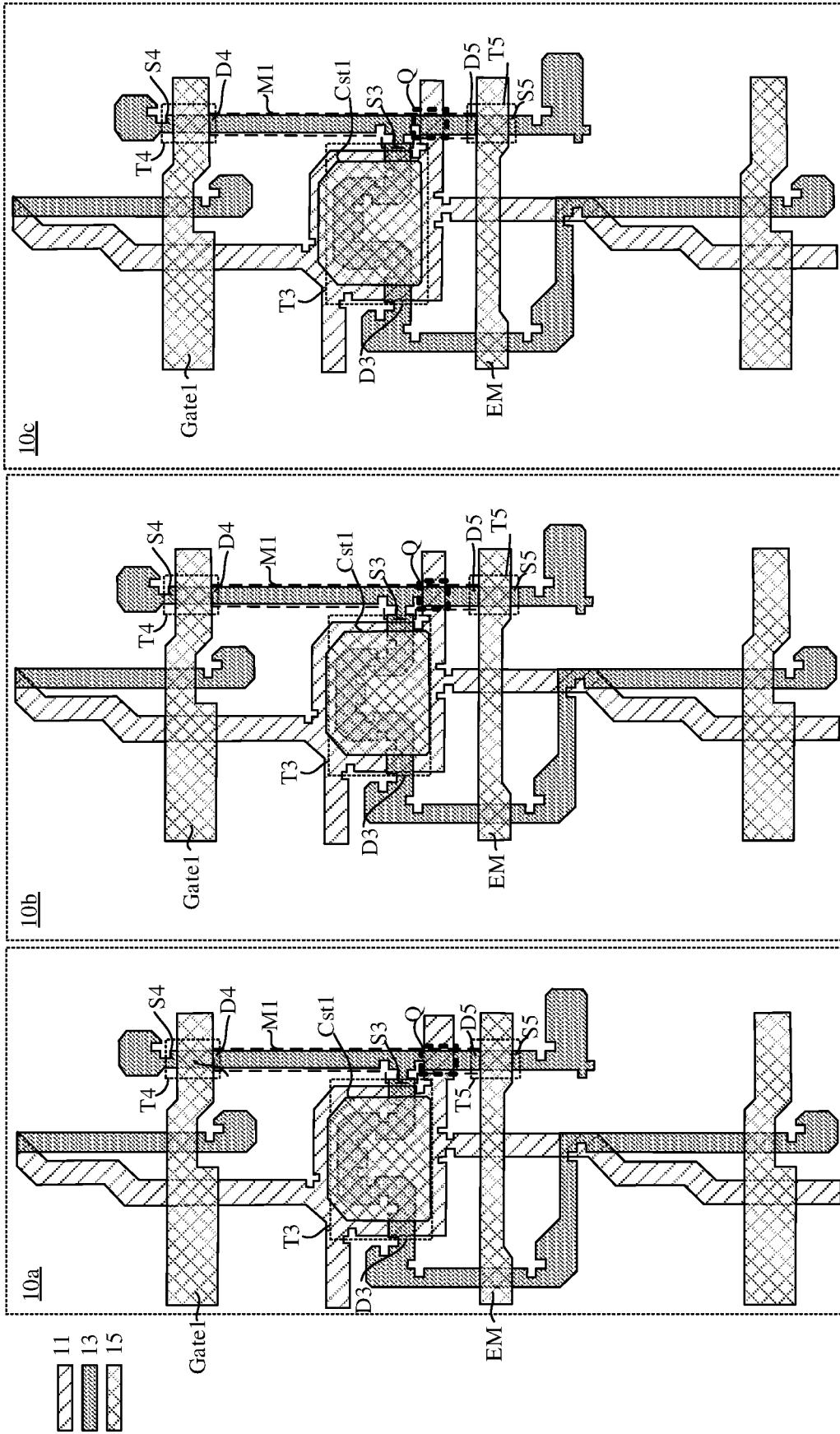


图 23

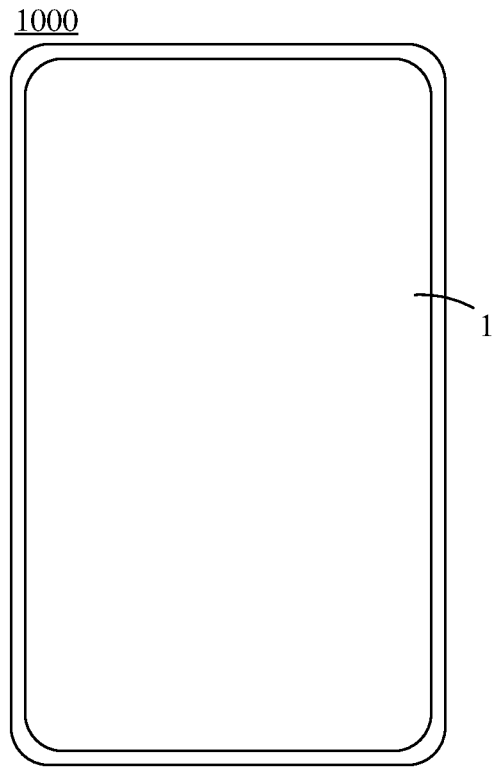


图 24

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/125969

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L27/12(2006.01)i; H10K59/12(2023.01)i; H10K59/131(2023.01)i; G09G3/3233(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L,H10K,G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXTC, DWPI: 显示, 基板, 像素, 驱动, 晶体管, 数据写入, 发光控制, 图案, 奇, 偶, 投影, 面积, display, substrate, pixel, driv+, transistor, data writ+, light emitting control, pattern, projection, odd, even, area

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| PX        | CN 115911056 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 04 April 2023 (2023-04-04)<br>claims 1-19  | 1-19                  |
| A         | CN 113920934 A (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 11 January 2022 (2022-01-11)<br>description, paragraphs [0052]-[0105], and figures 1-4 | 1-19                  |
| A         | CN 114530464 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 May 2022 (2022-05-24)<br>entire document  | 1-19                  |
| A         | CN 111403465 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 10 July 2020 (2020-07-10)<br>entire document  | 1-19                  |
| A         | US 2022037370 A1 (AU OPTRONICS CORP.) 03 February 2022 (2022-02-03)<br>entire document  | 1-19                  |

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 November 2023

Date of mailing of the international search report

21 November 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,  
Beijing 100088

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

|   |
|---|
| International application No.<br><b>PCT/CN2023/125969</b> |
|---|

| Patent document cited in search report |            |    | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|--|------------|----|-----------------------------------|-------------------------|-----------------------------------|
| CN                                     | 115911056  | A  | 04 April 2023                     | None                    |                                   |
| CN                                     | 113920934  | A  | 11 January 2022                   | CN                      | 113920934 B                       |
| CN                                     | 114530464  | A  | 24 May 2022                       | None                    |                                   |
| CN                                     | 111403465  | A  | 10 July 2020                      | None                    |                                   |
| US                                     | 2022037370 | A1 | 03 February 2022                  | US                      | 11646320 B2                       |

| <p>A. 主题的分类</p> <p>H01L27/12(2006.01)i; H10K59/12(2023.01)i; H10K59/131(2023.01)i; G09G3/3233(2016.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>  |   |            |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
|---|---|------------|-------------------------------|-------------------|---------|----|--|------|---|---|------|---|---|------|---|---|------|---|--|------|
| <p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC: H01L,H10K,G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNTEXT, ENTXTIC, DWPI: 显示, 基板, 像素, 驱动, 晶体管, 数据写入, 发光控制, 图案, 奇, 偶, 投影, 面积, display, substrate, pixel, driv+, transistor, data writ+, light emitting control, pattern, projection, odd, even, area</p>   |   |            |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| <p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 115911056 A (京东方科技集团股份有限公司等) 2023年4月4日 (2023 - 04 - 04)<br/>权利要求1-19</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 113920934 A (成都京东方光电科技有限公司等) 2022年1月11日 (2022 - 01 - 11)<br/>说明书第[0052]-[0105]段及附图1-4</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 114530464 A (京东方科技集团股份有限公司等) 2022年5月24日 (2022 - 05 - 24)<br/>全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 111403465 A (昆山国显光电有限公司) 2020年7月10日 (2020 - 07 - 10)<br/>全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>US 2022037370 A1 (AU OPTRONICS CORP.) 2022年2月3日 (2022 - 02 - 03)<br/>全文</td> <td>1-19</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:<br/>         “A” 认为不特别相关的表示了现有技术一般状态的文件<br/>         “D” 申请人在国际申请中引证的文件<br/>         “E” 在国际申请日的当天或之后公布的在先申请或专利<br/>         “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)<br/>         “O” 涉及口头公开、使用、展览或其他方式公开的文件<br/>         “P” 公布日先于国际申请日但迟于所要求的优先权日的文件<br/>         “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件<br/>         “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性<br/>         “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性<br/>         “&amp;” 同族专利的文件</p> |   |            | 类型*                           | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | PX | CN 115911056 A (京东方科技集团股份有限公司等) 2023年4月4日 (2023 - 04 - 04)<br>权利要求1-19 | 1-19 | A | CN 113920934 A (成都京东方光电科技有限公司等) 2022年1月11日 (2022 - 01 - 11)<br>说明书第[0052]-[0105]段及附图1-4 | 1-19 | A | CN 114530464 A (京东方科技集团股份有限公司等) 2022年5月24日 (2022 - 05 - 24)<br>全文 | 1-19 | A | CN 111403465 A (昆山国显光电有限公司) 2020年7月10日 (2020 - 07 - 10)<br>全文 | 1-19 | A | US 2022037370 A1 (AU OPTRONICS CORP.) 2022年2月3日 (2022 - 02 - 03)<br>全文 | 1-19 |
| 类型*   | 引用文件, 必要时, 指明相关段落   | 相关的权利要求    |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| PX  | CN 115911056 A (京东方科技集团股份有限公司等) 2023年4月4日 (2023 - 04 - 04)<br>权利要求1-19                  | 1-19       |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| A   | CN 113920934 A (成都京东方光电科技有限公司等) 2022年1月11日 (2022 - 01 - 11)<br>说明书第[0052]-[0105]段及附图1-4 | 1-19       |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| A   | CN 114530464 A (京东方科技集团股份有限公司等) 2022年5月24日 (2022 - 05 - 24)<br>全文                       | 1-19       |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| A   | CN 111403465 A (昆山国显光电有限公司) 2020年7月10日 (2020 - 07 - 10)<br>全文                           | 1-19       |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| A   | US 2022037370 A1 (AU OPTRONICS CORP.) 2022年2月3日 (2022 - 02 - 03)<br>全文                  | 1-19       |                               |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| 国际检索实际完成的日期   | 2023年11月14日   | 国际检索报告邮寄日期 | 2023年11月21日                   |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |
| ISA/CN的名称和邮寄地址  | 中国国家知识产权局<br>中国北京市海淀区蓟门桥西土城路6号 100088   | 授权官员       | 张洁<br>电话号码 (+86) 010-53962547 |                   |         |    |  |      |   |   |      |   |   |      |   |   |      |   |  |      |

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2023/125969

| 检索报告引用的专利文件 |            |    | 公布日<br>(年/月/日) | 同族专利 | 公布日<br>(年/月/日)         |
|-------------|------------|----|----------------|------|------------------------|
| CN          | 115911056  | A  | 2023年4月4日      | 无    |                        |
| CN          | 113920934  | A  | 2022年1月11日     | CN   | 113920934 B 2023年4月18日 |
| CN          | 114530464  | A  | 2022年5月24日     | 无    |                        |
| CN          | 111403465  | A  | 2020年7月10日     | 无    |                        |
| US          | 2022037370 | A1 | 2022年2月3日      | US   | 11646320 B2 2023年5月9日  |