



(12) 发明专利

(10) 授权公告号 CN 108461475 B

(45) 授权公告日 2021.09.24

(21) 申请号 201810270157.4

(22) 申请日 2013.08.22

(65) 同一申请的已公布的文献号

申请公布号 CN 108461475 A

(43) 申请公布日 2018.08.28

(30) 优先权数据

10-2012-0091920 2012.08.22 KR

(62) 分案原申请数据

201310370209.2 2013.08.22

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市

(72) 发明人 殷东锡 李宁浩 李俊熙 李锡元
申有哲

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 张逍遥 尹淑梅

(51) Int.Cl.

H01L 23/498 (2006.01)

H01L 23/522 (2006.01)

H01L 27/11548 (2017.01)

H01L 27/11551 (2017.01)

H01L 27/1157 (2017.01)

H01L 27/11575 (2017.01)

H01L 27/11578 (2017.01)

H01L 27/11582 (2017.01)

H01L 27/24 (2006.01)

H01L 21/311 (2006.01)

H01L 21/3213 (2006.01)

H01L 21/441 (2006.01)

H01L 21/768 (2006.01)

(56) 对比文件

CN 102637629 A, 2012.08.15

CN 101740579 A, 2010.06.16

CN 101794789 A, 2010.08.04

审查员 韩增智

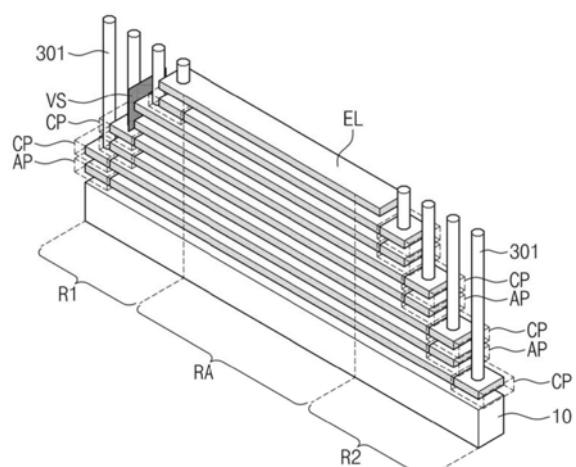
权利要求书2页 说明书21页 附图62页

(54) 发明名称

三维半导体装置

(57) 摘要

提供了一种三维半导体装置。所述装置可以包括顺序地堆叠在基板上以构成电极结构的电极。每个电极可以包括：连接部，从位于其上的一个电极的侧壁向外水平地突出；对齐部，具有与位于其上或其下的一个电极的侧壁共面的侧壁。这里，电极中的设置成彼此竖直邻近的至少两个电极可以以这样的方式设置，即，所述至少两个电极的对齐部具有基本对齐成彼此共面的侧壁。



1. 一种三维半导体装置,所述三维半导体装置包括具有顺序地堆叠在基板上的多个电极的电极结构,

其中,每个电极包括:

连接部,相对于设置有这样的侧壁的平面向外水平地突出,其中,所述侧壁为所述多个电极中的位于该连接部上方的一个电极的侧壁;以及

对齐部,具有与所述多个电极中的位于该对齐部上的一个电极的侧壁或者所述多个电极中的位于该对齐部下面的另一电极的侧壁共面的侧壁,

其中,所述三维半导体装置还包括与电极中的一个电极水平分隔开且由相同的材料形成的至少一个虚设图案,

其中,电极结构包括第一电极和位于第一电极上的第二电极,所述至少一个虚设图案设置在第一电极的侧壁与第二电极的侧壁之间,

其中,电极结构包括第一区域、第二区域和插入在第一区域和第二区域之间的阵列区域,连接部和对齐部中的每一个位于第一区域和第二区域中的一个上。

2. 如权利要求1所述的三维半导体装置,其中,第一电极和第二电极竖直相邻。

3. 如权利要求1所述的三维半导体装置,所述三维半导体装置还包括:

竖直图案,竖直穿透电极结构的阵列区域;以及

存储元件,插入在竖直图案和电极之间。

4. 如权利要求3所述的三维半导体装置,其中,存储元件包括被构造为能够存储电荷或呈现可变电阻性质的材料或层结构。

5. 如权利要求1所述的三维半导体装置,其中,所述至少一个虚设图案处于电浮动状态。

6. 一种三维半导体装置,所述三维半导体装置包括具有顺序地堆叠在基板上的多个电极的电极结构,

其中,每个电极包括:

连接部,相对于设置有这样的侧壁的平面向外水平地突出,其中,所述侧壁为所述多个电极中的位于该连接部上方的一个电极的侧壁;以及

对齐部,具有与所述多个电极中的位于该对齐部上的一个电极的侧壁或者所述多个电极中的位于该对齐部下面的另一电极的侧壁共面的侧壁,

其中,所述三维半导体装置还包括设置在电极结构上的插塞,

其中,电极结构包括:

主体部,包括所述多个电极中的电连接到插塞的电极;以及

虚设部,包括所述多个电极中的与插塞电分离的电极,

其中,虚设部与主体部水平地分隔开,

其中,插塞包括多个第一插塞和与所述多个第一插塞分隔开的多个第二插塞,虚设部设置在所述多个第一插塞与所述多个第二插塞之间,

其中,虚设部包括所述多个电极中的连续地堆叠在基板上的多个电极。

7. 如权利要求6所述的三维半导体装置,其中,主体部包括至少一个主体侧壁部,虚设部包括与主体侧壁部面对的第一虚设侧壁部,

其中,主体侧壁部和第一虚设侧壁部被设置为相对彼此镜面对称,主体侧壁部和第一

虚设侧壁部中的每个具有阶梯式部分。

8. 如权利要求7所述的三维半导体装置,其中,虚设部还包括与第一虚设侧壁部面对的第二虚设侧壁部,

第二虚设侧壁部在相对与基板的顶表面垂直的线的角度方面比第一虚设侧壁部小。

9. 如权利要求8所述的三维半导体装置,其中,第二虚设侧壁部具有阶梯式部分。

10. 如权利要求6所述的三维半导体装置,其中,所述多个第一插塞中的一个连接到第一电极,所述多个第二插塞中的一个连接到第二电极,第一电极和第二电极竖直相邻。

三维半导体装置

[0001] 本申请是申请日为2013年8月22日,申请号为“201310370209.2”,发明名称为“三维半导体装置”的发明专利申请的分案申请。

[0002] 该专利申请要求于2012年8月22日在韩国知识产权局提交的第10-2012-0091920号韩国专利申请的优先权,申请的全部内容通过引用包含于此。

技术领域

[0003] 本发明构思的实施例涉及一种半导体装置,具体地说,涉及形成电极的堆叠件及利用其制造三维半导体装置的方法。

背景技术

[0004] 需要较高集成度的半导体装置来满足消费者对性能更优且价格便宜的需求。对于半导体存储装置,由于它们的集成度对于确定产品价格是很重要的因素,因此需要使集成度大大增加。对于典型的二维半导体存储装置或平面半导体存储装置,由于它们的集成度主要由单位存储单元占据的面积确定,因此集成度受精细图案形成技术的水平影响很大。然而,为了增加图案精细度所需要的极其昂贵的工艺设备对增加二维半导体装置或平面半导体装置的集成度具有实际性的限制。

[0005] 为了克服这样的限制,最近已经提出了具有三维布置的存储单元的三维半导体存储装置。三维半导体存储装置还可以包括起访问存储单元的电通路作用的三维布置的导线(例如,字线)。

发明内容

[0006] 本发明构思的示例实施例提供了一种允许减少设置在半导体装置中的电极的阶梯式连接结构的占据面积的方法。

[0007] 本发明构思的另一示例实施例提供了一种形成具有阶梯式连接结构的电极的简化的方法。

[0008] 本发明构思的另一示例实施例提供了一种其中提供有具有阶梯式连接结构的电极的半导体装置。

[0009] 本发明构思的另一示例实施例提供了一种可以减小实现电连接结构所需的面积的半导体装置。

[0010] 本发明构思的实施例提供了一种三维半导体装置,所述三维半导体装置包括具有顺序地堆叠在基板上的电极的电极结构,其中,每个电极包括:连接部,相对于设置有电极中的位于连接部上的一个电极的侧壁的平面向外水平地突出;以及对齐部,具有与电极中的位于对齐部上的一个电极或者电极中的位于对齐部下面的另一电极的侧壁共面的侧壁,其中,竖直相邻的至少两个电极具有共面的侧壁。

附图说明

- [0011] 通过下面结合附图进行的简短的描述,将更清楚地理解示例实施例。附图表示这里所描述的非限制性的示例实施例。
- [0012] 图1是示例性地示出根据本发明构思示例实施例的半导体装置的透视图。
- [0013] 图2是示出根据本发明构思示例实施例的制造半导体装置的方法的示意流程图。
- [0014] 图3是示出根据本发明构思示例实施例的制造半导体装置的方法的表格。
- [0015] 图4是示出根据图3中举例说明的第一示例的制造半导体装置的方法的流程图。
- [0016] 图5至图8是示例性地示出根据图3中举例说明的第一示例的制造半导体装置的方法的剖视图。
- [0017] 图9是示出根据图3中举例说明的第二示例的制造半导体装置的方法的流程图。
- [0018] 图10和图11是示例性地示出根据图3中举例说明的第二示例的制造半导体装置的方法的剖视图。
- [0019] 图12是示出根据图3中举例说明的第三示例的制造半导体装置的方法的流程图。
- [0020] 图13至图15是示例性地示出根据图3中举例说明的第三示例制造半导体装置的方法的剖视图。
- [0021] 图16是示出根据图3中举例说明的第四示例的制造半导体装置的方法的流程图。
- [0022] 图17和图18是示例性地示出根据图3中举例说明的第四示例的制造半导体装置的方法的剖视图。
- [0023] 图19是示出根据本发明构思的其他示例实施例的制造半导体装置的方法的表格。
- [0024] 图20是示出根据图19中举例说明的第五示例的制造半导体装置的方法的流程图。
- [0025] 图21至图24是示例性地示出根据图19中举例说明的第五示例的制造半导体装置的方法的剖视图。
- [0026] 图25和图26是示例性地示出根据图19中举例说明的第五示例的一种变型的制造半导体装置的方法的剖视图。
- [0027] 图27是示例性地示出根据本发明构思其他示例实施例的半导体装置的一部分的透视图。
- [0028] 图28和图29是示出根据本发明构思其他示例实施例的制造半导体装置的方法的示意图。
- [0029] 图30是示例性地示出根据图19中举例说明的第十示例的制造半导体装置的方法的示意图。
- [0030] 图31是示出根据本发明构思其他示例实施例的制造半导体装置的方法的流程图。
- [0031] 图32是示出根据本发明构思其他示例实施例的制造半导体装置的方法的示意图。
- [0032] 图33至图37是示出根据本发明构思其他示例实施例的变型的制造半导体装置的方法的示意图。
- [0033] 图38是示例性地示出根据本发明构思其他示例实施例的制造半导体装置的方法的流程图。
- [0034] 图39至图43是示例性地示出根据本发明构思其他示例实施例的制造半导体装置的方法的剖视图。
- [0035] 图44是示出图43的半导体装置的一部分的放大的剖视图。

- [0036] 图45和图46是示出参照图39至图43描述的实施例的变型的示意性剖视图。
- [0037] 图47和图48是示例性地示出根据本发明构思其他示例实施例的其他变型的半导体装置的示意性剖视图。
- [0038] 图49至图51是示例性地示出根据本发明构思另外的示例实施例的制造半导体装置的方法的剖视图。
- [0039] 图52是示出根据本发明构思另外的示例实施例的半导体装置的一部分的透视图。
- [0040] 图53是提供用于与参照图49至图51描述的实施例对比的剖视图。
- [0041] 图54和图55分别是示出根据本发明构思的示例实施例的和对比实施例的阶梯式结构的示意性剖视图。
- [0042] 图56和图57分别是提供解释根据本发明构思的示例性实施例的半导体装置和对比实施例的半导体装置之间的技术差异的视图。
- [0043] 图58和图59是提供解释根据本发明构思一些示例实施例的半导体装置的结构特征的视图。
- [0044] 图60和图61是示例性地示出根据本发明构思的示例实施例的三维半导体存储装置的透视图。
- [0045] 图62和图63是示例性地示出根据本发明构思示例实施例的三维半导体存储装置的电路图。
- [0046] 图64和图65是示例性地示出其中设置有根据本发明构思的示例实施例的半导体装置的电子器件的示意性框图。
- [0047] 应该注意的是,这些附图意图解释方法的总体特征、某些示例实施例中使用的材料和/或结构,并且意图补充下面提供的书面描述。然而,这些附图不是按比例绘制的,并且不会精确地反映任何给出的实施例的精确结构或性能特征,这些附图不应被解释为限定或限制示例实施例包括的值或性质的范围。例如,为清晰起见,会缩减或夸大分子、层、区域和/或结构元件的相对厚度和位置。各个附图中相似或相同的标号的使用意图表示存在相似或相同的元件或特征。

具体实施方式

[0048] 现在将参照附图更充分地描述本发明构思的示例实施例,在附图中示出了示例实施例。然而,本发明构思的示例实施例可以以多种不同的形式实施,并且不应被解释为限于这里阐述的实施例,相反,提供这些实施例以使该公开将是彻底的且完全的,并且将向本领域的普通技术人员充分地传达示例实施例的构思。在附图中,为清晰起见,夸大了层和区域的厚度。在附图中,同样的标号表示同样的元件,因此,将省略对其的描述。

[0049] 将理解的是,当元件被称为“连接”或“结合”到另一元件时,该元件可以直接连接到或结合到所述另一元件,或者可以存在中间元件。相反,当元件被称为“直接连接”或“直接结合”到另一元件时,则不存在中间元件。同样的标号始终表示同样的元件。如这里使用的术语“和/或”包括一个或多个相关列出项的任意和所有组合。用来描述元件或层之间的关系的其他词语应该以同样的方式(例如,“在…之间”相对“直接在…之间”、“邻近”相对“直接邻近”、“在…上”相对“直接在…上”)来解释。

[0050] 将理解的是,尽管这里可以使用术语“第一”、“第二”等来描述各个元件、组件、区

域、层和/或部分,但是这些元件、组件、区域、层和/或部分不应受这些术语的限制。这些术语仅用来将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区分开来。因此,在不脱离示例实施例的教导的情况下,可以将下面讨论的第一元件、组件、区域、层或部分命名为第二元件、组件、区域、层或部分。

[0051] 为了易于描述,在这里可以使用诸如“在…之下”、“在…下方”、“下面的”、“在…上方”、“上面的”等空间相对术语来描述如附图中示出的一个元件或特征与其他元件或特征的关系。将理解的是,空间相对术语意在包含除了附图中描述的方位之外的装置在使用或操作中的不同方位。例如,如果将附图中的装置翻转,则被描述为在其他元件或特征“在…下方”或“在…之下”的元件将随后会位于其他元件或特征“上方”。因此,示例性术语“在…下方”可包含“在…上方”和“在…下方”两种方位。该装置可被另外定位(旋转90度或其他方位)并相应地解释这里使用的空间相对描述符。

[0052] 这里使用的术语仅出于描述具体实施例的目的,并不意图限制本发明。除非上下文另外明确指出,否则如这里所使用的单数形式“一个”、“一种”也意图包括复数形式。进一步将理解的是,如果这里使用术语“包括”时,说明存在陈述的特征、整体、步骤、操作、元件和/或组件,但不排除存在或添加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组。

[0053] 这里参照作为示例实施例的理想化实施例(和中间结构)的示例性视图来描述本发明构思的示例实施例。这样,预计将出现例如由制造技术和/或公差引起的示出的形状的变化。因此,本发明构思的示例实施例不应被理解为局限于这里示出的区域的特定形状,而是将包括例如由制造所造成的形状上的偏差。例如,示出为矩形的注入区域可以在其边缘具有圆形或弯曲的特征和/或注入浓度的梯度,而不是从注入区域到非注入区域的二元变化。同样,通过注入形成的埋置区域可导致在埋置区域和通过其发生注入的表面之间的区域中出现一定程度的注入。因而,附图中示出的区域实质上是示意性的,它们的形状并不意图示出装置的区域的实际的形状,也不意图限制示例实施例的范围。

[0054] 除非另外定义,否则这里使用的所有术语(包括技术术语和科学术语)具有与本发明构思的示例实施例所属的领域中的普通技术人员所通常理解的意思相同的意思。进一步将理解的是,除非这里明确这样定义,否则术语(例如在通用的词典中定义的术语)应被解释为具有与相关领域的环境中它们的意思相一致的意思,而将不以理想的或过于正式的含义来解释它们的意思。

[0055] 图1是示例性地示出根据本发明构思示例实施例的半导体装置的透视图。

[0056] 参照图1,电极结构可以设置在具有连接区域和阵列区域RA的基板10上。例如,连接区域可以包括位于阵列区域RA的两侧的第一区域R1和第二区域R2,但是本发明构思的示例实施例可以不限于此。电极结构可以包括以连续的方式堆叠的多个电极EL。电极EL可以由导电材料(例如,掺杂的半导体层或金属层)形成。在某些实施例中,电极EL可以由相同的材料形成。

[0057] 电极EL的长度可以随着到基板10的距离的增加而变短。此外,在俯视图中,电极EL中的一个可以设置在由设置在其下的其他电极占据的区域中。例如,电极EL可以设置成形成具有阶梯式部分的多层结构,电极EL中的一个可以包括没有被设置在其上的其他电极覆盖的至少一个端部(下文中,称为“连接部CP”)。如果连接部CP具有足够大的面积,则连接部

CP可以起到使得相应的电极电连接到其他导线的电通路(下文中,称为“接触区域”)的作用。

[0058] 根据本发明构思的一些方面,至少一个电极EL可以包括具有与设置在其上的其他电极的侧表面相对齐的侧表面的端部(下文中,称为“对齐部AP”)。例如,沿竖直方向彼此相邻的一对电极EL可以具有与特定的竖直平面VS对齐的侧壁,所述特定的竖直平面VS的法线方向基本平行于基板10的顶表面。

[0059] 在示例实施例中,每个电极EL的两个端部可以被构成具有上面描述的连接部CP和对齐部AP的技术特征。例如,每个电极EL的一个端部(例如,连接部CP)可以从设置在其上的其他电极水平地突出,同时其相反的端部(例如,对齐部AP)可以具有与设置在其上的其他电极的侧壁共面或对齐的侧壁。

[0060] 在一些示例实施例中,如图1中所示,电极EL中的偶数编号的电极的连接部CP和对齐部AP可以分别形成在第一区域R1和第二区域R2上,电极EL中的奇数编号的电极的连接部CP和对齐部AP分别形成在第二区域R2和第一区域R1上。

[0061] 图2是示出根据本发明构思的示例实施例制造半导体装置的方法的示意性流程图。

[0062] 根据本发明构思的示例实施例,半导体装置的形成可以包括形成电极的堆叠件的工艺,电极堆叠件的形成可以包括形成阶梯式连接结构(例如,图1中所示)的工艺。在下文中,将参照图2来描述形成根据本发明构思的示例实施例的阶梯式连接结构的工艺。

[0063] 参照图2,水平层可以顺序地堆叠在基板上以形成堆叠件(S1中)。在某些实施例中,图1的电极EL可以是通过利用下面描述的图案化方法蚀刻水平层得到的最终结构。例如,水平层可以用作电极EL。在其他示例实施例中,可以通过利用下面描述的方法蚀刻水平层来形成图1的电极EL,所述方法为:选择性地去除水平层以形成空余空间;然后,使用导电层填充空余空间。例如,水平层可以用作用于形成其中将设置电极EL的空余空间的牺牲层。

[0064] 可以使堆叠件图案化,以在基板的连接区域上形成阶梯式连接结构(S2中)。在堆叠件的图案化过程中,可以执行选择性蚀刻步骤SE和共同蚀刻步骤CE至少一次。这里,可以执行选择性蚀刻步骤SE,以局部蚀刻连接区域的特定部分。相反,可以执行共同蚀刻步骤CE,以同时蚀刻连接区域的若干个部分。在某些实施例中,与选择性蚀刻步骤SE相关的特定部分可以被包括在共同蚀刻步骤CE过程中将被蚀刻的若干个部分中。

[0065] 在阶梯式连接结构的形成过程中,可以执行选择性蚀刻步骤SE和共同蚀刻步骤CE至少一次,可以以单层蚀刻或多层蚀刻的方法执行选择性蚀刻步骤SE和共同蚀刻步骤CE中的各个步骤。在单层蚀刻方式的情况下,可以以这样的方式执行选择性蚀刻步骤SE或共同蚀刻步骤CE,即,通过选择性蚀刻步骤SE或共同蚀刻步骤CE蚀刻的部分具有等于每个水平层的竖直节距的深度,在多层蚀刻方式的情况下,可以以这样的方式执行选择性蚀刻步骤SE或共同蚀刻步骤CE,即,可以连续不断地蚀刻水平层中的至少两个层。可以通过选择性蚀刻步骤SE和共同蚀刻步骤CE的各种组合来实现阶梯式连接结构,将参照图3至图52更详细地描述这些组合的一些示例。

[0066] 图3是示出根据本发明构思的示例实施例制造半导体装置的方法的表格。

[0067] 根据本发明构思的示例实施例,连接结构的形成(S2中)可以包括在蚀刻深度和蚀刻区域两方面彼此不同的第一图案化工艺S21和第二图案化工艺S22。例如,可以以其蚀刻

深度为水平层的竖直节距的至少两倍的这样的方式执行第一图案化工艺S21和第二图案化工艺S22中的一个,可以以其蚀刻深度大约为水平层的竖直节距的这样的方式来执行第一图案化工艺S21和第二图案化工艺S22中的另一个。这里,水平层的竖直节距可以指的是一个水平层的顶表面与位于其上或其下的另一个水平层的顶表面之间的高度差。换言之,可以在以多层蚀刻方式执行第一图案化工艺S21和第二图案化工艺S22中的一个的同时,可以以单层蚀刻方式执行另一个。例如,对于图3中枚举的第一示例和第四示例,可以分别以多层和单层蚀刻方式执行第一图案化工艺S21和第二图案化工艺S22,对于第二示例和第三示例,可以分别以单层和多层蚀刻方式执行第一图案化工艺S21和第二图案化工艺S22。

[0068] 关于蚀刻区域,可以在连接区域的每个部分上执行第一图案化工艺S21和第二图案化工艺S22中的一个,可以在连接区域的特定部分上执行第一图案化工艺S21和第二图案化工艺S22中的另一个。例如,可以执行第一图案化工艺S21和第二图案化工艺S22中的一个或者以共同蚀刻方式来蚀刻位于所有第一区域R1和第二区域R2上的水平层的若干部分,可以执行第一图案化工艺S21和第二图案化工艺S22中的另一个或者以选择性蚀刻方式来蚀刻位于第二区域R2上的水平层的特定部分。返回参照图3,在第一和第三示例中,可以以共同蚀刻方式执行第一图案化工艺,可以以选择性蚀刻方式执行第二图案化工艺。此外,在第二和第四示例中,可以以选择性蚀刻方式执行第一图案化工艺,可以以共同蚀刻方式执行第二图案化工艺。

[0069] 在某些实施例中,基于共同蚀刻方式的蚀刻工艺可以包括在第一区域R1和第二区域R2两者上蚀刻水平层的两个步骤或更多的步骤,基于选择性蚀刻方式的图案化工艺可以包括单步蚀刻第二区域上的水平层。例如,在图3中的第一示例和第三示例中,第一图案化工艺S21可以包括以共同蚀刻方式蚀刻水平层的多个步骤,第二图案化工艺S22可以包括以选择性蚀刻方式蚀刻水平层的单个步骤。

[0070] 在下文中,将参照图4至图18示例性地描述根据图3的第一至第四示例制造半导体装置的方法。

[0071] SSL说明:第一实施例蚀刻方法

[0072] 图4是示出根据图3中举例说明的第一示例的制造半导体装置的方法的流程图,图5至图8是示例性地示出根据图3中举例说明的第一示例的制造半导体装置的方法的剖视图。

[0073] 参照图3至图5,水平层100和层间绝缘层200可以交替地堆叠在基板10上以形成堆叠件ST (S1中)。基板10可以包括第一区域R1、第二区域R2和位于第一区域R1和第二区域R2之间的阵列区域RA。水平层100可以由关于层间绝缘层200具有蚀刻选择性的材料形成。例如,层间绝缘层200可以由氧化硅层形成,同时水平层100可以包括氮化硅层、氮氧化硅层、多晶硅层或金属层中的至少一种。在示例实施例中,水平层100可以由相同的材料形成。

[0074] 参照图3、图4和图6,可以在堆叠件ST上执行第一图案化工艺S21。在本示例中,第一图案化工艺S21可以包括以共同多层蚀刻方式执行的多个蚀刻步骤。

[0075] 例如,第一图案化工艺S21可以包括至少两个蚀刻步骤,执行每个蚀刻步骤以将堆叠件ST的位于第一区域R1和第二区域R2上的部分蚀刻成相同的蚀刻深度。为了以共同蚀刻方式实现蚀刻步骤,可以利用暴露第一区域R1和第二区域R2两者的它们各自的蚀刻掩模来执行蚀刻步骤。如图6中所示,在某些实施例中,每个蚀刻步骤中的蚀刻深度可以大约为水

平层100的竖直节距的两倍。

[0076] 同时,在第一图案化工艺S21包括以共同蚀刻方式执行的多个蚀刻步骤的情况下,对于至少连续两个的蚀刻步骤可以共用单个蚀刻掩模。例如,接下来的一个蚀刻步骤可以包括减小或收缩在多个蚀刻步骤中的前一个蚀刻步骤中已经使用的第一蚀刻掩模201的水平尺寸或宽度的步骤。在接下来的蚀刻步骤中可以将已减小的第一蚀刻掩模201再用作蚀刻掩模。蚀刻掩模的再使用可能能够解决后续工艺中因未对齐导致的技术困难,并且减少了昂贵的光刻工艺的次数。

[0077] 在与本实施例相似的情况下,第一图案化工艺S21包括使蚀刻掩模收缩的步骤,在堆叠件ST的外部实施蚀刻步骤的次数可以比在堆叠件ST的内部实施蚀刻步骤的次数多。因此,堆叠件ST中的在第一图案化工艺S21期间将被蚀刻的部分(在下文中,被称为第一蚀刻部E1)的蚀刻深度可以随着到阵列区域RA的距离的增大而增加。结果,如图6中所示,堆叠件ST和第一蚀刻部E1可以在第一区域R1和第二区域R2上形成为具有阶梯式结构。

[0078] 如上所述,由于以共同蚀刻方式执行第一图案化工艺S21,因此堆叠件ST的位于第一区域R1和第二区域R2上的第一蚀刻部E1或两部分可以形成为相对于彼此具有镜面对称。

[0079] 参照图3、图4和图7,可以在堆叠件ST上执行第二图案化工艺S22。根据本示例,第二图案化工艺S22可以包括以选择性单层蚀刻方式执行的蚀刻步骤。

[0080] 例如,第二图案化工艺S22可以包括将堆叠件ST的位于第二区域R2上的部分蚀刻掉达到水平层100的竖直节距P的厚度的步骤。可以利用第二蚀刻掩模202执行第二图案化工艺S22,第二蚀刻掩模202可以形成为覆盖第一区域R1并暴露第二区域R2。第二蚀刻掩模202可以形成为暴露第二区域R2上的第一蚀刻部E1及其相邻区域,如图7中所示。

[0081] 在下文中,为了简洁起见,堆叠件ST的通过第二图案化工艺S22最新蚀刻的部分将被称为“第二蚀刻部E2”。根据本实施例,由于以选择性蚀刻方式执行第二图案化工艺S22,因此第二蚀刻部E2可以局部地形成在例如仅形成在第二区域R2上。因此,堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以不再相对于彼此具有镜面对称。

[0082] 此外,由于第二图案化工艺S22以单层蚀刻方式执行,因此堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以形成为具有与水平层100的竖直节距P相对应的高度差。因此,构成堆叠件ST的水平层100可以形成为具有参照图1描述的阶梯式连接结构。此外,根据前述的实施例,每个水平层100可以形成为具有连接部CP和对齐部AP。

[0083] 参照图3、图4和图8,互连结构300可以形成在已执行第二图案化工艺S22(S3中)的结构上。在一些实施例中,如图8中所示,互连结构300可以包括分别结合到水平层100的连接部CP的插塞301、以及可以分别电连接到插塞301的焊盘302、通塞(via plug)303和金属线304,但是本发明构思的示例实施例可以不限于此。此外,在形成互连结构300之前,可以进一步形成蚀刻停止层99,以覆盖已通过执行第二图案化工艺S22而产生的结构。在其他实施例中,还可以在水平层100的暴露的侧壁上进一步形成绝缘间隔件(未示出)。因绝缘间隔件和/或蚀刻停止层99的存在,因此能够防止不期望的电通路形成在水平层100和插塞301之间。

[0084] 根据先前描述的示例,第一图案化工艺S21的每个蚀刻步骤中的蚀刻深度可以是水平层100的竖直节距的两倍(即,2P),同时第二图案化工艺S22中的蚀刻深度可以为水平层100的竖直节距(即,P)。在这种情况下,如图8中所示,水平层100中的偶数编号的水平层

可以连接到互连结构300在第一区域R1上的一部分,同时水平层100中的奇数编号的水平层可以连接到互连结构300的在第二区域R2上的其他部分。

[0085] SSL说明:第二实施例

[0086] 图9是示出根据图3中举例说明的第二实施例的制造半导体装置的方法的流程图,图10和图11是示例性地示出根据图3中举例说明的第二示例的制造半导体装置的方法的剖视图。

[0087] 参照图3、图9和图10,可以在参照图5描述的堆叠件ST上执行第一图案化工艺S21。在本实施例中,第一图案化工艺S21可以包括以选择性单层蚀刻方式执行的蚀刻步骤。

[0088] 例如,第一图案化工艺S21可以包括将堆叠件ST的位于第二区域R2上的部分蚀刻掉达到水平层100的竖直节距P的厚度。可以利用第一蚀刻掩模201执行第一图案化工艺S21,蚀刻掩模201可被形成为覆盖第一区域R1并暴露第二区域R2。

[0089] 由于以选择性蚀刻方式执行第一图案化工艺S21,因此第一蚀刻部E1可以局部地形成在第二区域R2上。因此,堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以形成为具有与水平层100的竖直节距P相对应的高度差。

[0090] 参照图3、图9和图11,可以在堆叠件ST上执行第二图案化工艺S22。根据本示例,第二图案化工艺S22可以包括多个蚀刻步骤,每个蚀刻步骤可以以先前参照图6描述的共同多层蚀刻方式执行。

[0091] 结果,堆叠件ST和第一蚀刻部E1可以在第一区域R1和第二区域R2上形成为具有阶梯式结构。然而,堆叠件ST的第一区域R1可以具有通过第一图案化工艺S21形成并由第一蚀刻部E1划定界限的阶梯式结构,同时堆叠件ST的第二区域R2可以具有通过第一图案化工艺S21和第二图案化工艺S22形成并由第一蚀刻部E1和第二蚀刻部E2划定界限的其他阶梯式结构。因此,水平层100中的偶数编号的水平层可以在第一区域R1上形成为具有连接部CP,在第二区域R2上形成为具有对齐部AP,同时水平层100中的奇数编号的水平层可以在第二区域R2上形成为具有连接部CP,在第一区域R1上形成为具有对齐部AP。

[0092] 此后,可以在参照图11描述的结构上形成互连结构300,并且产生的结构可以具有与图8的结构特征相同的结构特征。

[0093] 第三实施例

[0094] 图12是示出根据图3中举例说明的第三示例的制造半导体装置的方法的流程图,图13至图15是示例性地示出根据图3中举例说明的第三示例的制造半导体装置的方法的剖视图。

[0095] 参照图3、图12和图13,可以在堆叠件ST上执行第一图案化工艺S21。根据本示例,第一图案化工艺S21可以包括多个蚀刻步骤,其中,每个蚀刻步骤可以以共同单层蚀刻方式执行。

[0096] 例如,第一图案化工艺S21可以包括至少两个蚀刻步骤,执行所述至少两个蚀刻步骤中的每个,以将堆叠件ST的位于第一区域R1和第二区域R2上的部分蚀刻掉达到水平层100的竖直节距P的厚度。为了以共同蚀刻方式实现蚀刻步骤,可以利用暴露第一区域R1和第二区域R2两者的各自的蚀刻掩模来执行蚀刻步骤。

[0097] 同时,在第一图案化工艺S21包括以共同蚀刻方式执行的多个蚀刻步骤的情况下,对于至少连续两个的蚀刻步骤中可以共用单个蚀刻掩模。例如,接下来的一个蚀刻步骤可

以包括使前一个蚀刻步骤中已经使用的第一蚀刻掩模201的水平尺寸或宽度减小或收缩的步骤。在接下来的蚀刻步骤中可以将已减小的第一蚀刻掩模201再用作蚀刻掩模。蚀刻掩模的再使用可能能够解决后续工艺中因未对齐导致的技术问题，并且减少了昂贵的光刻工艺的次数。

[0098] 在与本实施例相似的情况下，第一图案化工艺S21包括使蚀刻掩模收缩的步骤，在堆叠件ST的外部将要实施蚀刻步骤的次数可以比在堆叠件ST的内部实施蚀刻步骤的次数多。因此，堆叠件ST中的在第一图案化工艺S21期间将被蚀刻的部分（在下文中，被称为第一蚀刻部E1）的蚀刻深度可以随着到阵列区域RA的距离的增大而增加。结果，如图13中所示，堆叠件ST和第一蚀刻部E1可以在第一区域R1和第二区域R2上形成为具有阶梯式结构。

[0099] 如上所述，由于以共同蚀刻方式执行第一图案化工艺S21，因此堆叠件ST的位于第一区域R1和第二区域R2上的第一蚀刻部E1或两部分可以被形成为相对于彼此具有镜面对称。

[0100] 参照图3、图12和图14，可以在堆叠件ST上执行第二图案化工艺S22。根据本示例，第二图案化工艺S22可以包括以选择性多层蚀刻方式执行的蚀刻步骤。

[0101] 例如，第二图案化工艺S22可以包括将堆叠件ST的位于第二区域R2上的部分蚀刻掉达到与水平层100的竖直节距P的倍数相对应的蚀刻深度。在某些实施例中，蚀刻深度可以是堆叠件ST的一半高度，或者是水平层100的总堆叠高度的一半。可以利用可以形成为覆盖第一区域R1并暴露第二区域R2的第二蚀刻掩模202执行第二图案化工艺S22。第二蚀刻掩模202可以形成为暴露第二区域R2上的第一蚀刻部E1及其相邻区域，如图14中所示。

[0102] 由于以选择性蚀刻方式执行第二图案化工艺S22，因此第二蚀刻部E2可以局部地形成在（例如，仅形成在）第二区域R2上。因此，堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以不再相对于彼此具有镜面对称。

[0103] 参照图3、图12和图15，互连结构300可以形成在已执行第二图案化工艺（S3中）S22的结构上。除了与插塞301的长度有关的差异之外，互连结构300可以形成为具有与参照图8描述的示例的互连结构相同的技术特征。

[0104] 第四实施例

[0105] 图16是示出根据图3中举例说明的第四示例的制造半导体装置的方法的流程图，图17和图18是示例性地示出根据图3中举例说明的第四示例的制造半导体装置的方法的剖视图。

[0106] 参照图3、图16和图17，可以在参照图5描述的堆叠件ST上执行第一图案化工艺S21。在本示例中，第一图案化工艺S21可以包括以选择性多层蚀刻方式执行的蚀刻步骤。

[0107] 例如，第一图案化工艺S21可以包括将堆叠件ST的位于第二区域R2上的部分蚀刻掉达到与水平层100的竖直节距P的倍数相对应的蚀刻深度的厚度。在某些实施例中，蚀刻深度可以是堆叠件ST的一半高度，或者是水平层100的总堆叠高度的一半。可以利用第一蚀刻掩模201执行第一图案化工艺S21，第一蚀刻掩模201可以被形成为覆盖第一区域R1并暴露第二区域R2，如图17中所示。

[0108] 由于以选择性蚀刻方式执行第一图案化工艺S21，因此第一蚀刻部E1可以局部地形成在第二区域R2上。因此，堆叠件ST的位于第一区域R1和第二区域R2上两部分可以形成为具有与水平层100的竖直节距P的倍数相对应的高度差，或者形成为具有与堆叠件ST的高

度的一半相对应的高度差。

[0109] 参照图3、图16和图18,在堆叠件ST上可以执行第二图案化工艺S22。根据本示例,第二图案化工艺S22可以包括多个蚀刻步骤,其中,每个蚀刻步骤可以以先前参照图13描述的共同单层蚀刻方式执行。

[0110] 结果,堆叠件ST和第一蚀刻部E1可以在第一区域R1和第二区域R2上形成为具有阶梯式结构。然而,堆叠件ST的第一区域可以具有通过第二图案化工艺S22形成并由第二蚀刻部E2划定界限的阶梯式结构,同时堆叠件ST的第二区域R2可以具有通过第一图案化工艺S21和第二图案化工艺S22形成并由第一蚀刻部E1和第二蚀刻部E2划定界限的其他阶梯式结构。因此,水平层100的上一半可以形成为在第一区域R1上具有连接部CP,在第二区域R2上具有对齐部AP,同时水平层100的下一半可以形成为在第二区域R2上具有连接部CP,在第一区域R1上具有对齐部AP。

[0111] 然后,可以在参照图18描述的结构上形成互连结构300,并且产生的结构可以具有与图15的结构特征相同的结构特征。

[0112] 图19是示出根据本发明构思其他示例实施例的制造半导体装置的方法的表格。

[0113] 根据本发明构思的其他示例实施例,连接结构的形成(S2中)可以包括第一图案化工艺S21、第二图案化工艺S22和第三图案化工艺S23。第一图案化工艺S21、第二图案化工艺S22和第三图案化工艺S23中的一个可以包括以共同单层蚀刻方式执行的至少一个蚀刻步骤(在下文中,称为“共同单层蚀刻步骤”),另一个可以包括以选择性多层蚀刻方式执行的至少一个蚀刻步骤(在下文中,称为“选择性多层蚀刻步骤”),其他可以包括以共同多层蚀刻方式执行的至少一个蚀刻步骤(在下文中,称为“共同多层蚀刻步骤”)。可以不同地组合共同单层蚀刻步骤、选择性多层蚀刻步骤和共同多层蚀刻步骤,以形成阶梯式连接结构。例如,通过图19中枚举的第五至第十示例中的一个可以实现这样的组合中的最简单的示例。

[0114] 为了减少描述的重叠和复杂性,将参照图20至图29示例性地描述图19的第五示例。图20是示出根据图19中举例说明的第五示例的制造半导体装置的方法的流程图,图21至图24是示例性地示出根据图19中举例说明的第五示例的制造半导体装置的方法的剖视图。

[0115] 参照图20和图21,水平层100和层间绝缘层200可以交替地堆叠在基板10上,以形成堆叠件(S1中),可以对堆叠件ST执行共同单层蚀刻步骤S21。可以执行共同单层蚀刻步骤S21,以形成彼此间隔开的第一蚀刻部E1。可以利用第一掩模211执行共同单层蚀刻步骤S21,第一掩模211可以被形成为暴露第一区域R1和第二区域R2两者。因此,第一蚀刻部E1可以共同形成在第一区域R1和第二区域R2上,第一蚀刻部E1的蚀刻深度可以等于水平层100的竖直节距。

[0116] 参照图20和图22,可以在设置有第一蚀刻部E1的堆叠件ST上执行选择性多层蚀刻步骤S22。可以利用暴露第一区域R1的一部分并覆盖第二区域R2和阵列区域RA的第二掩模212作为蚀刻掩模来执行选择性多层蚀刻步骤S22。例如,选择性多层蚀刻步骤S22可以包括蚀刻水平层100的位于第一区域R1上的一部分。因此,第二蚀刻部E2可以局部地形成在位于第一区域R1上的堆叠件ST中。第二蚀刻部E2可以形成为具有与水平层100的竖直节距P的两倍相对应的蚀刻深度。作为选择性多层蚀刻步骤S22的结果,第一区域R1和第二区域R2可以具有彼此不同的结构。例如,堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以不

再相对于彼此具有镜面对称。

[0117] 参照图20、图23和图24,可以在设置有第二蚀刻部E2的堆叠件ST上执行共同多层蚀刻步骤S23。共同多层蚀刻步骤可以分别包括第一共同多层蚀刻步骤和第二共同多层蚀刻步骤。可以分别利用第三掩模213和第四掩模214作为蚀刻掩模来执行第一共同多层蚀刻步骤和第二共同多层蚀刻步骤。第三掩模213和第四掩模214可以被形成为暴露第一区域R1的一部分和第二区域R2的一部分并覆盖阵列区域RA。根据本示例,第四掩模214可以被形成为具有比第三掩模213的宽度大的宽度,或者被形成为完全覆盖被第三掩模213覆盖的区域。

[0118] 作为第一共同多层蚀刻步骤和第二共同多层蚀刻步骤的结果,第三蚀刻部E3和第四蚀刻部E4可以形成在第一区域R1上和第二区域R2中的每个上。第三蚀刻部E3和第四蚀刻部E4中的每个可以被形成为具有与水平层100的竖直节距P的四倍相对应的蚀刻深度。

[0119] 总之,第一至第四蚀刻部E1、E2、E3和E4可以形成在第一区域R1上,而第一、第三和第四蚀刻部E1、E3和E4可以形成在第二区域R2上。这里,第一、第三和第四蚀刻部E1、E3和E4在其水平位置或区域方面可以彼此不同。由于第一、第三和第四蚀刻部E1、E3和E4的水平位置之间的不同,堆叠件ST可以形成为具有这样的阶梯式结构,在该阶梯式结构中,每个阶梯高度为水平层100的竖直节距P的倍数。在没有第二蚀刻部E2的情况下,堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以相对于彼此具有镜面对称。然而,堆叠件ST的镜面对称轮廓可以因形成在第一区域R1上的第二蚀刻部E2的不存在而被破坏。例如,水平层100中的一些可以暴露在第一区域R1上,其他可以暴露在第二区域R2上。

[0120] 图25和图26是示例性地示出根据图19中举例说明的第五示例的一种变型的制造半导体装置的方法的剖视图。

[0121] 如图25和图26中所示,共同多层蚀刻步骤可以包括分别利用第三掩模223和第四掩模224作为蚀刻掩模执行的第一共同多层蚀刻步骤和第二共同多层蚀刻步骤。根据本示例,第三掩模223可以被形成为具有比第四掩模224的宽度大的宽度,或者形成为完全覆盖被第四掩模224覆盖的区域。例如,第四掩模224可以是在第三掩模223上通过前述掩模收缩步骤得到的产生的结构。在这种情况下,第四蚀刻部E4可以包括插入在第三蚀刻部E3与堆叠件ST的侧壁之间的蚀刻部。

[0122] 换言之,在共同多层蚀刻步骤包括多个将以共同蚀刻方式执行的蚀刻步骤的情况下,对于至少连续两个的蚀刻步骤可以共同使用单个蚀刻掩模。例如,接下来的一个蚀刻步骤可以包括减小或收缩在上一个蚀刻步骤中已经使用的第三掩模223的水平大小或宽度的步骤。已减小的第三掩模223可以在接下来的蚀刻步骤中再用作第四掩模224。蚀刻掩模的再使用可以能够减小因在后续工艺中的未对齐而导致的技术困难,并且减少了昂贵的光刻工艺的次数。

[0123] 图27是示例性地示出根据本发明构思其他示例实施例的半导体装置的一部分的透视图。

[0124] 根据本发明构思的其他示例实施例和它们的变型,如图27中所示,电极EL中的第4n+1个电极和第4n+2个电极中的每个可以被形成为分别在第一区域R1上具有对齐部AP和在第二区域R2上具有连接部CP,电极EL中的第4n+3个电极和第4n+4个电极中的每个可以被形成为分别在第一区域R1上具有连接部CP和在第二区域R2上具有对齐部AP,其中,n为零或

者为能够满足 $4n+4$ 应小于或等于水平层的总堆叠数的条件的自然数。

[0125] 图28和图29是示出根据本发明构思的其他示例实施例的制造半导体装置的方法的示意图。

[0126] 参照图28和图29,连接结构的形成可以包括执行共同单层蚀刻步骤S21一次以形成第一蚀刻部E1,执行选择性多层蚀刻步骤S22一次以形成第二蚀刻部E2,然后执行共同多层蚀刻步骤S23七次,以形成第三至第九蚀刻部E3、E4、E5、E6、E7、E8和E9。

[0127] 可以利用彼此不同的蚀刻掩模执行共同多层蚀刻步骤S23。例如,可以利用其宽度大于上一步骤中使用的蚀刻掩模的宽度的蚀刻掩模执行每个共同多层蚀刻步骤S23。在这种情况下,如图28中所示,第三至第九蚀刻部E3-E9中的每个可以形成在前一个蚀刻部下方,并且第三至第九蚀刻部E3-E9中的每个的水平位置可以随着共同多层蚀刻步骤S23的进行而与堆叠件ST的中心距离越来越远。在变型的实施例中,可以利用其宽度比上一步骤中使用的蚀刻掩模的宽度小的蚀刻掩模执行至少一个共同多层蚀刻步骤S23。在这种情况下,如图29中所示,与之前蚀刻的部分(例如,E3、E5和E7)相比,第三至第九蚀刻部E3-E9中的一些(例如,E4、E6和E8)可以被形成为更邻近于堆叠件ST的中心。

[0128] 图30是示例性地示出根据图19中举例说明的第十示例的制造半导体装置的方法的示意图。在图19的第十示例中,连接结构的形成可以包括:执行共同多层蚀刻步骤S23七次,以形成第一至第七蚀刻部E1、E2、E3、E4、E5、E6和E7;执行选择性多层蚀刻步骤S22一次,以形成第八蚀刻部E8;然后,执行共同单层蚀刻步骤S21一次,以形成第九蚀刻部E9。换言之,在共同单层蚀刻步骤S21和选择性多层蚀刻步骤S22之前可以执行共同多层蚀刻步骤S23。

[0129] 根据参照图28至图30描述的实施例,尽管执行蚀刻步骤的顺序不同,但是堆叠件ST可以被形成为具有相同的阶梯式结构。这意味着可以根据研发者的需要多方面地调整执行蚀刻步骤的顺序。在这层意义上说,本发明构思的示例实施例可以不限于已经被描述或下面将要描述的示例,并且可以基于前述实施例不同地修改。

[0130] 图31是示出根据本发明构思的其他示例实施例的制造半导体装置的方法的流程图,图32是示出根据本发明构思的其他示例实施例的制造半导体装置的方法的示意图。

[0131] 参照图31和图32,在本实施例中的阶梯连接结构的形成可以包括:堆叠水平层100,以形成堆叠件ST(S1中);顺序地对堆叠件ST执行第一共同单层蚀刻步骤(S21中)、第二共同单层蚀刻步骤(S22中)、选择性多层蚀刻步骤(S23中)以及共同多层蚀刻步骤(S24中);然后,在产生的结构上形成互连结构300(S3中)。

[0132] 可以执行第一共同单层蚀刻步骤S21,以形成彼此分隔开的第一蚀刻部E1。第一蚀刻部E1可以形成在第一区域R1和第二区域R2两者上,此外,第一蚀刻部E1可以被形成为在第一区域R1和第二区域R2中的每个上具有交替的布置。例如,第一蚀刻部E1可以形成为具有3W的节距和2W的宽度。第一蚀刻部E1可以具有与水平层100的竖直节距相对应的蚀刻深度。

[0133] 可以执行第二共同单层蚀刻步骤S22,以形成彼此分隔开的第二蚀刻部E2。第二蚀刻部E2可以形成在第一区域R1和第二区域R2两者上,此外,与第一蚀刻部E1相似,第二蚀刻部E2可以被形成为在第一区域R1和第二区域R2中的每个上具有交替的布置。第二蚀刻部E2可以形成为具有3W的节距和1W的宽度。第二蚀刻部E2可以具有与水平层100的竖直节距相

对应的蚀刻深度。

[0134] 可以执行选择性多层蚀刻步骤S23,以形成局部地位于第二区域R2上的第三蚀刻部E3。与参照图22描述的实施例相似,第三蚀刻部E3可以被形成为具有与水平层100的竖直节距的两倍相对应的蚀刻深度。作为选择性多层蚀刻步骤S23的结果,第一区域R1和第二区域R2可以具有彼此不同的结构。例如,堆叠件ST的位于第一区域R1和第二区域R2上的两部分可以不再相对于彼此具有镜面对称。

[0135] 可以执行共同多层蚀刻步骤S24,以使堆叠件ST的位于第一区域R1和第二区域R2上的部分图案化。在示例实施例中,如图32中所示,在连接结构的形成过程中,可以执行共同多层蚀刻步骤S24若干次,并且可以利用具有彼此不同的宽度的蚀刻掩模执行每个共同多层蚀刻步骤S24。因此,通过共同多层蚀刻步骤S24得到的蚀刻部E4、E5和E6可以形成在彼此不同的水平面,以限定堆叠件ST的阶梯式结构。

[0136] 可以以与参照图8描述的实施例的方式基本相同的方式执行互连结构300的形成(S3中)。

[0137] 堆叠件ST可以包括可以形成在第一区域R1和第二区域R2上以允许堆叠件ST与互连结构300之间的电连接的多个阶梯状区域。根据参照图31和图32描述的上述实施例,每个阶梯状区域可以由以连续的方式堆叠的三个水平层100构成。在先前的实施例中,每个阶梯状区域可以由以连续的方式堆叠的一个或两个水平层100构成。这意味着,每个阶梯状区域应具有特定的竖直厚度或应限制水平层的个数是没有理由的。例如,如示例性地参照图31和图32进行描述,可以根据研发者的需要不同地调整每个阶梯状区域的具体厚度。例如,构成每个阶梯状区域的层的个数可以为2至16中的至少之一。

[0138] 图33至图37是示出根据本发明构思的其他示例实施例改变的制造半导体装置的方法的示意图。例如,图33至图37示出了可以从先前参照图31和图32描述的实施例修改的一些示例。尽管,为了简洁起见,将省略重叠的描述,但是这里将描述的方法特征和结构特征可以应用于本发明构思的已经描述的或者下面将以相同或相似的方式描述的其他实施例。此外,为了简洁起见,这个示例的与先前示出并描述的那些元件和特征相似的元件和特征将不再更进一步详细地描述。

[0139] 可以将参照图32描述的实施例修改为在共同多层蚀刻步骤之间执行选择性多层蚀刻步骤。例如,如图33中所示,在第一和第二共同单层蚀刻步骤以及共同多层蚀刻步骤之后可以执行选择性多层蚀刻步骤,以形成具有与水平层100的竖直节距的两倍相对应的蚀刻深度的第四蚀刻部E4。其后,可以以共同多层蚀刻方式使堆叠件ST进一步图案化。在本实施例中,可以以与参照图32描述的实施例的方式基本相同的方式执行第一共同单层蚀刻步骤、第二共同单层蚀刻步骤、选择性多层蚀刻步骤、共同多层蚀刻步骤。尽管如此,在参照图32描述的实施例和图33描述的实施例之间,堆叠件ST的最终结构可以没有差异。这意味着,不管工艺顺序的改变或执行选择性多层蚀刻步骤的顺序的改变如何,都能够形成相同的阶梯式结构。

[0140] 可以将参照图32描述的实施例修改为在第一和第二共同单层蚀刻步骤之前执行选择性多层蚀刻步骤。例如,作为选择性多层蚀刻步骤的结果,可以在堆叠件ST的最上面的区域将第一蚀刻部E1形成为具有与水平层100的竖直节距的两倍相对应的蚀刻深度,如图34中所示。其后,可以对堆叠件ST执行多次共同多层蚀刻步骤。在本实施例中,可以以与参

照图32描述的实施例的方式基本相同的方式执行第一共同单层蚀刻步骤、第二共同单层蚀刻步骤、选择性多层蚀刻步骤、共同多层蚀刻步骤。尽管如此，在参照图32描述的实施例和图34描述的实施例之间，堆叠件ST的最终结构可以没有差异。这意味着，如参照图33所述，不管工艺顺序的改变或执行选择性多层蚀刻步骤的顺序的改变如何，都能够形成相同的阶梯式结构。

[0141] 可以将参照图32描述的实施例修改为在第一和第二共同单层蚀刻步骤之前执行一个共同多层蚀刻步骤。例如，作为共同多层蚀刻步骤的结果，可以在堆叠件ST的最上面区域将第一蚀刻部E1形成为具有与水平层100的竖直节距的六倍相对应的蚀刻深度，如图35中所示。其后，可以以与参照图32描述的实施例的方式基本相同的方式对堆叠件ST顺序地执行第一共同单层蚀刻步骤、第二共同单层蚀刻步骤、选择性多层蚀刻步骤、共同多层蚀刻步骤。尽管如此，在参照图32描述的实施例和图35描述的实施例之间，堆叠件ST的最终结构可以没有差异。这意味着，如参照图33和图34所述，不管工艺顺序的改变或执行选择性多层蚀刻步骤的顺序的改变如何，都能够形成相同的阶梯式结构。

[0142] 与参照图35描述的实施例相比，可以修改至少一个共同多层蚀刻步骤，以对其蚀刻区域做出改变。例如，用于形成图35中的第一蚀刻部E1和第六蚀刻部E6的蚀刻掩模可以彼此交换，如图36中所示。然而，即使在这种情况下，堆叠件ST可以具有与参照图32至图35描述的实施例的结构相同的结构，如图36中所示。这意味着，不管执行共同多层蚀刻步骤的顺序的改变如何，都能够形成相同的阶梯式结构。

[0143] 可以使参照图32描述的实施例与前述其他实施例中的一个（例如，图17的实施例）结合，以形成阶梯式连接区域。例如，如图37中示例性示出的，可以顺序地执行选择性多层蚀刻步骤、第一共同单层蚀刻步骤、第二共同单层蚀刻步骤以及多个共同多层蚀刻步骤，以形成堆叠件ST的阶梯式结构。可以执行共同多层蚀刻步骤，以分别形成第四至第六蚀刻部E4、E5和E6，第四至第六蚀刻部E4、E5和E6中的每个具有与水平层100的竖直节距的三倍相对应的蚀刻深度。可以以与参照图32描述的实施例的方式基本相同的方式执行第一和第二共同单层蚀刻步骤。实施例的这样的结合可以不限于以图37中示例性示出的方法的结合，并且可以以相同或相似的方式应用于本发明构思的已经描述的或者下面将要描述的其他实施例。

[0144] 图38是示例性地示出根据本发明构思其他示例实施例的制造半导体装置的方法的流程图。图39至图43是示例性地示出根据本发明构思其他示例实施例的制造半导体装置的方法的剖视图。为了简洁起见，将不再更进一步详细地描述这个示例的与先前示出并描述的那些元件和特征相似的元件和特征。此外，这里将要描述的方法特征和结构特征可以应用于本发明构思的已经描述的或者下面将以相同或相似的方式描述的其他实施例。

[0145] 参照图38和图39，在本实施例中，基板10可以包括彼此分隔开的第一区域D1、第二区域D2和第三区域D3。水平层100和层间绝缘层200可以交替地堆叠在基板10上，以形成堆叠件ST（S1中），并且可以对堆叠件ST执行第一多层蚀刻步骤S21。第一多层蚀刻步骤S21可以包括利用暴露第二区域D2和第三区域D3的第一蚀刻掩模241各向异性地蚀刻堆叠件ST。因此，第一蚀刻部E1可以形成在堆叠件ST的位于包括第二区域D2和第三区域D3的区域上的部分中。

[0146] 参照图38和图40，可以在堆叠件ST上执行第二多层蚀刻步骤S22。第二多层蚀刻步

骤S22可以包括利用暴露第三区域D3的第二蚀刻掩模242各向异性地蚀刻堆叠件ST。因此，第二蚀刻部E2可以形成在堆叠件ST的位于包括第三区域D3的区域上的部分中。在示例实施例中，第一蚀刻部E1和第二蚀刻部E2可以具有与彼此相同的深度，但是本发明构思的示例实施例可以不限于此。

[0147] 参照图38和图41，第三蚀刻掩模243可以形成在已经对其执行第二多层蚀刻步骤S22的堆叠件ST上。第三蚀刻掩模243可以被形成为具有开口OP，每个开口OP部分地暴露与第一至第三区域D1、D2和D3中的对应的区域。

[0148] 参照图38和图42，可以对堆叠件ST执行共同单层蚀刻步骤S23若干次。在示例实施例中，对于共同单层蚀刻步骤S23可以共同使用第三蚀刻掩模243。在共同单层蚀刻步骤S23期间，可以对第三掩模243执行前述掩模收缩步骤。因此，随着共同单层蚀刻步骤S23的进行，堆叠件ST的蚀刻部可以变得越来越宽，从而分别形成设置在第一至第三区域D1、D2和D3上的第三蚀刻部E3，并且每个第三蚀刻部E3具有向下锥形的竖直截面。

[0149] 参照图38和图43，可以将第一层间绝缘层251形成为填充第一至第三蚀刻部E3。第一层间绝缘层251可以具有通过平面化工艺(例如，化学机械抛光工艺)形成的基本平坦的顶表面。其后，可以形成第二层间绝缘层252，插塞301可以被形成为穿过第二层间绝缘层252和第一层间绝缘层251。在示例实施例中，如上所述，在形成插塞301之前，可以执行取代工艺以用导电材料(例如，含金属的材料)取代水平层100。

[0150] 根据前述实施例，第一虚设区域DR1和第二虚设区域DR2可以位于第一区域D1与第二区域D2之间以及第二区域D2与第三区域D3之间，虚设图案DP可以分别形成在第一虚设区域DR1和第二虚设区域DR2中。虚设图案DP处于电浮动状态。如图44中所示，每个虚设图案DP可以包括通过共同单层蚀刻步骤S23限定的第一侧表面SS1和通过第一多层蚀刻步骤S21和第二多层蚀刻步骤S22限定的第二侧表面SS2。例如，第一侧表面和阶梯式连接结构可以是每个第三蚀刻部E3的彼此面对的侧表面。因此，第一侧表面SS1可以形成为具有关于第一至第三区域D1、D2和D3中的每个的阶梯式连接结构镜面对称的截面轮廓。

[0151] 相比之下，由于通过第一多层蚀刻步骤S21或第二多层蚀刻步骤S22限定第二侧表面SS2，因此第二侧表面SS2可以具有与第一侧表面SS1不同的截面轮廓。例如，第一侧表面SS1可以形成为具有第一角A1，第二侧表面SS2可以形成为具有与第一角A1不同的第二角A2。在示例实施例中，第二角A2的范围可以从大约0度到大约45度。在一些实施例中，第二角A2小于第一角A1。

[0152] 在示例实施例中，第一多层蚀刻步骤S21和第二多层蚀刻步骤S22中的一个可以包括利用掩模收缩步骤连续地执行的多个多层蚀刻步骤。在这种情况下，如图44中所示，第二侧表面SS2可以形成为具有阶梯式截面，第二角A2可以大于0度。在虚设图案DP的第二侧表面SS2具有倾斜侧表面的情况下，能够防止第二蚀刻掩模242或第三蚀刻掩模243变薄并且防止因变薄导致的工艺失败。

[0153] 因虚设图案DP的存在，能够防止堆叠件ST的高度在堆叠件ST的边缘附近突然地改变。这能够改善第一层间绝缘层251或第二层间绝缘层252的沉积轮廓。此外，虚设图案DP可以能够防止堆叠件ST的边缘部分在对第一层间绝缘层251的平面化处理期间损坏。

[0154] 图45和图46是示出参照图39至图43描述的实施例的变型的示意性剖视图。

[0155] 根据参照图39至图43描述的实施例，阶梯式连接结构可以形成在阵列区域RA的一

侧。然而,可以以这样的方式修改参照图39至图43描述的实施例,即,阶梯式连接结构形成在阵列区域RA的两侧。

[0156] 堆叠件ST可以包括构成将要被连接到插塞301的阶梯式结构的第一至第四连接区域D1、D2、D3和D4。这里,第一至第四连接区域D1、D2、D3和D4可以具有以列出的顺序提高的竖直部分。在这种情况下,第一至第四连接区域D1、D2、D3和D4中的一些可以形成在阵列区域RA的一侧(例如,第一区域R1),其他可以形成在阵列区域RA的另一侧(例如,第二区域R2)。

[0157] 根据图45中示出的实施例,第二连接区域D2和第四连接区域D4可以形成在第一区域R1上,第一连接区域D1和第三连接区域D3可以形成在第二区域R2上。在某些实施例中,第二连接区域D2和第四连接区域D4之间或第一连接区域D1和第三连接区域D3之间的空间H可以基本等于在竖直位置方面位于其中间的连接区域中的一个连接区域(例如,第三连接区域D3或第二连接区域D2)的厚度。

[0158] 根据图46中示出的实施例,第一连接区域D1和第二连接区域D2可以形成在第一区域R1上,第三连接区域D3和第四连接区域D4可以形成在第二区域R2上。

[0159] 图47和图48是示例性地示出根据本发明构思其他示例实施例的其他变型的半导体装置的示意性剖视图。为了简洁起见,将不再更进一步详细地描述这个示例的与先前示出并描述的那些元件和特征相似的元件和特征。此外,这里将要描述的方法特征和结构特征可以应用于本发明构思的已经描述的或者下面将以相同或相似的方式描述的其他实施例。

[0160] 本发明构思的已经描述的或者下面将描述的每个实施例可以被构造成包括参照图44描述的技术特征的一部分。例如,在参照图17描述的步骤中,第一蚀刻部E1的侧壁可以形成为具有图44的第二侧表面SS2的技术特征。换言之,如图47中所示,第一蚀刻部E1的侧壁可以形成为具有与相对于基板10的顶表面的法线成角度的截面轮廓。此外,第一蚀刻部E1的侧壁可以通过以掩模收缩方式执行的多个多层蚀刻步骤形成,在这种情况下,第一蚀刻部E1的侧壁可以具有阶梯式截面分布,如图47中所示。

[0161] 在其他示例实施例中,在参照图48描述的实施例中,第一蚀刻部E1的侧壁可以形成为具有与相对于基板10的顶表面的法线成角度的截面轮廓。此外,第一蚀刻部E1的侧壁可以通过以掩模收缩方式执行的多个多层蚀刻步骤形成,在这种情况下,第一蚀刻部E1的侧壁也可以具有阶梯式截面轮廓,如图48中所示。

[0162] 图49至图51是示例性地示出根据本发明构思另外的示例实施例的制造半导体装置的方法的剖视图,图52是示出根据本发明构思另外的示例实施例的半导体装置的一部分的透视图。为了简洁起见,将不再更进一步详细地描述这个示例的与先前示出并描述的那些元件和特征相似的元件和特征。此外,这里描述的方法特征和结构特征可以应用于本发明构思的已经描述的或者下面将以相同或相似的方式描述的其他实施例。

[0163] 参照图49,作为共同单层蚀刻步骤S21的结果,每个第一蚀刻部E1可以形成为具有比堆叠件ST的位于其中间的部分STR的宽度窄的宽度。例如,如图49中所示,每个第一蚀刻部分E1可以具有第一宽度b,堆叠件ST的每个部分STR可以具有比第一宽度b宽的第二宽度a。

[0164] 参照图50和图51,可以执行共同多层蚀刻步骤S23,以形成与堆叠件ST的中心部分

水平地分隔开的剩余部分RP。例如,剩余部分RP可以通过由共同多层蚀刻步骤S23形成的第一至第四蚀刻部分E2-E4而与堆叠件ST的主体水平地分开。在这种情况下,如图52中所示,剩余部分RP可以分别设置在插塞301的周围。在不存在未对齐的情况下,每个剩余部分RP可以具有可以由堆叠件ST的部分STR的宽度与第一蚀刻部E1的宽度之差(即,a-b)给出的宽度。在示例实施例中,图52的剩余部分RP可以由与设置在相同的水平面的电极EL相同的材料形成,并且可以与其他电浮动(electrically float)的导电元件(例如,电极EL或插塞301)电分离。

[0165] 图53是提供用于与参照图49至图51描述的实施例对比的剖视图。

[0166] 在参照图23描述的共同多层蚀刻步骤S23中存在未对齐M的情况下,连接部CP可以形成为与堆叠件ST的中心部分通过第三蚀刻部E3分隔开,如图53中所示。连接部CP的这种分离会导致半导体装置的故障(例如,电断开)。相比之下,如参照图49至图51所描述的,在堆叠件ST的部分STR形成为具有比第一蚀刻部E1的宽度宽的宽度的情况下,能够得到充足的对齐余量,因此,可以减少与未对齐M相关的技术问题(例如,电断开)。

[0167] 图54和图55分别是示出根据本发明构思示例实施例的和对比实施例的阶梯式结构的示意性剖视图。可以通过不采用选择性蚀刻方式和/或多层次蚀刻方式的图案化工艺形成根据对比实施例的半导体装置。例如,在对比实施例中,可以通过以共同单层蚀刻执行的多个蚀刻步骤来制造半导体装置。在这种情况下,根据本发明构思示例实施例的半导体装置可以形成为具有图54中示出的第一阶梯式结构ST1,同时根据对比实施例的半导体装置可以形成为具有图55中示出的第二阶梯式结构ST2。

[0168] 参照图54和图55,就本发明构思的示例实施例而言,作为基于前述多层次蚀刻方式使用图案化工艺的结果,在第一阶梯式结构ST1中至少一个阶梯可以具有等于或大于水平层100的竖直节距P的两倍的厚度。相比之下,在对比实施例的情况下,由于仅以单层蚀刻方式执行图案化工艺,因此第二阶梯式结构ST2中的所有阶梯可以具有等于水平层100的竖直节距P的厚度。换言之,与第二阶梯式结构ST2相比,第一阶梯式结构ST1可以具有增加的阶梯高度,这能够减少阶梯式区域的总宽度。例如,如果第一阶梯式结构ST1的阶梯式区域具有如图54中示例性地示出的3W的宽度,则第二阶梯式结构ST2的阶梯式区域具有如图55中示例性地示出的7W的宽度。换言之,根据本发明构思的示例实施例,能够减少阶梯式结构占据的面积的一半或更多。

[0169] 此外,根据本发明构思的示例实施例,可以通过执行三次多层次蚀刻步骤ES1、ES2和ES3以及一次单层蚀刻步骤ES4来形成图54中示出的第一阶梯式结构ST1。相比之下,根据对比实施例,由于可以以单层蚀刻方式使所有水平层100图案化,因此可以通过七个蚀刻步骤CES1-CES7形成第二阶梯式结构ST2。换言之,与对比实施例的形成相比,根据本发明构思的示例实施例,能够简化半导体装置的形成。制造工艺的简化可以能够减少半导体装置的成本并且使半导体装置的故障减少。

[0170] 图56和图57分别是被提供用来解释根据本发明构思的示例性实施例的半导体装置和根据对比实施例的半导体装置之间的技术差异的示图。

[0171] 参照图56和图57,半导体装置可以包括第一块BLOCK1和第二块BLOCK2以及设置在第一块BLOCK1和第二块BLOCK2周围的多个X解码器,其中,第一块BLOCK1和第二块BLOCK2中的每个设置有三维布置的存储单元。

[0172] 根据本发明构思的示例实施例,如图56中所示,第一块BLOCK1和第二块BLOCK2中的每个可以包括阵列区域RA与分别设置在阵列区域RA两侧的第一区域R1和第二区域R2,X解码器可以包括第一X解码器XDCR1、第二X解码器XDCR2、第三X解码器XDCR3和第四X解码器XDCR4,其中,第一X解码器XDCR1和第二X解码器XDCR2分别被设置成邻近于第一块BLOCK1的第一区域R1和第二区域R2,第三X解码器XDCR3和第四X解码器XDCR4分别被设置成邻近于第二块BLOCK2的第一区域R1和第二区域R2。

[0173] 根据对比实施例,如图57中所示,第一块BLOCK1和第二块BLOCK2中的每个可以包括阵列区域RA和分别设置在阵列区域RA的两侧的连接区域CR和浪费区域WR,X解码器可以包括可以被设置成分别邻近于第一块BLOCK1的连接区域CR和第二块BLOCK2的连接区域CR的第一X解码器XDCR1和第二X解码器XDCR2。

[0174] 就对比实施例而言,X解码器可以通过连接区域CR连接到设置在阵列区域RA上的存储单元。然而,作为基于共同蚀刻方式的蚀刻步骤的结果,浪费区域WR仅仅是不必要得到的附属结构,因此,浪费区域WR不能用于使第一X解码器XDCR1和第二X解码器XDCR2与水平层100或电极EL电连接。相比之下,根据本发明构思的示例实施例,第一区域R1和第二区域R2中的每个或所有可以用于使第一至第四X解码器XDCR1-XDCR4与水平层100或电极EL电连接。

[0175] 根据本发明构思的示例实施例,如参照图54和图55所述,阶梯式结构可以形成为具有减少的占据面积,结果,第一区域R1和第二区域R2中的每个的宽度可以小于对比实施例中的连接区域CR和浪费区域WR的宽度。例如,如图56和图57中所示,第一区域R1和第二区域R2中的每个可以具有3W的宽度,每个连接区域CR和每个浪费区域WR可以具有7W的宽度。换言之,就对比实施例而言,浪费区域WR不可以用于实现电连接并且具有比第一区域R1和第二区域R2中的每个的占据面积大的占据面积。由于具有大占据面积的浪费区域WR的存在,因此与对比实施例的集成密度或存储容量相比,根据本发明构思的示例实施例的半导体装置可以具有增加的集成密度或增加的存储容量。

[0176] 图58和图59是被提供用于解释根据本发明构思一些示例实施例的半导体装置的结构特征的视图。

[0177] 第一区域R1和第二区域R2不需要形成在阵列区域RA的相对两侧,并且可以对其布置做不同地修改。例如,如图58中所示,构成连接区域的第一区域D1和第二区域D2可以形成在阵列区域RA(或其中心CRA)和X解码器XDCR之间。此外,就参照图39至图43所述的实施例而言,第一至第三区域D1、D2和D3可以形成在阵列区域RA(或其中心CRA)和X解码器XDCR之间,如图59中所示。

[0178] 图60和图61是示例性地示出根据本发明构思示例实施例的三维半导体存储装置的透视图。例如,可以通过先前描述的方法中的一种方法制造图60和图61中示出的半导体存储装置。在这种情况下,为了简洁起见,将不再进一步详细地描述这个示例的与先前示出并描述的元件和特征相似的元件和特征。

[0179] 参照图60和图61,电极EL可以被构造为具有与先前参照图1或图27描述的实施例的结构特征相同的结构特征。竖直图案VP可以被设置成竖直穿透电极EL或竖直地穿过电极EL之间。在示例实施例中,竖直图案VP可以利用至少一个晶体管的沟道区域。例如,竖直图案VP可以使用竖直的NAND型闪存装置的将参照图62示例性地描述的单元串CSTR的有源图

案 (active pattern)。在其他实施例中,竖直图案VP可以用作能够使两端子存储元件彼此电连接的电极或导电线。例如,竖直图案VP可以用作三维可变电阻存储装置的将参照图63示例性地描述的竖直电极VE。

[0180] 存储层ML或存储元件可以插入在竖直图案VP和电极EL之间。在示例实施例中,存储层ML可以包括可选择性地储存电荷的材料或层结构。在其他实施例中,存储层ML可以包括呈现可变电阻性质的材料或层结构。

[0181] 图62和图63是示例性地示出根据本发明构思示例实施例的三维半导体存储装置的电路图。

[0182] 参照图62,三维半导体存储装置可以包括共源线CSL、多条位线BL0、BL1和BL2以及设置在共源线CSL和位线BL0-BL2之间的多个单元串CSTR。

[0183] 共源线CSL可以是设置在基板10上的导电图案或设置在基板10中的掺杂区域。位线BL0-BL2可以是设置在基板10之上的导电图案(例如,金属线)。可以二维地布置位线BL0-BL2,多个单元串 (cell string) CSTR可以并联到位线BL0-BL2中的每条。因此,单元串CSTR也可以二维地设置在共源线CSL或基板10上。

[0184] 每个单元串CSTR可以包括结合到共源线CSL的接地选择晶体管GST、结合到位线BL0-BL2中的一条位线的串选择晶体管(string selection transistor) SST以及设置在接地选择晶体管GST和串选择晶体管SST之间的多个存储单元晶体管MCT。接地选择晶体管GST、串选择晶体管SST和存储单元晶体管MCT可以彼此串联连接。此外,接地选择线GSL、多条字线WL0-WL3和多条串选择线SSL0-SSL2可以设置在共源线CSL和位线BL0-BL2之间,以分别用作接地选择晶体管GST、存储单元晶体管MCT和串选择晶体管SST的栅电极。

[0185] 接地选择晶体管GST可以设置在基本相同的水平面(例如,相对于基板10),接地选择晶体管GST的栅电极可以共同连接到接地选择线GSL,从而处于等电位状态。相似地,存储单元晶体管MCT的位于相同水平面的栅电极可以共同连接到字线WL0-WL3中的一个,从而处于等电位状态。由于每个单元串CSTR包括多个设置在彼此不同的水平面上的存储单元晶体管MCT,因此字线WL0-WL3在共源线CSL和位线BL0-BL2之间可以具有多层结构。多层结构的字线WL0-WL3可以被构造成具有根据本发明构思的示例实施例的半导体装置的前述技术特征。

[0186] 每个单元串CSTR可以包括从将要被连接到位线BL0-BL2中一条位线的共源线CSL竖直地延伸的有源图案(例如,图60和图61的竖直图案VP)。存储层(例如,图60和图61的ML)可以设置在字线WL0-WL3与有源图案之间。在示例实施例中,存储层可以包括可以选择性地储存电荷的材料或层结构。例如,存储层可以包括具有许多捕获位(trap site)的绝缘层(例如,氮化硅层)、浮动栅电极或设置有导电纳米点的绝缘层中的一个。

[0187] 参照图63,多个选择晶体管SST可以通过多个位线插塞BLP并联到位线BL。每个位线插塞BLP可以共同连接到设置成邻近于其的一对选择晶体管SST。

[0188] 多条字线WL和多个竖直电极VE可以设置在位线BL和选择晶体管SST之间。根据本发明构思的示例实施例,字线WL可以被构造成具有前述的技术特征。竖直电极VE可以被设置在位线插塞BLP之间。例如,竖直电极VE和位线插塞BLP可以沿着平行于位线BL的方向交替地布置。此外,每个竖直电极VE可以共同连接到设置成邻近于其的一对选择晶体管SST。

[0189] 多个存储元件ME可以并联到每个竖直电极VE。每个存储元件ME可以连接到相应的

一条字线WL。换言之,每条字线WL可以通过相应的一个存储元件ME连接到相应的一个竖直电极VE。

[0190] 每个选择晶体管SST可以包括用作选择晶体管SST的栅电极的选择线SL。在示例实施例中,选择线SL可以平行于字线WL。

[0191] 已经参照图62和图63描述了根据本发明构思的示例实施例的三维半导体存储装置。提供这些仅是作为本发明构思可以应用的示例,但是本发明构思的示例实施例可以不限于此。

[0192] 图64和图65是示例性地示出其中设置有根据本发明构思示例实施例的半导体装置的电子装置的示意性框图。

[0193] 参照图64,包括根据本发明构思示例实施例的半导体装置的电子装置1300可以用在个人数字助理(PDA)、膝上型计算机、移动型计算机、网络本、无线电话、移动电话、数字音乐播放器、有线或无线电子装置或者包括其中的至少两个的复杂的电子装置中的一个。电子装置1300可以包括通过总线1350彼此结合的控制器1310、诸如按键、键盘、显示器的输入/输出装置1320、存储器1330以及无线接口1340。控制器1310可以包括,例如,至少一个微处理器、数字信号处理器或微控制器等。存储器1330可以被构造成储存控制器1310使用的命令代码或用户数据。存储器1330可以包括根据本发明构思的示例实施例的半导体装置。电子装置1300可以使用被构造成利用RF信号发送或接收来自无线通信网络的数据的无线接口1340。无线接口1340可以包括,例如,天线和无线收发器等。电子系统1300可以用在通信系统的诸如CDMA、GSM、E-TDMA、WCDMA、CDMA2000、Wi-Fi、市政Wi-Fi、蓝牙、DECT、无线USB、闪速OFDM、IEEE 802.20、GPRS、iBurst、WiBro、WiMAX、WiMAX-Advanced、UMTS-TDD、HSPA、EVDO、LTE-Advanced和MMDS等的通信接口协议中。

[0194] 参照图65,将描述包括根据本发明构思示例实施例的半导体装置的存储系统。存储系统1400可以包括用于储存大量数据的存储装置1410和存储控制器1420。存储控制器1420控制存储装置1410,以响应于主机1430的读取/写入请求而读取储存在存储装置1410中的数据或者将数据写入存储装置1410中。存储控制器1420可以包括用于映射从主机1430(例如,移动装置或计算机系统)提供到存储装置1410的物理地址的地址映射表。存储装置1410可以是根据本发明示例实施例的半导体装置。

[0195] 可以利用各种且不同的封装技术来封装上面公开的半导体装置。例如,可以利用下面封装技术中的任意一种来封装根据前面提及的实施例的半导体装置,即,元件堆叠封装(POP)技术、球栅阵列(BGA)技术、芯片级封装(CSP)技术、塑料引线芯片载体(PLCC)、塑料双列直插式封装件(PDIP)、华夫芯片封装技术(die in waffle pack technique)、晶片形式的芯片技术(die in wafer form technique)、板上芯片(COB)技术、陶瓷双列直插式封装(CERDIP)技术、塑料方块扁平封装(MQFP)技术、薄型四方扁平封装(TQFP)技术、小外形封装(SOIC)技术、收缩型小外形封装(SSOP)技术、薄型小外形封装(TSOP)技术、系统级封装(SIP)技术、多芯片封装(MCP)技术、晶片级制造封装(WFP)技术和晶片级处理堆叠封装(WSP)技术。

[0196] 安装有根据以上实施例中的一个的半导体装置的封装件可以进一步包括控制半导体装置的至少一个半导体装置(例如,控制器和/或逻辑器件)。

[0197] 根据本发明构思的示例实施例,可以通过在蚀刻深度和蚀刻区域两者方面彼此不

同的第一图案化工艺或第二图案化工艺形成具有阶梯式连接结构的电极。因此,与仅通过利用共同单层蚀刻方法实现的传统结构相比,根据本发明构思示例实施例的阶梯式连接结构可以被形成为具有减少的占据面积,此外,可以简化制造其的工艺。

[0198] 尽管已经具体示出并描述了本发明构思的示例实施例,但是本领域普通技术人员将理解的是,在不脱离权利要求的精神和范围的情况下,可以在此做出形式和细节上的改变。

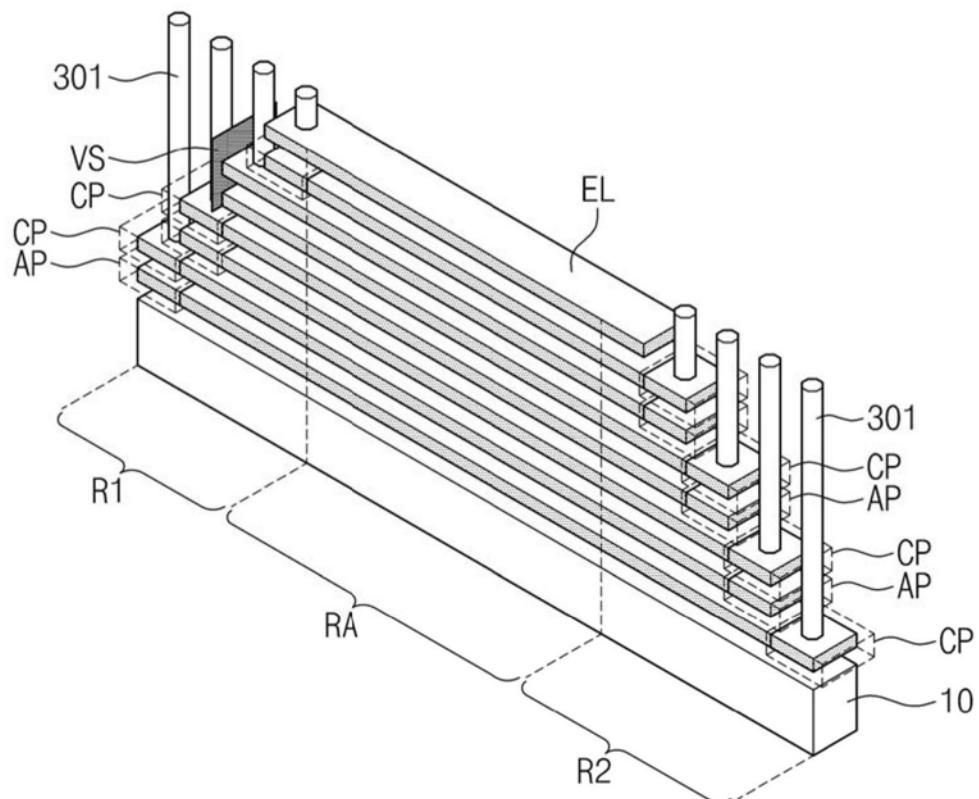


图1

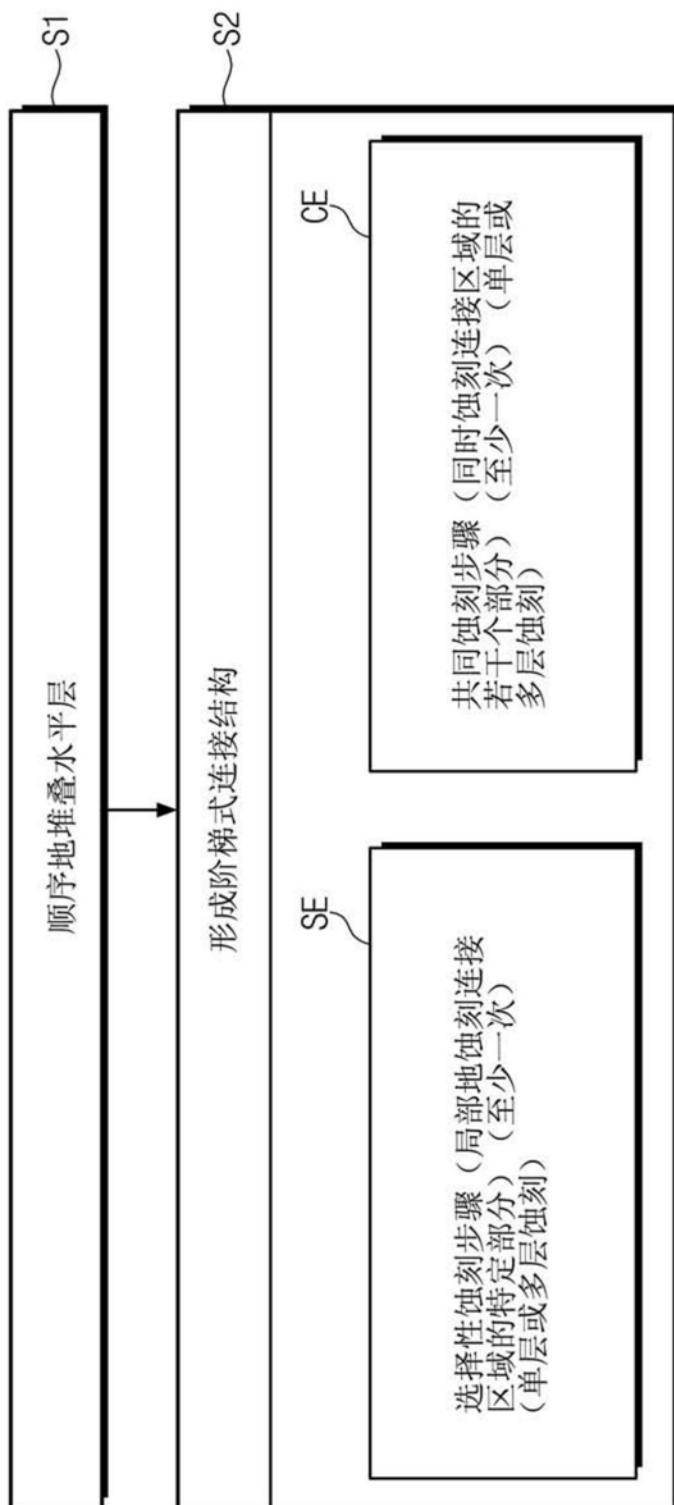


图2

| | | 第一图案化工艺 | | 第二图案化工艺 | |
|------|----|---------|------|---------|------|
| | | 深度 | 区域 | 次数 | 深度 |
| 第一示例 | 多层 | 多区域 | 至少一次 | 单层 | 局部区域 |
| | 单层 | 局部区域 | 一次 | 多层 | 多区域 |
| 第二示例 | 单层 | 多区域 | 至少一次 | 多层 | 局部区域 |
| | 多层 | 局部区域 | 一次 | 单层 | 多区域 |
| 第三示例 | 单层 | 多区域 | 至少一次 | 多层 | 局部区域 |
| | 多层 | 局部区域 | 一次 | 单层 | 多区域 |
| 第四示例 | 多层 | 局部区域 | 一次 | 单层 | 多区域 |
| | 单层 | 多区域 | 至少一次 | 多层 | 局部区域 |

图3

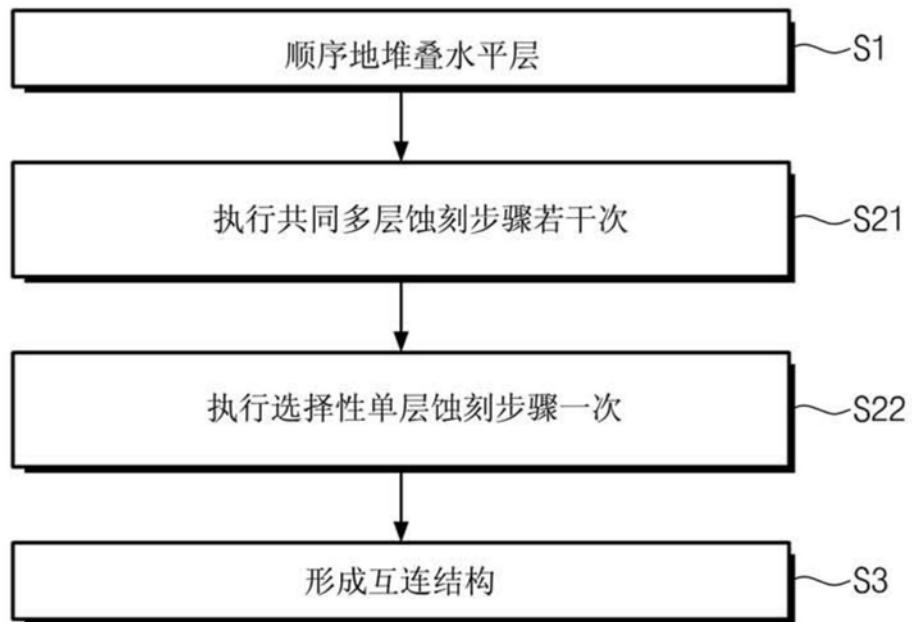


图4

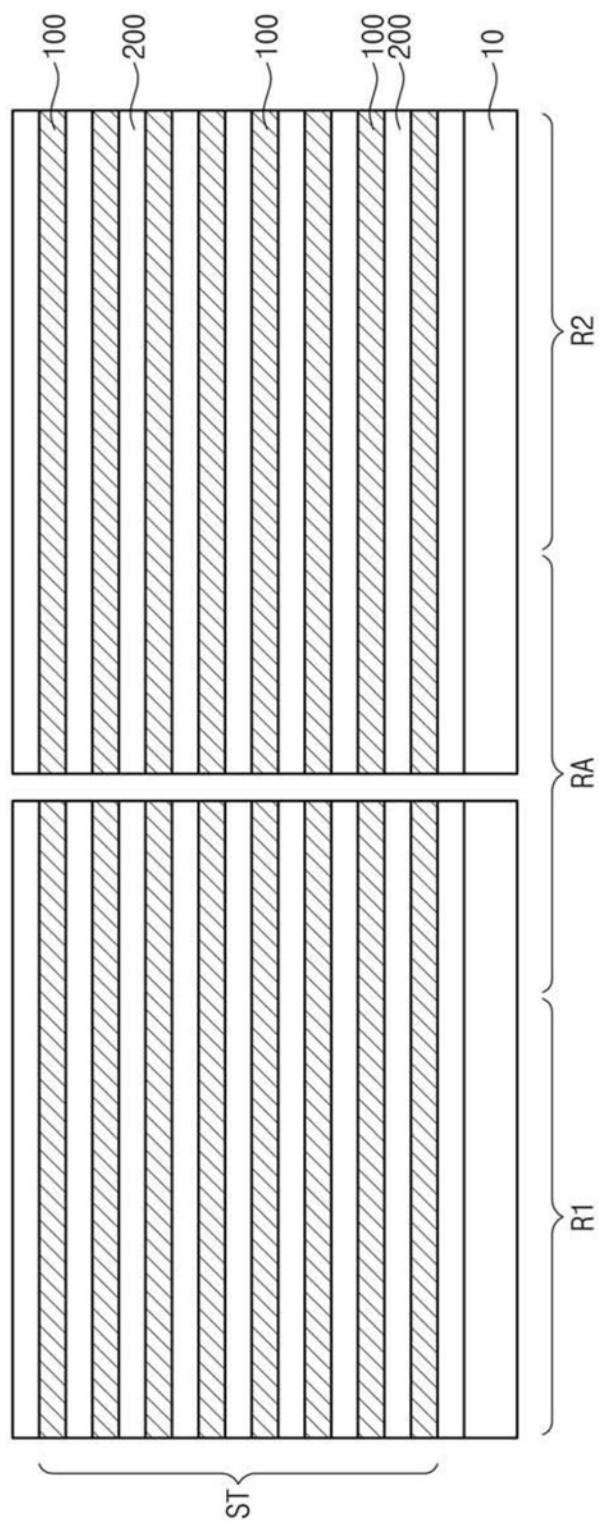


图5

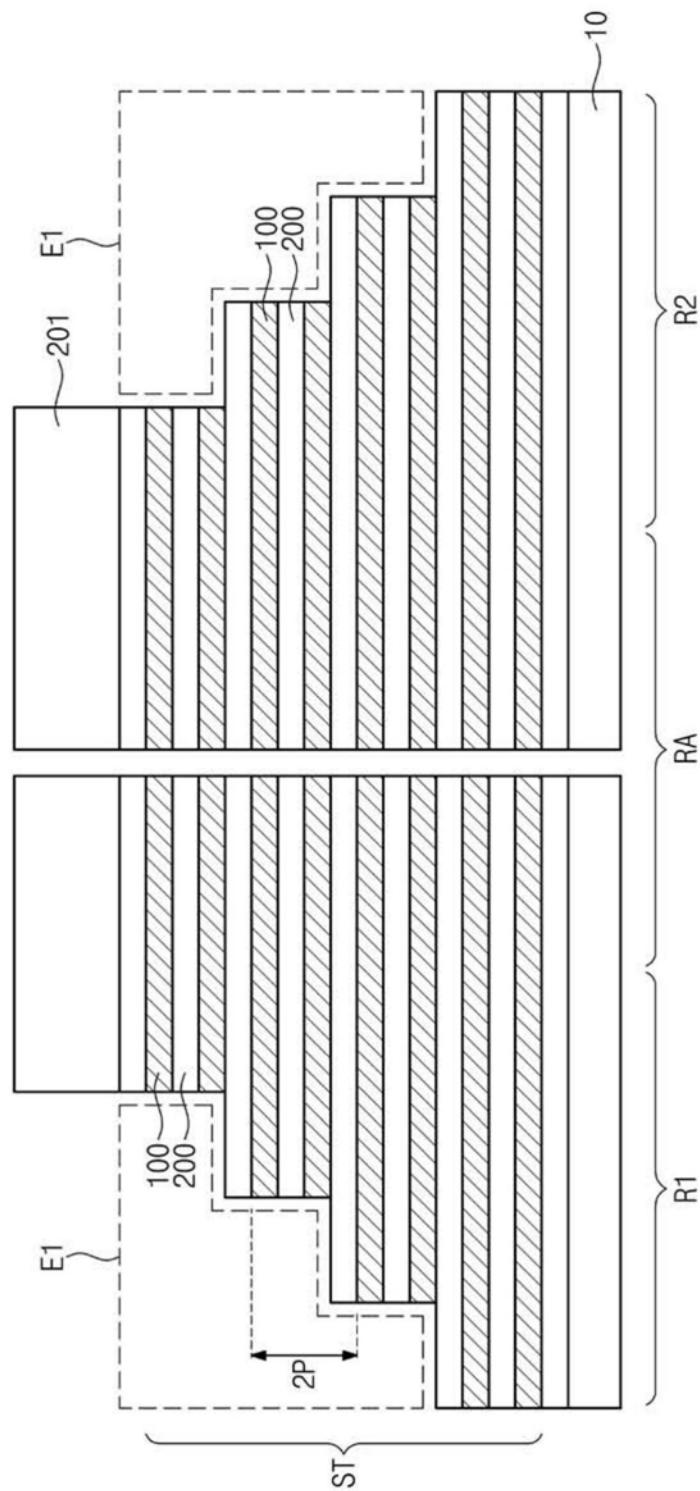


图6

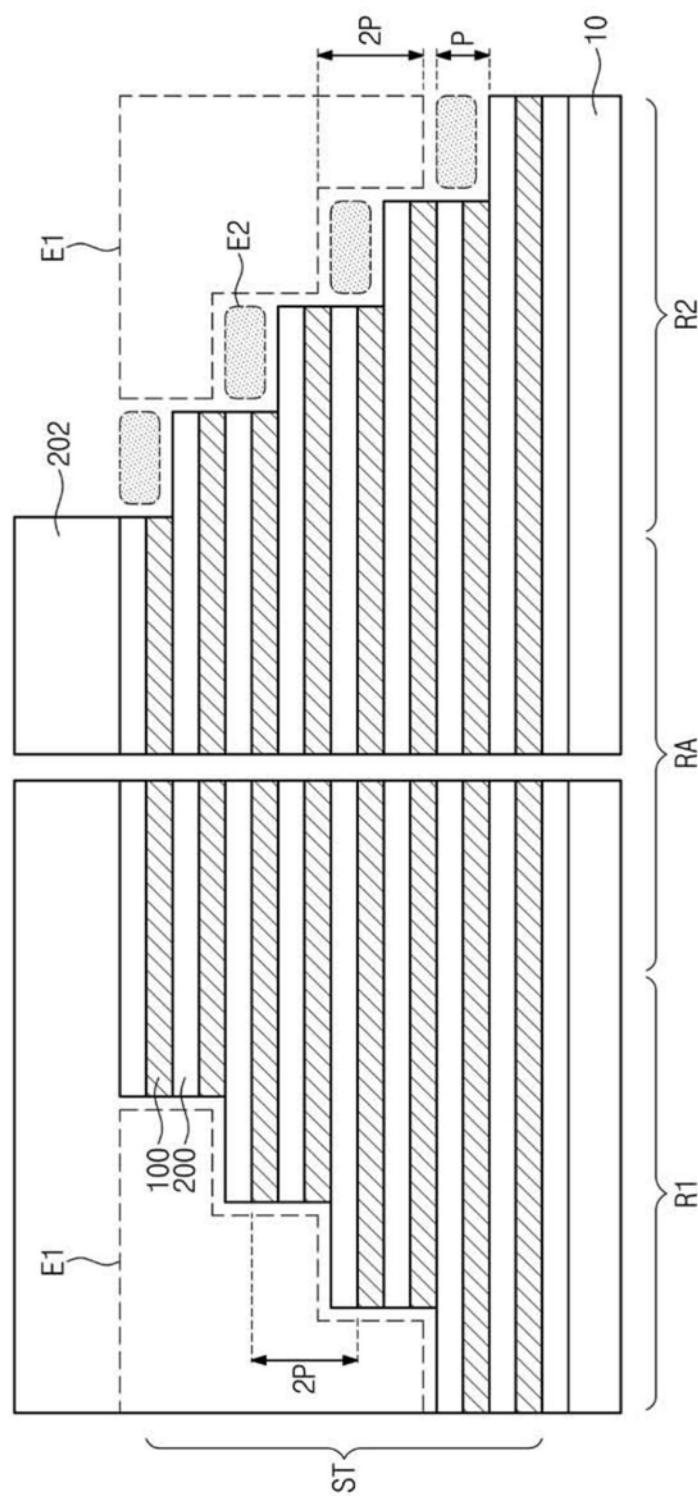


图7

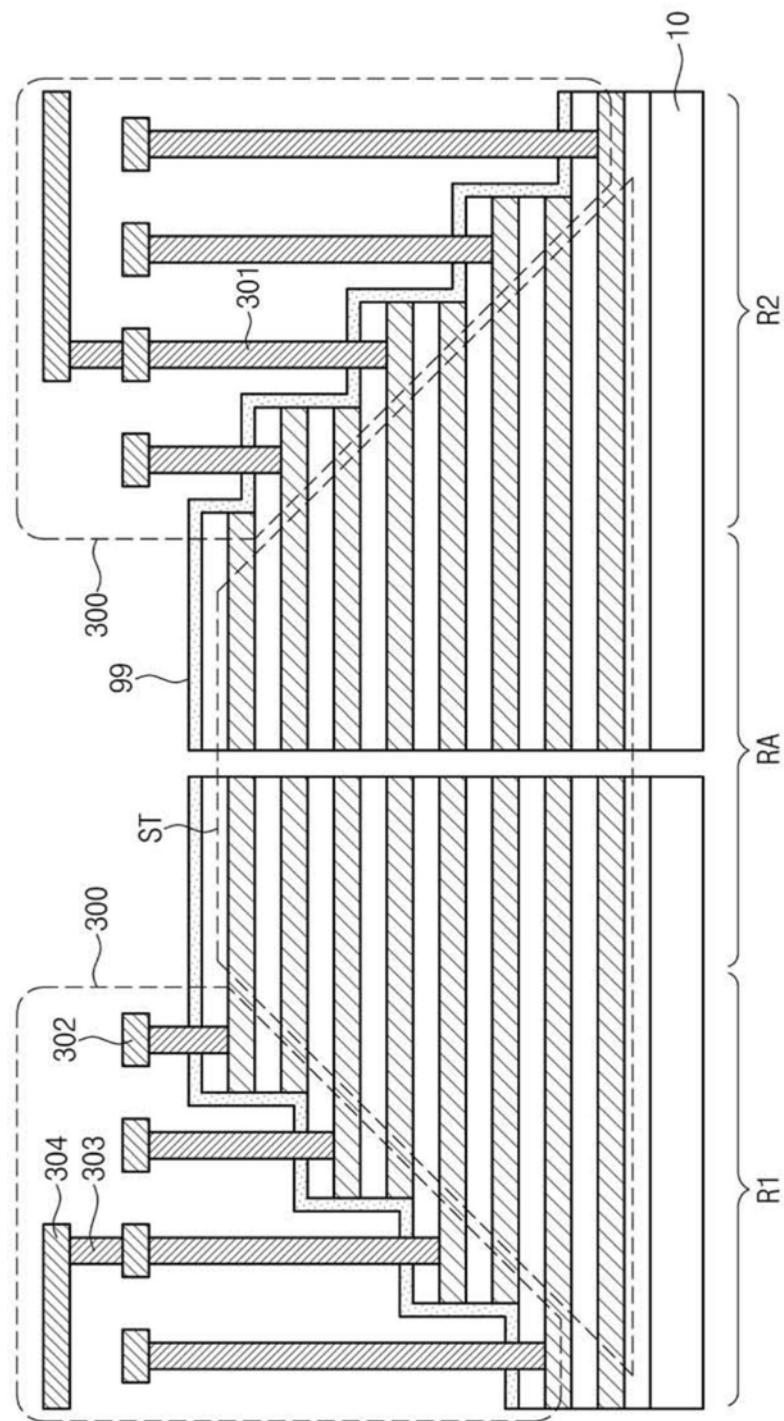


图8

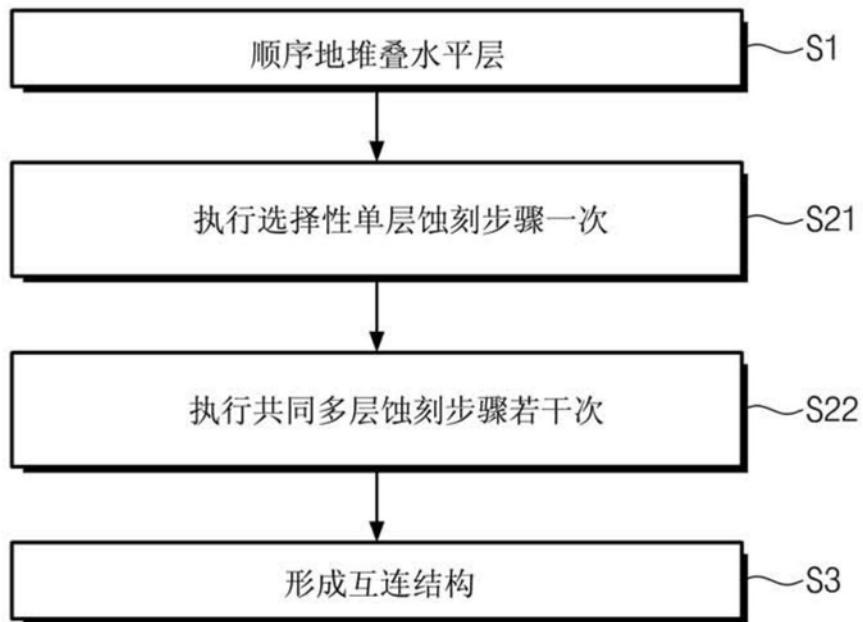


图9

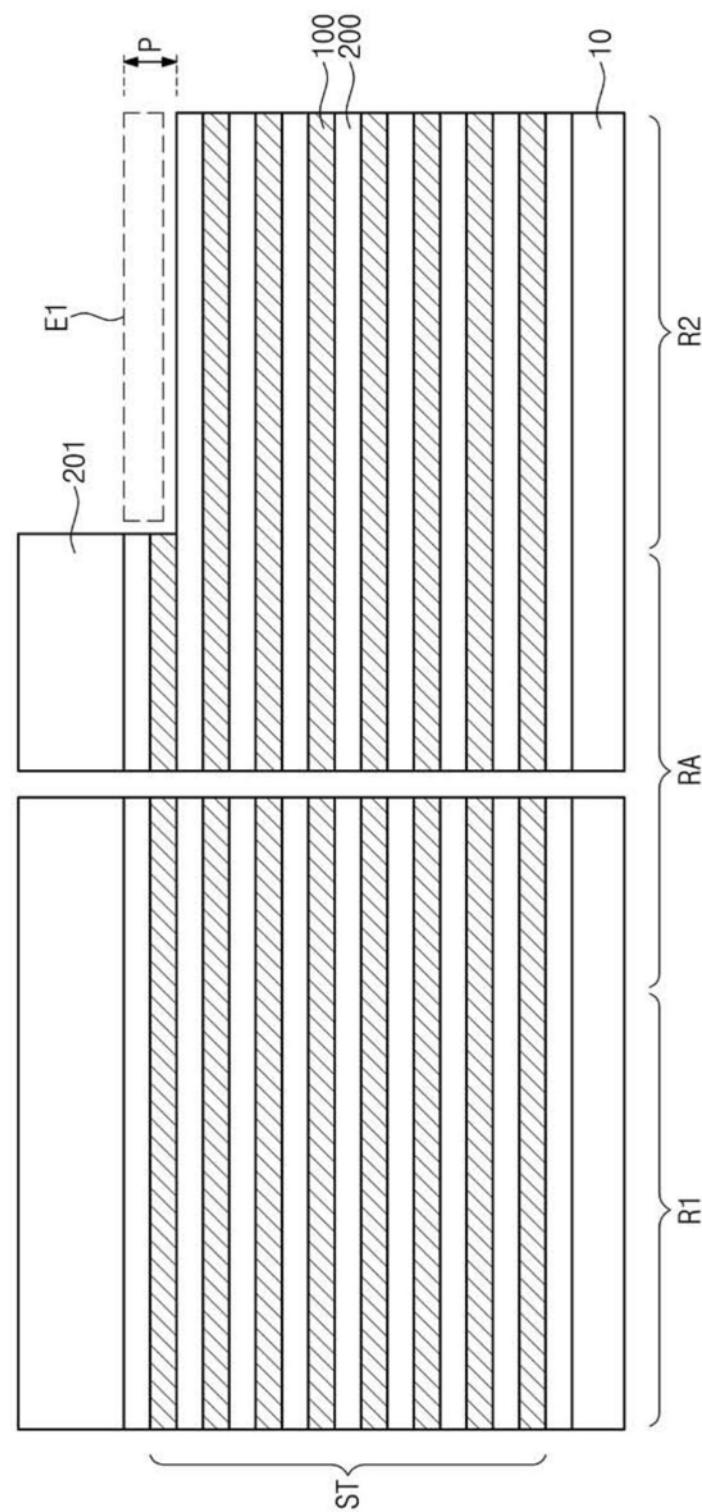


图10

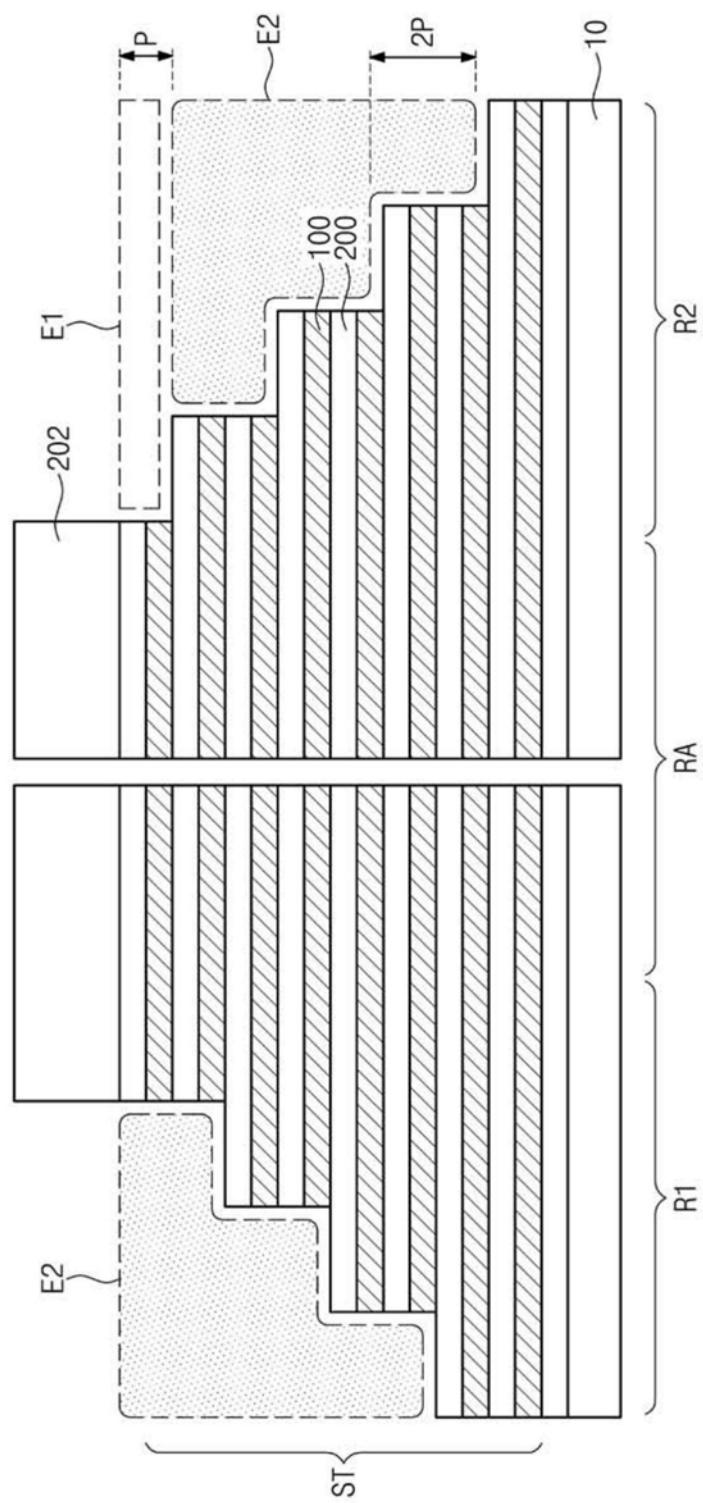


图11

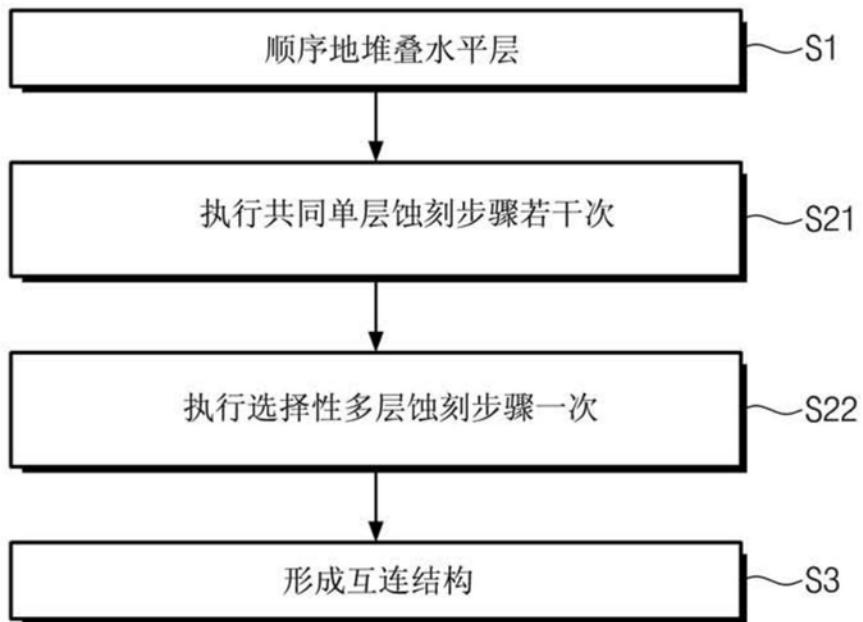


图12

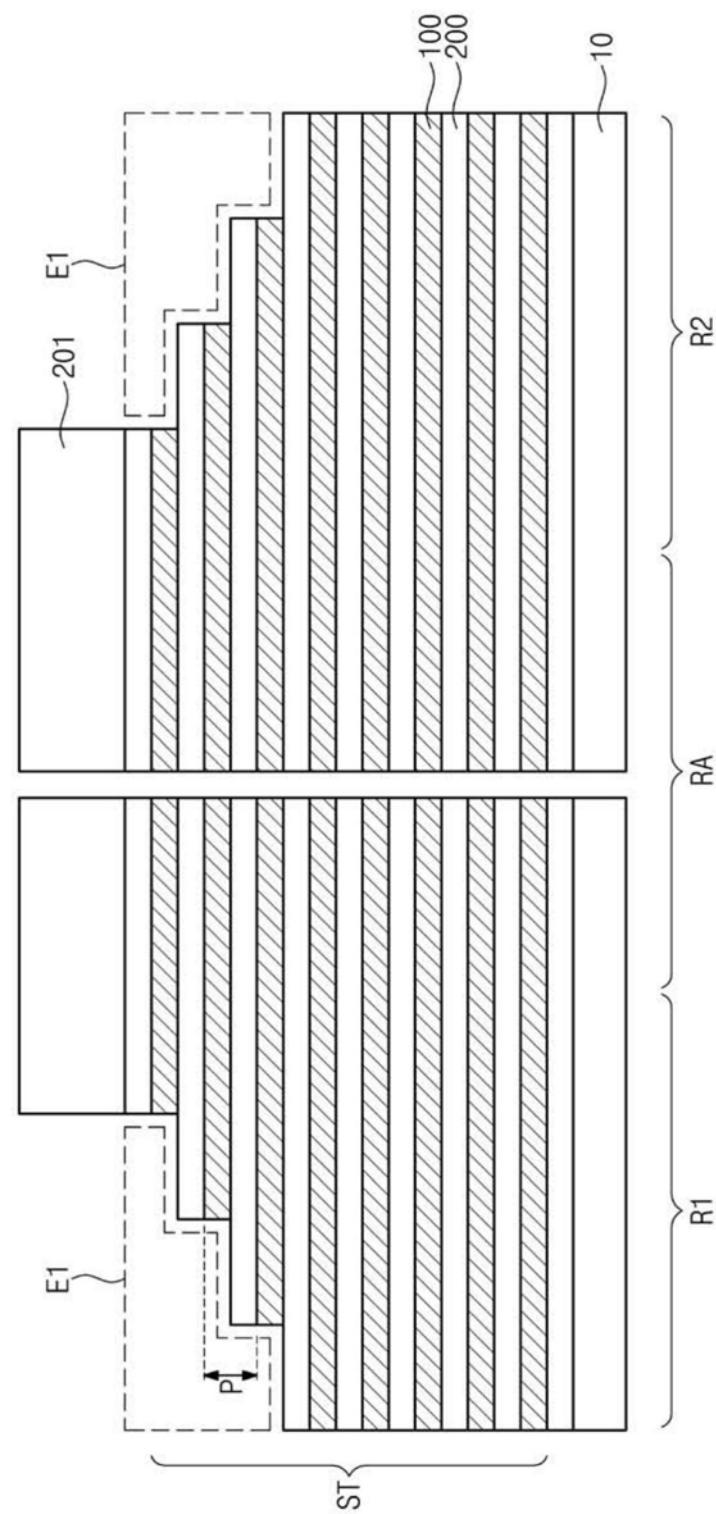


图13

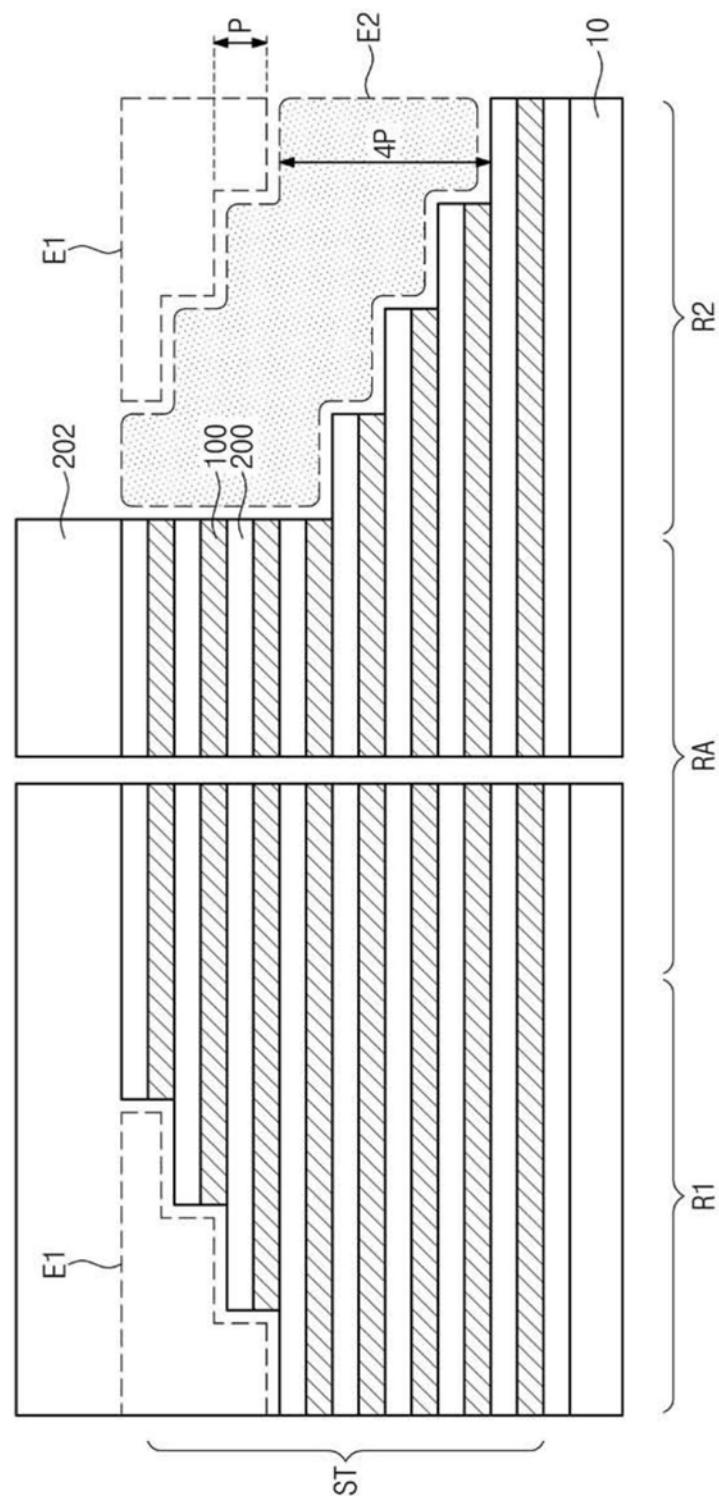


图14

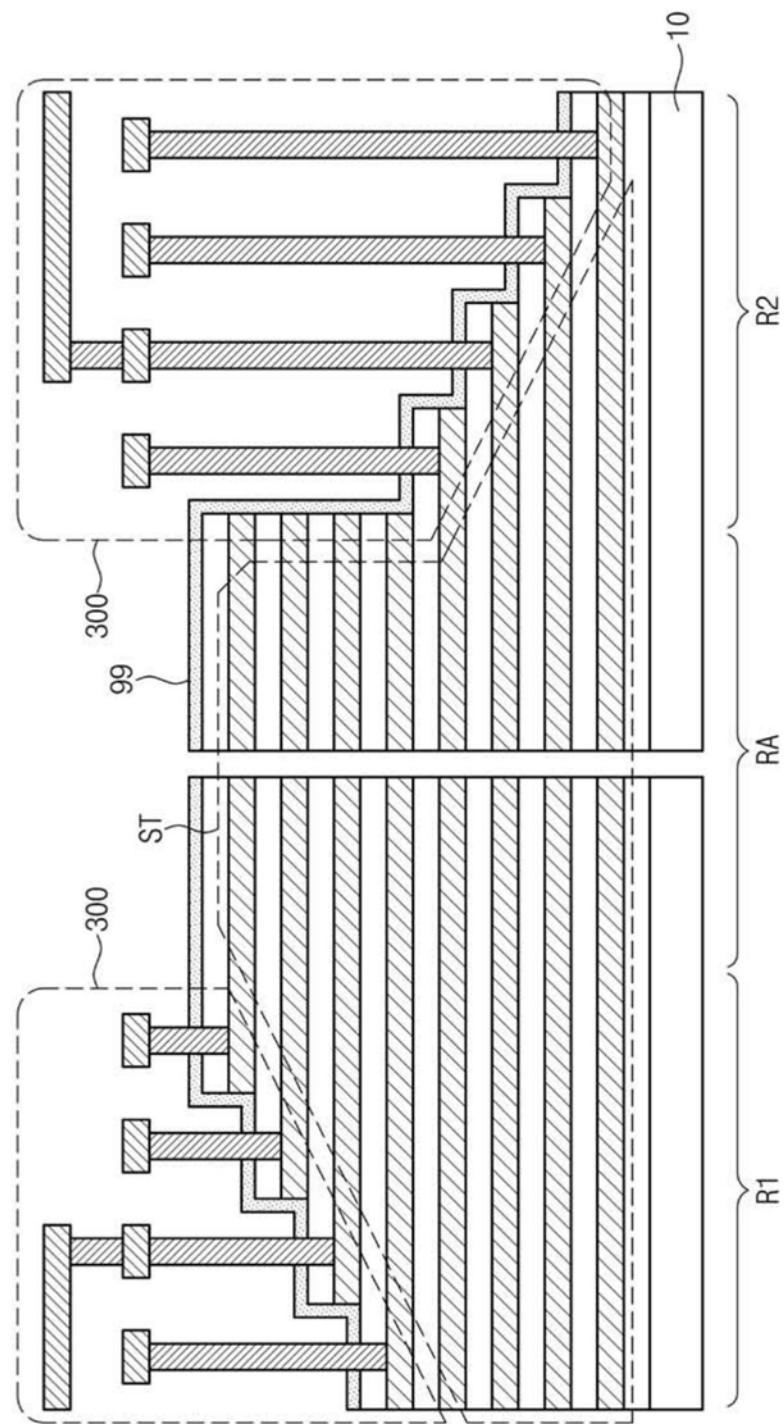


图15

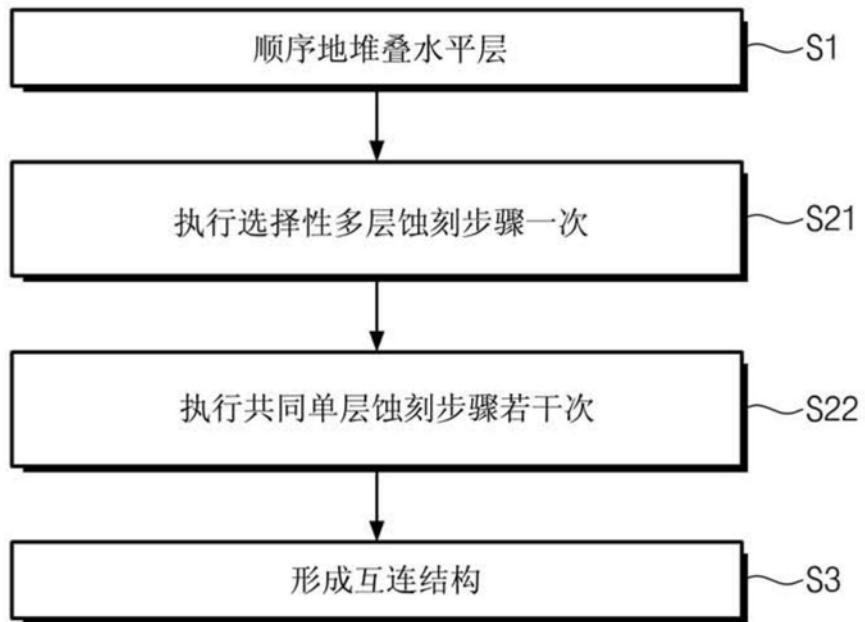


图16

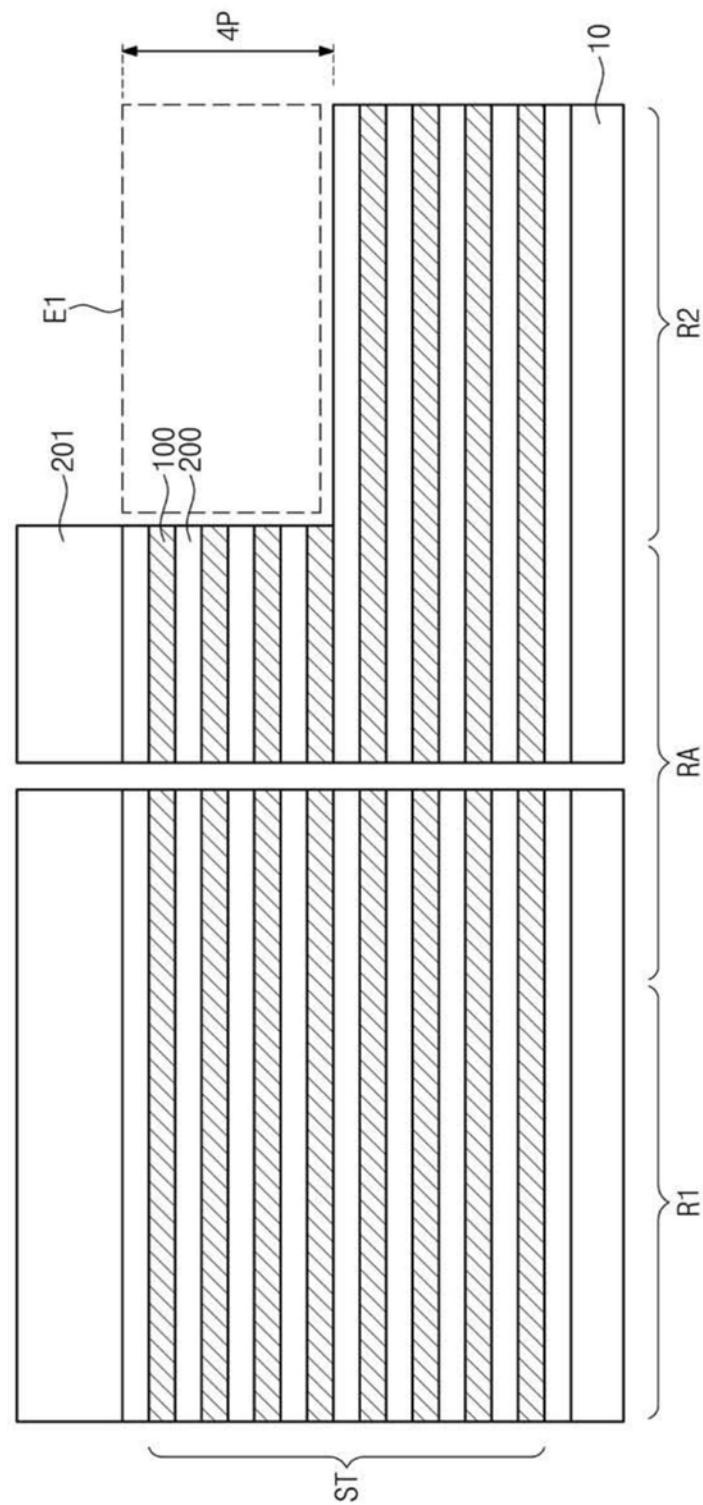


图17

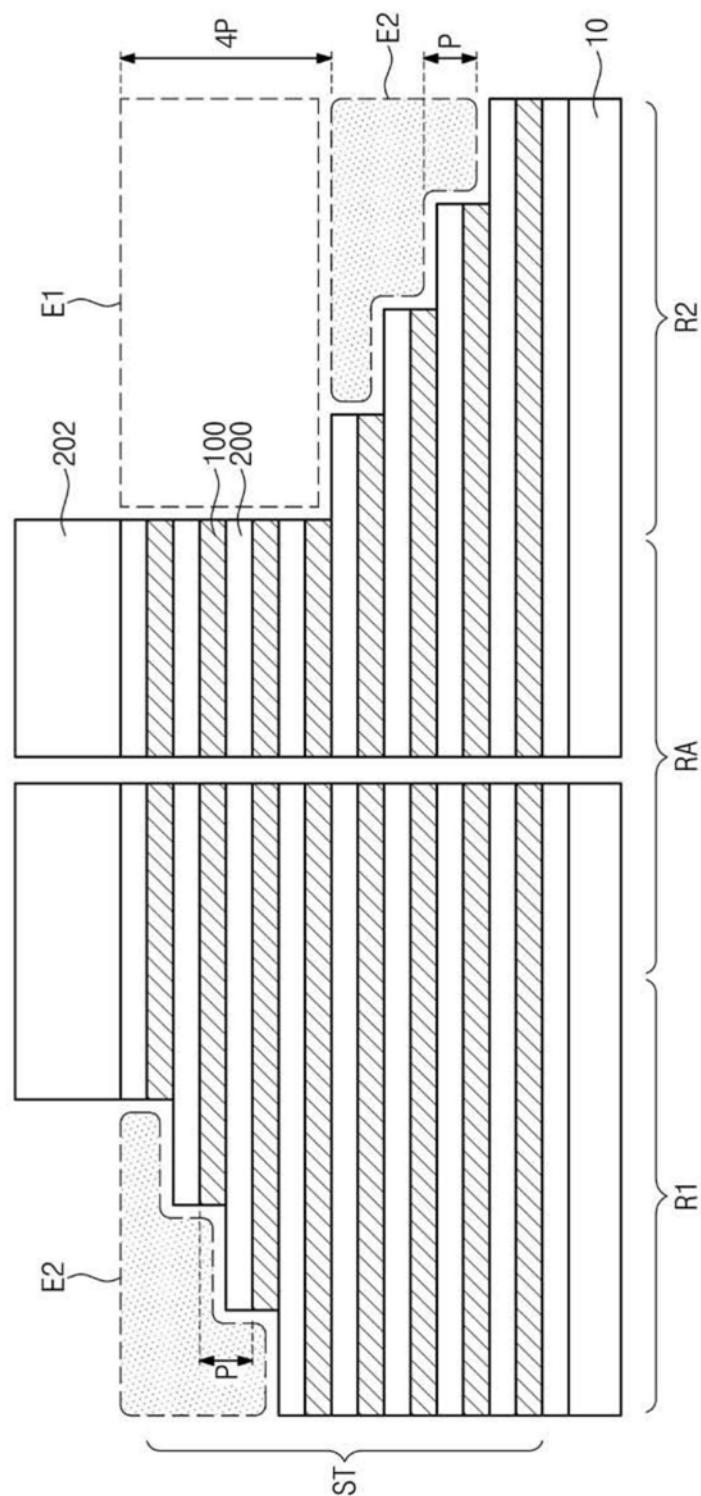


图18

| | 第一图案化工艺 | | | 第二图案化工艺 | | | 第三图案化工艺 | | |
|------|---------|------|------|---------|------|------|---------|------|------|
| | 深度 | 区域 | 次数 | 深度 | 区域 | 次数 | 深度 | 区域 | 次数 |
| 第五示例 | 单层 | 多区域 | 一次 | 双层 | 局部区域 | 一次 | 四层 | 多区域 | 至少一次 |
| 第六示例 | 单层 | 多区域 | 一次 | 四层 | 多区域 | 至少一次 | 双层 | 局部区域 | 一次 |
| 第七示例 | 双层 | 局部区域 | 一次 | 单层 | 多区域 | 一次 | 四层 | 多区域 | 至少一次 |
| 第八示例 | 双层 | 局部区域 | 一次 | 四层 | 多区域 | 至少一次 | 单层 | 多区域 | 一次 |
| 第九示例 | 四层 | 多区域 | 至少一次 | 双层 | 多区域 | 一次 | 双层 | 局部区域 | 一次 |
| 第十示例 | 四层 | 多区域 | 至少一次 | 双层 | 局部区域 | 一次 | 单层 | 多区域 | 一次 |

图19

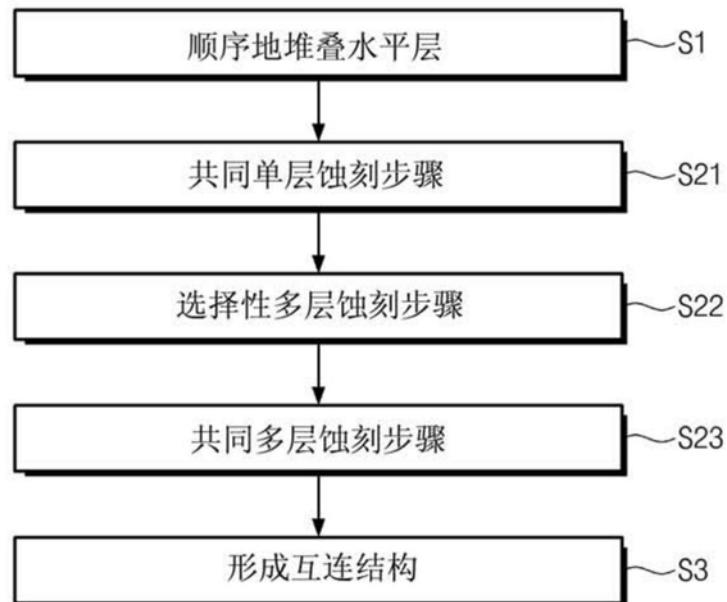


图20

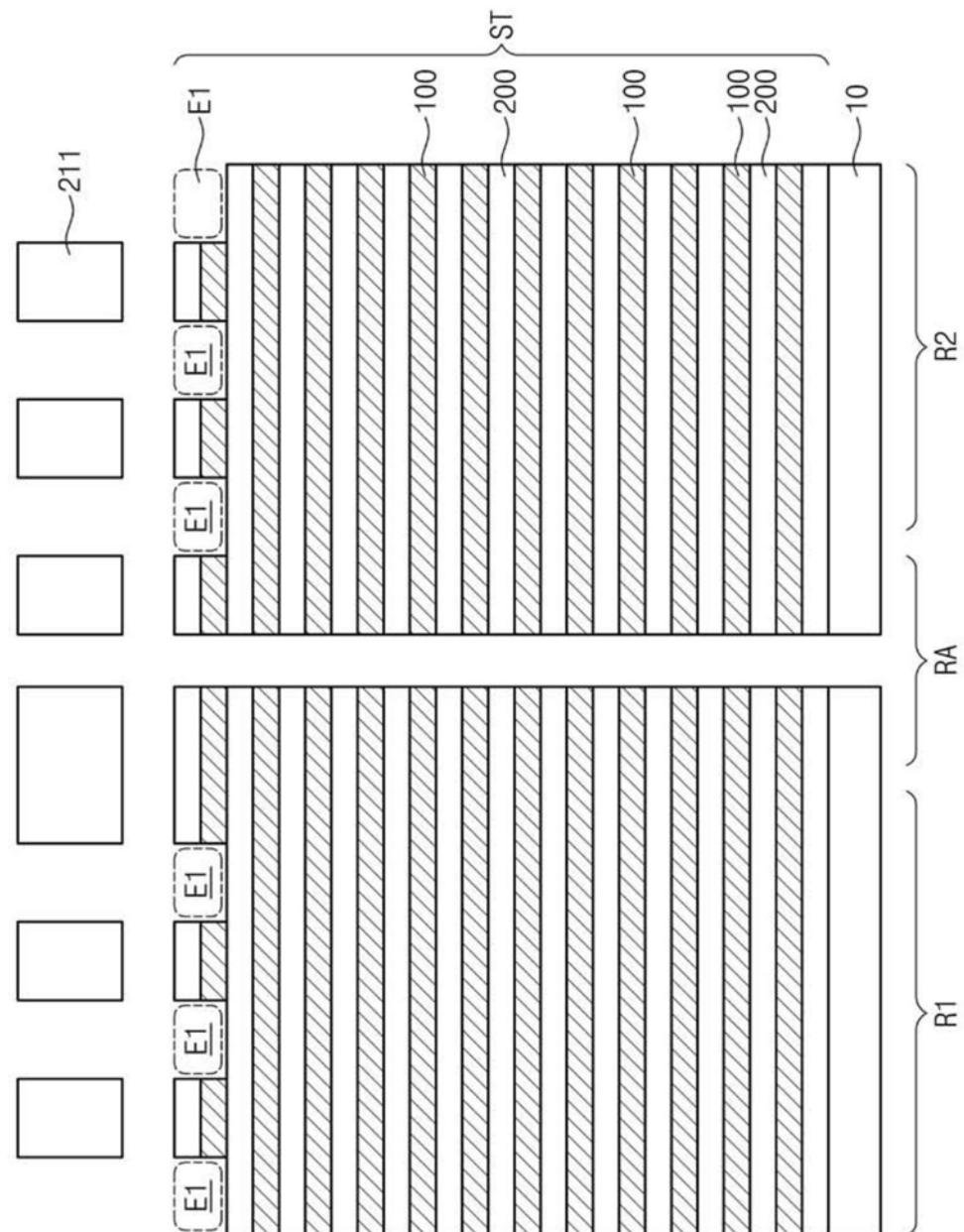


图21

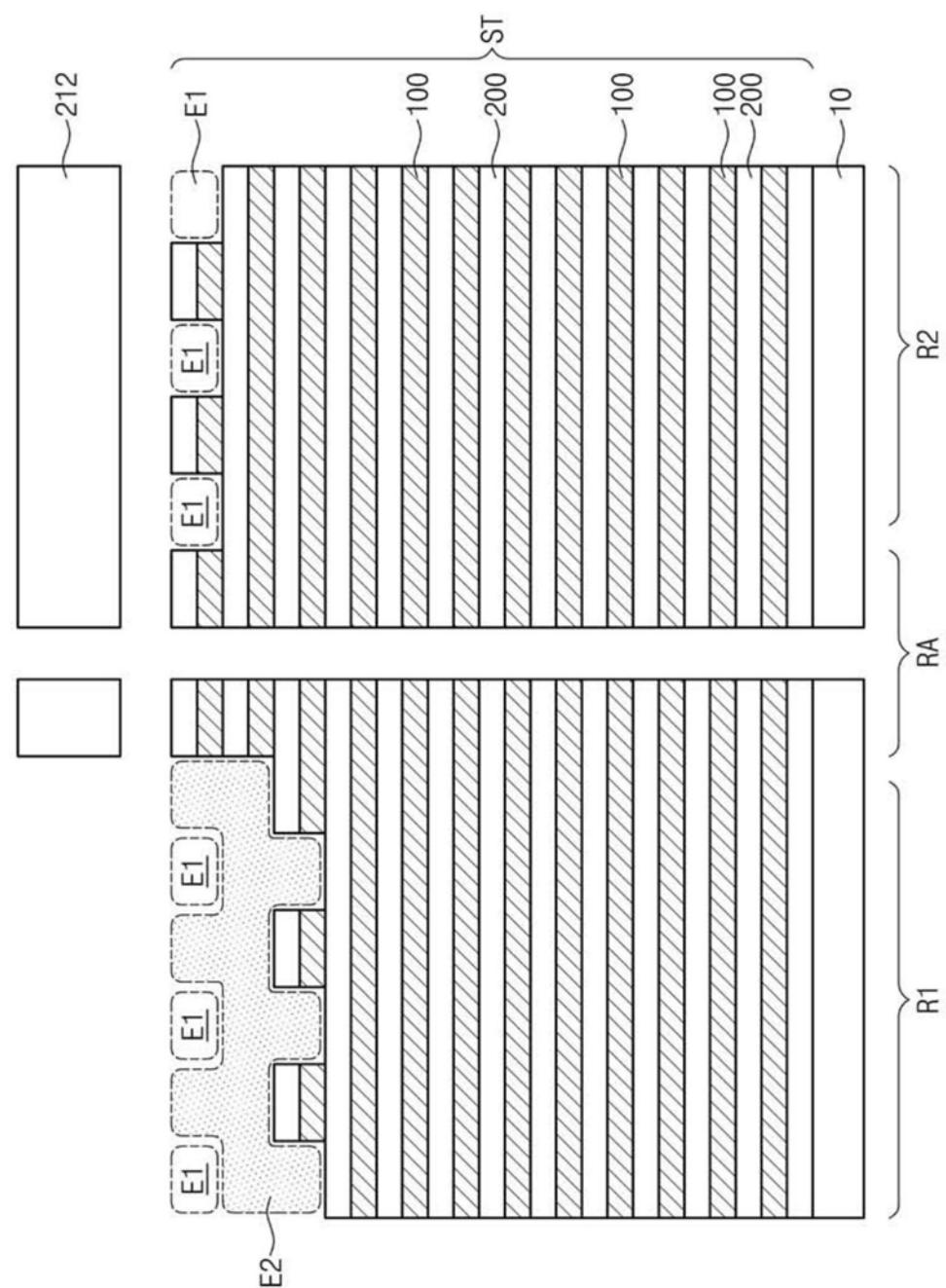


图22

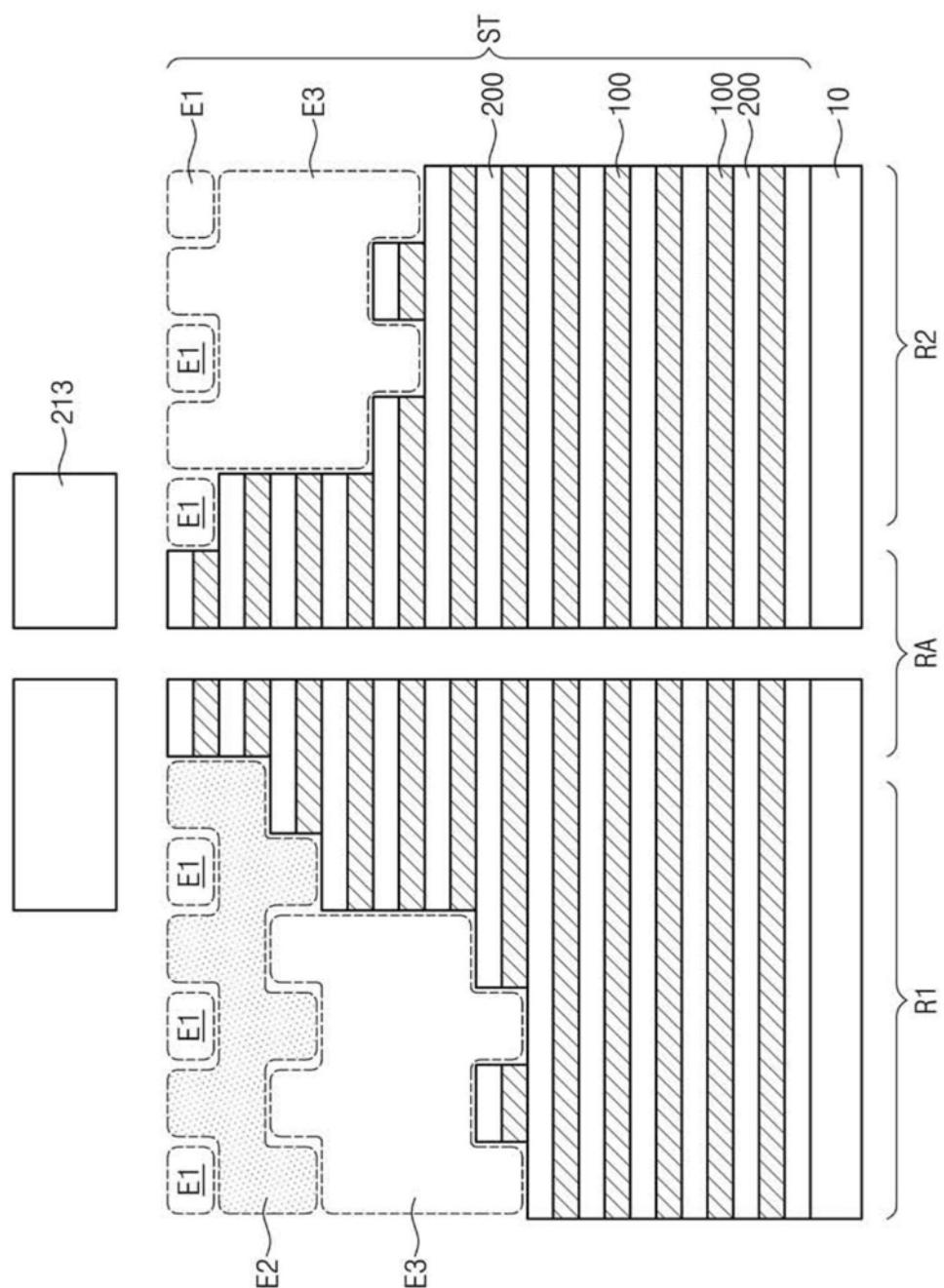


图23

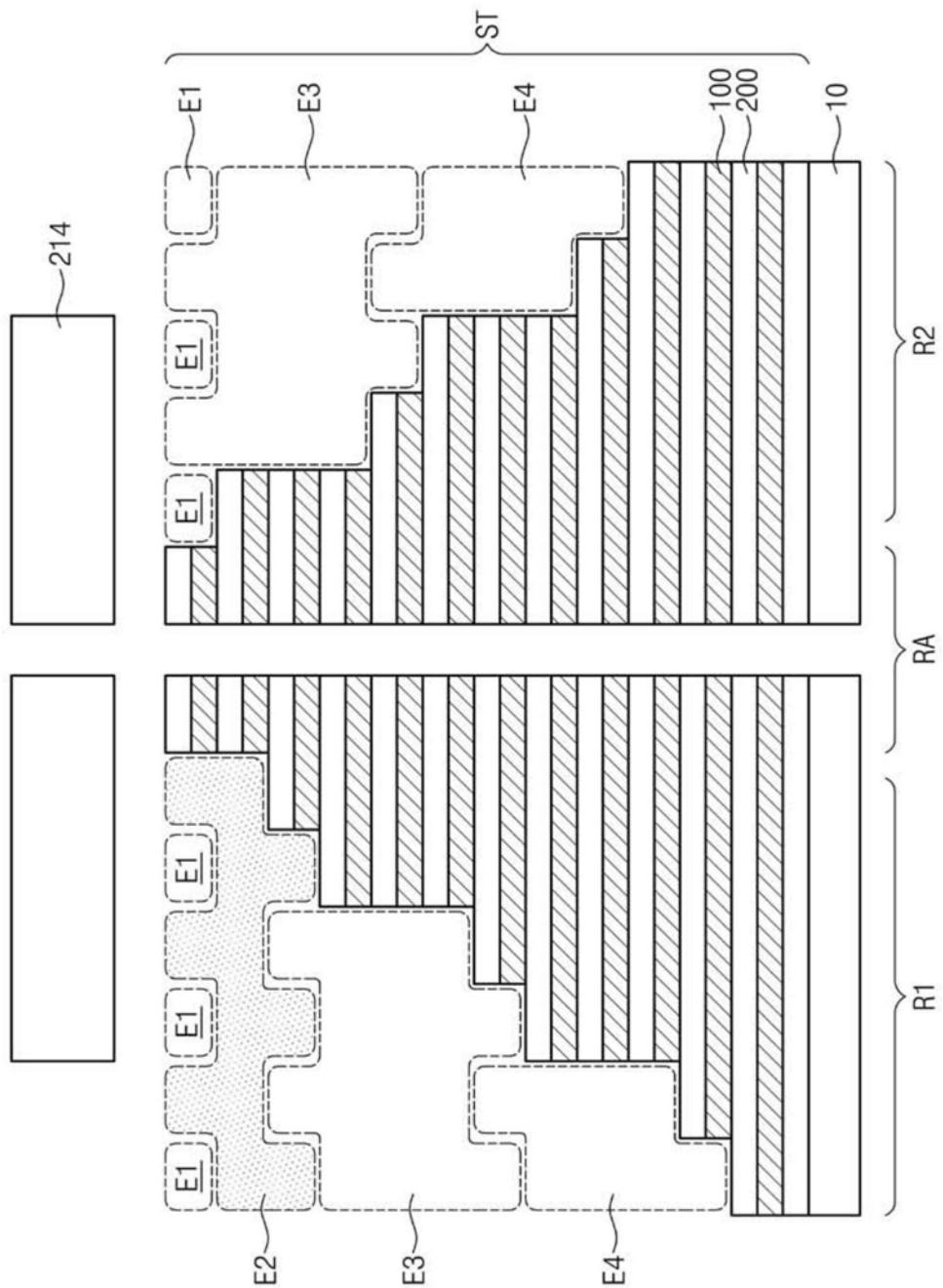


图24

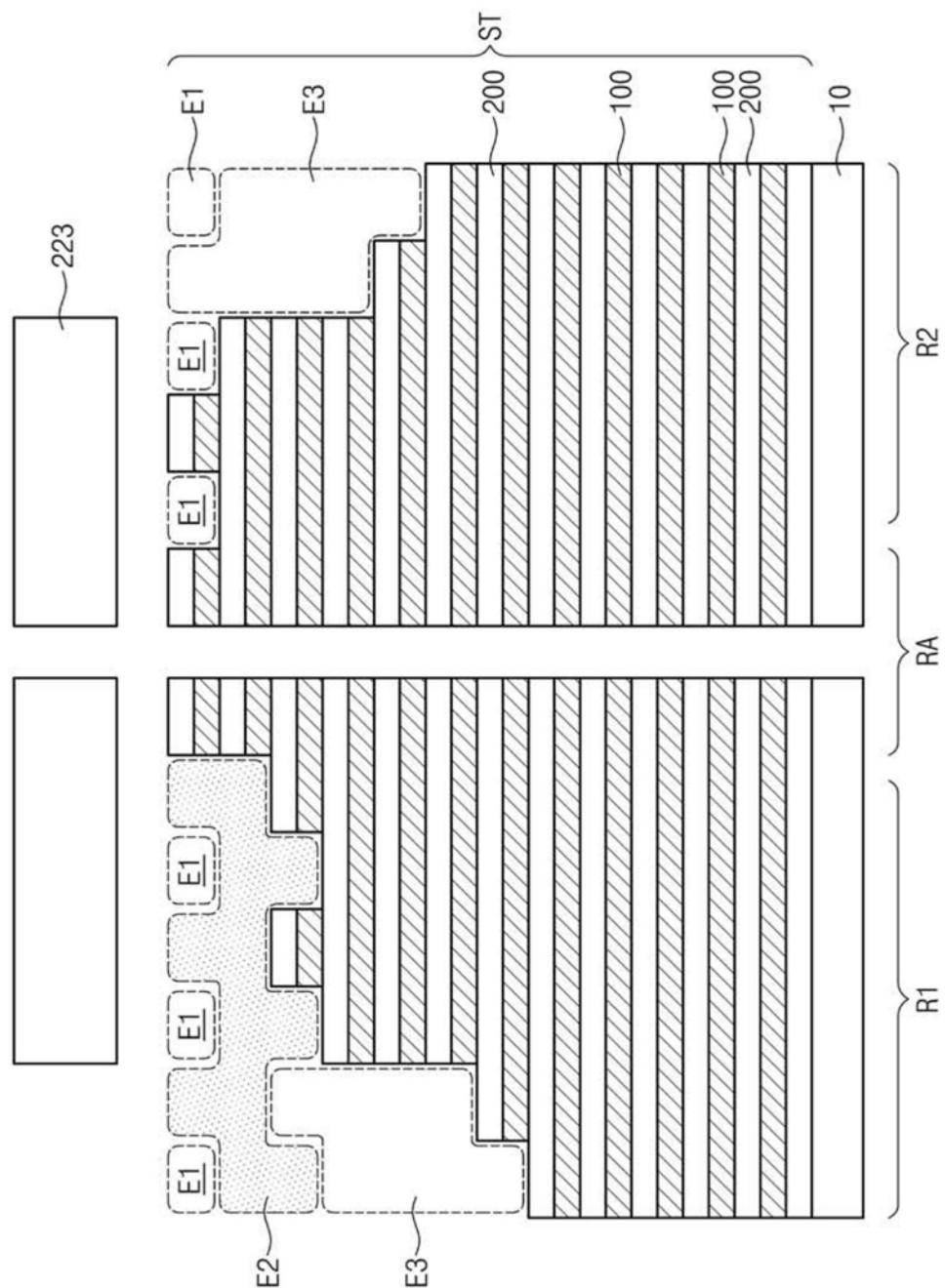


图25

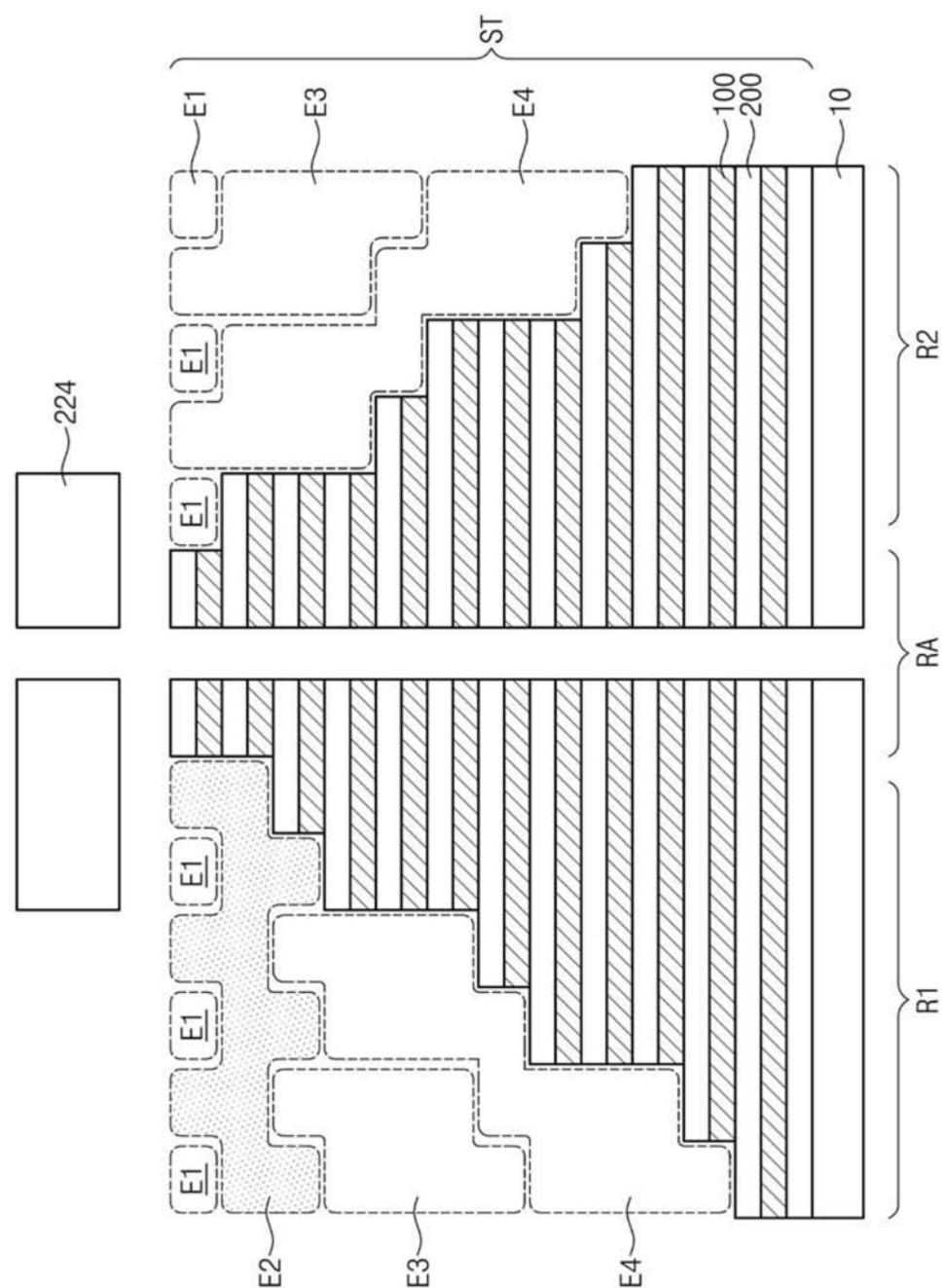


图26

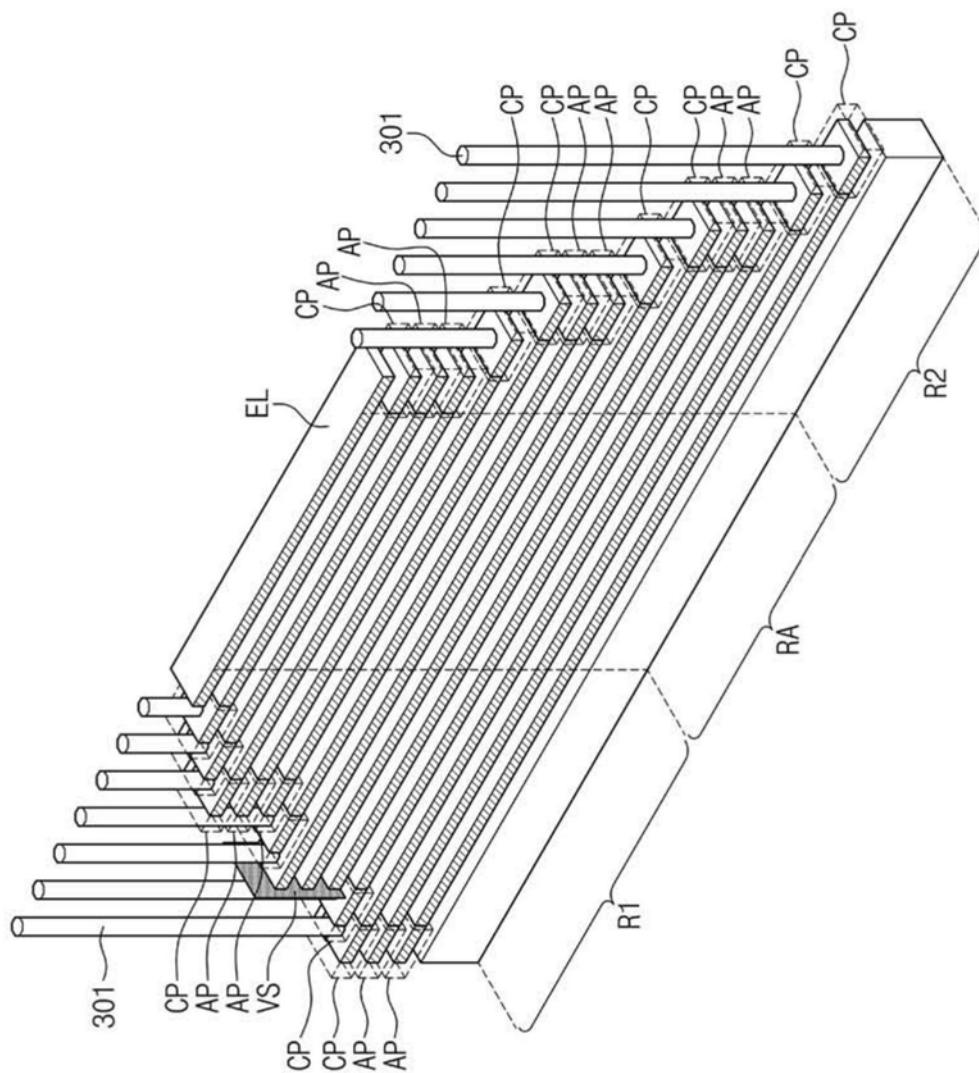


图27

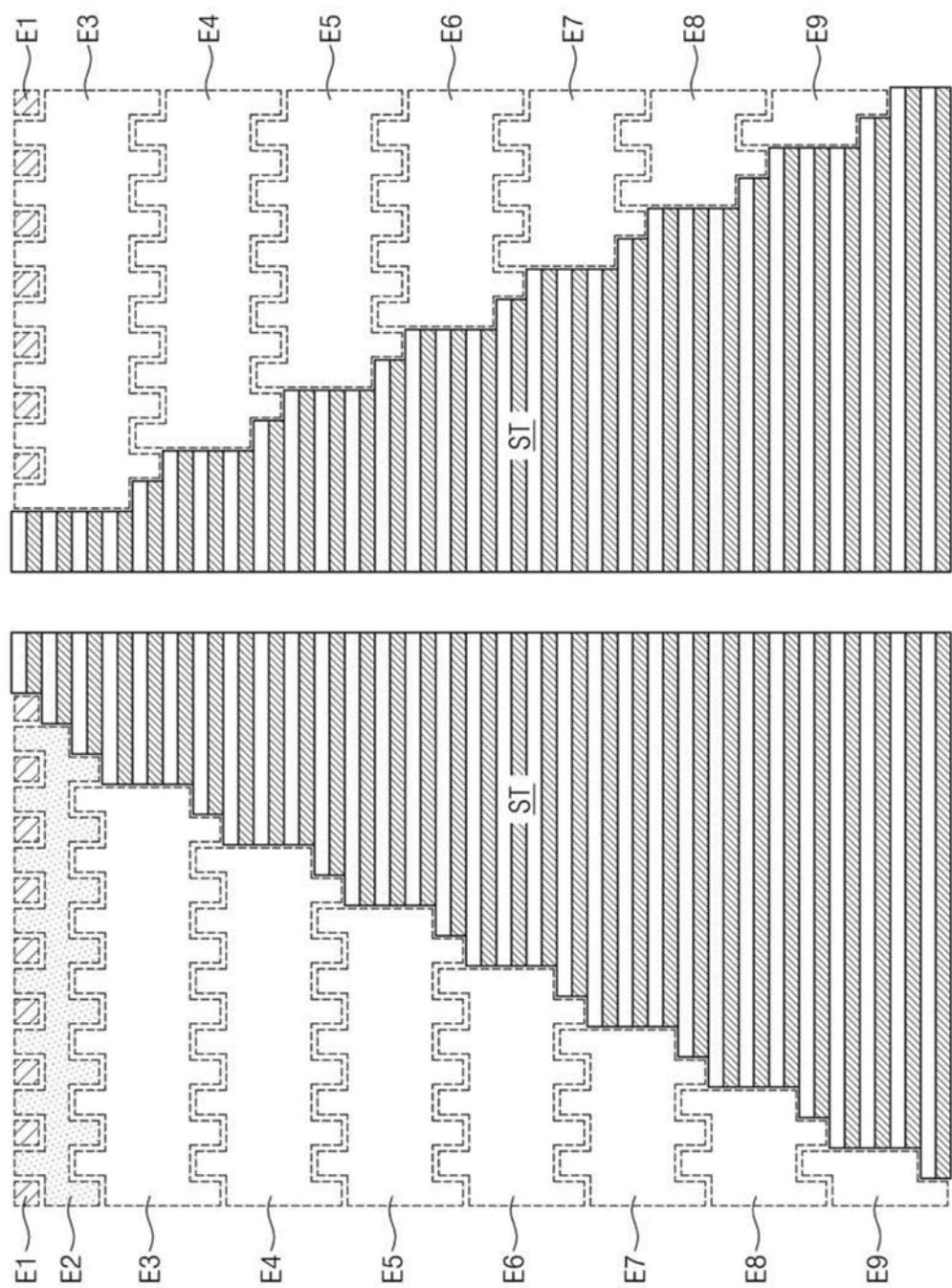


图28

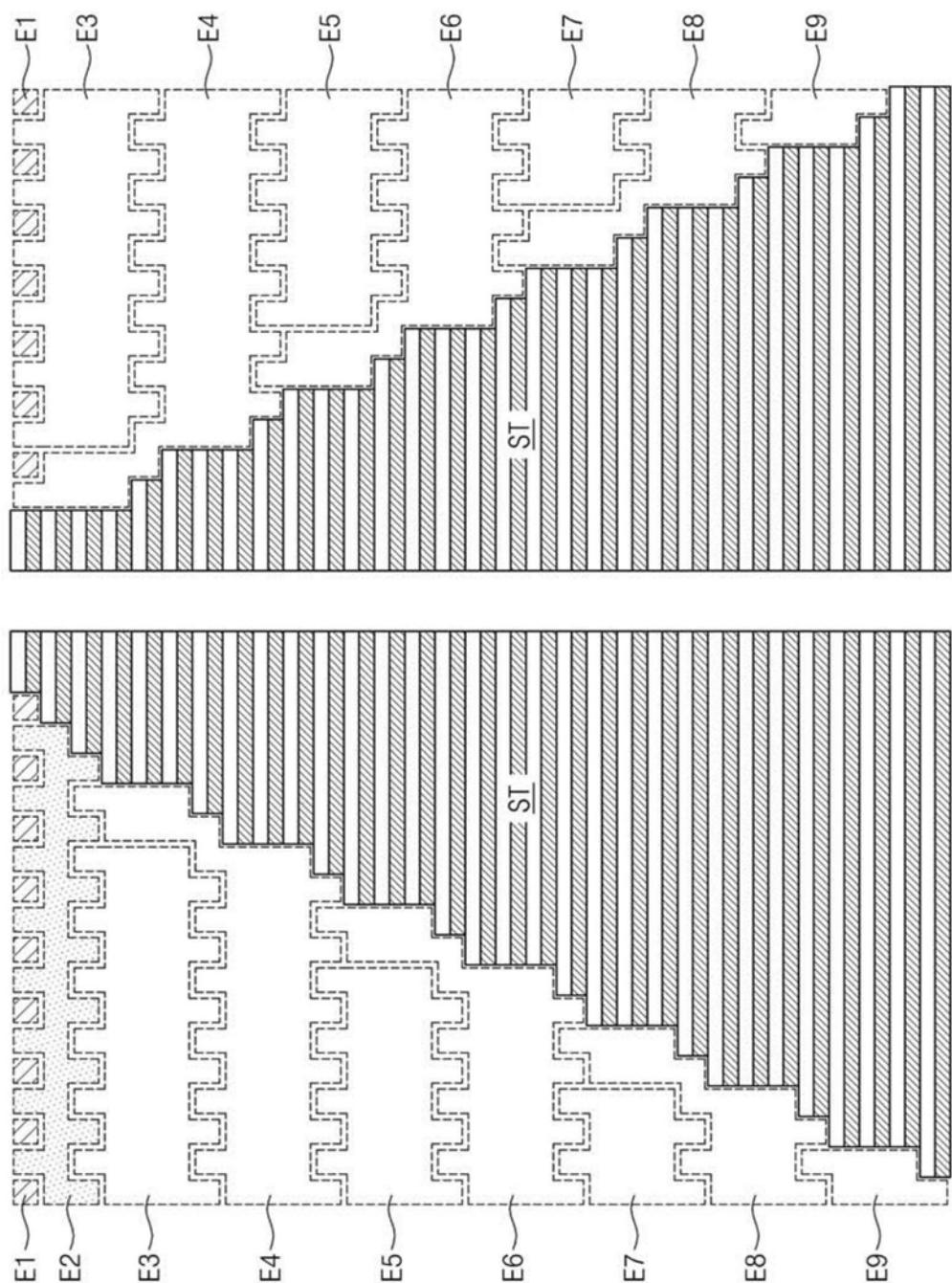


图29



图30

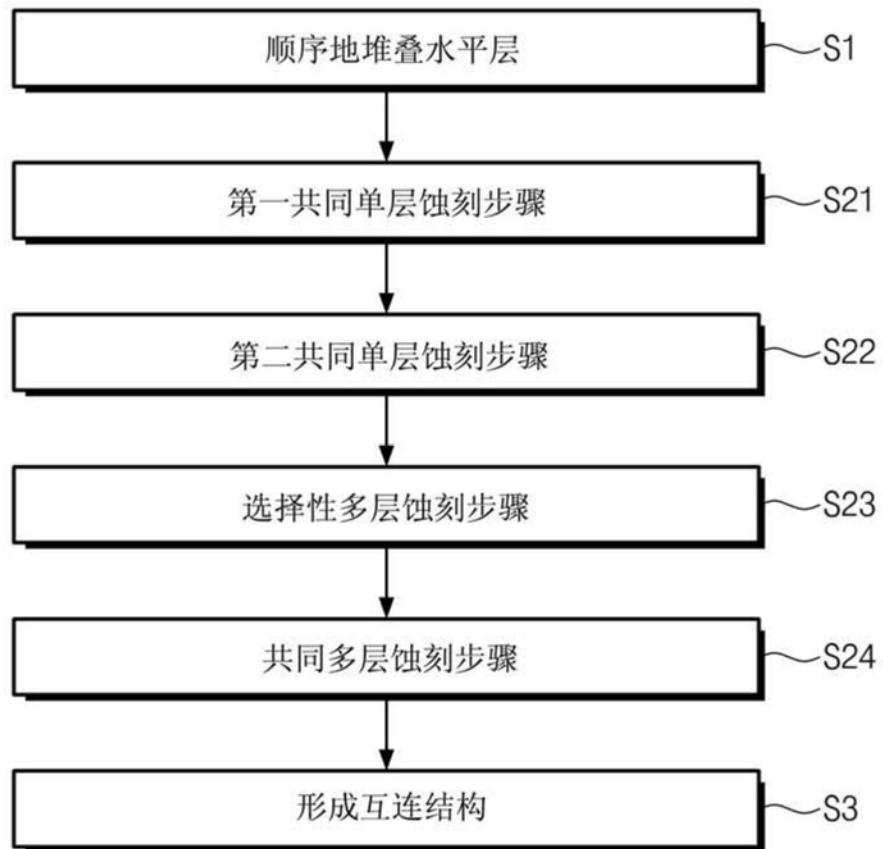


图31

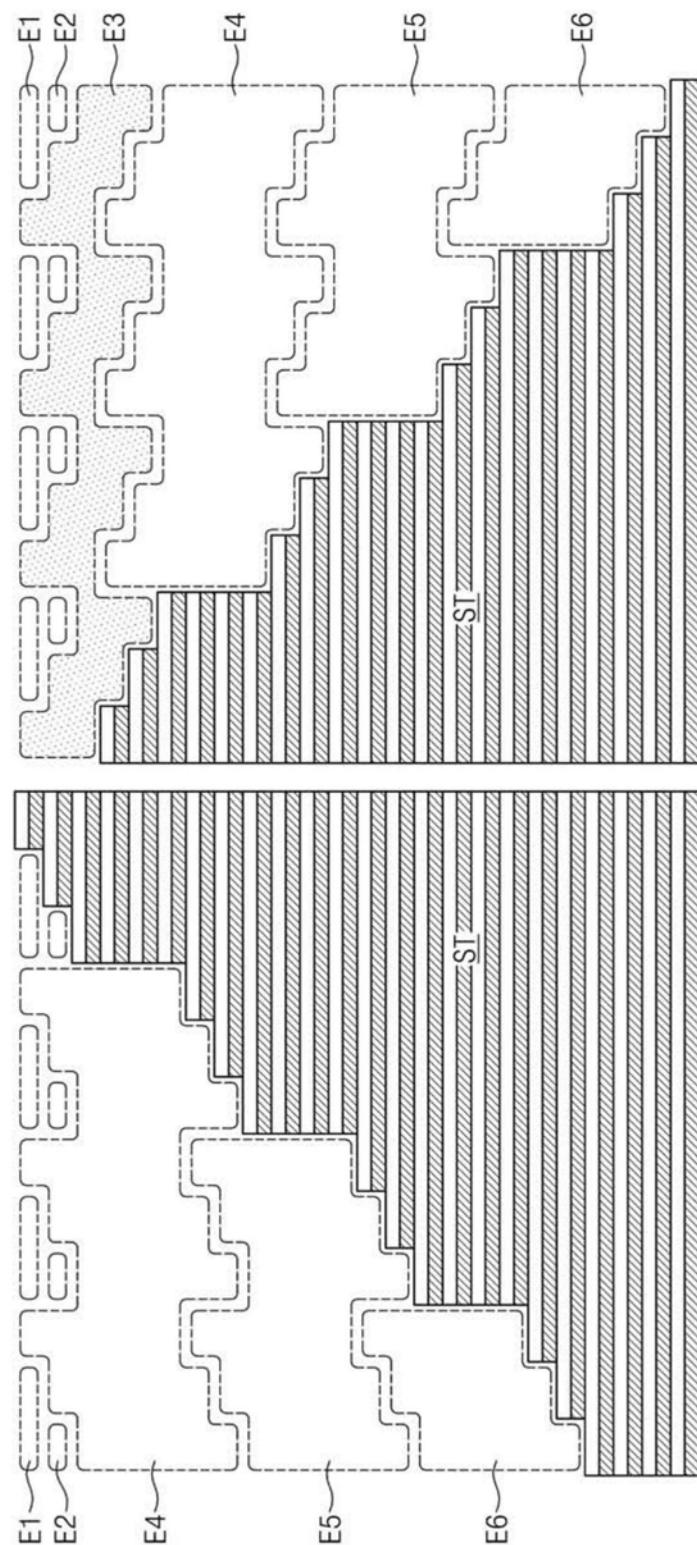


图32

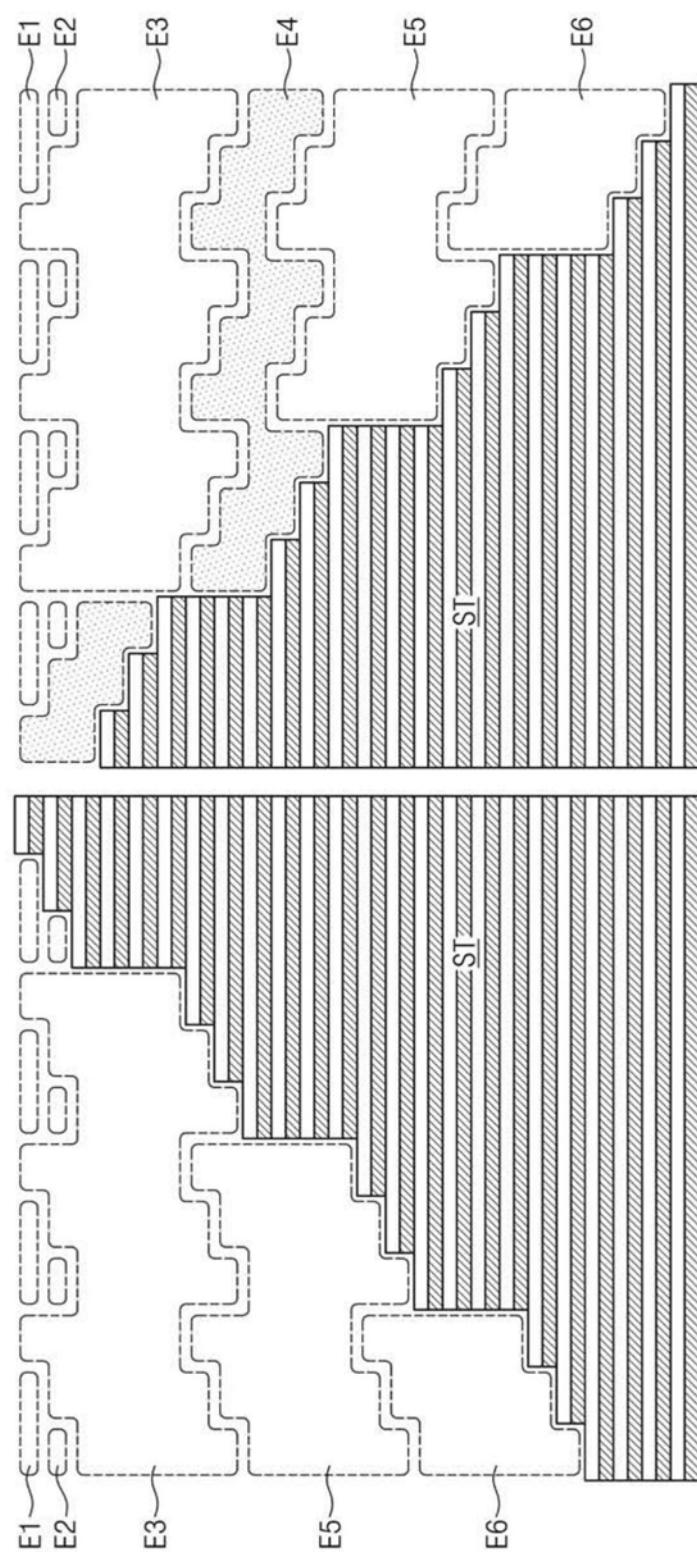


图33

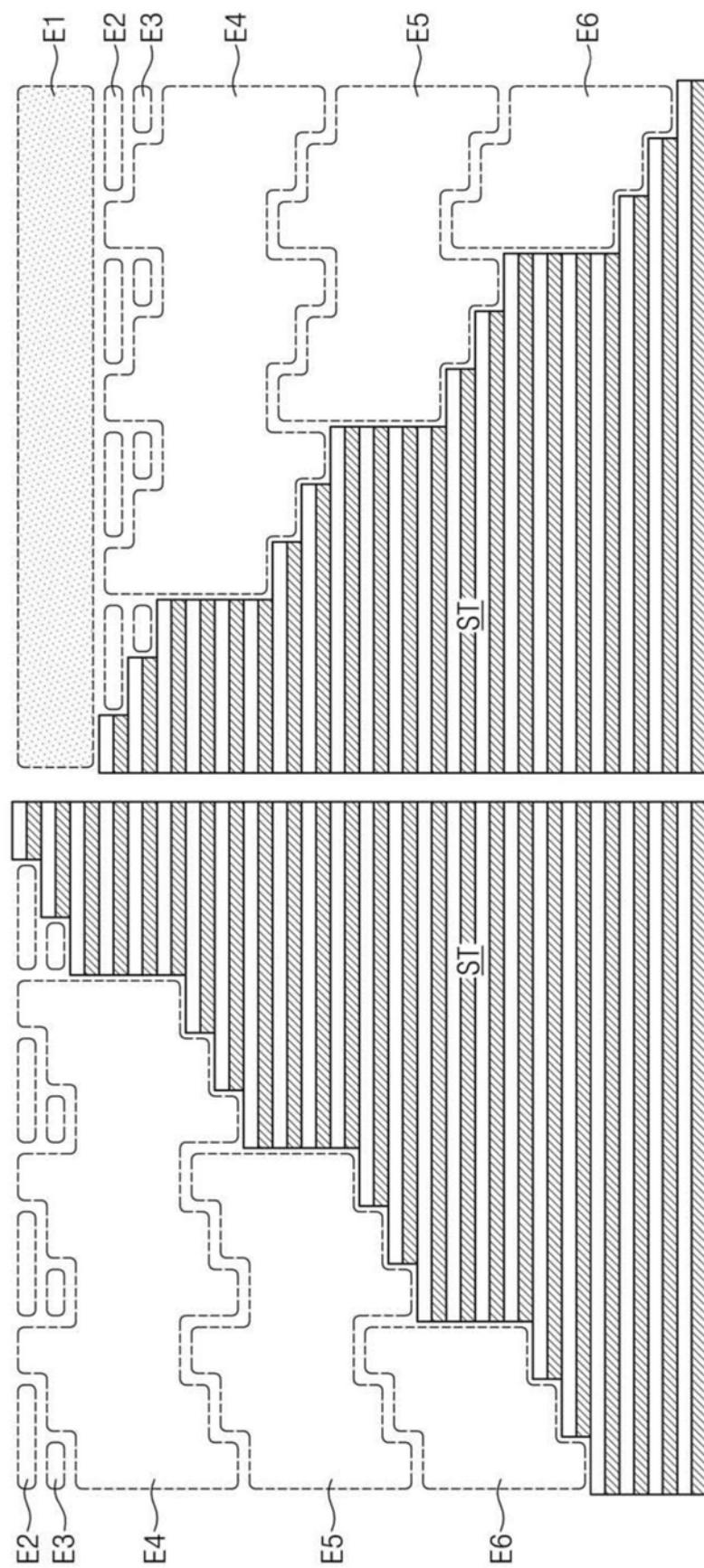


图34

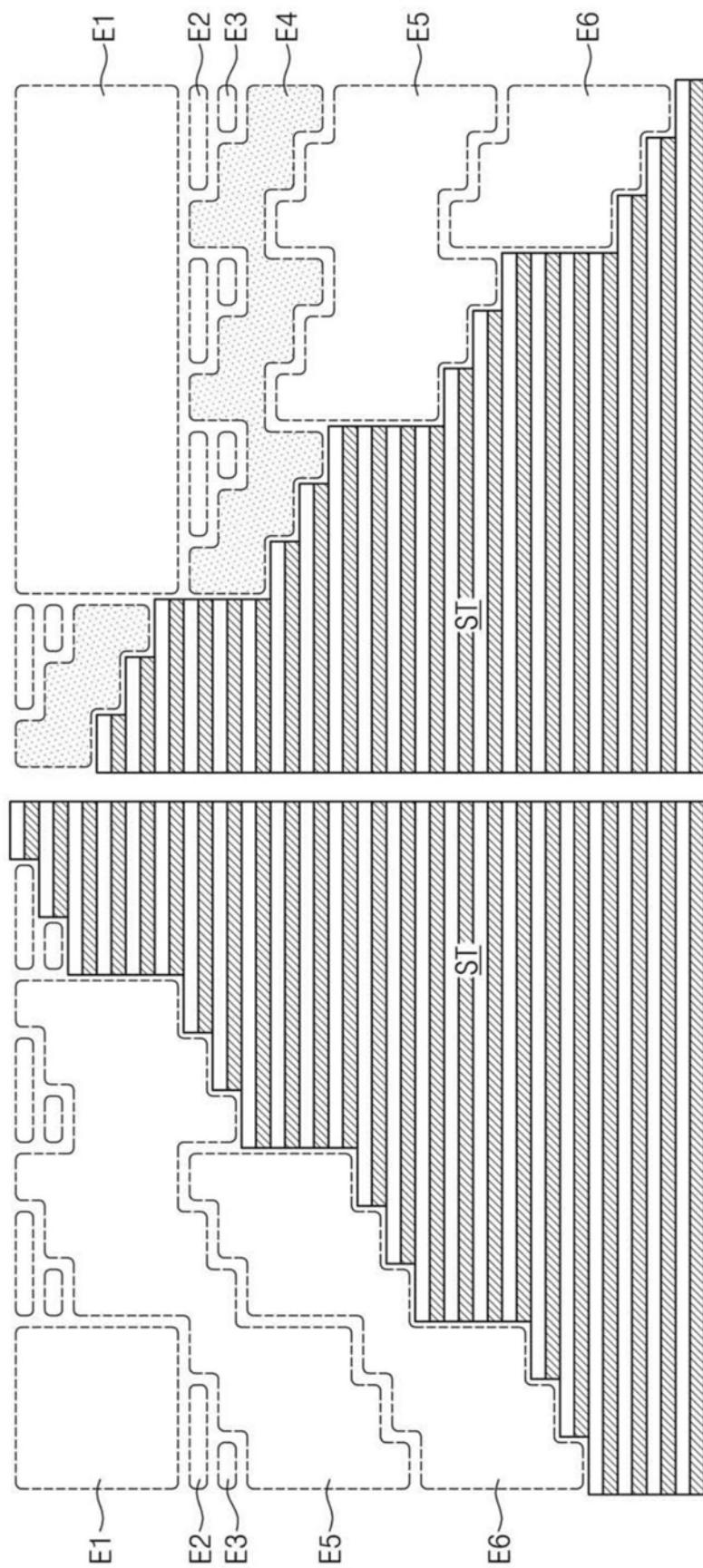


图35

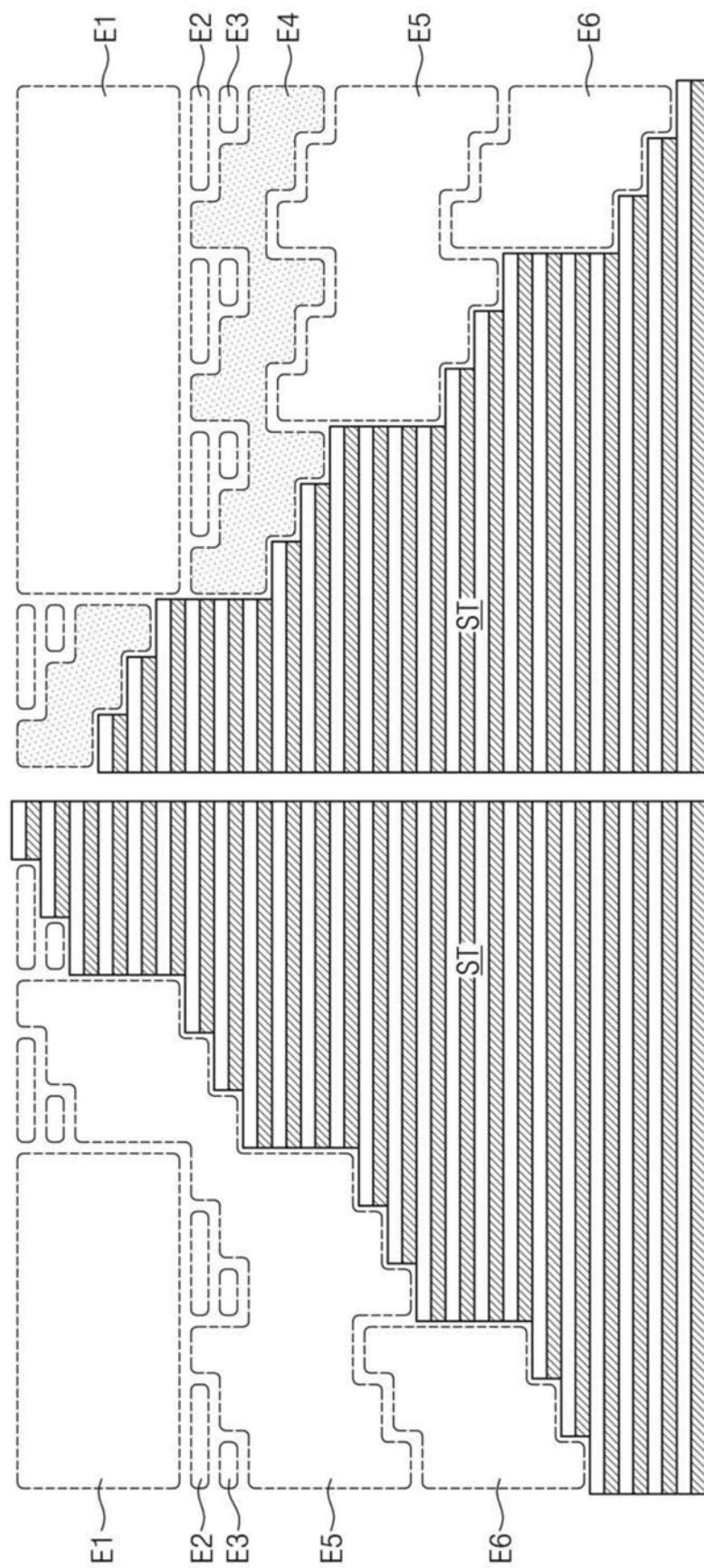


图36

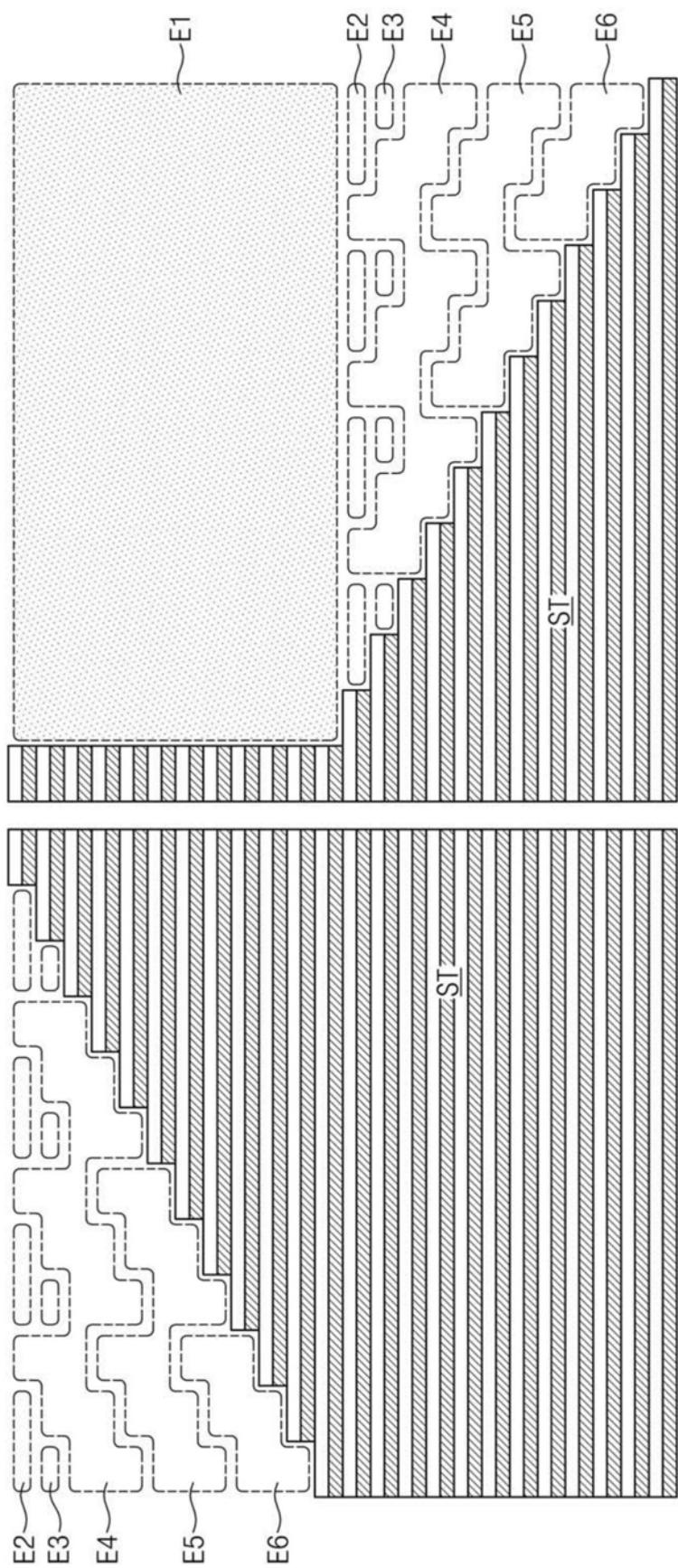


图37

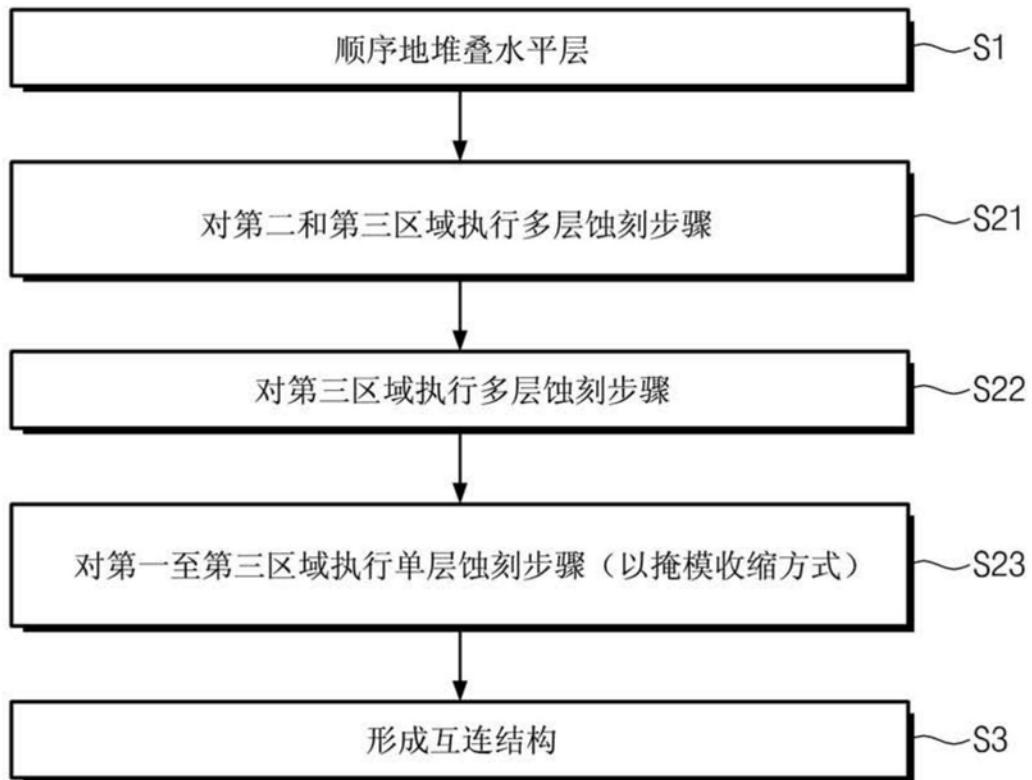


图38

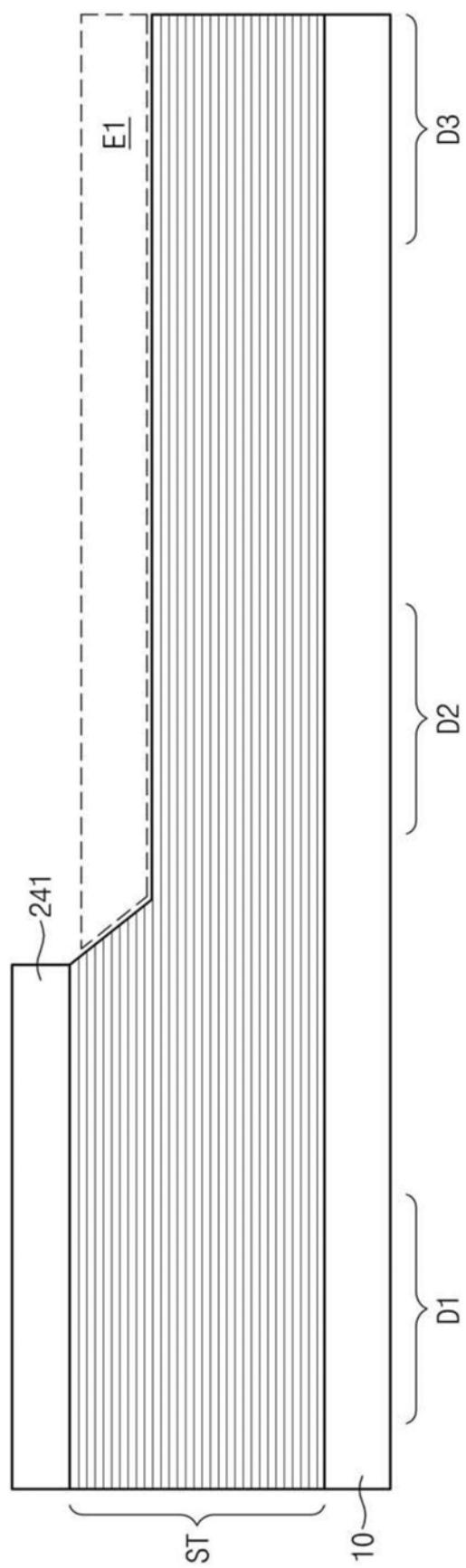


图39

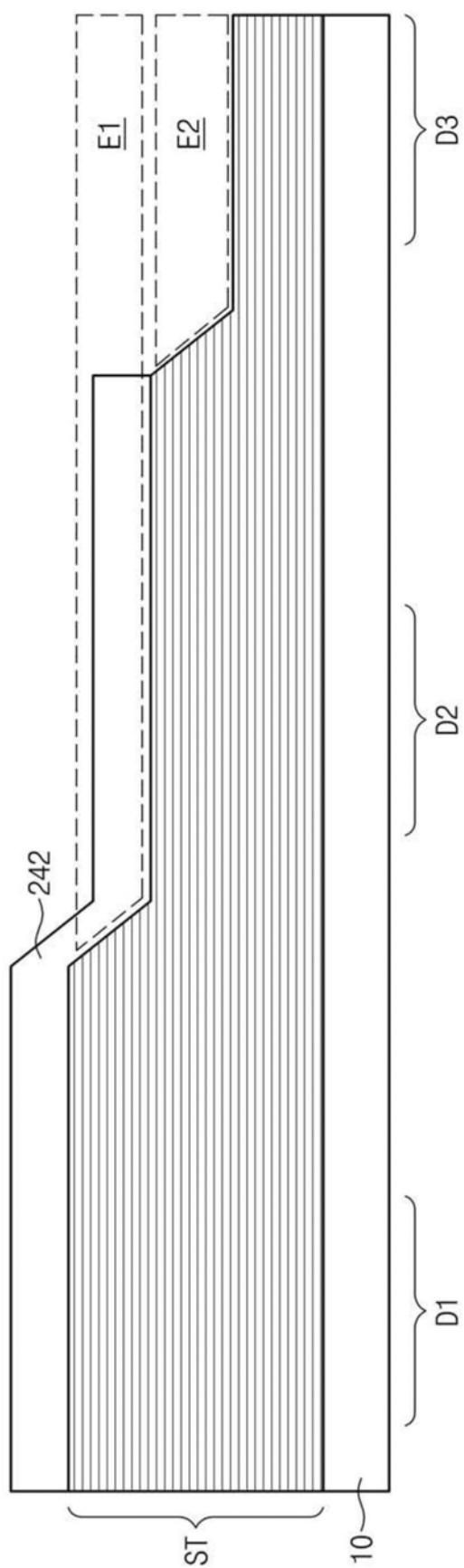


图40

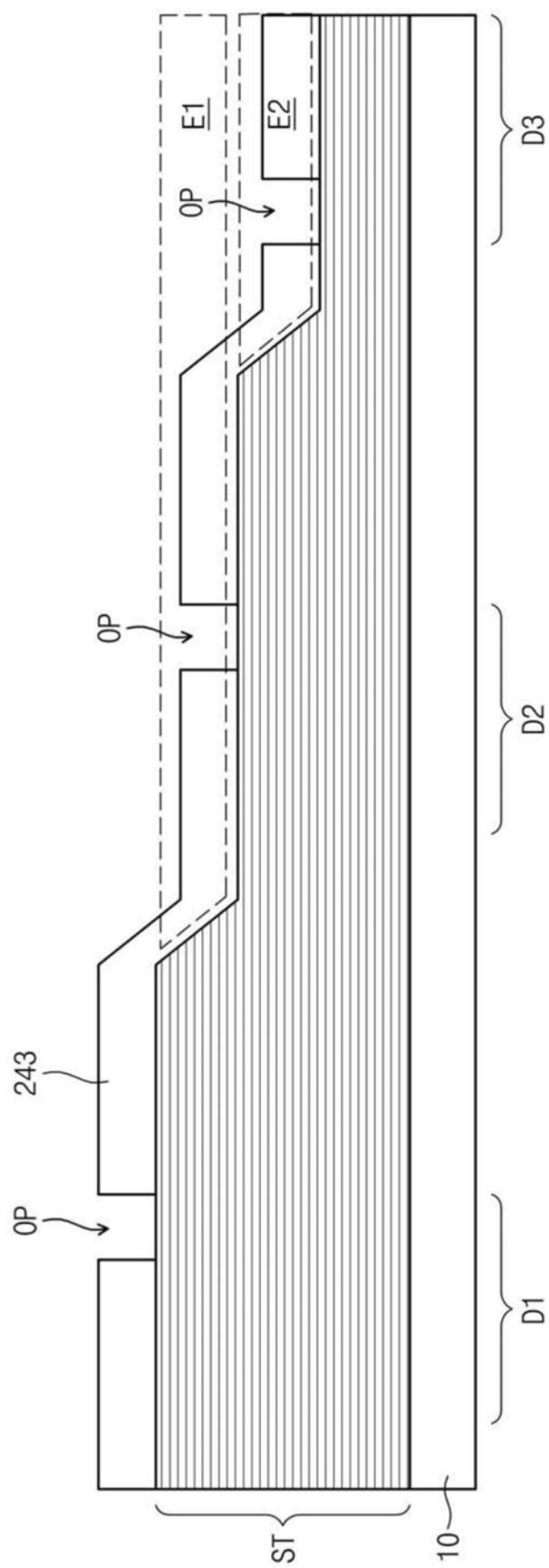


图41

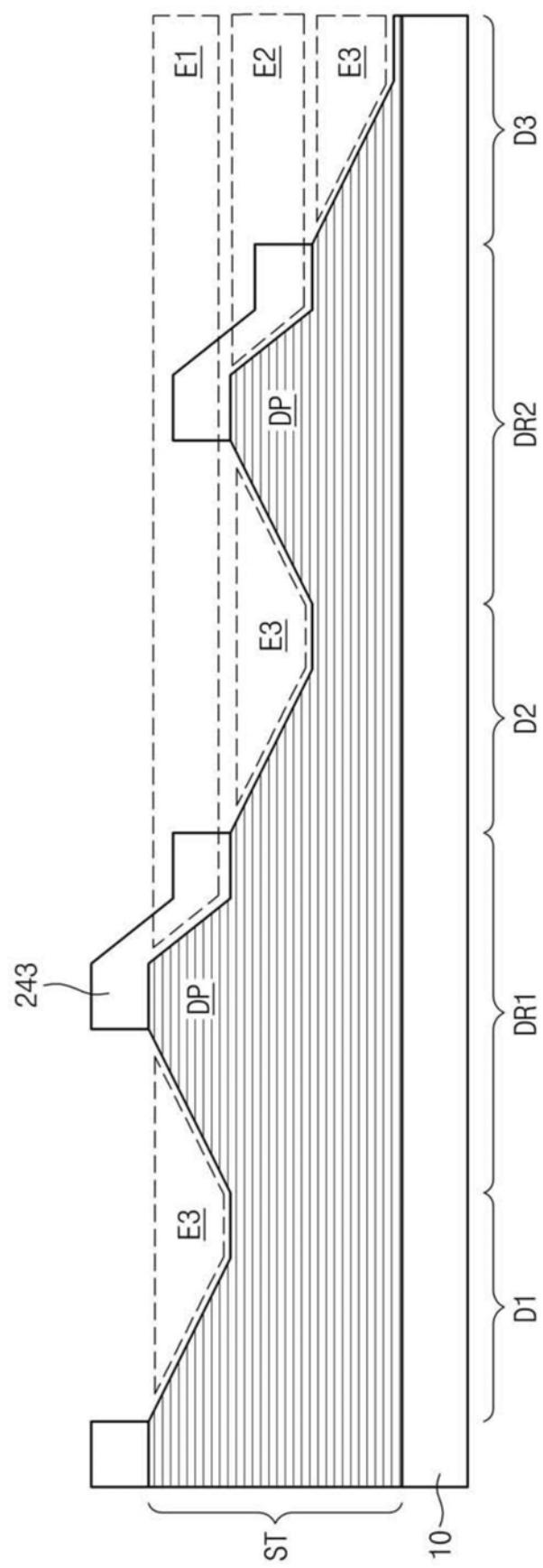


图42

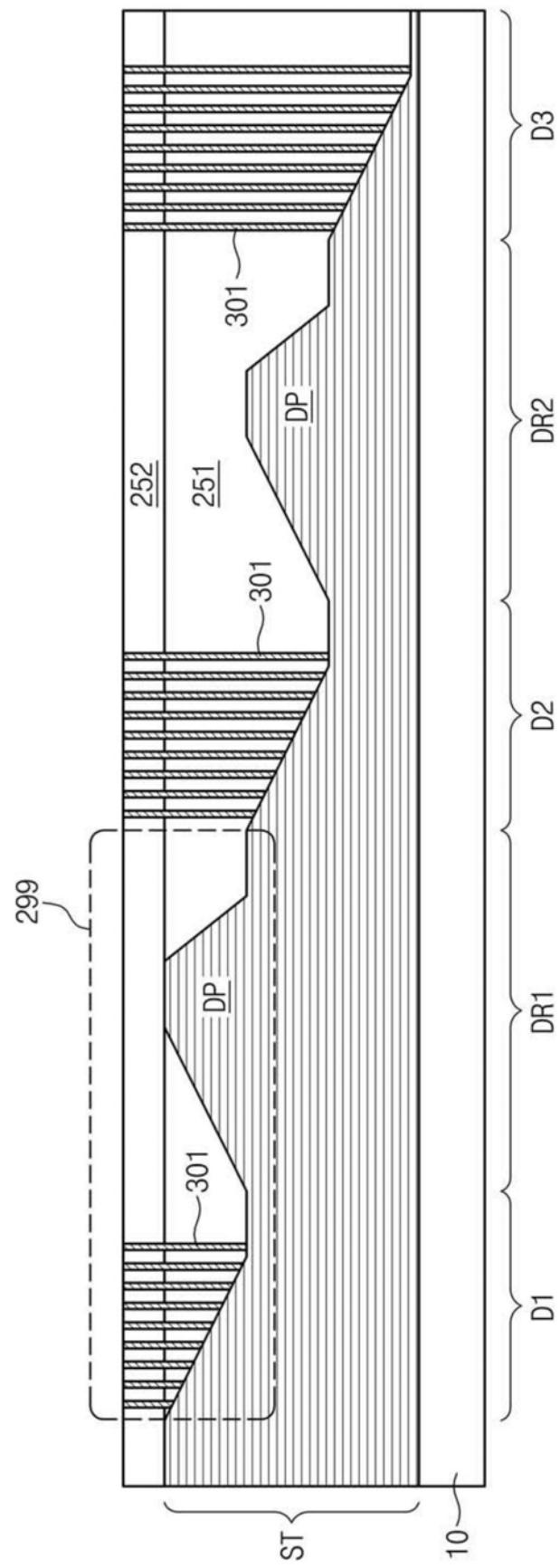
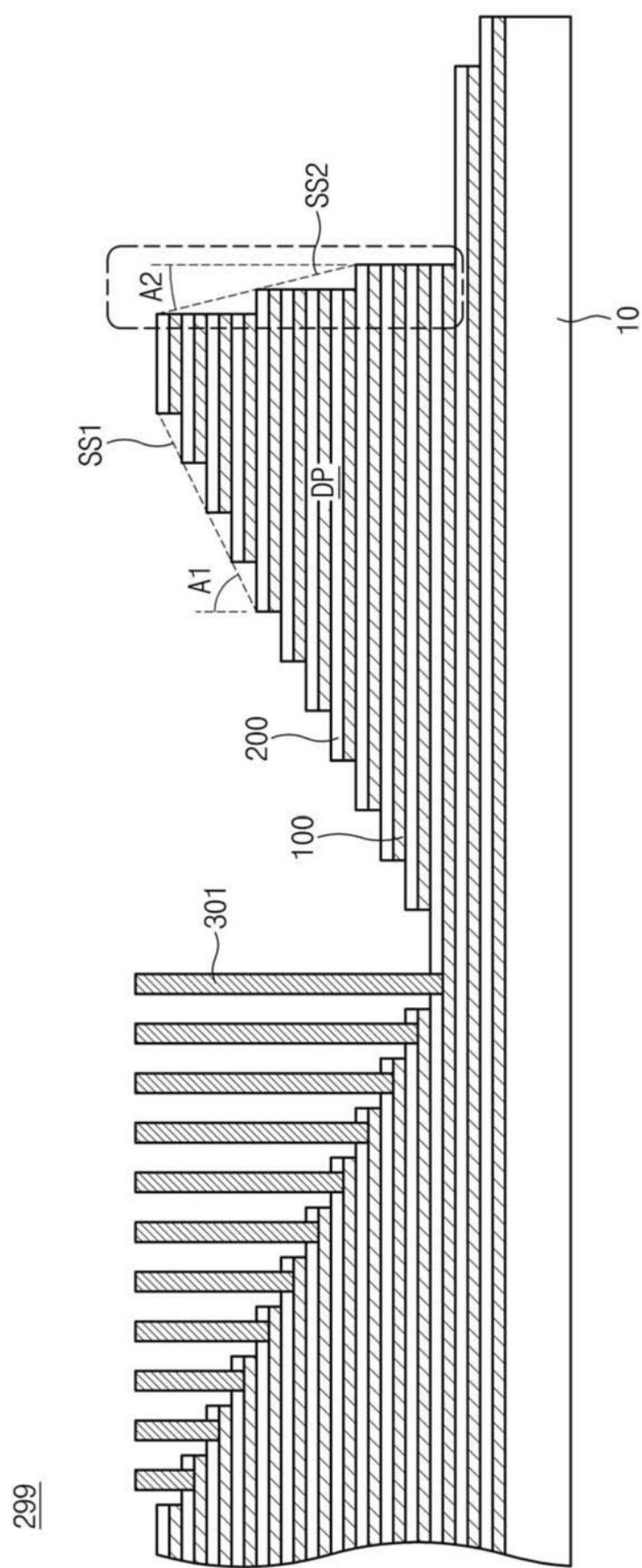


图43



299

图44

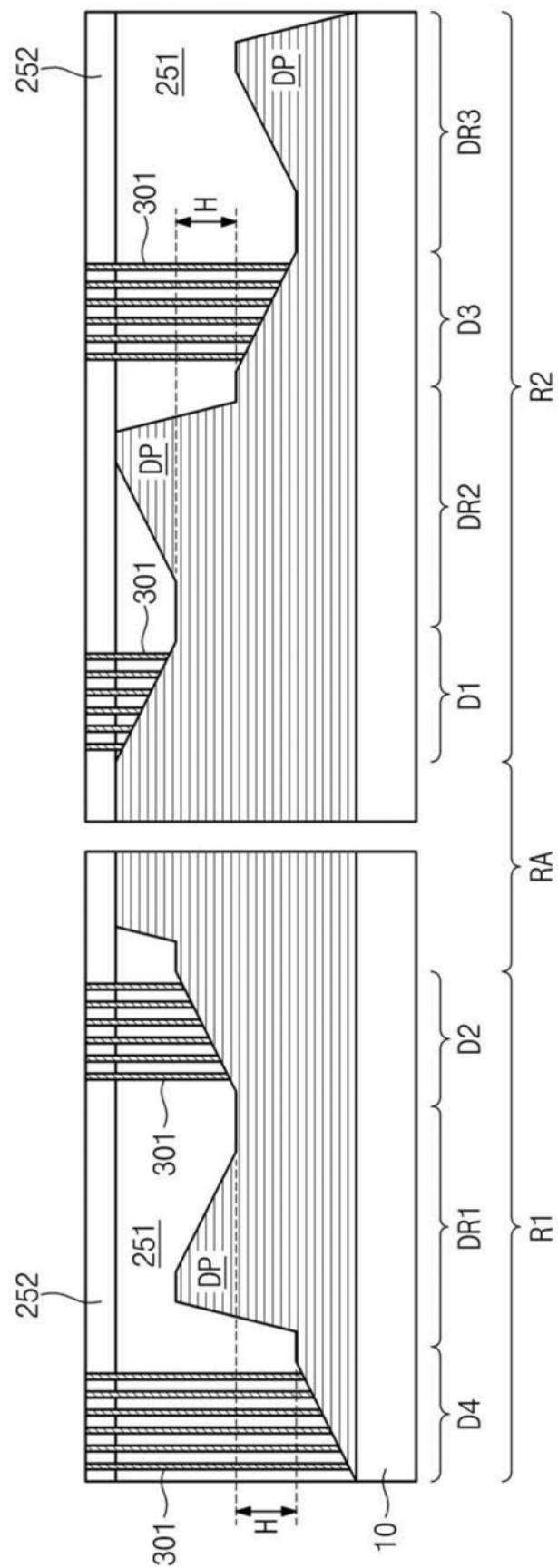


图45

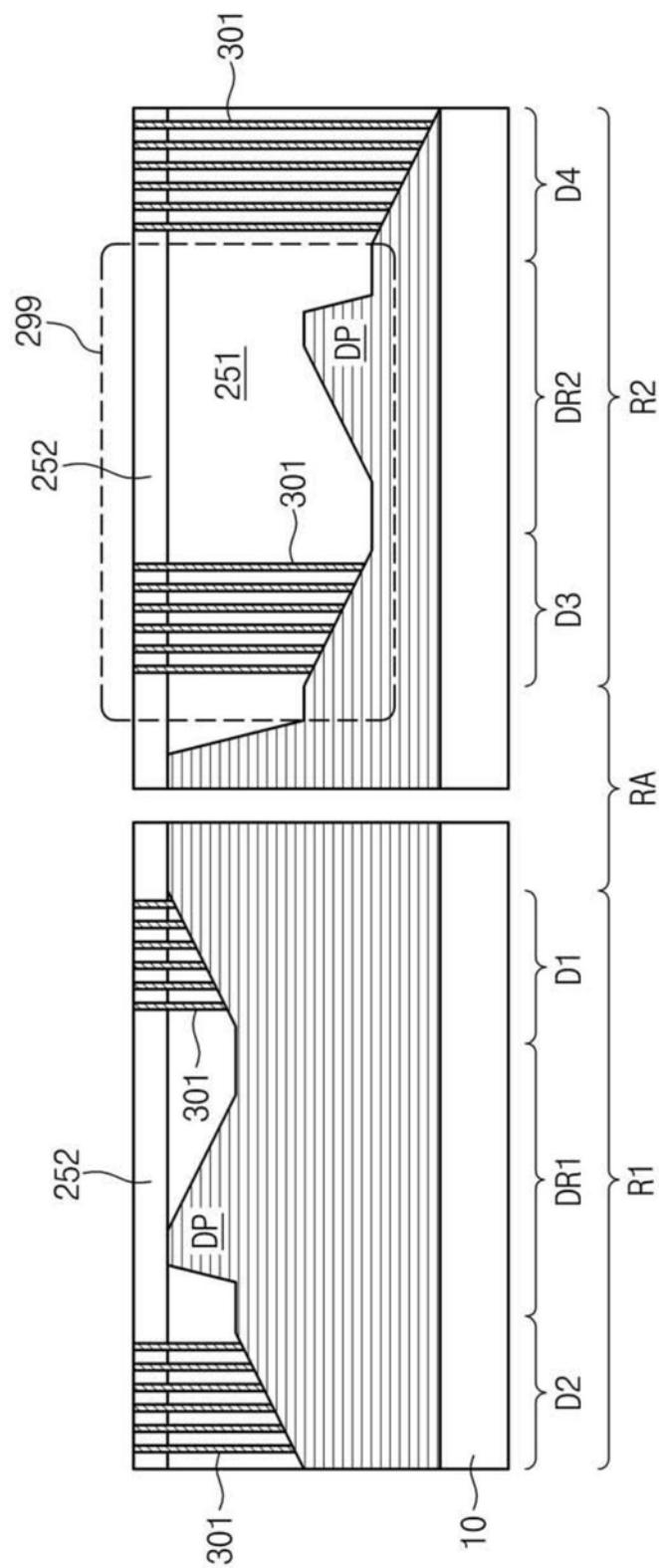


图46

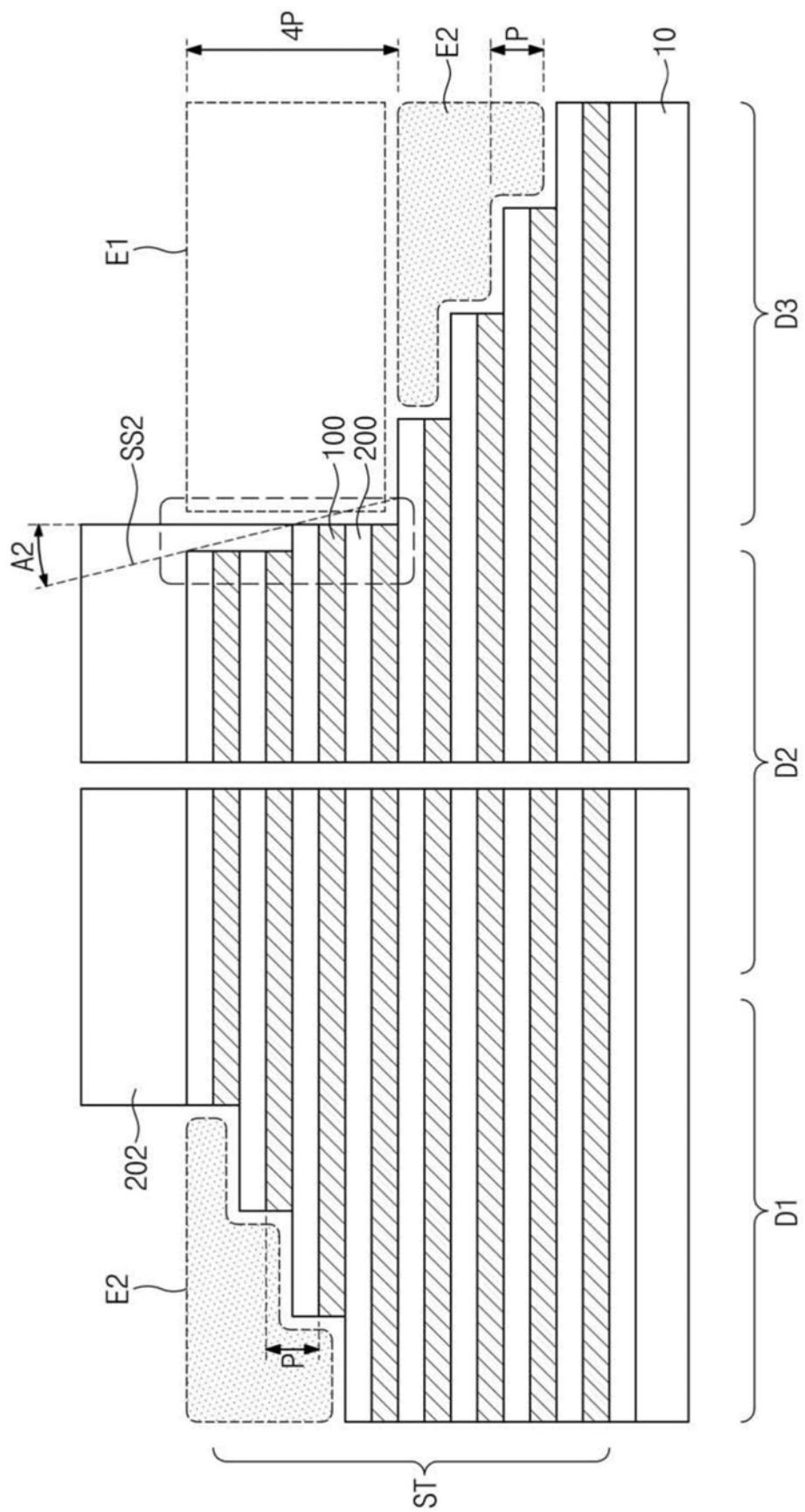


图47

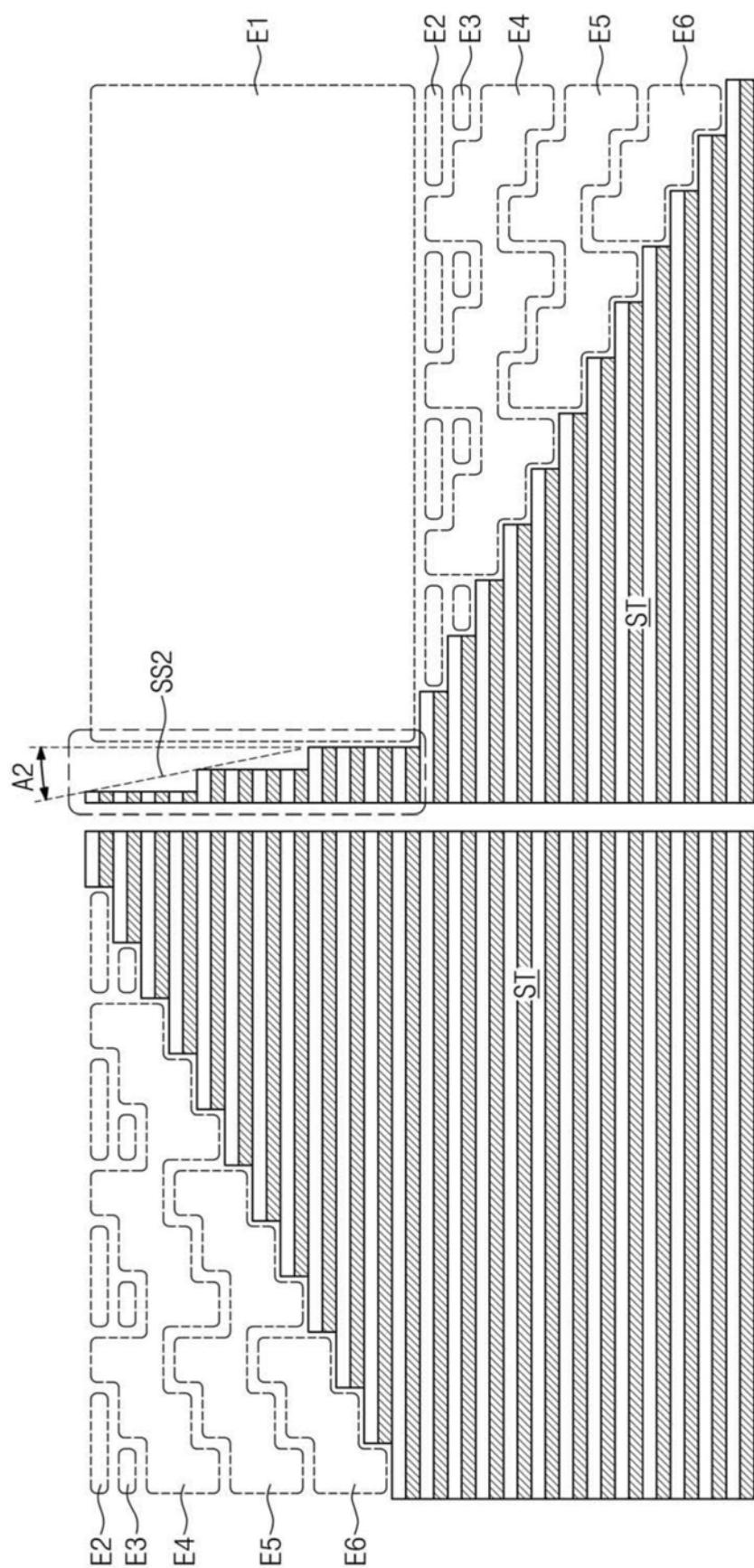


图48

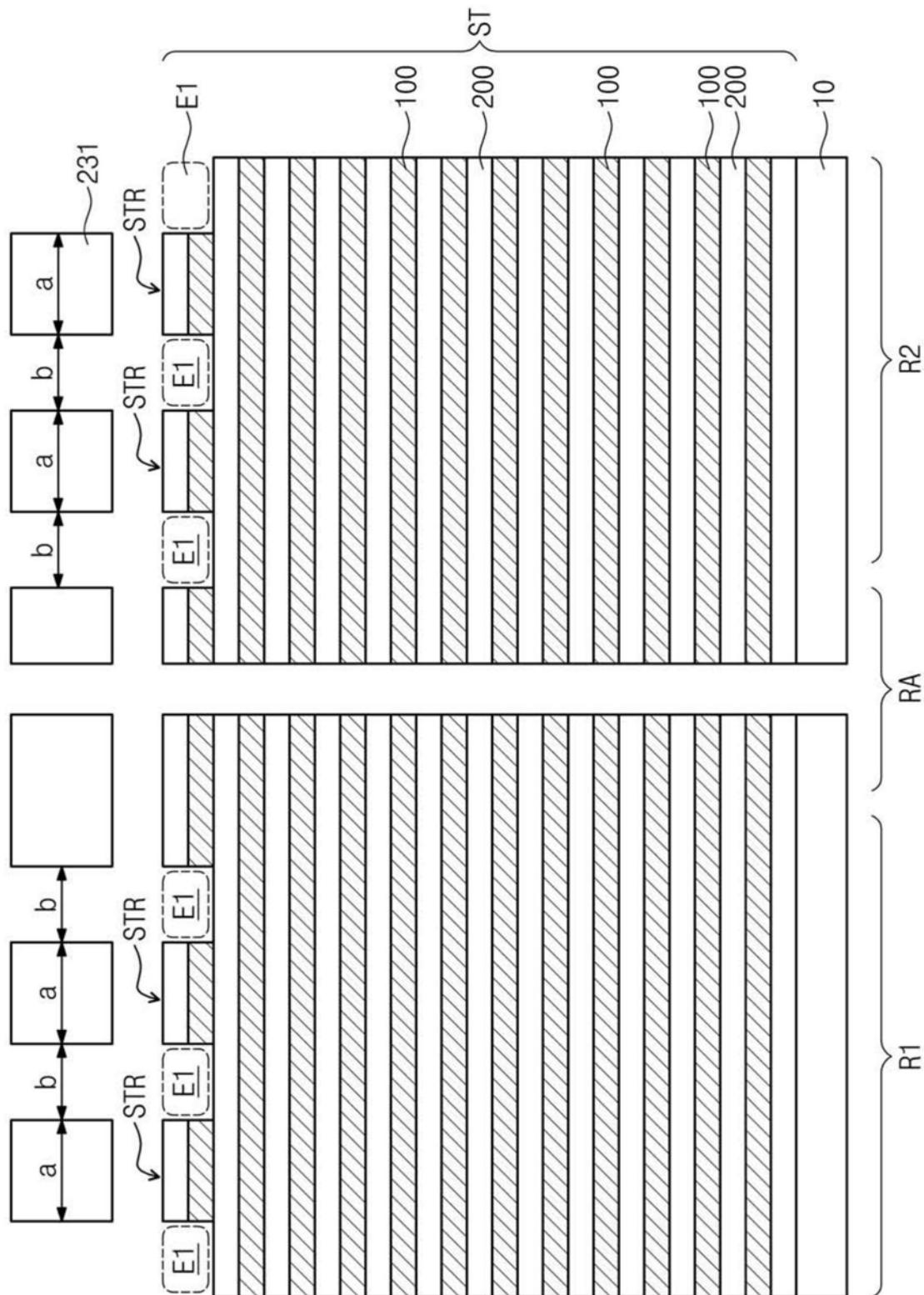


图49

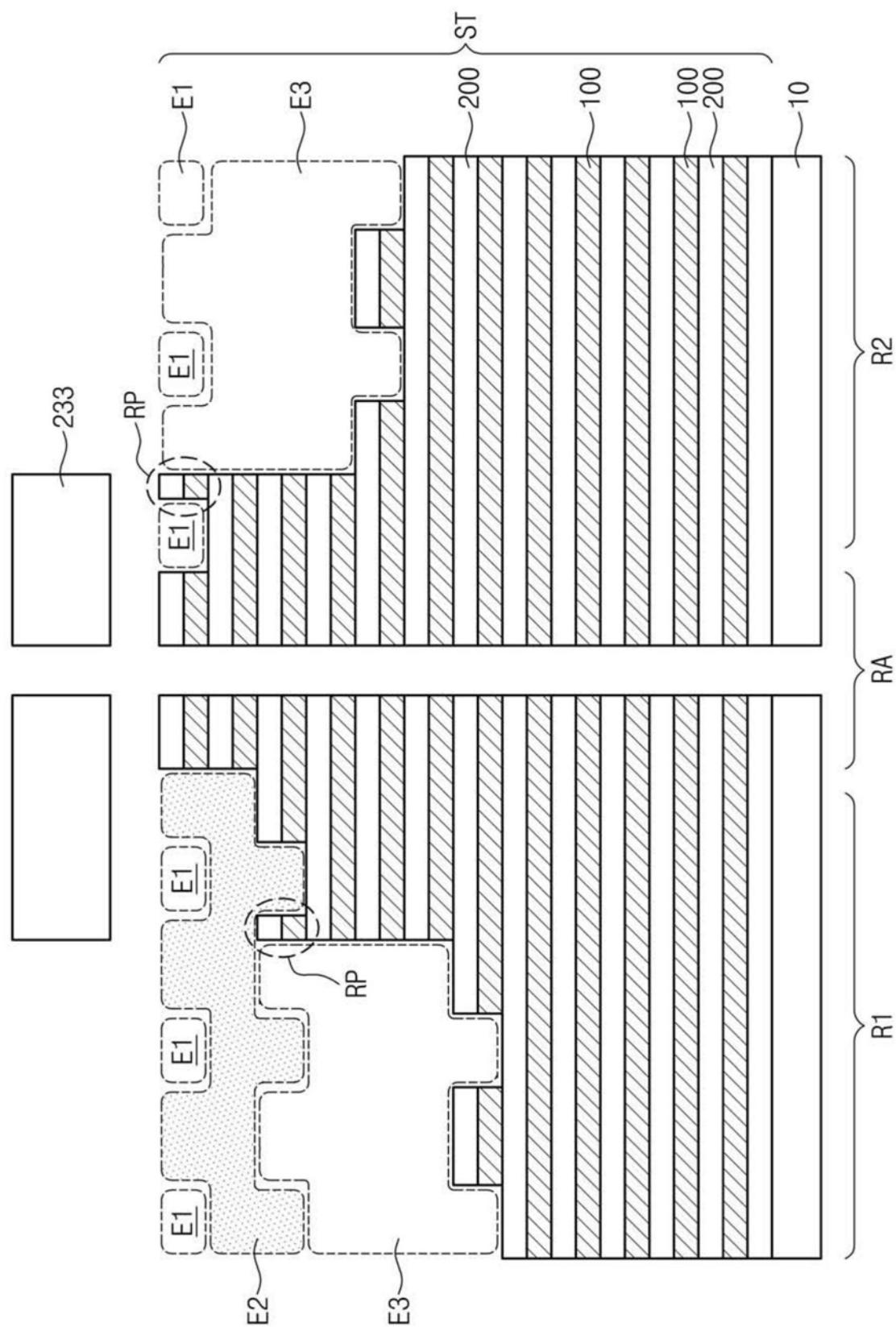


图50

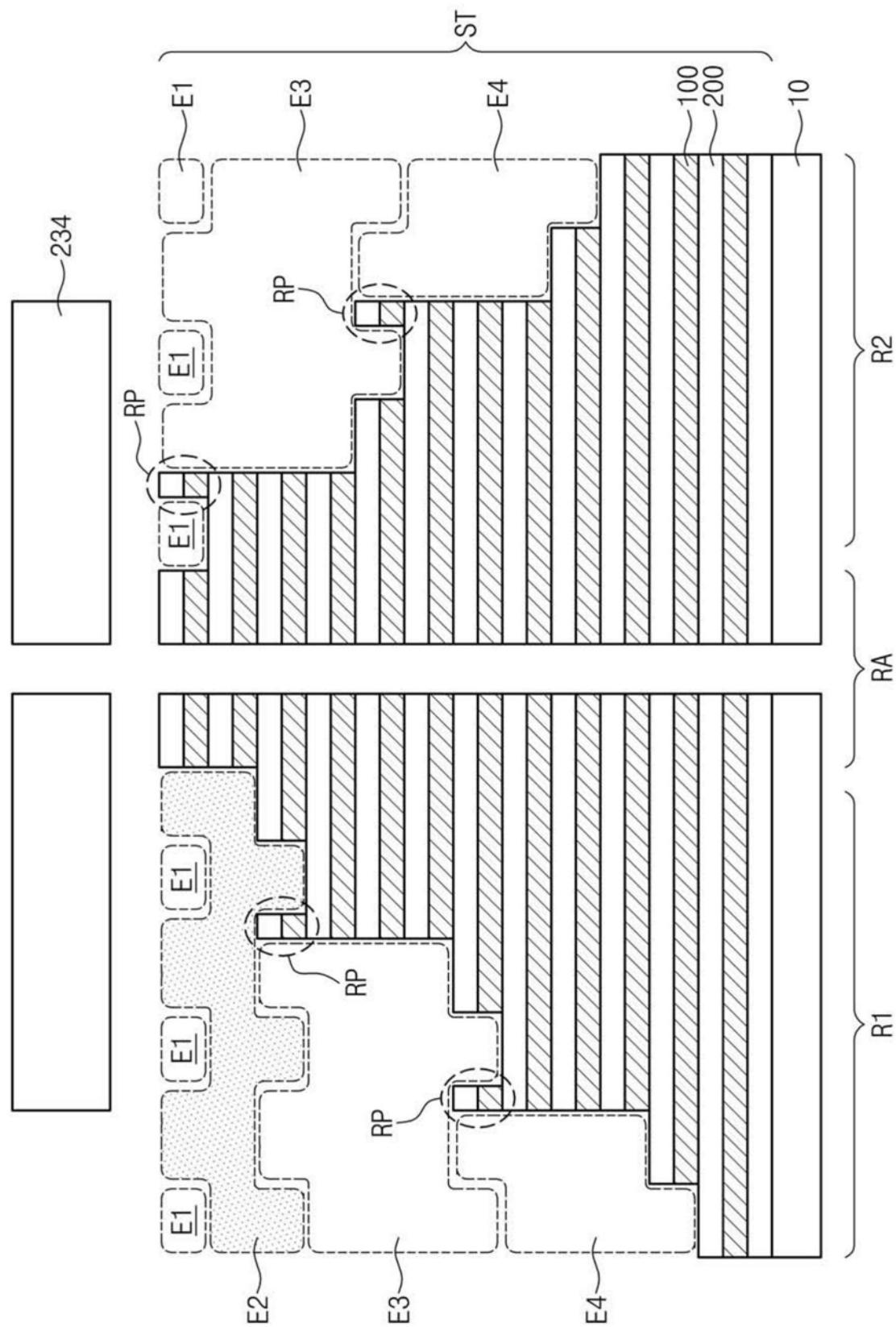


图51

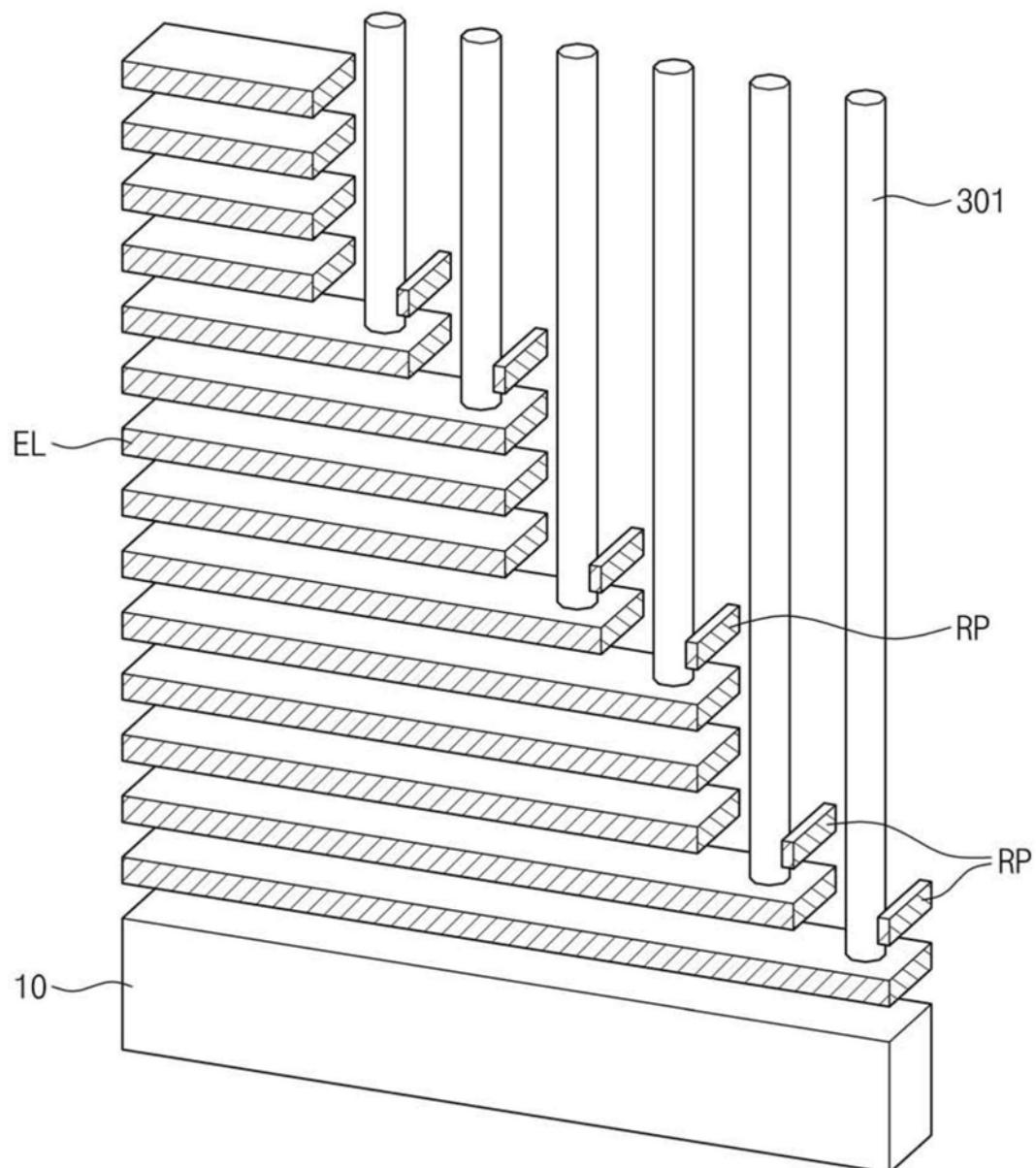


图52

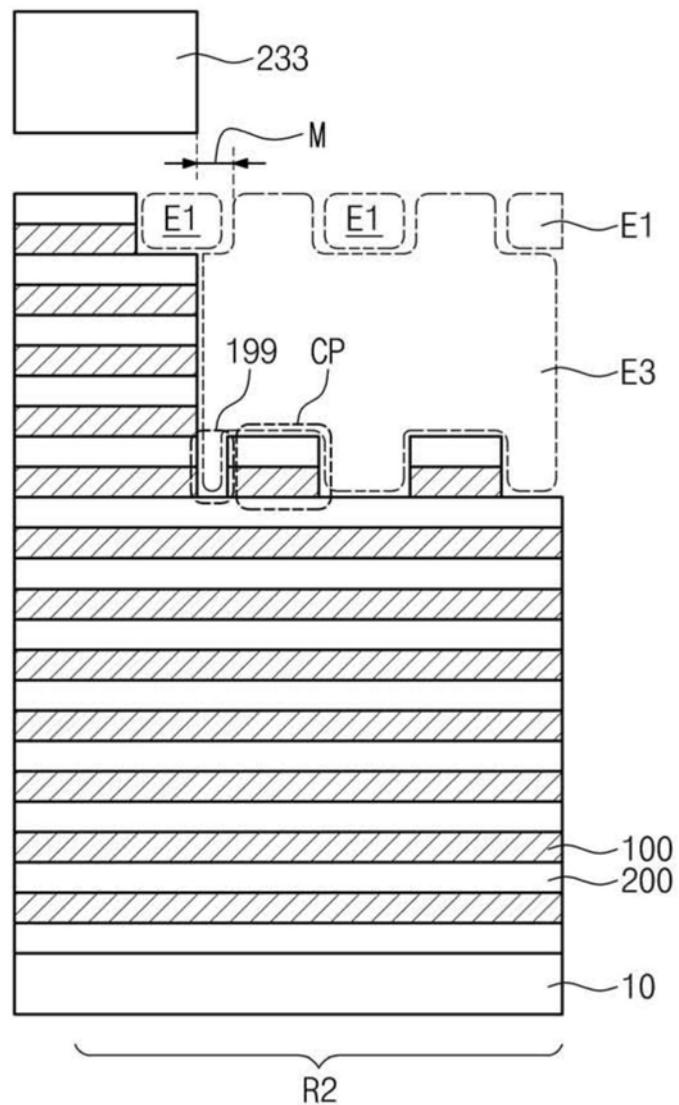


图53

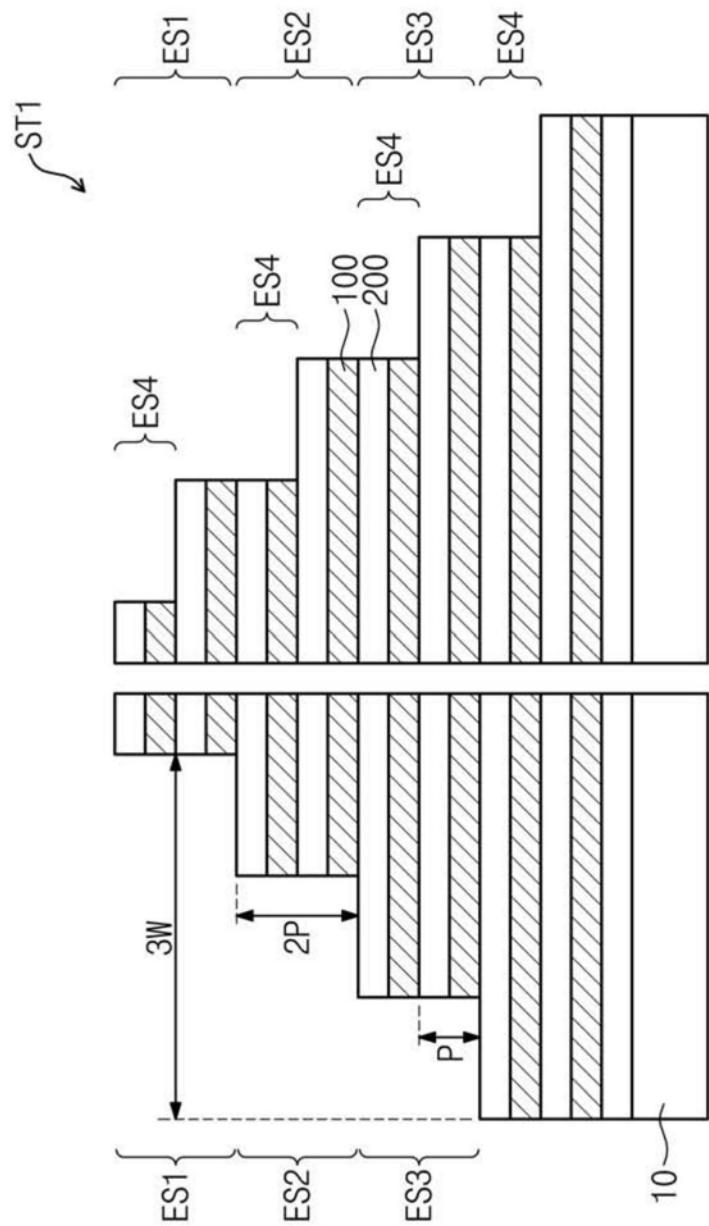


图54

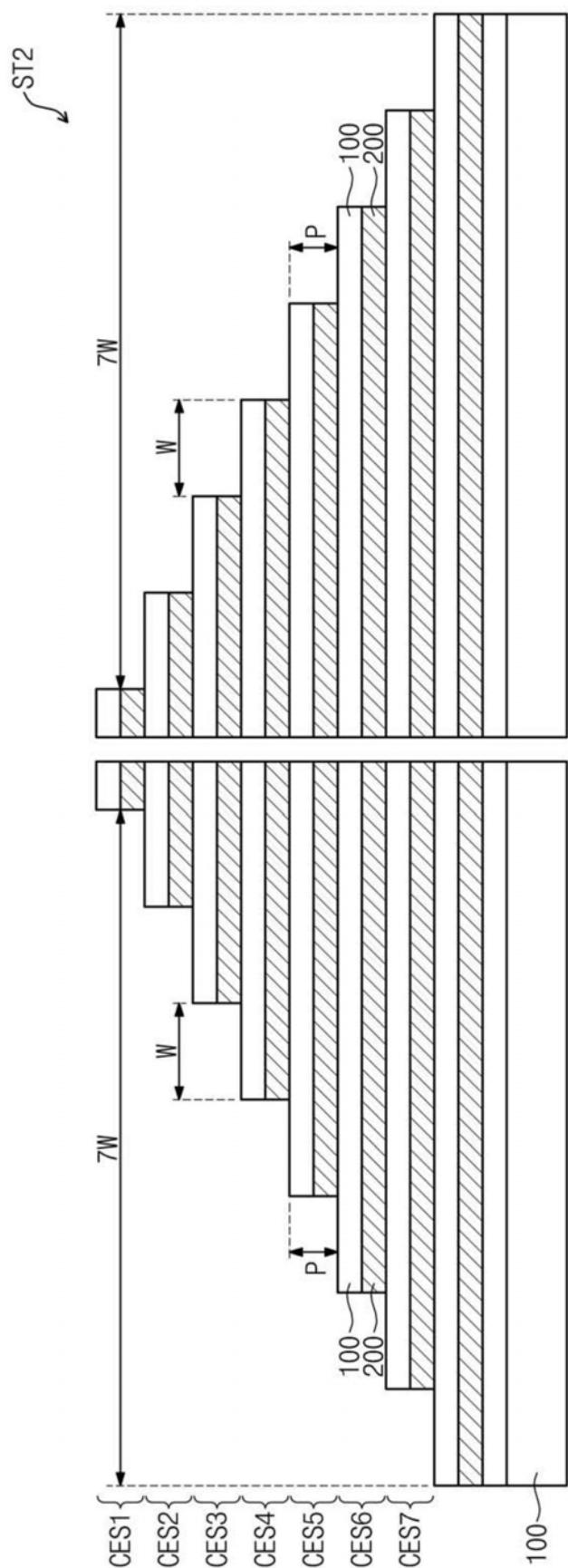


图55

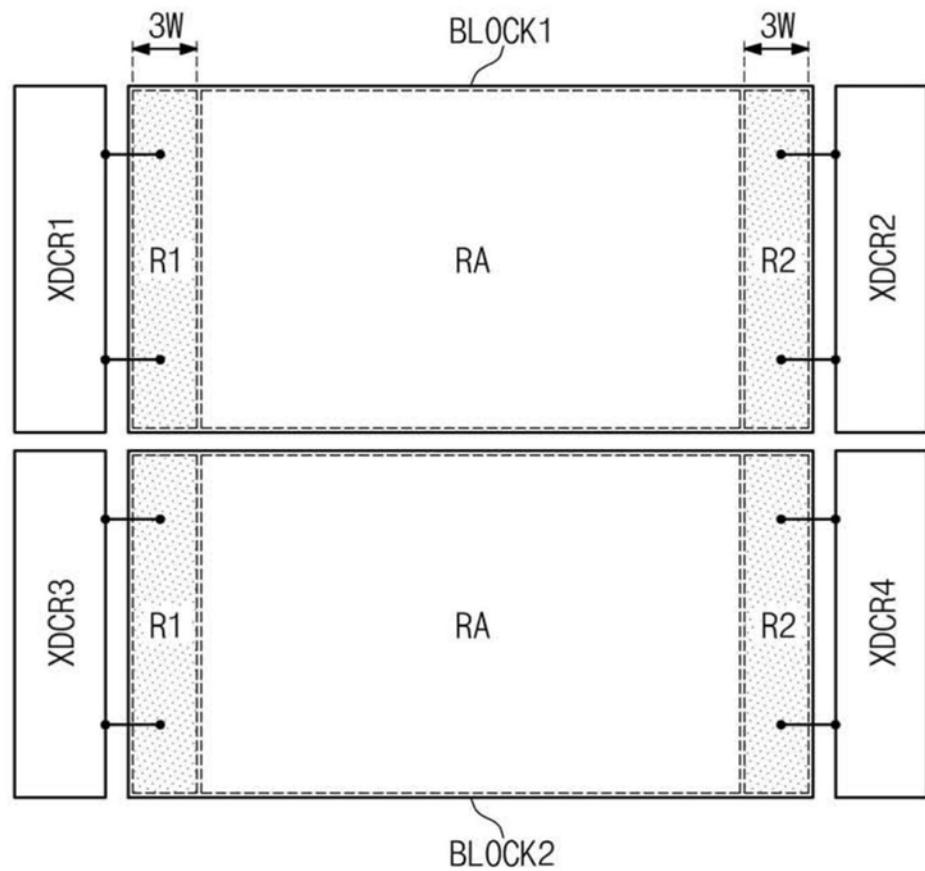


图56

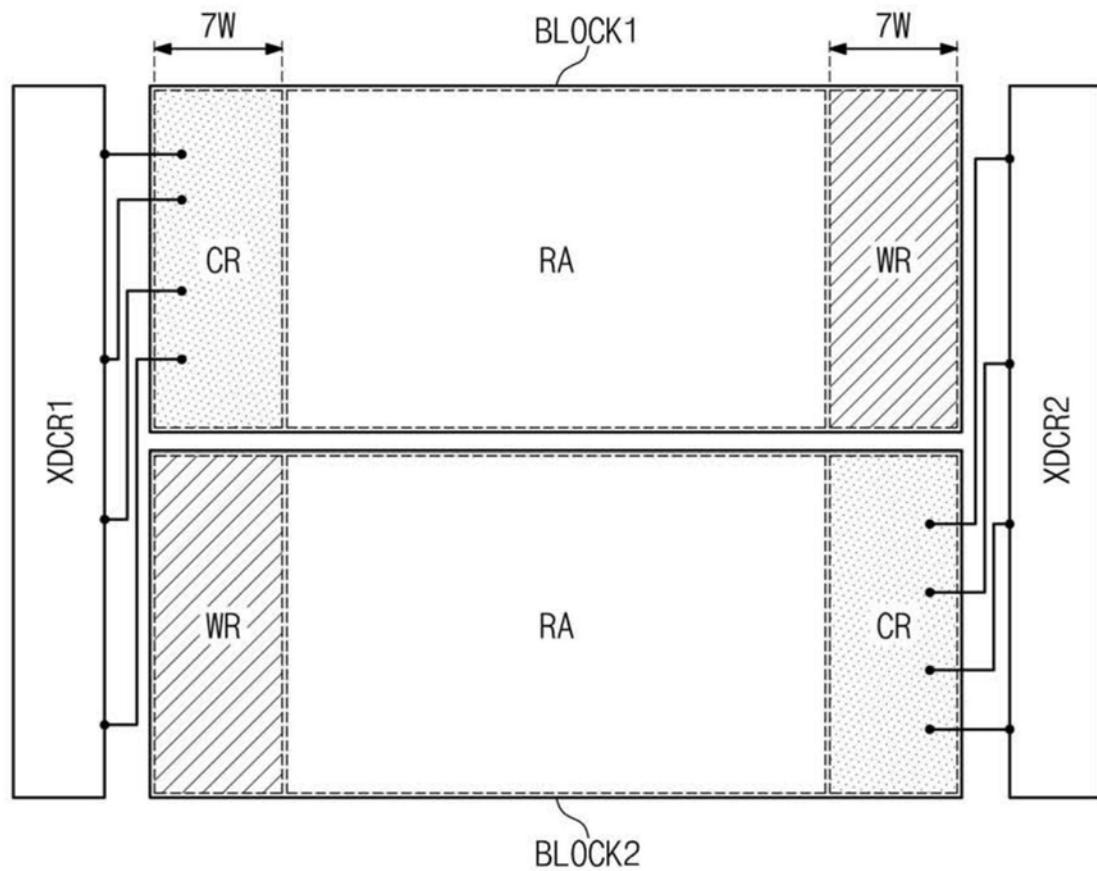


图57

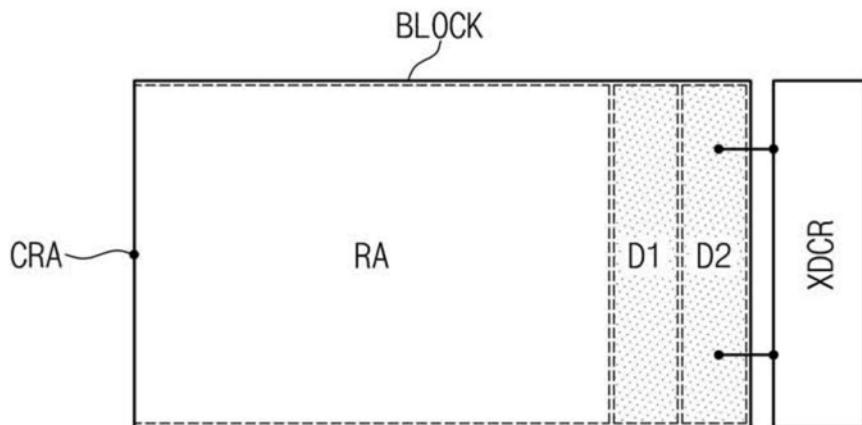


图58

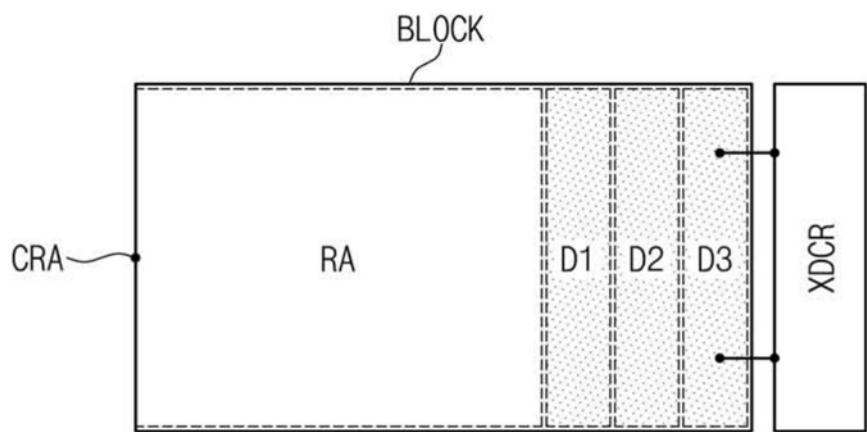


图59

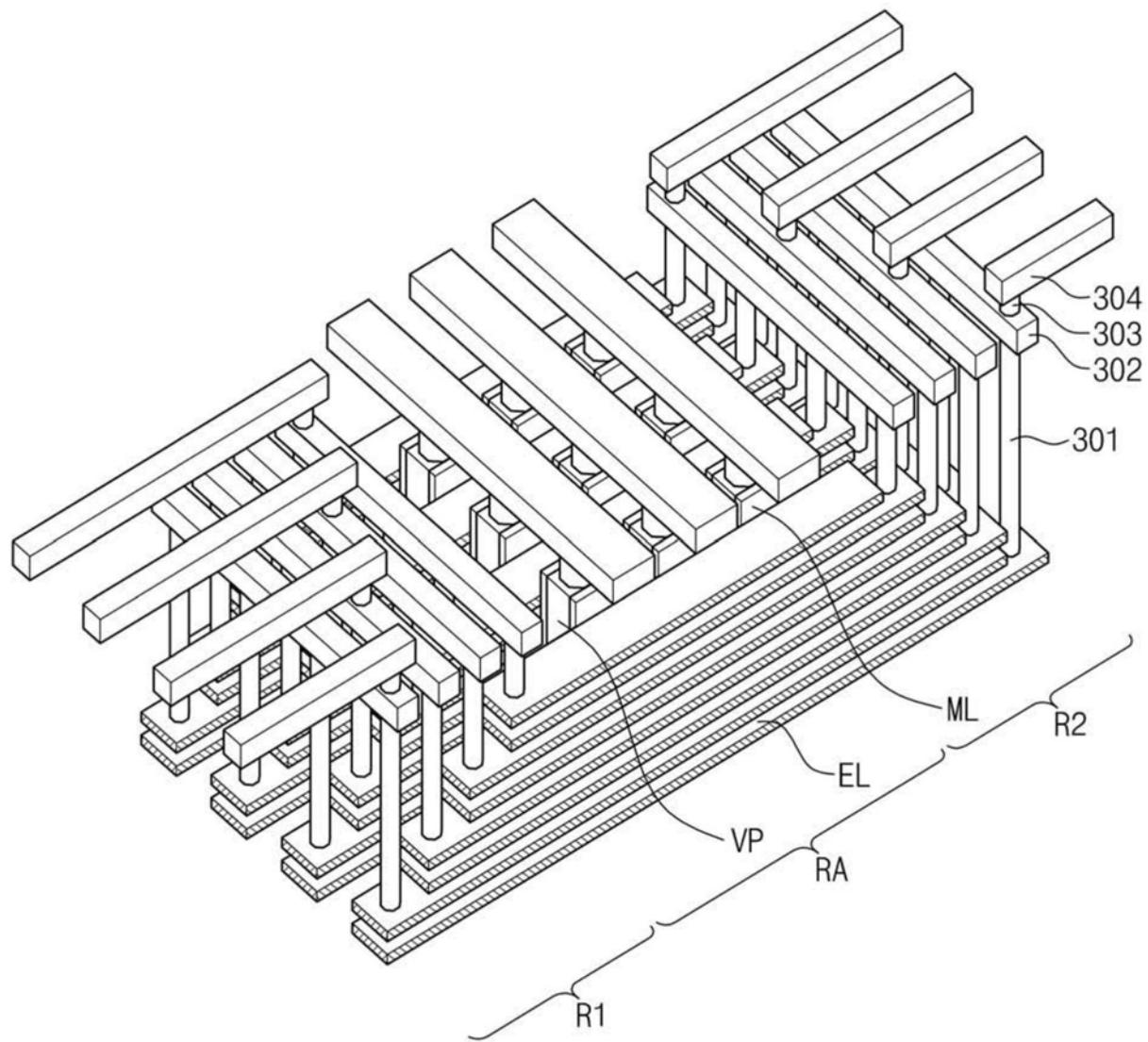


图60

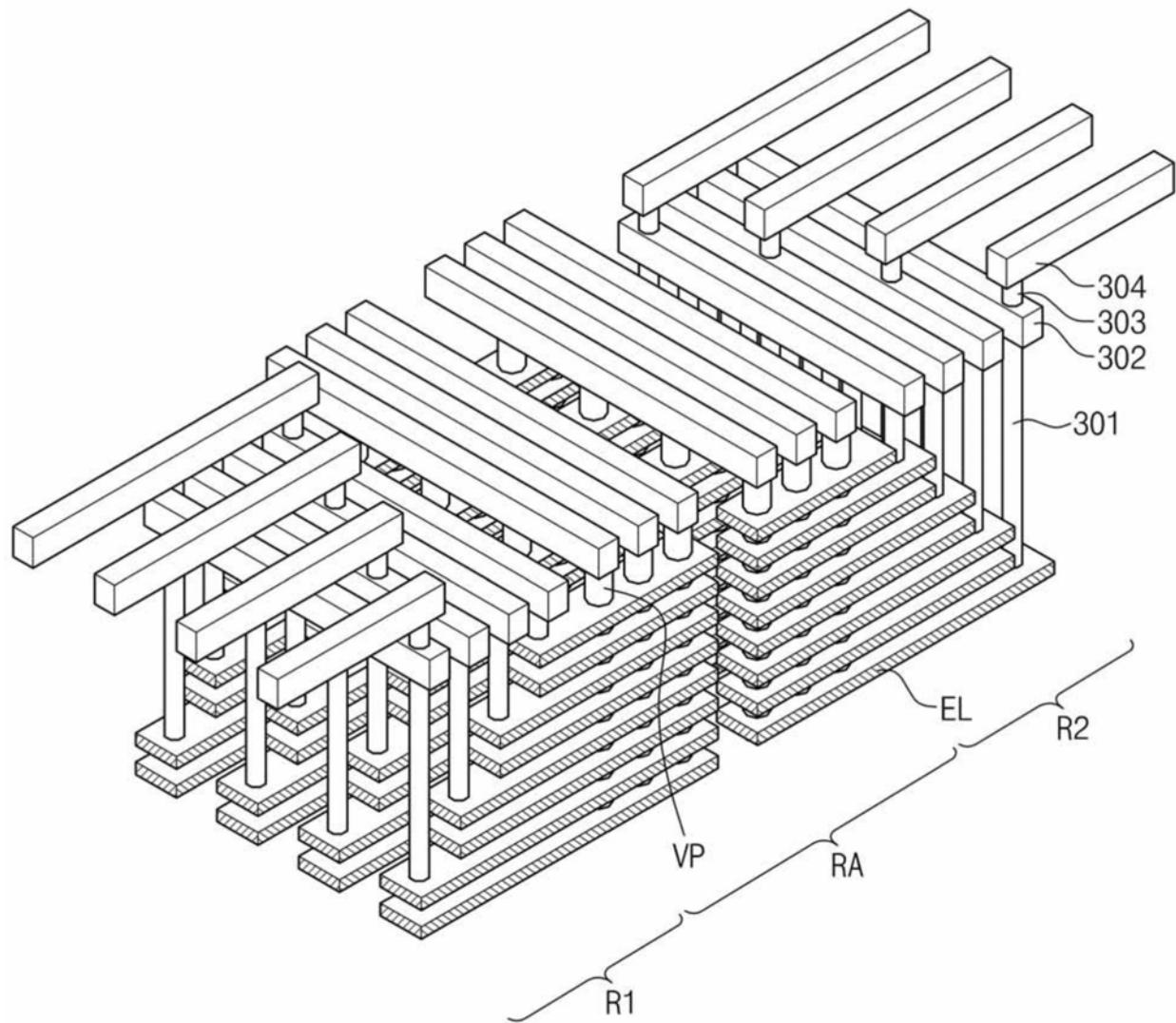


图61

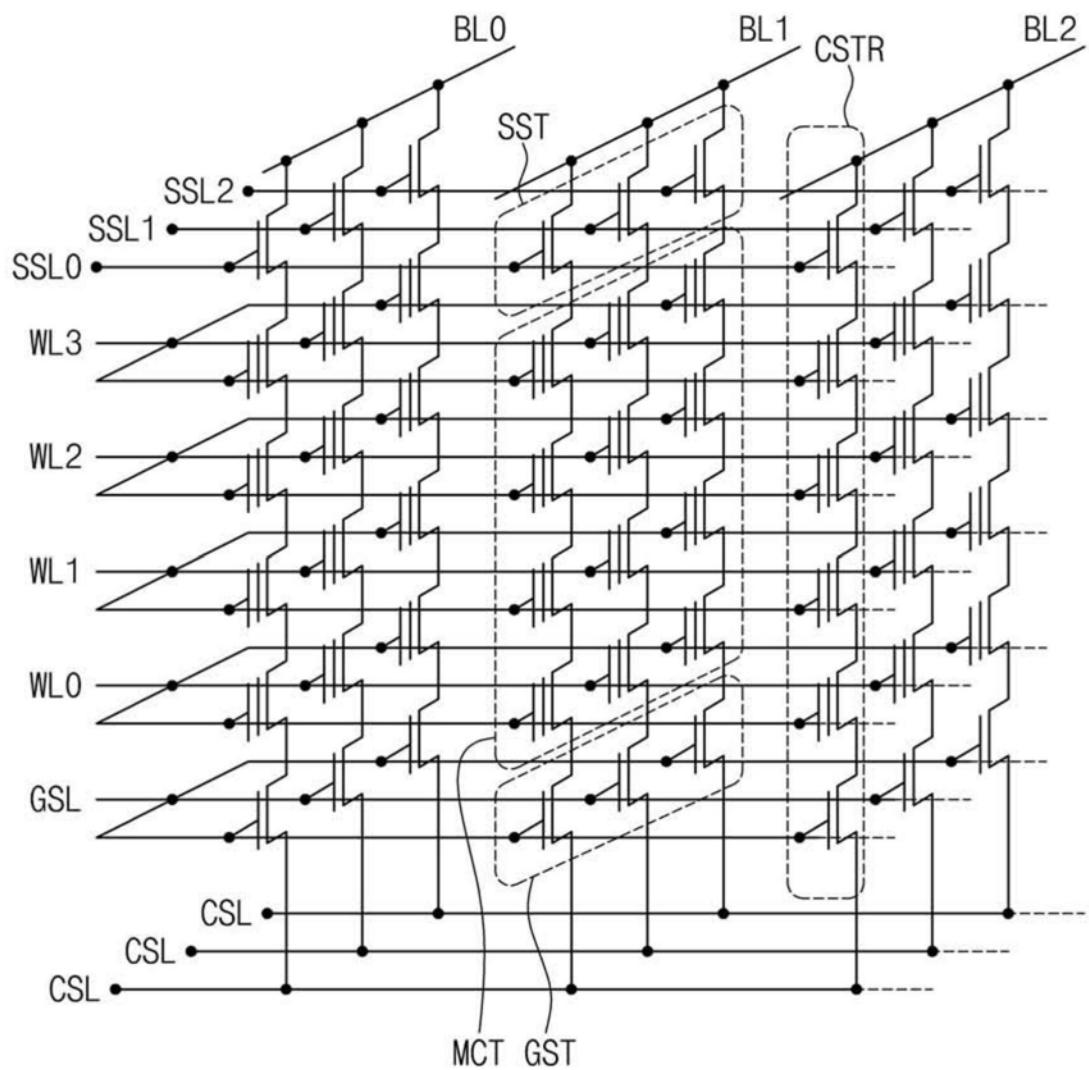


图62

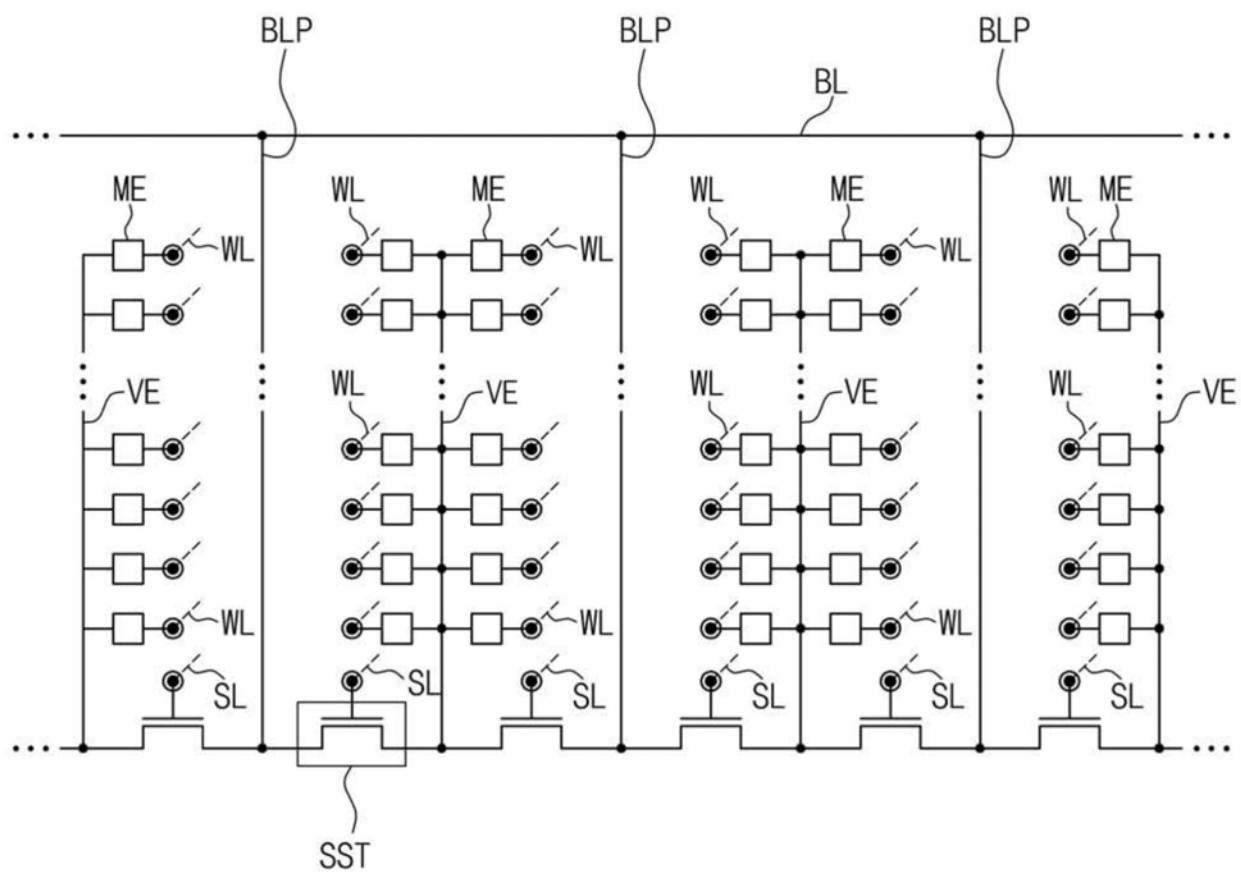


图63

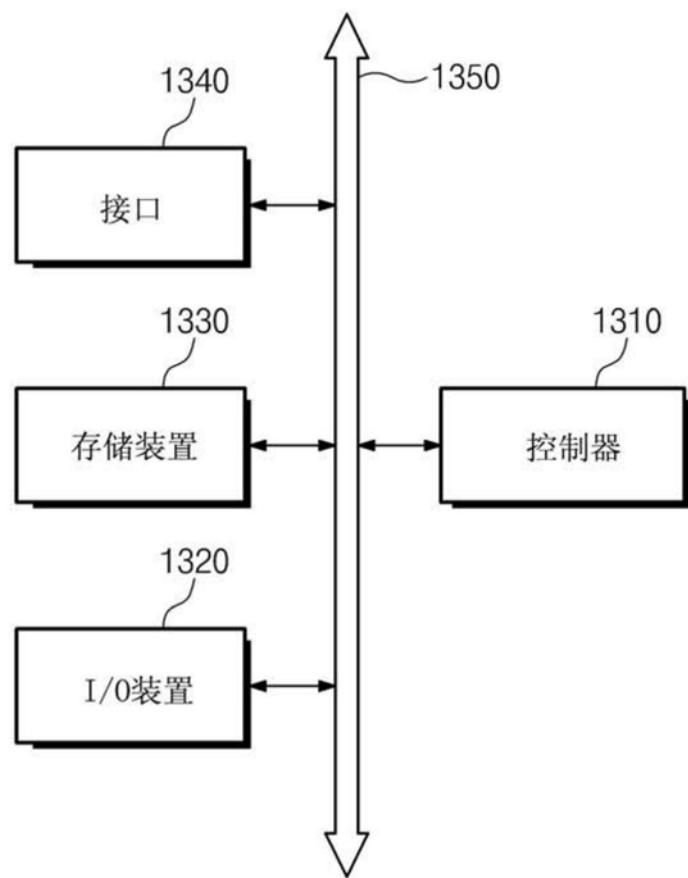
1300

图64

1400

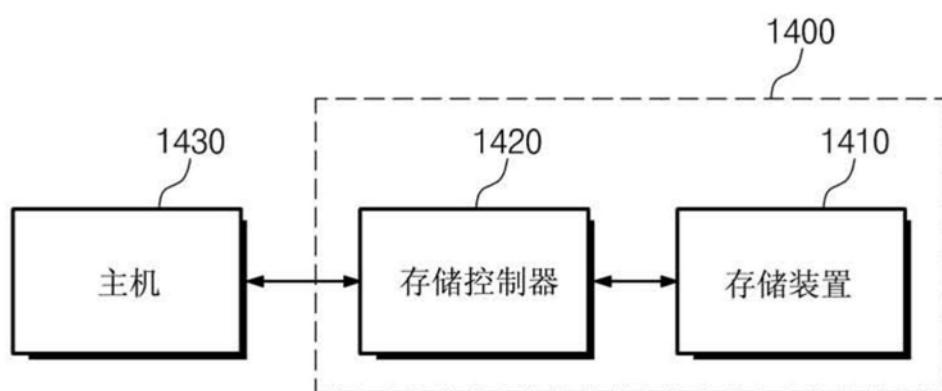


图65