



(21)申請案號：100125423

(22)申請日：中華民國 100 (2011) 年 07 月 19 日

(51)Int. Cl. : G06F17/50 (2006.01)

H01L21/02 (2006.01)

(30)優先權：2010/07/21 美國

12/840,535

(71)申請人：L S I 公司(美國) LSI CORPORATION (US)

美國

(72)發明人：布朗 傑佛瑞 S BROWN, JEFFREY S. (US) ; 拜恩 強納森 W BYRN, JONATHAN

W. (US) ; 透納 馬克 F TURNER, MARK F. (US)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 32 頁

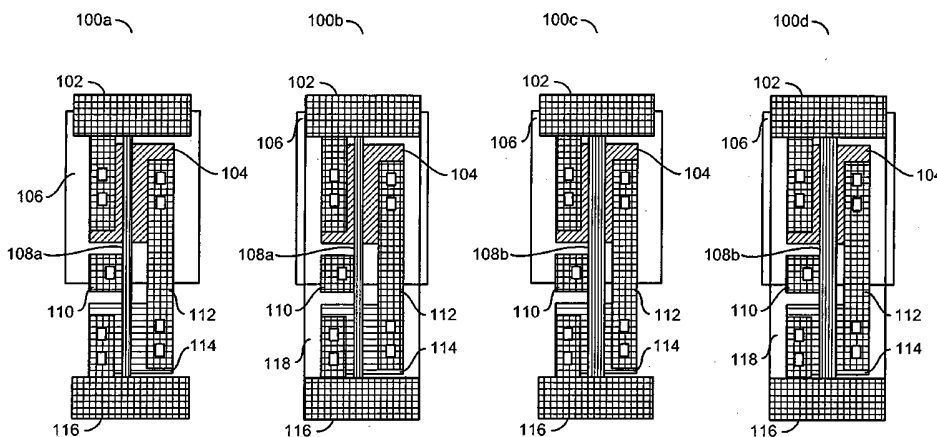
(54)名稱

為了電力最佳化的粒狀通道寬度

GRANULAR CHANNEL WIDTH FOR POWER OPTIMIZATION

(57)摘要

一種記錄一具有一或多個單元的單元庫之儲存媒體，該儲存媒體可由一電腦讀取且可由該電腦利用來設計一積體電路。該一或多個單元可具有一實體尺寸參數以及一通道寬度參數。該實體尺寸參數可以是該一或多個單元的一佔位面積。該通道寬度參數可具有一最小的驅動器尺寸以及一最大的驅動器尺寸。該通道寬度參數可界定一範圍，一工具係根據一或多個電力準則在不改變該佔位面積下，在該積體電路的一設計流程期間於該範圍內的該最大的驅動器尺寸以及該最小的驅動器尺寸之間變化該通道寬度。



100a-100d：單元(裝置)

102：區域(電路)

104：區域(電路)

106：區域(電路)

108a：區域(電路)

108b：區域(電路)(寬電晶體閘極)

110：區域(電路)

112：區域(電路)

114：區域(電路)

116：區域(電路)

118：區域(電路)(Vt 植入區域)



(21)申請案號：100125423

(22)申請日：中華民國 100 (2011) 年 07 月 19 日

(51)Int. Cl. : G06F17/50 (2006.01)

H01L21/02 (2006.01)

(30)優先權：2010/07/21 美國

12/840,535

(71)申請人：L S I 公司(美國) LSI CORPORATION (US)

美國

(72)發明人：布朗 傑佛瑞 S BROWN, JEFFREY S. (US) ; 拜恩 強納森 W BYRN, JONATHAN

W. (US) ; 透納 馬克 F TURNER, MARK F. (US)

(74)代理人：閻啟泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：6 共 32 頁

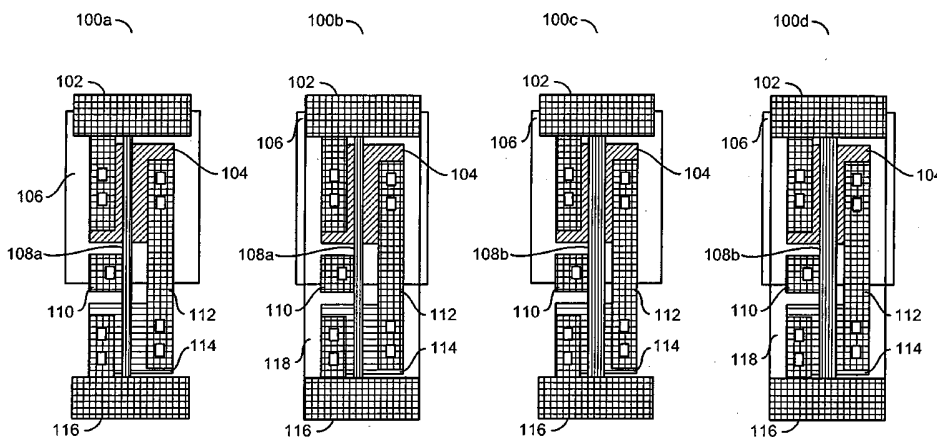
(54)名稱

為了電力最佳化的粒狀通道寬度

GRANULAR CHANNEL WIDTH FOR POWER OPTIMIZATION

(57)摘要

一種記錄一具有一或多個單元的單元庫之儲存媒體，該儲存媒體可由一電腦讀取且可由該電腦利用來設計一積體電路。該一或多個單元可具有一實體尺寸參數以及一通道寬度參數。該實體尺寸參數可以是該一或多個單元的一佔位面積。該通道寬度參數可具有一最小的驅動器尺寸以及一最大的驅動器尺寸。該通道寬度參數可界定一範圍，一工具係根據一或多個電力準則在不改變該佔位面積下，在該積體電路的一設計流程期間於該範圍內的該最大的驅動器尺寸以及該最小的驅動器尺寸之間變化該通道寬度。



100a-100d：單元(裝置)

102：區域(電路)

104：區域(電路)

106：區域(電路)

108a：區域(電路)

108b：區域(電路)(寬電晶體閘極)

110：區域(電路)

112：區域(電路)

114：區域(電路)

116：區域(電路)

118：區域(電路)(Vt 植入區域)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大致係有關於積體電路的設計，並且更特定係有關於一種用於為了電力最佳化而實施粒狀 (granular) 通道寬度之方法及/或裝置。

### 【先前技術】

由於和浪費的電力有關的成本之關係，互補式金屬氧化物半導體 (CMOS) 積體電路 (IC) 的電力減低是重要的。電力相關的產品成本 (亦即，就對付高溫環境的電力消散能力而論) 以及電力相關的操作成本逐漸變成市場差異化之處。數位 CMOS IC 中的電力消耗不是被視為靜態的 (亦即，不論系統的活動為何，電力消耗會持續)、就是被視為動態的 (亦即，電力只有在切換活動發生時才被消耗)。習知的數位 CMOS 製程中的靜態電力消耗通常是電晶體並未作用成理想的開關所致。該些電晶體係難以完全地關斷。該些電晶體仍然部分導通，因而讓漏電流通。該漏電流係導致持續的電力浪費。

靜態電力消耗可藉由電晶體是利用不同的開關臨界值 (亦即，電晶體的“ $V_t$ ”) 來減輕。具有較高  $V_t$  的電晶體將會有較差的效能 (亦即，電晶體較慢切換到導通，並且在導通時具有較小的驅動電流)。然而，具有較高  $V_t$  的電晶體在切換到關斷時會具有較小的漏電流。具有不同  $V_t$  值的多個單元庫 (library) 係讓設計者能夠以目標的效能/電力的取捨來

建構 IC。若該些單元庫在其它方面是相同的(亦即，對於具有相同功能的不同 Vt 版本的接腳連線是在相同的位置)，則該些單元庫可說是腳位相容的。

實施一種用於為了電力最佳化的粒狀通道寬度之方法及/或裝置將會是令人滿意的。

## 【發明內容】

本發明大致係有關於一種記錄一具有一或多個單元的單元庫之儲存媒體，該儲存媒體可由一電腦讀取且可由該電腦利用來設計一積體電路。該一或多個單元可具有一實體尺寸參數以及一通道寬度參數。該實體尺寸參數可以是該一或多個單元的一佔位面積(footprint)。該通道寬度參數可具有一最小的驅動器尺寸以及一最大的驅動器尺寸。該通道寬度參數可界定一範圍，一工具係根據一或多個電力準則在不改變該佔位面積下，在該積體電路的一設計流程期間於該範圍內的該最大的驅動器尺寸以及該最小的驅動器尺寸之間變化該通道寬度。

本發明的目的、特點及優點可包含提供為了電力最佳化的粒狀通道寬度，其可以(i)容許有一種利用粒狀通道寬度以最佳化效能與電力而不受半導體工廠拘束的方法，(ii)容許具有一最大的驅動器尺寸、一最小的驅動器尺寸以及一些中間的驅動器尺寸的單元之設計，而同時大致仍落入設計規則檢查(DRC)的參數內，(iii)容許可具有在該最大的驅動器尺寸、該最小的驅動器尺寸以及該些中間的驅動器

尺寸的電力與效能為特徵的單元之設計，(iv)產生一查找表，使得電力與效能可利用任何最終的驅動器尺寸來加以估計，(v)提供一工具，該工具給予橫跨整個電力與效能範圍之大的單元粒度(granularity)，(vi)移除會妨礙漏電流在位最佳化(LIPO)工具進行最佳化工作之電力與效能上的大的步階函數，(vii)在該 LIPO 工具對於最佳的電力/效能取捨估計出正確的驅動器尺寸之後，注意用於利用適當的擴散(OD)面積與元件寬度來重新界定該單元的資訊，(viii)容許元件寬度的修正能夠在設計流程中的任意時點完成，(ix)引入在設計流程中在零或最小的設計影響下，經由正向餘量(slack)回復延遲的針對動態電力減低的功能，及/或(x)引入適合於應用的針對靜態或動態電力回復的功能。

### 【實施方式】

靜態電力消耗可藉由利用不同的電晶體通道長度來減輕。對於欲為腳位相容的具有不同的通道長度之單元庫而言，該些單元庫可都被設計成具有最長的通道長度之尺寸。單元庫可被產生以提供數種(例如，三或更多)通道長度的選擇及/或數種(例如，三或更多種) $V_t$ 的選擇，其可具有相同的佔位面積以容許電力減低以及精確的效能/電力最佳化。

參照圖 1，一描繪具有  $V_t$  及通道長度變化之各種單元 100a-100d 之圖係被展示。每個單元(或裝置)100a-100d 可實施一反相器單元。該些單元 100a-100d 可包括區域(或電

路)102、區域(或電路)104、區域(或電路)106、區域(或電路)110、區域(或電路)112、區域(或電路)114、以及區域(或電路)116。該些單元 100a 及 100b 可包括區域(或電路)108a。該些單元 100c 及 100d 可包括區域(或電路)108b。該些單元 100b 及 100d 可包括區域(或電路)118。該些區域 102 可以是連接到每個單元 100a-100d 的汲極部分的 Vdd 電源走線。該些區域 104 可以是建立每個單元 100a-100d 的 P 型電晶體的源極與汲極的 P+擴散區域。該些區域 106 可以是每個單元 100a-100d 的 N 擴散井部分。該些區域 108a 可以是每個單元 100a 及 100b 的閘極部分。該些區域 108b 可以是每個單元 100c 及 100d 的寬閘極部分。該些區域 110 可以是連接到每個單元 100a-100d 的閘極 108a 及 108b 的閘極接點走線。該些區域 112 可以是每個單元 100a-100d 的輸出端子。該些區域 114 可以是建立每個單元 100a-100d 的 N 型電晶體的源極與汲極的 N+擴散區域。該些區域 116 可以是連接到每個單元 100a-100d 的源極部分的 Vss 電源走線。該些區域 118 可以是每個單元 100b 及 100d 的 Vt 植入區域。

該單元 100a 係大致描繪一提供最小通道長度、正常 Vt 的反相器單元的布局。該單元 100b 係大致提供一具有 Vt 植入區域 118 的最小通道長度、高 Vt 的反相器單元。該單元 100c 係大致提供一描繪具有寬電晶體閘極 108b 的延長通道長度、正常 Vt 的反相器單元之範例的布局。該單元 100d 係大致提供一描繪具有寬電晶體閘極 108b 與 Vt 植入區域 118 的延長通道長度、高 Vt 的反相器單元之範例的布局。

隨著技術演進到越來越小的尺寸並且相關的設計規則變得更為限制，提供腳位相容的通道長度縮放的單元庫變得更加困難。本發明的某些實施例可提供一種用於在正常單元中界定粒狀通道寬度(GCW)元件的方法。該些 GCW 元件可在積體電路設計中被用來最佳化電力與效能。某些實施例也大致描述一種自動化 GCW 縮放的版本的單元的界定與使用之方法。某些實施例亦可提供用於 GCW 單元的界定與產生的程序，該些 GCW 單元可被置入一現有已繞線的晶片層級的資料庫中。該些 GCW 單元可被用來最大化靜態及/或動態電力回復。

電晶體尺寸可內建於 IC 設計者所用的單元庫內。該些設計工具可在最小化電力的同時最佳化效能。用於一特定應用的效能規格通常建議選擇使用較小的電晶體的功能單元。該些效能規格亦包含用於該些單元的縮小的面積。單元庫可定義具有一單位尺寸的一 P 通道電晶體以及一 N 通道電晶體(例如，一個 1 倍的標準反相器的尺寸)。多個並聯的電晶體可被利用來獲得驅動強度(例如，效能)。使用較小的電晶體的單元通常可藉由使用較少的並聯電晶體來加以作成。

較小的驅動單元可藉由縮減通道寬度來加以作成，而非縮減並聯電晶體的數目。若該些單元庫在其它方面是大致相同的(例如，對於不同的通道寬度而言，實體尺寸可能是類似的，並且接腳連線可能是在相同的位置)，該些單元庫大致可說是“腳位相容的”。腳位相容的單元在任何地方，

最高到設計流程的最終階段都可輕易地加以置換，以符合效能與電力的目標。

參照圖 2，單元 140、160 及 180 的方塊圖係被展示。該單元(或裝置)140 可以是一個 1 倍的驅動反相器單元。該單元(或裝置)160 可以是一個 2 倍的驅動反相器單元。該單元(或裝置)180 可以是一個 1 倍的驅動反相器單元。該單元 140 可包括一區域(或電路)142、一區域(或電路)144、一區域(或電路)146、一區域(或電路)148、一區域(或電路)150、一區域(或電路)152、一區域(或電路)154、以及一區域(或電路)156。該區域 142 可以是連接到單元 140 的一汲極部分的一  $V_{dd}$  電源走線。該區域 144 可以是建立單元 140 的一 P 型電晶體的一源極與一汲極的一 P+擴散區域。該區域 146 可以是單元 140 的一 N 擴散井部分。該區域 148 可以是單元 140 的一閘極部分。該區域 150 可以是連接到單元 140 的閘極部分 148 的一閘極接點。該區域 152 可以是單元 140 的一輸出端子。該區域 154 可以是建立單元 140 的一 N 型電晶體的一源極與一汲極的一 N+擴散區域。該區域 156 可以是連接到單元 140 的一源極部分的一  $V_{ss}$  電源走線。

該單元 160 可包括一區域(或電路)162、一區域(或電路)164、一區域(或電路)166、一區域(或電路)168、一區域(或電路)170、一區域(或電路)172、一區域(或電路)174、以及一區域(或電路)176。該區域 162 可以是連接到單元 160 的一汲極部分的一  $V_{dd}$  電源走線。該區域 164 可以是建立單元 160 的一 P 型電晶體的一源極與一汲極的一 P+擴散區

域。該區域 166 可以是單元 160 的一 N 擴散井部分。該區域 168 可以是單元 160 的一閘極部分。該區域 170 可以是連接到單元 160 的閘極部分 168 的一閘極接點。該區域 172 可以是單元 160 的一輸出端子。該區域 174 可以是建立單元 160 的一 N 型電晶體的一源極與一汲極的一 N+擴散區域。該區域 176 可以是連接到單元 160 的一源極部分的一 Vss 電源走線。

該單元 180 大致包括一個根據單元 160 的佔位面積的通道寬度縮放的 1 倍的驅動器單元。該單元 180 可包括一區域(或電路)182、一區域(或電路)184、一區域(或電路)186、一區域(或電路)188、一區域(或電路)190、一區域(或電路)192、一區域(或電路)194、以及一區域(或電路)196。該區域 182 可以是連接到單元 180 的一汲極部分的一 Vdd 電源走線。該區域 184 可以是建立單元 180 的 P 型電晶體的源極與汲極的一 P+擴散區域。該區域 186 可以是單元 180 的一 N 擴散井部分。該區域 188 可以是單元 180 的閘極部分。該區域 190 可以是連接到單元 180 的閘極部分 188 的一閘極接點。該區域 192 可以是單元 180 的一輸出端子。該區域 194 可以是建立單元 180 的 N 型電晶體的源極與汲極的一 N+擴散區域。該區域 196 可以是連接到單元 180 的源極部分的一 Vss 電源走線。

該單元 180 係描繪在該擴散區域 184 之上以及在該擴散區域 194 之下的空間。該通道寬度縮放的布局可具有類似於單元 140 的效能與漏電流特徵，但可以是和單元 160

為腳位相容的(例如，可具有相同的實體尺寸及接腳位置)。因此，只要效能與電力的準則大致符合，該單元 180 和單元 160 可以在最終的 IC 設計布局中彼此置換。

參照圖 3，根據本發明的一較佳實施例的單元 250a-250c 的方塊圖係被展示。該單元 250a 可被作為一個 2 倍的驅動反相器單元。該單元 250b 可根據單元 250a 的佔位面積而被作為一個 1.5 倍的驅動反相器單元。該單元 250c 可根據單元 250a 的佔位面積而被作為一個 1 倍的驅動反相器單元。該些單元 250a-250c 可包括區域(或電路)252、區域(或電路)256、區域(或電路)258、區域(或電路)260、以及區域(或電路)264。該單元 250a 可包括一區域(或電路)254a 以及一區域(或電路)262a。該單元 250b 可包括一區域(或電路)254b 以及一區域(或電路)262b。該單元 250c 可包括一區域(或電路)254c 以及一區域(或電路)262c。

該些區域 252 可以是連接到每個單元 250a-250c 的汲極部分的 Vdd 電源走線。該些區域 254a-254c 可以是建立每個單元 250a-250c 的 P 型電晶體的源極與汲極的 P+擴散區域。該些區域 256 可以是每個單元 250a-250c 的閘極部分。該些區域 258 可以是連接到每個單元 250a-250c 的閘極部分 256 的閘極接點。該些區域 260 可以是每個單元 250a-250c 的輸出端子。該些區域 262a-262c 可以是建立每個單元 250a-250c 的 N 型電晶體的源極與汲極的 N+擴散區域。該些區域 264 可以是連接到該些單元 250a-250c 的源極部分的 Vss 電源走線。概言之，該些單元 250a-250c 間的差異可能

是該些區域 254a-254c 及區域 262a-262c 的 OD 區域以及單元 250a-250c 之產生的電力/效能屬性。

參照圖 4，一單元的結構 300 的一例子的方塊圖係被展示。該單元可以是該些單元 100a-100d、140、160、180、及/或 250a-250c 中的任一個或多個。該結構 300 大致包括一參數(或準則)310、一參數(或準則)320、一參數(或準則)330、一查找表(或準則)340、一查找表(或準則)350、以及一參數(或準則)360。該結構 300 可以和一區塊(或電路)362 以及一區塊(或電路)364 相關連。該參數 310 可被定義為該結構 300 的一通道寬度參數(例如，區域 254a 及/或 262a 的寬度)。該參數 320 可被定義為該通道寬度參數 310 的一最小的驅動器尺寸。該參數 330 可被定義為該通道寬度參數 310 的一最大的驅動器尺寸。該查找表 340 可儲存該結構 300 的電力準則。該查找表 350 可儲存該結構 300 的效能準則(例如，傳播延遲、上升時間、下降時間、等等)。該參數 360 可被定義為該結構 300 的實體尺寸參數。該參數 360 係大致定義該結構 300 的一佔位面積。該區塊 362 可包括一非暫時的儲存媒體。該區塊 364 可包括一電腦。

該結構 300 可被界定在一單元庫內，並且該單元庫可被記錄在該儲存媒體 362 上，該儲存媒體 362 是可由該電腦 364 讀取的。該結構 300 可具有二或更多個參數，其包含但不限於該實體尺寸參數 360 以及該通道寬度參數 310。該通道寬度參數 310 可包含該最大的驅動器尺寸 330 以及該最小的驅動器尺寸 320。該擴散區域(例如，擴散區域

254a-254c 及 / 或 262a-262c) 的通道寬度可藉由一工具(例如, 被組態設定來設計積體電路的一電腦程式)來加以變化在該最大的驅動器尺寸 330 及該最小的驅動器尺寸 320 之間。該工具可在積體電路的設計流程期間, 根據查找表 340 的一或多個電力參數、查找表 350 的一或多個效能參數或是兩種參數的組合來變化該通道寬度參數 310。如同關連到圖 5 進一步所述的, 該結構 300 可包括一包含查找表 340 及 / 或 350 的一或多個電力參數及效能參數的敘述。該單元的通道寬度可包括一擴散區域(OD), 該擴散區域可被改變以符合一特定應用的驅動強度。該實體尺寸參數 360 可包括用於該結構 300 的一佔位面積, 使得該佔位面積保持不變, 而與該結構 300 的通道寬度的任何變化無關。由於該結構 300 的佔位面積可保持不變, 該結構 300 可在設計流程中的任何時點被替換成具有一不同的通道寬度。該單元可在其已經被置放且繞線之前或之後來加以替換。

參照圖 5, 查找表 340 及 350 的一例子的圖係被展示。該查找表 340 係大致包括一些參數(或準則)340a-340n。該些參數 340a-340n 可被定義為構成該查找表 340 的複數個不同的電力準則。該些參數 340a-340n 的值可被定義於該結構 300 的一敘述中。該查找表 350 係大致包括一些參數(或準則)350a-350n。該些參數 350a-350n 可被定義為構成該查找表 350 的複數個不同的效能準則。該些參數 350a-350n 的值可被定義於該結構 300 的一敘述中。在一積體電路的設計流程期間, 一設計工具可利用該查找表 340 及 / 或 350 來最

佳化該單元的電力使用及/或效能。

參照圖 6，一流程圖係被展示來描繪一種用於一範例的電路設計流程之過程(或方法)400。該過程 400 係大致包括一步驟(或狀態)410、一步驟(或狀態)420、一步驟(或狀態)430、一步驟(或狀態)440、一步驟(或狀態)450、一步驟(或狀態)460、以及一步驟(或狀態)470。該步驟 410 可複製用於高效能目標的一暫存器轉移階層(RTL)的設計以及時序約束條件到一或多個設計工具中。該些設計工具可藉由電腦 364 來加以執行。該步驟 420 可複製單元庫到設計工具中。該步驟 430 可複製一表列的 GCW 單元到設計工具中。該步驟 440 可使用來自步驟 410-430 的輸入，以用於高效能目標的邏輯閘階層的合成、設置與繞線、最佳化、以及靜態時序分析。該步驟 450 可針對低效能目標的產品來改變時序約束條件到一低目標效能、將 GCW 單元提出到設計工具、以及執行漏電流在位最佳化(LIPO)的流程。該步驟 460 可針對高效能目標的產品來將 GCW 單元提出到設計工具以及執行用於最終的單元最佳化的 LIPO 的流程。該步驟 470 可根據在步驟 450 及/或步驟 460 中所決定的單元最佳化來修改 GCW 單元的通道寬度。該 LIPO 可以是一時序驅動的漏電流電力減少的過程。在該 LIPO 中，在靜態時序分析(STA)中具有足夠的時序裕度(margin)的路徑可以使得邏輯路徑中的單元置換成具有相同功能的較低電力版本。在該 LIPO 處理之後，該設計可獲得一較低電力且具有較小的時序裕度，因為較低電力的單元一般是比被置換的單元慢。

概言之，單元以及單元內的元件可在 LIPO 期間作粒狀縮放的定義可以是該步驟 420 及步驟 430 的一部分。在一例子中，普通的組合邏輯閘可以是最佳化的候選者，但複雜的正反器可能不是最佳化的候選者。複雜的正反器的特徵時間可能是高的，而其中應該容許有粒狀縮放的元件數量反而可能是低的(例如，只有輸出驅動器)。對於每個被識別為能夠有 LIPO 最佳化的粒狀通道寬度單元，布局可根據該些單元(例如，250a-250c)來加以建構。因此，最大的驅動器尺寸、最小的驅動器尺寸以及一些中間的驅動器尺寸可以是符合 DRC 的。對於元件寬度的變化，隨著該些 OD 區域改變，一普通的 P:N 通道寬度比(ratio)應該大致上被維持不變。特徵化可執行在最小的尺寸與最大的尺寸(例如，分別是單元 250c 與單元 250a)。介於該最小的驅動器尺寸與該最大的驅動器尺寸之間的一些中間的驅動器尺寸可被利用。一或多個具有用於 LIPO 的充分的電力/效能/電容資訊的查找表模型(例如，圖 5 中所繪的查找表 340 及/或 350)可被產生。查找表 340 及/或 350 中的資料可被設置具有裕度的防護頻帶(guardband)，以考量當修改 OD 區域時的布局應力效應的改變所造成的不準確性。

當 LIPO 被執行(例如，藉由電腦 364)以決定每個 GCW 可縮放的單元之最佳的通道寬度、通道長度及/或臨界電壓時，LIPO 可知道查找表 340 及/或 350 中的縮放資訊。利用一或多個查找表 340 及/或 350，該 LIPO 的產物可能是(i)用於非 GCW 單元之腳位相容的單元交換資訊以及(ii)用於

GCW 單元之建議的通道寬度、通道長度及/或臨界電壓，以提供一最佳的電力/效能的取捨。

上述的方法可用於系統單晶片的開發上，以最佳化電力/效能直到設計循環的結束。本發明的方法亦可用以將一高效能的設計移植到較低效能的目標，同時維持一已繞線的晶片階層的資料庫。某些產品可針對多個電力/效能目標來加以設計。於是，相同的軟體可用於最終的產品，但是高容量低效能的應用不會受到高效能低容量的應用之設計的過度負擔。

在一例子(例如，磁碟機儲存產業)中，讀取通道 IC 與硬碟控制器 IC 可能需要相同的功能。然而，一市售企業用的產品可能需要兩倍於消費者用的以電池供電的筆電產品之效能。概言之，企業用的產品相對消費者用的產品之考量可能會利用到多種開發的努力。每一種產品的市場可能會使用到針對以市場為目標的產品之固定的開發成本。或者是，較低效能的應用可能被迫來承載由較高效能的應用所引起的過大電力負擔(overhead)。然而，在有 GCW 單元之下，一流程可被證明其可容許有單一的開發成本，能夠更容易進入額外的產品部分。利用 GCW 單元所產生的最佳化可避免通常會限制該 LIPO 效果之大的  $V_t$  類型的步階函數。

通道寬度縮放的單元庫可能看似利用許多平行的小寬度的電晶體之單元庫。然而，GCW 縮放的單元庫於多種產品開發的利用可具有不同效能/電力能力且功能類似的產

品。本發明的某些實施例可容許在半導體工廠除了有靜態電力回復外，還有動態電力回復。某些實施例亦可能是關注在 28 奈米 (nm) 技術，其中腳位相容的通道寬度縮放可能比 40 奈米技術更具有挑戰性。某些實施例在動態電力減少與擴大的靜態電力減少上亦可提供新的差異化的功能。某些實施例亦可在現有的 LIPO 工具上增加一精細粒度的解決方案。某些實施例亦可擴大 LIPO 及類似的工具以容許經由在位最佳化來縮減動態電力損失。某些實施例可結合現有的產品來加以利用、或是使得以小增量的開發成本來進行多個市場的產品開發成為可能的。

如對熟習相關技術者將為明顯的，圖 1-6 的圖式所執行的功能可利用以下根據本說明書的教示來加以程式化的一或多個來加以實施：傳統的一般用途處理器、數位電腦、微處理器、微控制器、RISC(精簡指令集電腦)處理器、CISC(複雜指令集電腦)處理器、SIMD(單一指令多重資料)處理器、信號處理器、中央處理單元(CPU)、算術邏輯單元(ALU)、視訊數位信號處理器(VDSP)及/或類似的計算機器。如對熟習相關技術者將為明顯的，適當的軟體、韌體、編碼、常式、指令、運算碼、微程式碼及/或程式模組可輕易地由熟習的程式設計者根據本案的揭露內容之教示來加以製備。該軟體通常是從一媒體或是數個媒體，藉由機器實施方式的處理器中的一或多個來加以執行。

本發明亦可藉由 ASIC(特定應用積體電路)、平台 ASIC、FPGA(現場可程式邏輯陣列)、PLD(可程式邏輯元

件)、CPLD(複雜可程式邏輯元件)、邏輯閘海、RFIC(射頻積體電路)、ASSP(特定應用標準產品)的製備、或是藉由互連如同在此所述的傳統構件電路的一適當的網路來加以實施，其之修改對於熟習此項技術者而言將為明顯的。

本發明的元件可構成一或多個裝置、單元、構件、系統、機器及/或設備中的部分或全部。該些裝置可包含(但不限於)伺服器、工作站、儲存陣列控制器、儲存系統、個人電腦、膝上型電腦、筆記型電腦、掌上型電腦、個人數位助理、可攜式電子裝置、電池供電的裝置、機上盒、編碼器、解碼器、轉碼器、壓縮器、解壓縮器、前置處理器、後置處理器、發送器、接收器、收發器、密碼電路、行動電話、數位相機、定位及/或導航系統、醫療設備、抬頭顯示器、無線裝置、錄音、儲存及/或播放裝置、錄影、儲存及/或播放裝置遊戲平台、周邊設備、及/或多晶片模組。熟習相關技術者將會瞭解本發明的元件可用其它類型的裝置來加以實施，以符合一特定應用的準則。

儘管本發明已經特別參照到其較佳實施例來展示與描述，但熟習此項技術者將會瞭解各種在形式與細節上的變化可在不脫離本發明的範疇下完成。

#### 【圖式簡單說明】

本發明的該些及其它目的、特點及優點從以上的詳細說明及所附的申請專利範圍與圖式來看將會是明顯的，其中：

圖 1 是四個具有  $V_t$  及通道長度變化的單元之範例布局圖；

圖 2 是 1 倍的單元、2 倍的單元以及一通道寬度縮放成 1 倍的單元(根據該 2 倍的單元之佔位面積)；

圖 3 是根據本發明的一較佳實施例的三個單元的例子之圖；

圖 4 是一個單元的結構的例子之圖；

圖 5 是一用於一單元的電力參數與效能參數的查找表的例子之圖；以及

圖 6 是一種用於在設計一積體電路中利用粒狀通道寬度來最佳化電力之方法的流程圖。

**【主要元件符號說明】**

- 100a-100d      單元(裝置)
- 102、104、106、108a、110、112、114、116      區域(電路)
- 108b      區域(電路)(寬電晶體閘極)
- 118      區域(電路)( $V_t$  植入區域)
- 140、160、180      單元
- 142、144、146、148、150、152、154、156      區域(電路)
- 162、164、166、168、170、172、174、176      區域(電路)
- 182、186、188、190、192、196      區域(電路)
- 184      區域(電路)(擴散區域)
- 194      區域(電路)(擴散區域)
- 250a-250c      單元

- 252、256、258、260、264 區域(電路)
- 254a、254b、254c、262a、262b、262c 區域(電路)(擴散區域)
- 300 結構
- 310 參數(準則)(通道寬度參數)
- 320 參數(準則)(最小的驅動器尺寸)
- 330 參數(準則)(最大的驅動器尺寸)
- 360 參數(準則)(實體尺寸參數)
- 340、350 查找表(準則)
- 340a-340n 參數(準則)
- 350a-350n 參數(準則)
- 362 區塊(電路)(儲存媒體)
- 364 區塊(電路)(電腦)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/25423

※申請日：100.7.19

※IPC 分類：

G06F 17/50 (2006.01)

H01L 21/02 (2006.01)

一、發明名稱：(中文/英文)

為了電力最佳化的粒狀通道寬度

GRANULAR CHANNEL WIDTH FOR POWER  
OPTIMIZATION

二、中文發明摘要：

一種記錄一具有一或多個單元的單元庫之儲存媒體，該儲存媒體可由一電腦讀取且可由該電腦利用來設計一積體電路。該一或多個單元可具有一實體尺寸參數以及一通道寬度參數。該實體尺寸參數可以是該一或多個單元的一佔位面積。該通道寬度參數可具有一最小的驅動器尺寸以及一最大的驅動器尺寸。該通道寬度參數可界定一範圍，一工具係根據一或多個電力準則在不改變該佔位面積下，在該積體電路的一設計流程期間於該範圍內的該最大的驅動器尺寸以及該最小的驅動器尺寸之間變化該通道寬度。

三、英文發明摘要：

A storage medium recording a cell library having one or more cells that may be readable by a computer and may be used by the computer to design an integrated circuit. The one or more cells may have a physical dimension parameter

and a channel width parameter. The physical dimension parameter may be a footprint of the one or more cells. The channel width parameter may have a minimum driver size and a maximum driver size. The channel width parameter may define a range within which a tool varies the channel width between the maximum driver size and the minimum driver size during a design flow of the integrated circuit based upon one or more power criteria without changing the footprint.

七、申請專利範圍：

1. 一種記錄一具有一或多個單元的單元庫之儲存媒體，該儲存媒體係可由一電腦讀取且由該電腦利用來設計一積體電路，該一或多個單元係包括：

一包括該一或多個單元的一佔位面積的實體尺寸參數；以及

一包括一最小的驅動器尺寸以及一最大的驅動器尺寸的通道寬度參數，其中該通道寬度參數係界定一範圍，一工具係根據一或多個電力準則在不改變該佔位面積下，在該積體電路的一設計流程期間於該範圍內的該最大的驅動器尺寸以及該最小的驅動器尺寸之間變化該通道寬度。

2. 如申請專利範圍第 1 項之儲存媒體，其中該一或多個單元更包括一或多個效能準則。

3. 如申請專利範圍第 2 項之儲存媒體，其中該單元庫更包括一查找表，該查找表係包括該一或多個電力準則、該一或多個效能準則、或是該一或多個電力準則與該一或多個效能準則兩者的一組合。

4. 如申請專利範圍第 3 項之儲存媒體，其中該查找表係限制該工具調整(i)該一或多個單元的一電力使用、(ii)該一或多個單元的一效能、或是(iii)該一或多個單元的該電力使用與該效能兩者的一組合。

5. 如申請專利範圍第 3 項之儲存媒體，其中該查找表係限制該工具調整(i)該一或多個單元的一靜態電力使用、(ii)該一或多個單元的一動態電力使用、或(iii)該一或多個單元

的該靜態電力使用與該動態電力使用兩者的一組合。

6.如申請專利範圍第 5 項之儲存媒體，其中該單元庫係包括複數個該單元。

7.如申請專利範圍第 1 項之儲存媒體，其中該通道寬度參數係包括該一或多個單元的一擴散區域的一寬度。

8.如申請專利範圍第 1 項之儲存媒體，其中該一或多個單元的一特定通道寬度係在該一或多個單元已經被置放且繞線後被調整成該一或多個單元的一不同的通道寬度。

9.一種產生一單元庫之方法，該單元庫係包括一或多個被利用來設計一積體電路的單元，該方法係包括以下步驟：

(A)利用一電腦儲存該一或多個單元的一實體尺寸參數於一儲存媒體中，該實體尺寸參數係包括該一或多個單元的一佔位面積；

(B)儲存該一或多個單元的一通道寬度參數於該儲存媒體中，該通道寬度參數係包括一最小的驅動器尺寸以及一最大的驅動器尺寸，其中該通道寬度參數係界定一範圍，一工具係根據一或多個電力準則在不改變該佔位面積下，在該積體電路的一設計流程期間於該範圍內的該最大的驅動器尺寸以及該最小的驅動器尺寸之間變化該通道寬度。

10.如申請專利範圍第 9 項之方法，其中該一或多個單元更包括一或多個效能準則。

11.如申請專利範圍第 10 項之方法，其中該單元庫更包括一查找表，該查找表係包括該一或多個電力準則、該一或多個效能準則、或是該一或多個電力準則與該一或多個

效能準則兩者的一組合。

12.如申請專利範圍第 11 項之方法，其中該查找表係限制該工具調整(i)該一或多個單元的一電力使用、(ii)該一或多個單元的一效能、或是(iii)該一或多個單元的該電力使用與該效能兩者的一組合。

13.如申請專利範圍第 11 項之方法，其中該查找表係限制該工具調整(i)該一或多個單元的一靜態電力使用、(ii)該一或多個單元的一動態電力使用、或是(iii)該一或多個單元的該靜態電力使用與該動態電力使用兩者的一組合。

14.如申請專利範圍第 13 項之方法，其中該動態電力使用係經由正向餘量(slack)回復來最佳化。

15.如申請專利範圍第 9 項之方法，其中該通道寬度參數係包括該一或多個單元的一擴散區域的一寬度。

16.如申請專利範圍第 9 項之方法，其中該一或多個單元的一特定通道寬度係在該一或多個單元已經被置放且繞線後被調整成該一或多個單元的一不同的通道寬度。

17.一種在一積體電路的一設計中最佳化電力之方法，該方法係包括以下步驟：

(A)在該設計中利用一電腦以執行複數個單元的置放與繞線，其中(i)該些單元中的一或多個係包括(a)一實體尺寸參數，該實體尺寸參數係包括該一或多個單元的一佔位面積、以及(b)一通道寬度參數，該通道寬度參數係包括一最大的驅動器尺寸以及一最小的驅動器尺寸，並且(ii)該通道寬度參數係界定一範圍，一工具係根據一或多個電力準則

在不改變該佔位面積下，在該範圍內的一最大的驅動器尺寸以及一最小的驅動器尺寸之間變化該通道寬度；

(B)在最佳化期間利用該工具來調整該一或多個單元的該通道寬度參數；

(C)完成該通道寬度參數以產生該積體電路的一最終設計。

18.如申請專利範圍第 17 項之方法，其中(i)該一或多個單元更包括一或多個效能準則，並且(ii)該工具係最佳化該一或多個效能準則。

19.如申請專利範圍第 17 項之方法，其中該一或多個單元的一或多個查找表係限制該工具調整(i)該一或多個單元的一電力使用、(ii)該一或多個單元的一效能、或是(iii)該一或多個單元的該電力使用與該效能兩者的一組合。

20.如申請專利範圍第 19 項之方法，其中該查找表係包括該一或多個單元的複數個電力使用以及複數個效能。

## 八、圖式：

(如次頁)

在不改變該佔位面積下，在該範圍內的一最大的驅動器尺寸以及一最小的驅動器尺寸之間變化該通道寬度；

(B)在最佳化期間利用該工具來調整該一或多個單元的該通道寬度參數；

(C)完成該通道寬度參數以產生該積體電路的一最終設計。

18.如申請專利範圍第 17 項之方法，其中(i)該一或多個單元更包括一或多個效能準則，並且(ii)該工具係最佳化該一或多個效能準則。

19.如申請專利範圍第 17 項之方法，其中該一或多個單元的一或多個查找表係限制該工具調整(i)該一或多個單元的一電力使用、(ii)該一或多個單元的一效能、或是(iii)該一或多個單元的該電力使用與該效能兩者的一組合。

20.如申請專利範圍第 19 項之方法，其中該查找表係包括該一或多個單元的複數個電力使用以及複數個效能。

## 八、圖式：

(如次頁)

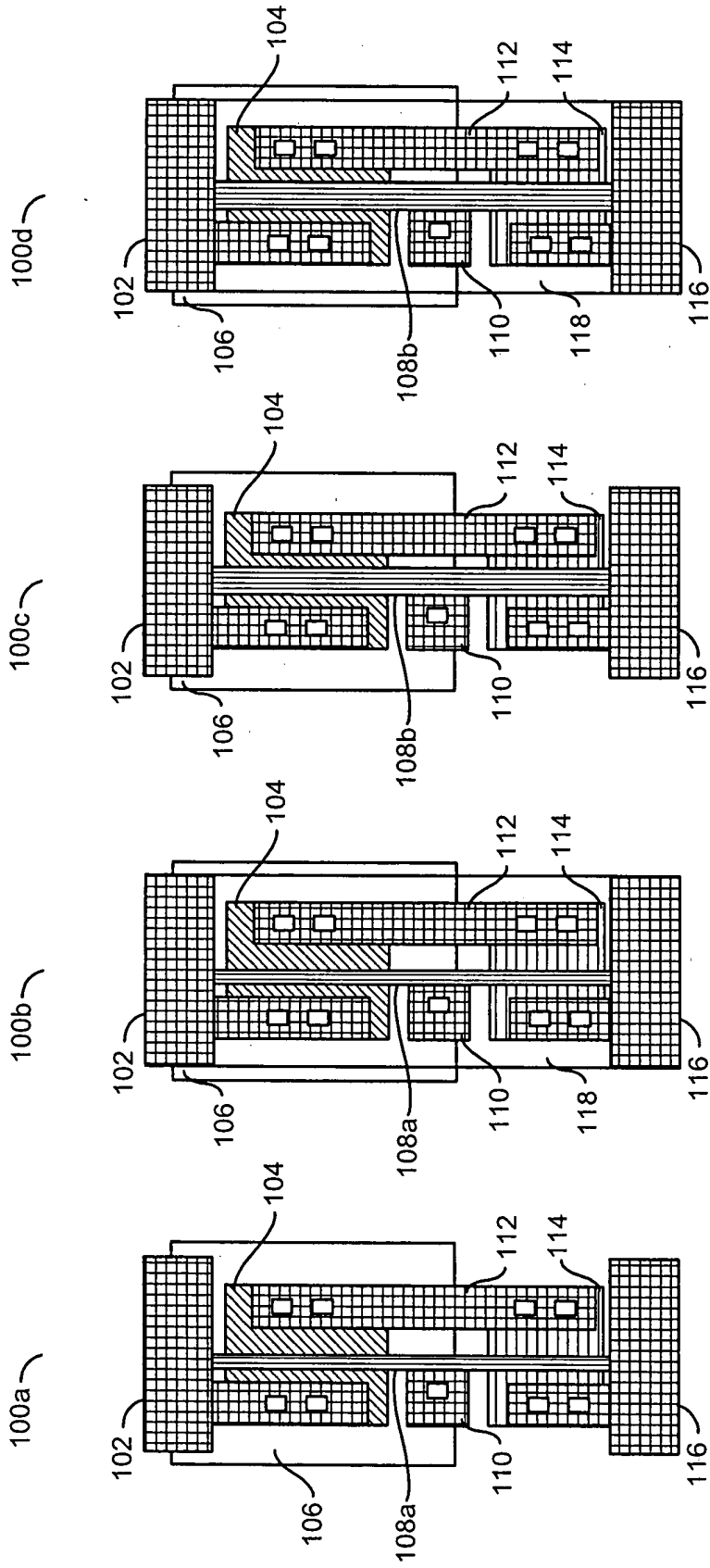


圖1

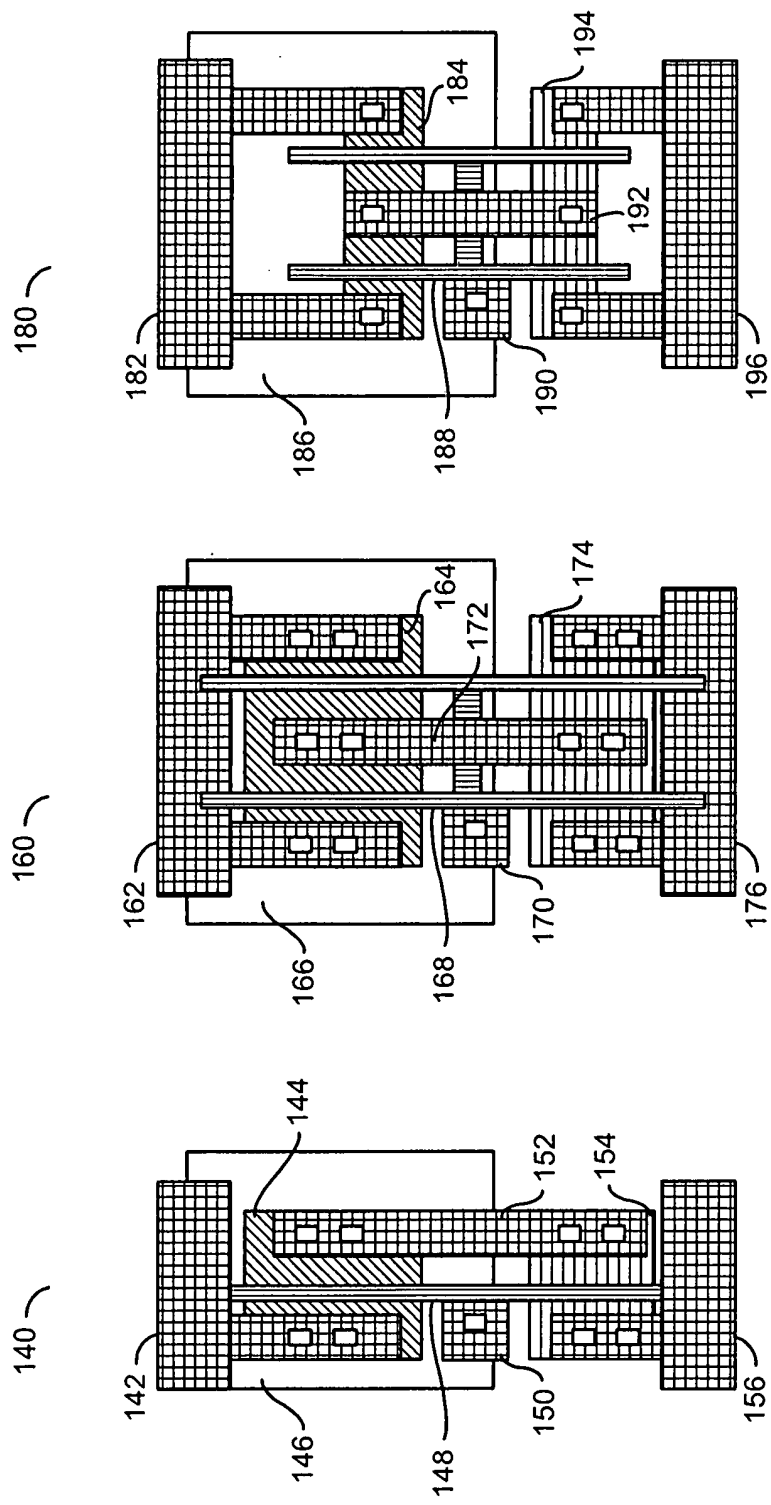


圖 2

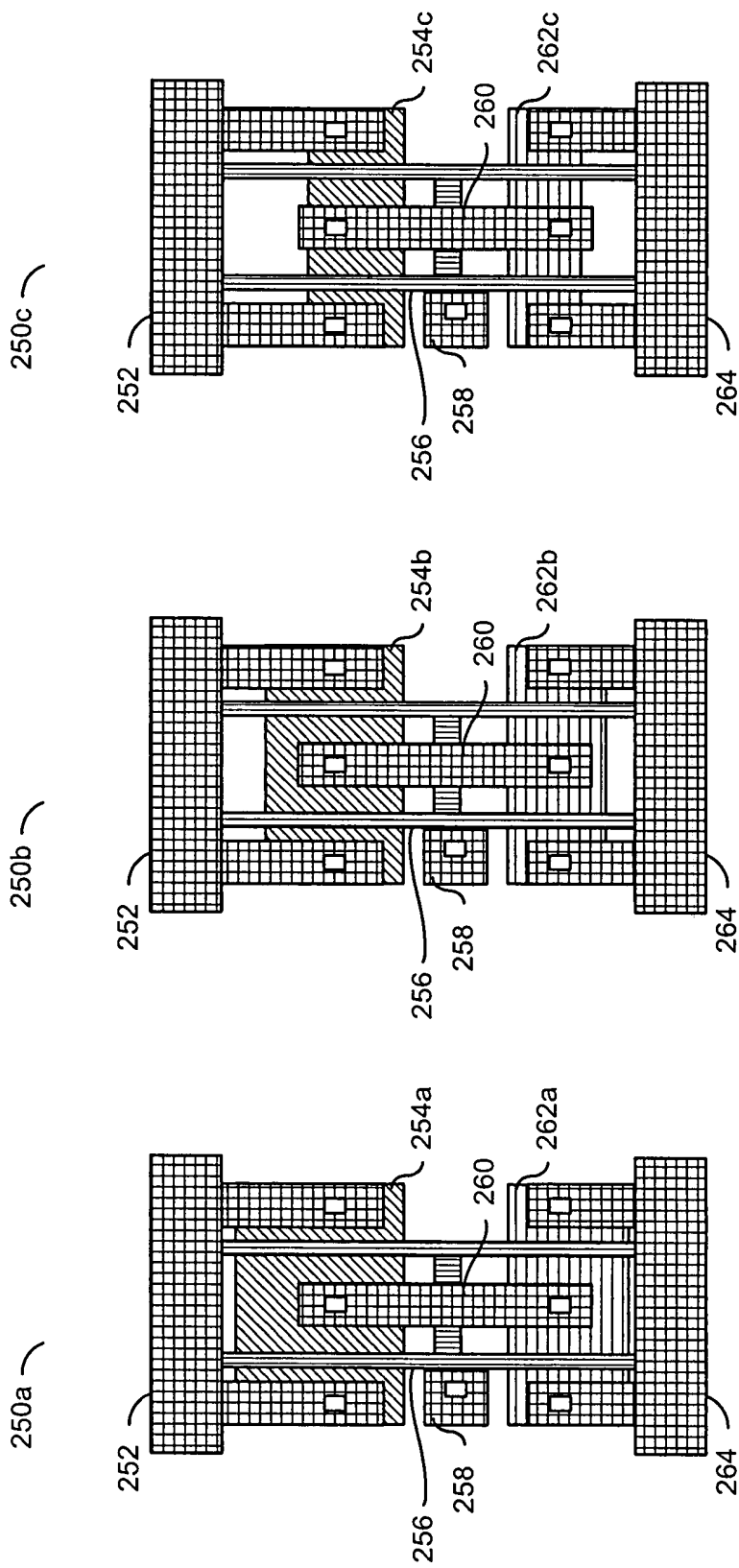


圖3

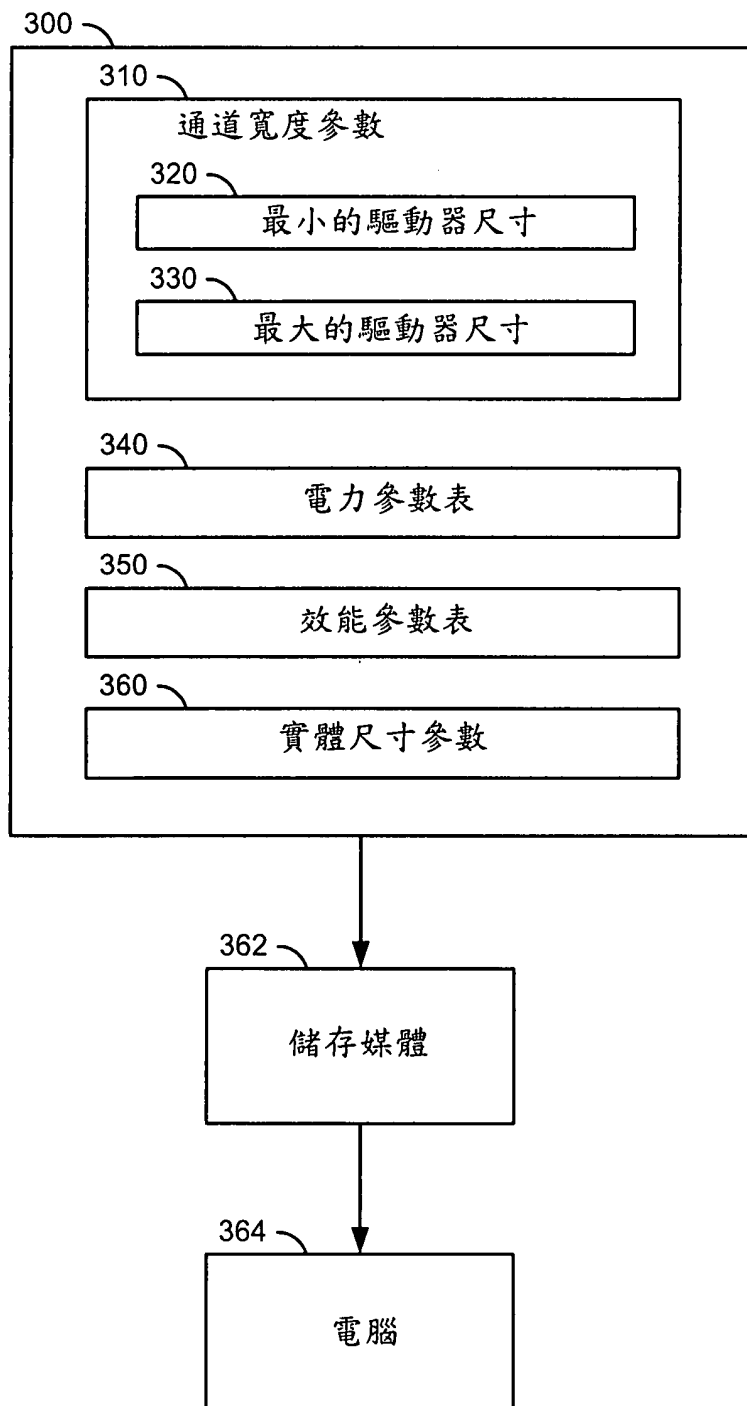


圖 4

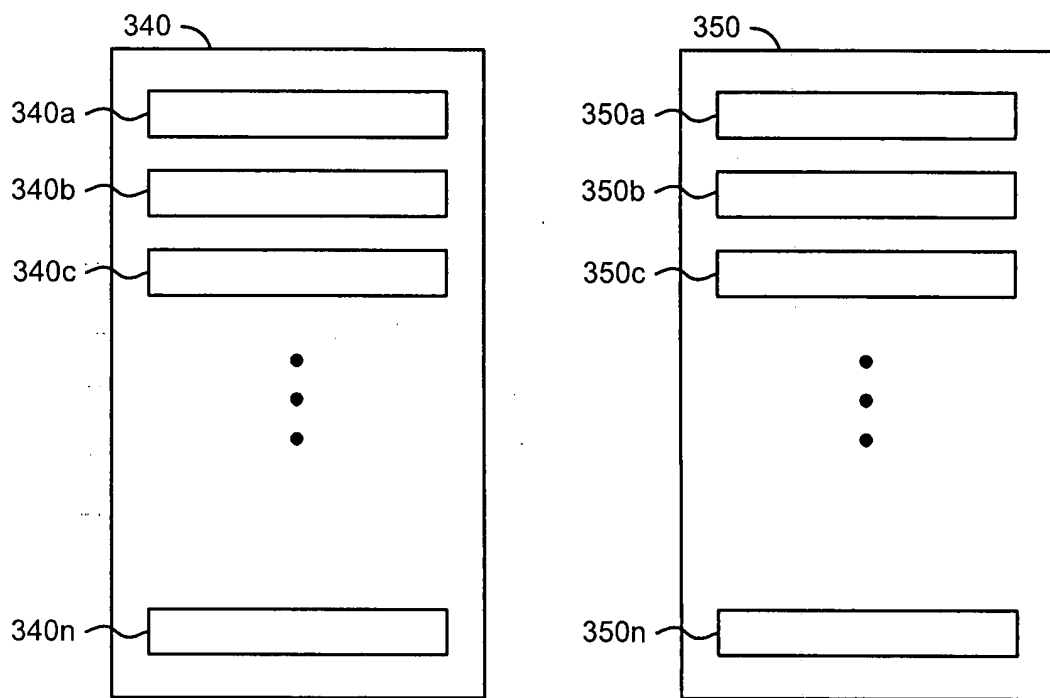


圖 5

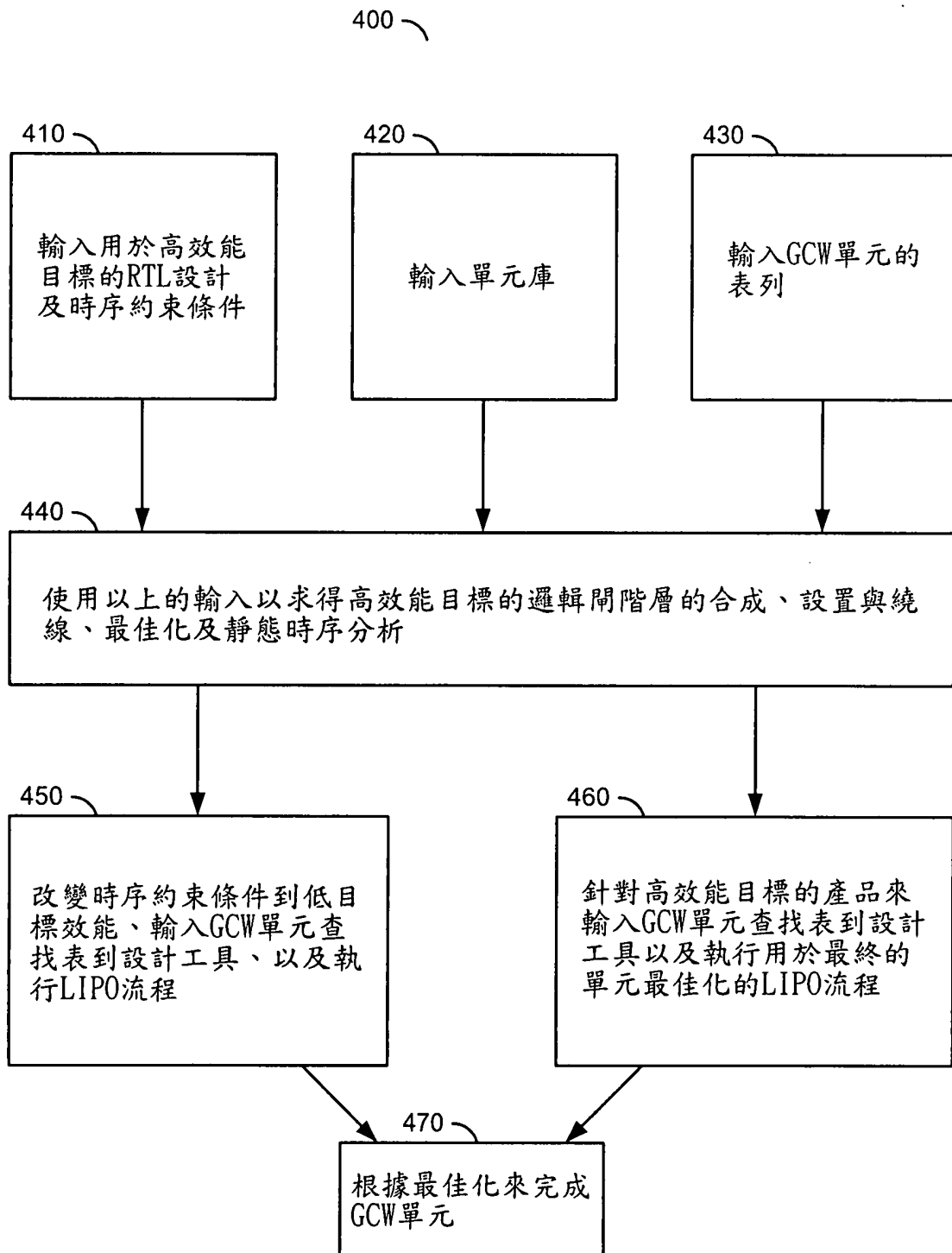


圖6

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100a-100d 單元(裝置)

102、104、106、108a、110、112、114、116 區域(電路)

108b 區域(電路)(寬電晶體閘極)

118 區域(電路)(Vt 植入區域)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無