



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I789481 B

(45)公告日：中華民國 112 (2023) 年 01 月 11 日

(21)申請案號：108101837

(22)申請日：中華民國 108 (2019) 年 01 月 17 日

(51)Int. Cl. : **H01L27/04 (2006.01)**

(30)優先權：2018/06/19 美國

62/687,051

(71)申請人：日商新唐科技日本股份有限公司 (日本) NUVOTON TECHNOLOGY
CORPORATION JAPAN (JP)

日本

(72)發明人：藤岡知惠 FUJIOKA, CHIE (JP)；吉田弘 YOSHIDA, HIROSHI (JP)；松島芳宏
MATSUSHIMA, YOSHIHIRO (JP)；水原秀樹 MIZUHARA, HIDEKI (JP)；濱崎正
生 HAMASAKI, MASAO (JP)；坂本光章 SAKAMOTO, MITSUAKI (JP)

(74)代理人：劉法正；尹重君

(56)參考文獻：

TW 201413918A

JP 2011-219828A

US 2017/0358510A1

審查人員：梁宏維

申請專利範圍項數：38 項 圖式數：21 共 76 頁

(54)名稱

半導體裝置

(57)摘要

半導體裝置(1)具有：具有主面(40a及40b)之半導體層(40)；金屬層(31)，係由第1金屬材料構成且較半導體層(40)更厚，並具有主面(31a及31b)，且主面(31a)係與主面(40b)接觸；金屬層(30)，係由楊氏模數較第1金屬材料更大的金屬材料構成，且較半導體層(40)更厚，並具有主面(30a及30b)，且主面(30a)係與主面(31b)接觸；及電晶體(10及20)；電晶體(10)於半導體層(40)之主面(40a)側具有源極電極(11)及閘極電極(19)，電晶體(20)於半導體層(40)之主面(40a)側具有源極電極(21)及閘極電極(29)；且以從源極電極(11)經由金屬層(31)至源極電極(21)為止之雙向路徑作為主電流路徑。

指定代表圖：



1 . . . 半導體裝置
10 . . . 電晶體(第 1 垂直型 MOS 電晶體)
11、21 . . . 源極電極
12、13、22、
23 . . . 部分
14、24 . . . 源極區域
15、25 . . . 閘極導體
16、26 . . . 閘極絕緣膜
18、28 . . . 本體區域
20 . . . 電晶體(第 2 垂直型 MOS 電晶體)
30、31 . . . 金屬層
30a、30b、31a、
31b、40a、40b . . . 主面
32 . . . 半導體基板
33 . . . 低濃度不純物層
34 . . . 層間絕緣層
35 . . . 鈍化層
40 . . . 半導體層



I789481

【發明摘要】

【中文發明名稱】

半導體裝置

【中文】

半導體裝置(1)具有：具有主面(40a 及 40b)之半導體層(40)；金屬層(31)，係由第 1 金屬材料構成且較半導體層(40)更厚，並具有主面(31a 及 31b)，且主面(31a)係與主面(40b)接觸；金屬層(30)，係由楊氏模數較第 1 金屬材料更大的金屬材料構成，且較半導體層(40)更厚，並具有主面(30a 及 30b)，且主面(30a)係與主面(31b)接觸；及電晶體(10 及 20)；電晶體(10)於半導體層(40)之主面(40a)側具有源極電極(11)及閘極電極(19)，電晶體(20)於半導體層(40)之主面(40a)側具有源極電極(21)及閘極電極(29)；且以從源極電極(11)經由金屬層(31)至源極電極(21)為止之雙向路徑作為主電流路徑。

【指定代表圖】圖1

【代表圖之符號簡單說明】

- 1...半導體裝置
- 10...電晶體(第1垂直型MOS電晶體)
- 11、21...源極電極
- 12、13、22、23...部分
- 14、24...源極區域
- 15、25...閘極導體
- 16、26...閘極絕緣膜
- 18、28...本體區域
- 20...電晶體(第2垂直型MOS電晶體)
- 30、31...金屬層
- 30a、30b、31a、31b、40a、40b...主面
- 32...半導體基板
- 33...低濃度不純物層
- 34...層間絕緣層
- 35...鈍化層
- 40...半導體層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

半導體裝置

【技術領域】

【0001】本揭示係涉及半導體裝置，尤涉及可面朝下安裝之晶片尺寸封裝型半導體裝置。

【先前技術】

【0002】發明背景

習知，已提出一種半導體裝置，其具備：具有第1主面及第2主面之半導體層；自該第1主面跨至該第2主面而設置之2個垂直型場效電晶體；及形成於該第2主面上之金屬層。於該構成中，從第1電晶體流向第2電晶體之電流路徑，不僅半導體基板內部之水平方向路徑，還可使用導通電阻低之金屬層中的水平方向路徑，因此可降低半導體裝置的導通電阻降低。

【0003】專利文獻1中，提出了一種除了上述構成還於金屬層之與半導體基板相反之側形成有導電層之半導體裝置。藉由該導電層，在將晶片進行單片化之步驟中可抑制金屬層產生毛邊。

【0004】又，專利文獻2中提出了一種除了上述構成還於金屬層之與半導體基板相反之側形成有絕緣被膜之半導體裝置。藉由該絕緣被膜，可維持半導體裝置之薄型化並可防止傷痕及缺口等破損。

【0005】先前技術文獻

專利文獻

專利文獻1：日本特開第2016-86006號公報

專利文獻2：日本特開2012-182238號公報

【發明內容】

【0006】發明概要

發明欲解決之課題

然，專利文獻1及專利文獻2所揭示之半導體裝置因金屬層的熱膨脹係數較半導體基板的熱膨脹係數更大，故半導體裝置會因溫度變化而發生翹曲。

【0007】專利文獻1中，係於金屬層之與半導體基板相反之側形成有導電層，但因導電層的主材料與金屬層為同種金屬，故製造上不易形成充分之可減輕半導體裝置因溫度變化而翹曲之厚度的導電層。

【0008】專利文獻2中，係於金屬層之與半導體基板相反之側形成有用以實現半導體裝置之薄型化及防止破損之絕緣被膜，但在金屬層的厚度為確保低導通電阻所需之厚度時，於絕緣被膜不會產生充分之可減輕半導體裝置之翹曲的應力。

亦即，專利文獻1及2所揭示之半導體裝置無法兼顧降低導通電阻與抑制半導體裝置之翹曲。

因此，本揭示之目的在於提供一種已兼顧降低導通電阻與抑制翹曲之晶片尺寸封裝型半導體裝置。

【0009】用以解決課題之手段

為解決上述課題，本揭示之半導體裝置之一態樣係一

種可面朝下安裝之晶片尺寸封裝型半導體裝置，其具有：半導體層，係由矽、氮化鎵或碳化矽構成，且具有相互背向之第1主面及第2主面；第1金屬層，係由第1金屬材料構成且較前述半導體層更厚，並具有相互背向之第3主面及第4主面，且前述第3主面係形成成與前述第2主面接觸；第2金屬層，係由楊氏模數較前述第1金屬材料更大之第2金屬材料構成，且較前述半導體層更厚，並具有相互背向之第5主面及第6主面，且前述第5主面係形成成與前述第4主面接觸；第1垂直型場效電晶體，係形成於前述半導體層之第1區域；及第2垂直型場效電晶體，係形成於前述半導體層中與前述第1區域在沿著前述第1主面之方向上鄰接之第2區域；前述第1垂直型場效電晶體於前述半導體層之前述第1主面側具有第1源極電極及第1閘極電極；前述第2垂直型場效電晶體於前述半導體層之前述第1主面側具有第2源極電極及第2閘極電極；前述第1金屬層係作為前述第1垂直型場效電晶體及前述第2垂直型場效電晶體之共通汲極電極發揮功能；且以從前述第1源極電極經由前述共通汲極電極至前述第2源極電極為止之雙向路徑作為主電流路徑。

【0010】根據該構成，具有可確保低導通電阻之厚度的第1金屬層與楊氏模數較第1金屬層更大且較半導體層更厚之第2金屬層相接觸，故可抑制半導體層與第1金屬層接觸造成之半導體裝置翹曲。因此，可提供一種已兼顧降低導通電阻與抑制翹曲之晶片尺寸封裝型半導體裝置。

【0011】發明效果

根據本揭示之半導體裝置，可提供一種已兼顧降低導通電阻與抑制翹曲之可面朝下安裝的晶片尺寸封裝型半導體裝置。

【圖式簡單說明】

【0012】圖1係顯示實施形態之半導體裝置之構成之一例的截面圖。

圖2係顯示實施形態之半導體裝置之電極構成之一例的俯視圖及顯示雙向電流之流動的截面概略圖。

圖3係顯示實施形態之半導體裝置應用到充放電電路之應用例的電路圖。

圖4A係顯示具有Si層/Ag層之積層構成的半導體裝置中，相對於Ag層厚度/Si層厚度之翹曲量及導通電阻之圖表。

圖4B係於試作實驗確認具有Si層/Ag層/Ni層之積層構成的半導體裝置中，相對於Ni層厚度之翹曲量的結果之圖表。

圖5A係於試作實驗確認具有Si層/Ag層/Ni層或Si層/Ag層之積層構成的半導體裝置中，相對於Si層厚度之導通電阻的結果之圖表。

圖5B係於試作實驗確認具有Si層/Ag層/Ni層之積層構成的半導體裝置中，相對於Ni層厚度之導通電阻的結果之圖表。

圖6中，圖6(a)係實施形態之半導體裝置中Ni層之主

面的電子顯微鏡拍攝圖，圖6(b)係實施形態之半導體裝置中Ni層之截面的電子顯微鏡拍攝圖。

圖7係實施形態之半導體裝置中Ni層/Ag層之截面的電子顯微鏡拍攝圖。

圖8係比較具有Si層/Ag層/Ni層之積層構成的半導體裝置中，相對於Ni層厚度之翹曲量的實測值及預測值之圖表。

圖9係具有由多層不同結晶粒徑之層構成之Ni層之半導體裝置的概略截面圖。

圖10係顯示具有以不同鍍敷製法製成之2層構成之Ni層的半導體裝置中，翹曲量的溫度依存性之圖。

圖11係顯示Ni層主面之凹凸周期及標記圖案寬度與標記視辨性之關係的概略截面圖。

圖12係顯示Ni層主面之最大高度粗度及標記深度與標記視辨性之關係的概略截面圖。

圖13A係實施形態之半導體裝置的截面圖。

圖13B係實施形態之半導體裝置的截面圖。

圖13C係實施形態之半導體裝置的截面圖。

圖13D係實施形態之半導體裝置的截面圖。

圖13E係實施形態之半導體裝置的截面圖。

圖13F係實施形態之半導體裝置的截面圖。

圖14係實施形態之半導體裝置的截面圖。

圖15係說明實施形態之半導體裝置中Si層的後退距離的圖。

圖16係實施形態之半導體裝置中Si層之側面的電子顯微鏡拍攝圖。

圖17係說明實施形態之半導體裝置中Si層的側面形狀與製法之關係的圖。

圖18係說明實施形態之半導體裝置中Si層/Ag層之側面的電子顯微鏡拍攝圖。

圖19係實施形態之半導體裝置的截面圖。

圖20係實施形態之半導體裝置的概略截面圖。

圖21係實施形態之半導體裝置的概略截面圖。

【實施方式】

【0013】用以實施發明之形態

以下說明之實施形態皆為顯示本揭示之一具體例。以下實施形態中所示數值、形狀、材料、構成要素、構成要素之配置位置及連接形態等皆為一例，且旨趣不在限定本揭示。另，以下實施形態之構成要素中，關於未記載於顯示最上位概念之獨立項中的構成要素，係視為任意的構成要素來說明。

(實施形態)

[1.半導體裝置之構成]

【0014】以下針對本實施形態之半導體裝置1之構成進行說明。本揭示之半導體裝置1係一種於半導體基板形成有2個垂直型MOS(Metal Oxide Semiconductor；金屬氧化物半導體)電晶體之可面朝下安裝的CSP(Chip Size Package：晶片尺寸封裝)型多電晶體(multi-transistor)晶

片。上述2個垂直型MOS電晶體係功率電晶體，亦即所謂的溝槽式MOS型FET(Field Effect Transistor；場效應電晶體)。惟，本實施形態之半導體裝置1不適用於固態成像裝置等分類在光電子學者。

【0015】圖1係顯示實施形態之半導體裝置1之構成之一例的截面圖。又，圖2係顯示實施形態之半導體裝置之電極構成之一例的俯視圖及顯示雙向電流之流動的截面概略圖。圖1的截面圖係觀看圖2(a)之I-I的裁切面的圖。

【0016】如圖1所示，半導體裝置1具有：半導體層40、金屬層30及31、第1垂直型MOS電晶體10(以下為電晶體10)與第2垂直型MOS電晶體20(以下為電晶體20)。

【0017】半導體層40係由矽構成，且具有相互背向之主面40a(第1主面)及主面40b(第2主面)。半導體層40係構成為積層有半導體基板32與低濃度不純物層33。半導體基板32係配置於半導體層40之主面40b側，低濃度不純物層33係配置於半導體層40之主面40a側。

【0018】金屬層31係由第1金屬材料構成之第1金屬層，其較半導體層40更厚，並具有相互背向之主面31a(第3主面)及主面31b(第4主面)，且主面31a係形成成與主面40b接觸。第1金屬材料可舉如銀(Ag)、銅(Cu)或金(Au)。

【0019】金屬層30係由楊氏模數較第1金屬材料更大之第2金屬材料構成之第2金屬層，其較半導體層40更厚，並具有相互背向之主面30a(第5主面)及主面30b(第6主面)，且主面30a係形成成與主面31b接觸。第2金屬材料可

舉如鎳(Ni)、鉑(Pt)、銱(Ir)、釷(Rh)或鉻(Cr)。

【0020】又，如圖1及圖2(a)、(b)所示，當俯視半導體層40時，形成於第1區域A1之電晶體10於半導體層40之主面40a側具有4個源極電極11a、11b、11c及11d(分別相當於源極電極11)與1個閘極電極19(第1閘極電極)。又，形成於與第1區域A1在沿著主面40a之方向上鄰接之第2區域A2的電晶體20具有4個源極電極21a、21b、21c及21d(分別相當於源極電極21)與1個閘極電極29(第2閘極電極)。此外，構成1個電晶體10及20之源極電極及閘極電極的個數及配置關係並不限於圖2所示者。

【0021】如圖2(b)及(c)所示，金屬層31係作為電晶體10及20之共通汲極電極發揮功能，且以從源極電極11(第1源極電極)經由金屬層31至源極電極21(第2源極電極)為止之雙向路徑作為主電流路徑。

【0022】根據上述構成，具有可確保低導通電阻之厚度的金屬層31與楊氏模數較金屬層31更大且較半導體層40更厚之金屬層30相接觸，故可抑制半導體層40與金屬層31接觸造成之半導體裝置1的翹曲。因此，可提供一種已兼顧降低導通電阻與抑制翹曲之晶片尺寸封裝型半導體裝置1。

以下針對半導體裝置1之構成及作用進行詳細說明。

半導體基板32包含第1導電型不純物且由矽構成。半導體基板32例如為N型矽基板。

【0023】低濃度不純物層33係形成成與半導體基板

32之上面(圖1中之z軸正方向側主面)相接，且包含濃度較半導體基板32之第1導電型不純物之濃度更低之第1導電型不純物。低濃度不純物層33譬如亦可藉由磊晶成長而形成於半導體基板32上。

【0024】低濃度不純物層33之第1區域A1中形成有本體區域18，該本體區域18包含與第1導電型相異之第2導電型不純物。本體區域18中形成有包含第1導電型不純物之源極區域14、閘極導體15及閘極絕緣膜16。源極電極11由部分12與部分13構成，且部分12係隔著部分13與源極區域14及本體區域18連接。而閘極導體15係與閘極電極19連接。

【0025】源極電極11之部分12係可於安裝時表現與焊料等之導電性接合材良好之接合性的層，舉一例可以包含鎳、鈦、鎢、鈮中之任1種以上的金屬材料構成，但不限於此。部分12之表面亦可施有金等鍍敷。

【0026】源極電極11之部分13係連接部分12與半導體層40之層，舉一例可以包含鋁、銅、金、銀中之任1種以上的金屬材料構成，但不限於此。

【0027】低濃度不純物層33之第2區域A2中形成有本體區域28，該本體區域28包含與第1導電型相異之第2導電型不純物。本體區域28中形成有包含第1導電型不純物之源極區域24、閘極導體25及閘極絕緣膜26。源極電極21由部分22與部分23構成，且部分22係隔著部分23與源極區域24及本體區域28連接。而閘極導體25係與閘極電極

29 連接。

【0028】源極電極21之部分22係可於安裝時表現與焊料等之導電性接合材良好之接合性的層，舉一例可以包含鎳、鈦、鎢、鈮中之任1種以上的金屬材料構成，但不限於此。部分22之表面亦可施有金等鍍敷。

【0029】源極電極21之部分23係連接部分22與半導體層40之層，舉一例可以包含鋁、銅、金、銀中之任1種以上的金屬材料構成，但不限於此。

【0030】本體區域18及本體區域28係被具有開口之層間絕緣層34覆蓋，且設有源極電極的部分13及23，部分13及23係通過層間絕緣層34之開口與源極區域14及源極區域24連接。層間絕緣層34及源極電極的部分13及23係被具有開口之鈍化層35覆蓋，且設有部分12及22，部分12及22係通過鈍化層35之開口分別於源極電極的部分13、23連接。

[2.半導體裝置之作動]

【0031】圖1所示半導體裝置1譬如可為令第1導電型為N型、第2導電型為P型，源極區域14、源極區域24、半導體基板32及低濃度不純物層33為N型半導體，且本體區域18及本體區域28為P型半導體。

【0032】又譬如可為令第1導電型為P型、第2導電型為N型，源極區域14、源極區域24、半導體基板32及低濃度不純物層33為P型半導體，且本體區域18及本體區域28為N型半導體。

【0033】以下針對半導體裝置1之導通作動，以第1導電型為N型、第2導電型為P型之所謂N通道型電晶體的情況予以說明。

【0034】圖1所示半導體裝置1中，對源極電極11施加高電壓及對源極電極21施加低電壓，並以源極電極21為基準對閘極電極29(閘極導體25)施加閾值以上之電壓時，本體區域28中的閘極絕緣膜26附近會形成導通通道。結果，在形成源極電極11-本體區域18-低濃度不純物層33-半導體基板32-金屬層31-半導體基板32-低濃度不純物層33-本體區域28的導通通道-源極區域24-源極電極21之路徑有通態電流流動，從而半導體裝置1為導通狀態。此外，該導通路徑中本體區域18與低濃度不純物層33之接觸面有PN接合，而可作為本體二極體發揮功能。又，該通態電流會流過金屬層31，故藉由增厚金屬層31，可擴大通態電流路徑之截面積，而可降低半導體裝置1之導通電阻。該導通狀態為後述圖3之充電狀態的情況。

[3.兼顧降低半導體裝置之翹曲與低導通電阻的構成]

【0035】圖3係顯示半導體裝置1應用到智慧型手機或觸控板的充放電電路之應用例的電路圖，半導體裝置1係因應從控制IC2給予的控制訊號控制從電池3到負載4之放電動作及從負載4到電池3的充電動作。如所述智慧型手機或觸控板的充放電電路應用半導體裝置1時，由實現縮短充電時間及急速充電之要求條件來看，導通電阻係要求20V耐壓規格為2.2~2.4mΩ以下。

又，將半導體裝置1安裝於安裝基板時，源極電極11、閘極電極19、源極電極21及閘極電極29係透過焊料等導電性接合材以面朝下方式與設於安裝基板上之電極接合。此時，半導體裝置1的翹曲越大，源極電極11、閘極電極19、源極電極21及閘極電極29與設於安裝基板上之電極的電性連接越不穩定。亦即，為了使半導體裝置1之與安裝基板上的電極的接合更穩定，需縮小半導體裝置1之翹曲。

【0036】圖4A係於試作實驗確認具有半導體層40(以下有時記載為Si層)/金屬層31(以下有時記載為Ag層)之積層構成的半導體裝置中，相對於Ag層厚度/Si層厚度(將Ag層厚度除以Si層厚度所得之值)之翹曲量及導通電阻的結果之圖表。更具體而言，該圖中係顯示長邊長度為3.40mm(圖2的L1)且短邊長度為1.96mm(圖2的L2)之半導體裝置中，在250℃下之翹曲量及導通電阻。由該圖來看，導通電阻滿足2.4mΩ以下之Ag層厚度/Si層厚度求得為大於1.0。另一方面，在Ag層厚度/Si層厚度大於1.0之範圍中，在250℃下之翹曲量不會在業界規格的60 μm以下。

【0037】對此，金屬層30(以下有時記載為Ni層)即係為了確保半導體裝置1的低導通電阻，並抑制半導體裝置1產生之翹曲而配置。其為以半導體層40與金屬層30包夾金屬層31之結構，而由金屬層31兩面之應力平衡之觀點來看，金屬層30宜為具有與半導體層40相同程度之材料物性且具有同程度之厚度，以抑制翹曲量。然，因不存在所述金屬材料，故金屬層30必須至少具有較金屬層31所具有之

材料物性值更接近半導體層40之材料物性值的材料物性值，且金屬層30的厚度要較半導體層40之厚度更厚。

於表1中例示屬半導體層40/金屬層31/金屬層30之例的Si層/Ag層/Ni層之典型之各層的膜厚及物性值。

【0038】 [表1]

	膜厚 (μm)	楊氏模數 (GPa)	線膨脹係數 (ppm)	製法
Si層	20 (t1)	185 (E1)	3-5 (α 1)	
Ag層	50 (t2)	83 (E2)	18.9 (α 2)	電鍍法
Ni層	30 (t3)	200 (E3)	12.8 (α 3)	電鍍法
	t1 < t2 t1 < t3	E3 > E2	α 3 < α 2	

【0039】 如表1所示，構成Ni層之第2金屬材料的楊氏模數比構成Ag層之第1金屬材料的楊氏模數更大。又，Ni層的厚度比Si層更厚，且Ag層的厚度比Si層的厚度更厚。並且，構成Ni層之第2金屬材料的線膨脹係數比構成Ag層之第1金屬材料的線膨脹係數更小。因Ni層的線膨脹係數比Ag層的線膨脹係數更小，故可更抑制半導體裝置1的翹曲。

【0040】 圖4B係於試作實驗確認具有Si層/Ag層/Ni層之積層構成的半導體裝置1中，相對於Ni層厚度之翹曲量的結果之圖表。更具體而言，圖4B係顯示利用計算機模擬器預測在Si層厚度為20 μm 、Ag層厚度為50 μm 時，相對於Ni層厚度之在250℃下的翹曲量所得結果的圖表。

【0041】 如該圖所示，若為無Ni層之狀態(Ni層厚度=0 μm)時，翹曲量為67 μm 左右，翹曲量會隨著Ni層厚

度增加而減少。在此，為了要完全抑制有關翹曲之安裝課題，翹曲量必須減至 $30\text{ }\mu\text{ m}$ 左右。因此，宜使Ni層比Si層更厚。

【0042】由圖4A及圖4B之結果，要兼顧降低翹曲量與低導通電阻，於具有Si層/Ag層/Ni層之積層構成的半導體裝置1中，Ag層必須比Si層更厚，且Ni層必須比Si層更厚。

接著，就可兼顧降低翹曲量與低導通電阻的積層構成予以說明。

【0043】圖5A係於試作實驗確認具有Si層/Ag層/Ni層或Si層/Ag層之積層構成的半導體裝置中，相對於Si層的厚度之導通電阻的結果之圖表。更具體而言，該圖係表示顯示具有Si層/Ag層之積層構成的半導體裝置中，Ag層厚度為 $30\text{ }\mu\text{ m}$ 及 $50\text{ }\mu\text{ m}$ 時，相對於Si層厚度之導通電阻的圖表。並且，該圖係表示顯示具有Si層/Ag層/Ni層之積層構成的半導體裝置中，在Ag層厚度為 $30\text{ }\mu\text{ m}$ 且Ni層厚度為 $30\text{ }\mu\text{ m}$ 、及Ag層厚度為 $50\text{ }\mu\text{ m}$ 且Ni層厚度為 $30\text{ }\mu\text{ m}$ 時，相對於Si層之厚度的導通電阻的圖表。

【0044】如圖5A所示，半導體裝置的導通電阻會隨著使Si層變薄而降低。惟，雖可藉由將Si層薄膜化來降低導通電阻，但很明顯地有發生半導體基板晶圓面內之膜厚參差增大、或是產生局部破裂或裂痕之製造步驟上的課題，而難以進行低於 $20\text{ }\mu\text{ m}$ 之穩定的薄膜化。且，越增厚Ag層，導通電阻越降低，而加上Ni層有導通電阻降低之傾向。

【0045】圖5B係於試作實驗確認具有Si層/Ag層/Ni層之積層構成的半導體裝置中，相對於Ni層厚度之導通電阻的結果之圖表。更具體而言，該圖係表示顯示Si層($20\ \mu\text{m}$)/Ag層($30\ \mu\text{m}$)、及Si層($20\ \mu\text{m}$)/Ag層($50\ \mu\text{m}$)時，相對於Ni層的厚度之導通電阻的圖表。由該圖來看，半導體裝置的導通電阻會隨著增厚Ni層厚度而稍微降低，由此可知加上Ni層並不會使半導體裝置的導通電阻增加。尤其是在Si層厚度為 $20\ \mu\text{m}$ 、Ag層厚度為 $30\ \mu\text{m}$ 、Ni層厚度為 $30\ \mu\text{m}$ 時，導通電阻係降至 $2.3\text{m}\Omega$ 左右。

【0046】由圖5A及圖5B來看亦可知，具有Si層/Ag層/Ni層之積層構成的半導體裝置1中，因Ag層較Si層更厚，且Ni層較Si層更厚，故可兼顧降低翹曲量與低導通電阻。

[4.半導體裝置之微觀構成]

【0047】本實施形態之半導體裝置1中，Ni層宜較Si層更厚，且Si層宜較 $20\ \mu\text{m}$ 更厚，由此Ni層必須為具有數十 μm 之厚度的層。由該觀點來看，Ni層係利用例如濕式鍍敷法來形成。濕式鍍敷法可大致分為電鍍法及化學鍍敷法，電鍍法具有膜厚限制少，且可低溫形成而對器件之熱影響少之特徵。因此，半導體裝置1之Ni層的製法宜利用電鍍法。Ni層的形成法亦可舉蒸鍍等乾式手法，但其晶粒為數十nm等級且製膜率低，故以製出具有膜厚 $10\ \mu\text{m}$ 以上之厚膜的手法來說實際上不可行。

【0048】電鍍法為一種在溶液中已離子化的金屬種藉由電位梯度往陰極方向移動，而該金屬種會與陰極的基

材原子行化學鍵結而形成金屬皮膜之方法。因此，所形成之金屬皮膜的晶粒有成長且易變大之傾向。

【0049】圖6係顯示實施形態之半導體裝置1中Ni層之結晶狀態的圖。圖6(a)係顯示半導體裝置1中Ni層之主面30b的電子顯微鏡拍攝圖，圖6(b)係顯示半導體裝置1中Ni層之截面的電子顯微鏡拍攝圖。

【0050】圖6(a)係顯示Ni層之主面30b上有多個結晶的集合體之粒子的凹凸結構，其凹凸結構周期例如為 $10\sim 20\ \mu\text{m}$ 。另一方面，圖6(b)係顯示於Ni層的截面結構中，有多個於與主面30b略垂直之方向上成長且具有 $1\ \mu\text{m}$ 以上之大小的結晶。

【0051】由圖6(a)及(b)，藉由電鍍法形成厚膜之金屬層30(Ni層)的特徵可舉：金屬層30(Ni層)之主面30b的水平方向(x軸方向)的凹凸周期較構成金屬層30(Ni層)之結晶的水平方向(x軸方向)的粒徑更大。

據此可知，形成較Si層更厚之Ni層的形成法以電鍍法為有效。

【0052】圖7係顯示實施形態之半導體裝置1中Ni層/Ag層之截面的電子顯微鏡拍攝圖。圖7(a)、(b)及(c)中係分別顯示在利用鍍敷電流為2.1A、4.5A及8.0A時之電鍍法的Ag層及Ni層的截面。

【0053】金屬膜之特徵已知有該金屬膜之結晶性與該金屬膜之硬度之間有關聯，金屬膜為越細之晶粒構成，即越硬(楊氏模數越大)。且，於電鍍法中，製膜越進行則

晶粒越大。換言之，晶粒會隨膜厚變厚而變大。

【0054】本實施形態之半導體裝置1中，Ni層/Ag層係於Si層之主面40b形成Ag層，之後於Ag層之主面31b形成Ni層。藉此，如圖7所示，不論在何種鍍敷電流下，主面30a附近的金屬層30(Ni層)的結晶粒徑會較主面30b附近的金屬層30(Ni層)的結晶粒徑更小，且主面30a附近的金屬層30(Ni層)的結晶粒徑會較主面31b附近的金屬層31(Ag層)的結晶粒徑更小。

【0055】據此，線膨脹係數相對較大之Ag層係與線膨脹係數相對較小之Ni層相接，並且結晶粒徑相對較大之Ag層係與結晶粒徑相對較小之Ni層相接，故升溫時Ag層不易延伸，從而抑制半導體裝置1之翹曲的效果高。

【0056】圖8係比較具有Si層/Ag層/Ni層之積層構成的半導體裝置中，相對於Ni層厚度之翹曲量的實測值及預測值之圖表。該圖係顯示於Si層/Ag層/Ni層之積層構成中，Si層厚度為20 μ m且Ag層厚度為50 μ m時，Ni層厚度增加造成之翹曲量在試作實驗所得實測值與利用計算機模擬器所得預測值。據此，在Ni層厚度為20 μ m以上之區域中，翹曲量之實測值與預測值相離，而可知在實測值上Ni層厚度增加造成抑制翹曲之效果降低。

【0057】又，藉由增加Ni層厚度可使半導體裝置1之翹曲抑制效果變高，但形成Ni層鍍膜所需時間會變長而增加製造成本。且，會增加在進行半導體裝置1之切割步驟中的切削負載，而有發生切削速度降低造成製造成本增

大、或切割刀破損等不良情況之虞。

【0058】因此，由藉由Ni層厚度之增加所帶來之有實際效益之翹曲抑制效果及製造步驟上之觀點來看，Ni層厚度宜為 $30\ \mu\text{m}$ 以下。亦即，金屬層30(Ni層)之厚度宜比半導體層40(Si層)更厚，且宜在 $30\ \mu\text{m}$ 以下。藉此，可獲得有實際效益之翹曲抑制效果，而可達成製造步驟的縮短化及低成本化。

圖9係具有由多層不同結晶粒徑之層構成之Ni層的半導體裝置的概略截面圖。

【0059】圖9(a)係顯示具有主面30a之第1層70A的晶粒比具有主面30b之第2層70B的晶粒更小之狀態。於該構成中，第1層70A係比第2層70B更硬的層。因此，以Ni層內之翹曲的傾向來說，軟質的第2層70B較硬質的第1層70A更易延伸，而變成Ni層的主面30b側呈凸狀之翹曲，為與Si層和Ag層之間的翹曲方向相同之方向。亦即，藉由積層Ni層，可降低半導體裝置1之翹曲量，但由Ni層內之上述結晶粒徑分布來看卻會減少半導體裝置之翹曲抑制效果。

【0060】圖9(a)所示Ni層之結晶粒徑分布為不變更電鍍法之製膜條件而製出Ni層之結果。因此，依據圖9(a)所示之Ni層之構成，可利用使鍍敷電流條件固定等之簡單化的電鍍法製出Ni層，同時可抑制半導體裝置翹曲。

【0061】圖9(b)係顯示具有主面30a之第1層70C的結晶粒徑與具有主面30b之第2層70D的結晶粒徑大略相同

之狀態。並且，金屬層30(Ni層)之結晶粒徑比金屬層31(Ag層)之主面31b側的結晶粒徑更小。該構成中，Ni層為均勻硬度且Ni層比Ag層更硬，因此可抑制半導體裝置1之翹曲。又，會成為半導體裝置1之外表面的Ni層較Ag層更硬，故在利用切割進行之切削步驟中，可抑制切割刀破損，圖謀製造步驟簡單化。

【0062】圖9(c)係顯示具有主面30a之第1層70E的晶粒比具有主面30b之第2層70F的晶粒更大之狀態。於該構成中，第1層70E係比第2層70F更軟的層。因此，以Ni層內之翹曲的傾向來說，軟質的第1層70E較硬質的第2層70F更易延伸，而變成Ni層的主面30a側呈凸狀之翹曲，為與Si層和Ag層之間的翹曲方向相反之方向。亦即，由Ni層內的上述結晶粒徑分布來看可強化半導體裝置1之翹曲抑制效果。又，會成為半導體裝置1之外表面的Ni層的主面30b側較硬，故可易進行利用切割進行之切削步驟，圖謀製造步驟簡單化。

【0063】此外，如圖9(b)及(c)所示，要實現第1層之結晶狀態與第2層之結晶狀態，只要以第1層與第2層控制設定個別的鍍敷電流條件等即可。

接下來，針對金屬層30之結晶定向與硬度之關係進行說明。

【0064】一般來說，已知呈規律的原子配列之結晶其物性值會因結晶方向而變。Ni亦同樣地，物性值會因結晶定向而異。Ni單結晶的楊氏模數，其結晶成長方向為<110>

方位時為 $2.04 \times 10^{12} (\text{dyn/cm}^2)$ ，而結晶成長方向為 $\langle 100 \rangle$ 方位時為 $1.21 \times 10^{12} (\text{dyn/cm}^2)$ 。亦即， $\langle 110 \rangle$ 優先方位的Ni層之楊氏模數較 $\langle 100 \rangle$ 優先方位的Ni層更大且更硬。

【0065】又，利用電鍍法製造Ni層時，可知Ni層的結晶定向會因溶液而不同。舉例來說，使用硫酸浴或瓦特浴之Ni層，其在較高鍍敷電流密度的範圍下，結晶成長方向會成為 $\langle 110 \rangle$ 優先方位，而使用胺磺酸浴的Ni層，其結晶成長方向會成為 $\langle 100 \rangle$ 優先方位的結晶。

【0066】圖10係顯示具有以不同鍍敷製法製成之2層構成之Ni層的半導體裝置中，翹曲量的溫度依存性之圖。該圖的(a)係使用胺磺酸浴之第1層(膜厚 $15 \mu\text{m}$)及使用硫酸浴之第2層(膜厚 $15 \mu\text{m}$)依序從Ag層(膜厚 $50 \mu\text{m}$)的主面31b形成之積層構成的截面圖。而該圖的(b)係顯示Ag層(膜厚 $50 \mu\text{m}$)與第1層(膜厚 $30 \mu\text{m}$)之積層構成之翹曲量的溫度依存性、Ag層(膜厚 $50 \mu\text{m}$)與第2層(膜厚 $15 \mu\text{m}$)之積層構成之翹曲量的溫度依存性、以及Ag層(膜厚 $50 \mu\text{m}$)與第1層(膜厚 $15 \mu\text{m}$)與第2層(膜厚 $15 \mu\text{m}$)之積層構成之翹曲量的溫度依存性。

【0067】根據上述見解，第1層(胺磺酸Ni)之結晶成長方向(z軸負方向)為 $\langle 100 \rangle$ 優先方位，第2層(硫酸Ni)之結晶成長方向(z軸負方向)為 $\langle 110 \rangle$ 優先方位，故第2層之楊氏模數較第1層更高。由此，第2層有翹曲量較第1層更少的傾向，且在高溫區域下翹曲量的上限變小。但，在低溫區域中的翹曲量的下限其減少傾向強而達至負區域，故

第1層的翹曲量的上下限範圍較窄。於此，藉由積層對翹曲量具有不同特性之第1層與第2層，可使在高溫區域下的翹曲量的上限比第1層的上限更小，且可使在低溫區域下的翹曲量的下限值(負區域的值)比第2層的下限值更大。

此外，「優先的結晶定向」亦稱為 $\langle 110 \rangle$ 優先方位(或於 $\{110\}$ 面優先定向)等，表示在單位體積或單位面積之全部結晶中具有預定結晶方位(或結晶面)之結晶比率為最多，可用X射線繞射法或逆散射電子繞射法來確認。

【0068】根據上述構成，金屬層30(Ni層)包含具有主面30a之第1層與具有主面30b之第2層，且於主面30b之水平方向上，構成第1層之金屬結晶與構成第2層之金屬結晶的優先定向面可不同。

藉此，可易控制半導體裝置1之翹曲量(的絕對值及範圍)等。

【0069】又，可為：於主面30b之水平方向上，構成第1層及第2層之其中一者的金屬結晶於 $\{100\}$ 面優先定向，而構成第1層及第2層中之另一者的金屬結晶於 $\{110\}$ 面優先定向。

藉此，可易控制半導體裝置1之翹曲量(的絕對值及範圍)等。

又，不論金屬層30(Ni層)以多層不同結晶定向之層構成或以單層構成，構成金屬層30(Ni層)之金屬結晶亦可於主面30b上於 $\{100\}$ 面優先定向。

藉此，因 $\{100\}$ 面之楊氏模數較 $\{110\}$ 面更小，故可易

進行標記步驟中的雷射刻號。

又，不論金屬層30(Ni層)以多層不同結晶定向之層構成或以單層構成，構成金屬層30(Ni層)之金屬結晶亦可於主面30b上於{110}面優先定向。

藉此，因{110}面之楊氏模數較{100}面更大，故可強化抑制半導體裝置1之翹曲。

[5.半導體裝置之標記視辨性]

【0070】本實施形態之半導體裝置1更具有形成於金屬層30(Ni層)之主面30b的標記。上述標記為譬如包含製品名及製造日等識別情報之記號。以半導體裝置1來說，為了在面朝下安裝後仍可易從外部視辨，而於主面30b譬如利用雷射照射進行標記。上述雷射照射所用雷射大多使用YAG雷射，而YAG雷射係可對以樹脂材料為首以及金屬材料進行微細標記之雷射。

【0071】形成於Ni層之主面30b的標記的視辨性會大大影響Ni層之表面狀態。藉由對Ni層之主面30b照射雷射，主面30b上之雷射照射區域的晶界會再構成而改變表面狀態。而標記的視辨性即依該表面狀態產生變化的線狀區域之寬度(標記的圖案寬度)及深度(標記深度)、與該線狀區域以外之主面30b的區域的表面狀態之關係而定。標記的視辨性差之例可舉所標記之文字及線消失以及模糊等造成難以判別該標記之情況。

【0072】圖11係顯示Ni層之主面30b之凹凸周期及標記圖案寬度與標記視辨性之關係之半導體裝置的概略截面

圖。如該圖所示，照射雷射而改變表面狀態之線狀區域的(x軸方向的)圖案寬度較Ni層之主面30b的凹凸周期更小時，無法視辨標記而判定為不良。相對於此，上述線狀區域的圖案寬度較Ni層之主面30b的凹凸周期更大時，可視辨標記而判定為良好。

【0073】圖12係顯示Ni層之主面30b之最大高度粗度及標記深度與標記視辨性之關係的圖。如該圖所示，照射雷射而改變表面狀態之線狀區域的(z軸方向的)標記深度較Ni層之主面30b的最大高度粗度Rz更小時，無法視辨標記而判定為不良。相對於此，上述線狀區域的圖案寬度較Ni層之主面30b的最大高度粗度Rz更大時，可視辨標記而判定為良好。

[6.半導體裝置之端部構成]

【0074】圖13A係實施形態之半導體裝置1A的截面圖。如該圖所示，半導體裝置1A具有半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、電晶體10及20、突起部36A、36B、37A及37B。相較於實施形態之半導體裝置1，半導體裝置1A在以下諸點與其不同：具有突起部36A、36B、37A及37B之點；及，俯視Si層時，Si層之外周呈較Ni層及Ag層之外周朝半導體裝置1A之中心方向更後退之點。以下關於半導體裝置1A，就與半導體裝置1相同處省略說明，並針對相異之處進行說明。

【0075】俯視半導體層40(Si層)時，半導體層40(Si層)之外周呈較金屬層30(Ni層)及31(Ag層)之外周朝半導

體裝置1A之中心方向更後退。其係因將半導體裝置1A進行單片化之步驟以2階段之切斷步驟(Si層之切斷步驟、Ni層及Ag層之切斷步驟)來實行之故。此外，半導體裝置1A中，Si層之外周不須為較Ni層及Ag層之外周更後退之構成。

【0076】突起部36A及36B係第1突起部，係在從主面30b俯視金屬層30(Ni層)時，於Ni層之外周從主面30a朝主面30b之方向(z軸負方向)，自主面30b突出。突起部36A及36B包含金屬層31具有之第1金屬材料及金屬層30具有之第2金屬材料中之至少一者。半導體裝置1A中，突起部36A及36B包含Ag及Ni中之至少一者。

藉此，可補強Ni層外周的機械強度及硬度，故可強化抑制半導體裝置1A之翹曲。

此外，突起部36A及36B亦可形成於在上述俯視下構成金屬層30(Ni層)之外周的邊中相對向的2邊或全部的邊上。

藉此，可強化抑制半導體裝置1A之與突起部36A及36B形成方向正交之方向的翹曲。

此外，突起部36A及36B之突出高度為例如金屬層30(Ni層)之厚度的1/3以上。

【0077】藉此，可更補強Ni層外周的機械強度及硬度。

且，突起部36A及36B之突出寬度例如為4 μ m以上。

【0078】藉此，可更補強Ni層之外周的機械強度及硬

度，且可抑制於洗淨步驟中突起部36A及36B從半導體裝置1A脫離，故可抑制半導體裝置1A因脫離之導電物而發生短路不良等。

【0079】又，突起部36A及36B中，第2金屬材料之含量比第1金屬材料之含量更多。半導體裝置1A中，突起部36A及36B中，Ni含量比Ag含量更多。

【0080】藉此，因突起部36A及36B含有比楊氏模數小之Ag更多的楊氏模數大之Ni，故會成為相對較硬的突起物。因此，可更補強金屬層30之外周的機械強度及硬度，且可抑制於洗淨步驟中突起部36A及36B從半導體裝置1A脫離，故可抑制半導體裝置1A因脫離之導電物而發生短路不良等。

此外，半導體裝置1A中，突起部36A及36B之構成非為必要。

【0081】俯視半導體層40(Si層)時，半導體層40(Si層)之外周係距離金屬層31(Ag層)之外周隔著間隔而形成於內側。

突起部37A及37B係第2突起部，係在從主面31a俯視金屬層31(Ag層)時，於金屬層31(Ag層)之外周從主面31b朝主面31a之方向(z軸正方向)，自主面31a突出。突起部37A及37B包含金屬層31(Ag層)具有之第1金屬材料及金屬層30(Ni層)具有之第2金屬材料中之至少一者。半導體裝置1A中，突起部37A及37B包含Ag及Ni中之至少一者。

藉此，可補強Ag層外周的機械強度及硬度，故可強化

抑制半導體裝置1A之翹曲。

此外，突起部37A及37B亦可形成於在上述俯視下構成金屬層31(Ag層)之外周的邊中相對向的2邊或全部的邊上。

藉此，可強化抑制半導體裝置1A之與突起部37A及37B形成方向正交之方向的翹曲。

此外，半導體裝置1A中，突起部37A及37B之構成非為必要。

【0082】又，在半導體裝置1A中，突起部36A、36B、37A及37B為經由半導體裝置1A之單片化步驟，而金屬層30(Ni層)及31(Ag層)之構成物從金屬層30(Ni層)及31(Ag層)之外周部延伸出者。

半導體裝置1A的單片化步驟例如可使用刀片切割。其為使附著有金剛石磨石且具有數十 μm 左右之寬度的圓鋸片高速旋轉，來切削Si層、Ni層及Ag層之方式。此時，係藉由圓鋸片從Si層側切入Ni層側，而圓鋸片的寬度(數十 μm)左右的材料會被削下。因此，具有延展性的Ni層及Ag層會被往圓鋸片的切削加工方向牽引延伸而形成突起部(毛邊)。該突起部會於與Ni層及Ag層之表面垂直之方向形成新的略平面，發揮作為Ni層及Ag層之補強材之功用。藉此，可強化抑制半導體裝置1A之翹曲。

【0083】圖13B係實施形態之半導體裝置1B的截面圖。如該圖所示，半導體裝置1B具有：半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、突起部36B、37B及38。與

半導體裝置1A相較下，半導體裝置1B在具有突起部38這點上與其不同。以下關於半導體裝置1B，就與半導體裝置1A相同處省略說明，並針對相異之處進行說明。

【0084】突起部38係形成在金屬層31(Ag層)外周側面的第3突起部，且形成於從俯視金屬層31(Ag層)時之金屬層31(Ag層)的中央朝外周之方向(x軸正方向)上。此外，突起部38亦可在Ni層外周側面，形成於當俯視Ni層時之從Ni層之中央朝外周之方向(x軸正方向)上。

藉此，可補強Ni層外周的機械強度及硬度，故可強化抑制半導體裝置1B之翹曲。

【0085】圖13C係實施形態之半導體裝置1C的截面圖。如該圖所示，半導體裝置1C具有：半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、覆蓋層50、突起部37A(未圖示)與37B。與半導體裝置1A相較下，半導體裝置1C在不具有突起部36A及36B、以及具有覆蓋層50這點上與其相異。以下關於半導體裝置1C，就與半導體裝置1A相同處省略說明，並針對相異之處進行說明。

【0086】覆蓋層50係由陶瓷材料或塑膠材料構成之第1覆蓋層，並具有相互背向之主面50a(第7主面)及主面50b(第8主面)，且主面50a係形成直接接觸Ni層之主面30b，或隔著接合材而形成於Ni層之主面30b。

【0087】此外，覆蓋層50係在半導體裝置1C單片化步驟之前即已配置。據此，於使用刀片切割之單片化步驟中，可避免於Ni層之主面30b產生突起物(毛邊)。

【0088】圖 13D 係實施形態之半導體裝置 1D 的截面圖。如該圖所示，半導體裝置 1D 具有：半導體層 40(Si 層)、金屬層 30(Ni 層)及 31(Ag 層)、覆蓋層 50 及 51。與半導體裝置 1C 相較下，半導體裝置 1D 在不具有突起部 37A 及 37B、以及具有覆蓋層 51 這點上與其相異。以下關於半導體裝置 1D，就與半導體裝置 1C 相同處省略說明，並針對相異之處進行說明。

【0089】覆蓋層 51 係由陶瓷材料或塑膠材料構成之第 2 覆蓋層，其位於俯視金屬層 31(Ag 層)時之金屬層 31(Ag 層)的外緣部，並具有相互背向之主面 51a(第 9 主面)及主面 51b(第 10 主面)，且主面 51b 係形成直接接觸金屬層 31(Ag 層)之主面 31a，或隔著接合材形成於金屬層 31(Ag 層)之主面 31a。

【0090】此外，覆蓋層 51 係在半導體裝置 1D 單片化步驟之前即已配置。據此，於使用刀片切割之單片化步驟中，可避免於 Ag 層之主面 31a 產生突起物(毛邊)。

【0091】圖 13E 係實施形態之半導體裝置 1E 的截面圖。如該圖所示，半導體裝置 1E 具有：半導體層 40(Si 層)、金屬層 30(Ni 層)及 31(Ag 層)、覆蓋層 50 與溝部 60。與半導體裝置 1D 相較下，半導體裝置 1E 不具有覆蓋層 51、以及具有分斷 Si 層之溝部 60 這點上與其相異。以下關於半導體裝置 1E，就與半導體裝置 1D 相同處省略說明，並針對相異之處進行說明。

溝部 60 係沿著半導體層 40(Si 層)之外緣部亦即半導體

層40(Si層)之外周邊而形成之溝，且以主面31a為底面。

【0092】此外，溝部60係在半導體裝置1E單片化步驟之前即已形成。據此，於使用刀片切割之單片化步驟中，可避免Si層產生崩裂到本體區域18或本體區域28。

【0093】圖13F係實施形態之半導體裝置1F的截面圖。如該圖所示，半導體裝置1F具有：半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、合成物39。與半導體裝置1相較下，半導體裝置1F在具有合成物39這點上與其相異。以下關於半導體裝置1F，就與半導體裝置1相同處省略說明，並針對相異之處進行說明。

【0094】合成物39係第1金屬材料與第2金屬材料之合成物，且形成於金屬層30(Ni層)之外周側面。本實施形態中，合成物39係Ag與Ni之合成物。

【0095】藉此，可補強Ni層外周的機械強度及硬度，故可強化抑制半導體裝置1F之翹曲。此外，合成物39亦可形成於Ag層之外周側面。於此情況下，亦可補強Ag層外周的機械強度及硬度，故可強化抑制半導體裝置1F之翹曲。

【0096】於半導體裝置1F之單片化步驟，例如可使用雷射切割作為Ni層及Ag層之切斷手段。因此，Ni層及Ag層之外周側面會附著經雷射而熔融之第1金屬材料與第2金屬材料的合成物。

【0097】此外，合成物39亦可為當俯視金屬層30(Ni層)及31(Ag層)時，跨半導體裝置1F之全周地形成於金屬

層30(Ni層)及金屬層31(Ag層)之至少一者的外周側面。

藉此，可更補強Ni層或Ag層之外周的機械強度及硬度。

【0098】又，如圖13F所示，譬如在從主面31a朝主面30b之方向(z軸負方向)上，合成物39之中心位置在自主面31a至主面30b為止之距離的一半位置與主面30b之位置之間。

【0099】藉此，可於利用雷射切割之單片化步驟中，抑制Ni層及Ag層之構成物飛散的遊離體(以下有時記載為碎屑)附著在半導體裝置1F之表面(z軸正方向側)。譬如，在切斷Ni層及Ag層之合成層時，從主面31a側進行刀片切割切下自主面31a至主面30b為止之距離的一半以上的厚度後，將剩下較薄之合成層從主面31a側或從主面30b側以強度較弱的雷射輸出進行雷射切割，即可抑制碎屑產生。

又可觀察到突起部36A、36B、37A、37B、38及合成物39係跨半導體裝置1A之外周各邊的1/3以上之距離連續形成。如此一來突起部或合成物連續形成於半導體裝置1A之外周邊的構成可更強化抑制半導體裝置1A之翹曲。且，突起部或合成物有時依單片化步驟之條件，會跨半導體裝置1A之外周各邊的1/2以上或2/3以上之距離連續形成，此時可更進一步抑制半導體裝置1A之翹曲。

【0100】圖14係實施形態之半導體裝置1G的截面圖。如該圖所示，半導體裝置1G具有：半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、電晶體10及20。相較於半導

體裝置1，半導體裝置1G在以下這點與其不同：俯視半導體層40(Si層)時，半導體層40(Si層)之外周呈較金屬層30(Ni層)及31(Ag層)之外周朝半導體裝置1G之中心方向更後退。以下關於半導體裝置1G，就與半導體裝置1相同處省略說明，並針對相異之處進行說明。

俯視半導體層40(Si層)時，半導體層40(Si層)之外周係距離金屬層31(Ag層)之外周隔著間隔而形成於內側。並且半導體層40(Si層)之外周亦可跨全周皆距離金屬層31(Ag層)之外周隔著間隔而形成於內側。

【0101】此外，上述構成係在單片化步驟中之切斷Ni層及Ag層之前即已形成。據此，可抑制藉由切割來切斷Ni層及Ag層時，Si層崩裂或碎屑附著到Si層側面。且，因於對Ni層及Ag層進行刀片切割時不用同時切斷Si層，故可降低刀片切割之切斷負載，且可易選擇切割所用之切割刀。其係因陶瓷材料之Si層與金屬材料之Ni層及Ag層在適於切削之切割刀種類不同之故。

【0102】又，於半導體層40(Si層)及金屬層31(Ag層)之平面方向上，半導體層40(Si層)之外周與金屬層31(Ag層)之外周的距離(間隔長度)例如為15 μ m以上。

【0103】圖15係說明實施形態之半導體裝置1G中Si層的後退距離的圖。該圖係顯示製造步驟中相鄰2個半導體裝置1G之邊界區域的截面圖。

【0104】半導體裝置1G之單片化步驟中，將Si層進行刀片切割後，會有於Si層發生崩裂之情形。為了避免此情

形，有效的是半導體裝置1G不僅進行刀片切割還併用電漿切割來進行單片化。電漿切割係使用電漿反應，藉由利用化學方式去除Si層之乾式蝕刻工法，而可不致使於Si層之切削面發生崩裂來進行切削加工。

【0105】半導體裝置1G之單片化步驟中，係利用電漿切割去除在之後要進行刀片切割或雷射切割的區域中，後續的刀片切割或雷射切割切割切削寬度(圖15中為雷射加工寬度或刀片加工寬度)加上邊限寬度後的切削寬度(圖15中為電漿加工寬度)分的Si層。然後，藉由刀片切割或雷射切割來切削Ag層及Ni層。藉此，可不致使於Si層之外周部發生崩裂來將半導體裝置1G單片化。

【0106】切削該Ag層及Ni層時，為了不在利用刀片切割或雷射切割對Si層造成損害，必須先確保相鄰的半導體裝置1G之Si層彼此之間隔較雷射加工寬度或刀片加工寬度更大。由此，Si層的外周係距離Ag層之外周隔著間隔而形成於內側。

【0107】如圖15所示，將雷射加工寬度或刀片加工寬度設為譬如30~35 μm ，且將利用電漿切割的加工寬度設為譬如65 μm 時，Si層的外周與Ag層的外周之距離(圖15的後退距離LB)會成為譬如15~17 μm 。

【0108】藉此，作為半導體裝置1G之單片化步驟，在利用電漿切割加工Si層，並利用刀片切割或雷射切割加工Ag層及Ni層後，可易實現不致使Si層之外周部崩裂的單片化。

【0109】圖16係實施形態之半導體裝置1G中Si層之側面的電子顯微鏡拍攝圖。如該圖所示，半導體層40(Si層)外周側面中之與主面31a相接的主面40b側的端部側面之凹凸的最大高度粗度 R_z ，係與半導體層40(Si層)外周側面中之主面40a側的側面之凹凸的最大高度粗度 R_z 大略相等。又，半導體層40(Si層)外周側面中之與主面31a相接的主面40b側的端部側面，並未形成於俯視半導體層40(Si層)下較半導體層40(Si層)外周側面中之主面40a側的側面的最大外周的更外側。亦即，半導體層40的殘渣不形成於Ag層之主面31a上。

【0110】藉此，雷射切割Ag層及Ni層時，可抑制屬Ag層及Ni層之構成物的金屬附著於Si層之側面。

又，如圖16所示，半導體層40(Si層)之外周側面亦可具有包含銳角之頂點的凹凸形狀。

據此，藉由包含銳角之頂點的凹凸形狀，可促進自Si層之外周側面散熱，提升半導體裝置1G之散熱性。

【0111】圖17係說明實施形態之半導體裝置1G中Si層的側面形狀與製法之關係的圖。該圖(a)係顯示俯視Si層時，相應於電漿切割用遮罩形狀的包含銳角之頂點的凹凸形狀。又，該圖(b)係顯示俯視Si層之截面時，電漿切割時之加工狀態。在此所述之電漿切割步驟中，因係分多階段來進行電漿切削加工，故Si層之側面於y軸方向(或x軸方向)及z軸方向之兩方向上形成有包含銳角之頂點的凹凸。且，如該圖(b)所示，Si層外周側面中之與Ag層相接的端

部側面之凹凸的最大高度粗度 R_z 係與Si層外周側面中之位在與Ag層相反側的側面之凹凸的最大高度粗度 R_z 大略相等。又，Si層外周側面中之與Ag層相接的端部側面並未形成於俯視Si層下較Si層外周側面中之位在與Ag層相反側之側面的最大外周的更外側。

【0112】圖18係說明實施形態之半導體裝置1H中Si層及Ag層之側面的電子顯微鏡拍攝圖。如該圖所示，半導體裝置1H具有：半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、電晶體10及20、非晶質半導體44。與半導體裝置1G相較下，半導體裝置1H在具有非晶質半導體44這點上與其相異。以下關於半導體裝置1H，就與半導體裝置1G相同處省略說明，並針對相異之處進行說明。

非晶質半導體44係形成於半導體層40(Si層)之外周側面並覆蓋半導體層40(Si層)。

【0113】此外，非晶質半導體44係在半導體裝置1H之單片化步驟中在利用雷射切割切斷Si層後，構成Si層的Si熔融凝固附著在Si層側面之物。藉此，於之後利用刀片切割來切割Ag層及Ni層時，可抑制Si層產生裂痕或一部分的Si層剝離。

【0114】圖19係實施形態之半導體裝置1J的截面圖。如該圖所示，半導體裝置1J具有：半導體層40(Si層)、金屬層30(Ni層)及31(Ag層)、電晶體10及20、溝部43A及43B。與半導體裝置1G相較下，半導體裝置1J在具有溝部43A及43B這點上與其相異。以下關於半導體裝置1J，就

與半導體裝置1G相同處省略說明，並針對相異之處進行說明。

【0115】電晶體10於Si層之主面40a具有多個溝部41(第1多個溝部、本體部溝槽)，且該多個溝部41充填有固體構件即閘極導體15及閘極絕緣膜16。

【0116】電晶體20於Si層之主面40a具有多個溝部42(第2多個溝部、本體部溝槽)，且該多個溝部42充填有固體構件即閘極導體25及閘極絕緣膜26。

【0117】多個溝部43A及多個溝部43B係充填有含矽之固體構件的第3多個溝部(虛設溝槽)，且係沿著半導體層40(Si層)之主面40a的外緣部亦即半導體層40(Si層)之外周邊而形成。多個溝部43A係配置於主面40a之上所述外緣部之中的電晶體10側之外緣部。又，多個溝部43B係配置於主面40a之上所述外緣部之中的電晶體20側之外緣部。

【0118】此外，充填於多個溝部43A及多個溝部43B的固體構件可為與充填於多個溝部41及多個溝部42的固體構件相同材料，而此時，可以與多個溝部41及多個溝部42之形成步驟相同之步驟形成多個溝部43A及多個溝部43B。藉此，可圖謀製造步驟簡單化。

【0119】據此，於半導體裝置1J之單片化步驟中，可抑制於刀片切割時所發生之Si層的裂痕及一部分剝離達至本體區域18或本體區域28。

【0120】此外，多個溝部41與多個溝部43A之間隔LgA及多個溝部42與多個溝部43B之間隔LgB，可較多個

溝部41中相鄰之溝彼此的間隔Pg1更大，且可較多個溝部42中相鄰之溝彼此的間隔Pg2更大。

【0121】據此，間隔LgA及LgB較本體部之溝部的間隔Pg1及Pg2更大，故可將半導體裝置1J之製造遮罩圖案佔有率降至可穩定製造之範圍。

【0122】又，半導體裝置1J具有鈍化層35(保護層)，該鈍化層35係形成一部分與源極電極11或源極電極21重疊。於此，俯視半導體層40(Si層)時，鈍化層35之外周係距離半導體層40(Si層)之外周隔著間隔而形成於內側，而多個溝部43A及多個溝部43B亦可於上述俯視下，形成於從半導體層40(Si層)之外周至鈍化層35之外周為止之區間。

【0123】藉此，即便為未形成鈍化層35而對刀片切割時發生之Si層的裂痕及一部分剝離之耐性差的Si層的主面40a外緣部，仍可提升對Si層的裂痕及一部分剝離之耐性。

又，多個溝部43A及多個溝部43B之溝部的間距可與多個溝部41及多個溝部42之溝部的間距相同。

【0124】據此，可於形成多個溝部41及多個溝部42之步驟同時形成多個溝部43A及多個溝部43B，故可使半導體裝置1J之設計及製造簡單化。

(其他實施形態)

【0125】以上係基於實施形態說明本揭示之一種或多種態樣之半導體裝置，惟本揭示不限於該實施形態。在不脫離本揭示趣旨之前提下，本揭示之一種或多種態樣之

範圍內亦可包含熟知此項技藝之人士將可思及的各種變形實施於本實施形態的變形例，以及將不同實施形態之構成要素加以組合而構築之形態。

【0126】本實施形態中，係例示由矽構成之半導體基板上形成有2個垂直型MOS電晶體之半導體裝置1，惟本發明之半導體裝置還包含具有以下構成之半導體裝置。

【0127】圖20係實施形態之1個構成半導體裝置100之垂直型III族氮化物半導體電晶體的概略截面圖。半導體裝置100係可面朝下安裝之晶片尺寸封裝型III族氮化物半導體電晶體。如圖20所示，構成半導體裝置100之垂直型III族氮化物半導體電晶體具備：由n型III族氮化物半導體構成之基板132、n型III族氮化物半導體層133(及143)、p型III族氮化物半導體層134(及144)、金屬層130及131。且，設有貫穿III族氮化物半導體層134之一部分而底部達至III族氮化物半導體層133的凹部。並設有貫穿III族氮化物半導體層144之一部分而底部達至III族氮化物半導體層143的凹部。並以覆蓋凹部之底部、側部與III族氮化物半導體層134表面之一部分之方式，依序形成有III族氮化物半導體層137與能隙較III族氮化物半導體層137更大之III族氮化物半導體層135。且以覆蓋凹部之底部、側部與III族氮化物半導體層144表面之一部分之方式，依序形成有III族氮化物半導體層147與能隙較III族氮化物半導體層147更大之III族氮化物半導體層145。並且，III族氮化物半導體層134之表面形成有閘極導體119，而III族氮化物

半導體層135之上層形成有源極電極111。又，III族氮化物半導體層144之表面形成有閘極導體129，而III族氮化物半導體層145之上層形成有源極電極121。III族氮化物半導體層137與III族氮化物半導體層135之邊界附近生成有2維電子氣體136。且，III族氮化物半導體層147與III族氮化物半導體層145之邊界附近生成有2維電子氣體146。

屬III族氮化物半導體層134、III族氮化物半導體層133及基板132的積層體之半導體層140具有相互背向之第1主面及第2主面。又，屬III族氮化物半導體層144、III族氮化物半導體層143及基板132之積層體的半導體層150具有相互背向之第1主面及第2主面。

【0128】金屬層131係由第1金屬材料構成之第1金屬層，其較半導體層140及150更厚，並具有相互背向之第3主面及第4主面，且第3主面係形成成與第2主面接觸。

【0129】金屬層130係由楊氏模數較第1金屬材料更大之第2金屬材料構成之第2金屬層，其較半導體層140及150更厚，並具有相互背向之第5主面及第6主面，且第5主面係形成成與第4主面接觸。

【0130】又，於半導體層140之第1區域形成有由基板132、III族氮化物半導體層133、134、135及137、金屬層130及131、閘極導體119及源極電極111構成之第1垂直型III族氮化物半導體電晶體，且於與第1區域在沿著第1主面之方向上鄰接之第2區域具有由基板132、III族氮化物半導

體層143、144、145及147、金屬層130及131、閘極導體129及源極電極121構成之第2垂直型III族氮化物半導體電晶體。

金屬層131係作為第1垂直型III族氮化物半導體電晶體及第2垂直型III族氮化物半導體電晶體之共通汲極電極發揮功能。

此外，III族氮化物半導體層133及143可為連續的1層。且，III族氮化物半導體層135及145可為連續的1層。且，III族氮化物半導體層137及147可為連續的1層。且，2維電子氣體136及146可呈連續狀態。

【0131】根據上述構成，具有可確保低導通電阻之厚度的金屬層131與楊氏模數較金屬層131更大且較半導體層140及150更厚之金屬層130相接觸，故可抑制半導體層140及150與金屬層131接觸造成之半導體裝置100的翹曲。因此，可提供一種已兼顧降低導通電阻與抑制翹曲之晶片尺寸封裝型半導體裝置100。

【0132】圖21係實施形態之1個構成半導體裝置200之垂直型SiC電晶體的概略截面圖。半導體裝置200係可面朝下安裝之晶片尺寸封裝型SiC(碳化矽)功率電晶體。如圖21所示，構成半導體裝置200之SiC電晶體具備：含高濃度n型不純物之SiC基板232、低濃度n型不純物層233、金屬層230及231。低濃度n型不純物層233中，於內部設有具高濃度n型不純物層之p型不純物層。又，p型不純物層內部之高濃度n型不純物層的表面及p型不純物層之表面係

設置成與源極電極211(及221)接觸，且於p型不純物層內部之高濃度n型不純物層與低濃度n型不純物層233之間之與p型不純物層相對向的位置隔著絕緣膜216設有閘極導體219(及229)。

屬低濃度n型不純物層233及SiC基板232之積層體的半導體層240具有相互背向之第1主面及第2主面。

【0133】金屬層231係由第1金屬材料構成之第1金屬層，其較半導體層240更厚，並具有相互背向之第3主面及第4主面，且第3主面係形成成與第2主面接觸。

【0134】金屬層230係由楊氏模數較第1金屬材料更大之第2金屬材料構成之第2金屬層，其較半導體層240更厚，並具有相互背向之第5主面及第6主面，且第5主面係形成成與第4主面接觸。

【0135】又，於半導體層240之第1區域形成有由SiC基板232、低濃度n型不純物層233、金屬層230及231、閘極導體219及源極電極211構成之第1垂直型SiC電晶體，且於與第1區域在沿著第1主面之方向上鄰接之第2區域形成有由SiC基板232、低濃度n型不純物層233、金屬層230及231、閘極導體229及源極電極221構成之第2垂直型SiC電晶體。

金屬層231係作為第1垂直型SiC電晶體及第2垂直型SiC電晶體之共通汲極電極發揮功能。

【0136】根據上述構成，具有可確保低導通電阻之厚度的金屬層231與楊氏模數較金屬層231更大且較半導體

層40B更厚之金屬層230相接觸，故可抑制半導體層40B與金屬層231接觸造成之半導體裝置半導體裝置200的翹曲。因此，可提供一種已兼顧降低導通電阻與抑制翹曲之晶片尺寸封裝型半導體裝置200。

【0137】產業上之可利用性

本願發明之半導體裝置可作為CSP型半導體裝置廣泛利用於雙向電晶體之各種半導體裝置。

【符號說明】

【0138】 1、1A、1B、1C、1D、1E、1F、1G、1H、1J、100、200...半導體裝置

2...控制IC

3...電池

4...負載

10...電晶體(第1垂直型MOS電晶體)

11、11a、11A、11b、11B、11c、11d、21、21a、21A、21b、21B、21c、21d、111、121、211、221...

源極電極

12、13、22、23...部分

14、24...源極區域

15、25、119、129、219、229...閘極導體

16、26...閘極絕緣膜

18、28...本體區域

19、19A、19B、29、29A、29B...閘極電極

20...電晶體(第2垂直型MOS電晶體)

第 108101837 號專利案說明書替換本 109.12.28

30、31、130、131、230、231...金屬層

30a、30b、31a、31b、40a、40b、50a、50b、51a、

51b...主面

32...半導體基板

33...低濃度不純物層

34...層間絕緣層

35...鈍化層

36A、36B、37A、37B、38...突起部

39...合成物

40、140、150、240...半導體層

41、42、43A、43B、60...溝部

44...非晶質半導體

50、51...覆蓋層

70A、70C、70E...第1層

70B、70D、70F...第2層

132...基板

133、134、135、137、143、144、145、147...III

族氮化物半導體層

136、146...2維電子氣體

216...絕緣膜

232...SiC基板

233...低濃度n型不純物層

A1...第1區域

A2...第2區域

L1...長邊長度

L2...短邊長度

LgA、LgB、PgA、PgB、Pg1、Pg2...間隔

【發明申請專利範圍】

【第1項】 一種半導體裝置，係可面朝下安裝之晶片尺寸封裝型半導體裝置，其具有：

半導體層，係由矽、氮化鎵或碳化矽構成，且具有相互背向之第1主面及第2主面；

第1金屬層，係由第1金屬材料構成且較前述半導體層更厚，並具有相互背向之第3主面及第4主面，且前述第3主面係形成與前述第2主面接觸；

第2金屬層，係由楊氏模數較前述第1金屬材料更大之第2金屬材料構成，且較前述半導體層更厚，並具有相互背向之第5主面及第6主面，且前述第5主面係形成與前述第4主面接觸；

第1垂直型場效電晶體，係形成於前述半導體層之第1區域；及

第2垂直型場效電晶體，係形成於前述半導體層中與前述第1區域在沿著前述第1主面之方向上鄰接之第2區域；

前述第1垂直型場效電晶體於前述半導體層之前述第1主面側具有第1源極電極及第1閘極電極；

前述第2垂直型場效電晶體於前述半導體層之前述第1主面側具有第2源極電極及第2閘極電極；

前述第1金屬層係作為前述第1垂直型場效電晶體及前述第2垂直型場效電晶體之共通汲極電極發揮功能；且

以從前述第1源極電極經由前述共通汲極電極至前述

第2源極電極為止之雙向路徑作為主電流路徑。

【第2項】 如請求項1之半導體裝置，其中前述第6主面之水平方向的凹凸周期較構成前述第2金屬層之晶粒的前述水平方向的結晶粒徑更大。

【第3項】 如請求項1之半導體裝置，其中前述第5主面中之前述第2金屬層的結晶粒徑較前述第4主面中之前述第1金屬層的結晶粒徑更小。

【第4項】 如請求項1之半導體裝置，其中前述第2金屬材料的線膨脹係數較前述第1金屬材料的線膨脹係數更小。

【第5項】 如請求項1之半導體裝置，其中前述第2金屬層的厚度為30 μ m以下。

【第6項】 如請求項1之半導體裝置，其中前述第2金屬層包含：

具有前述第5主面的第1層；及

具有前述第6主面的第2層；

並且，前述第2層的結晶粒徑較前述第1層的結晶粒徑更大。

【第7項】 如請求項1之半導體裝置，其中前述第2金屬層包含：

具有前述第5主面的第1層；及

具有前述第6主面的第2層；

並且，前述第2層的結晶粒徑較前述第1層的結晶粒徑更小。

【第8項】 如請求項1之半導體裝置，其中前述第2金屬層包含：

具有前述第5主面的第1層；及

具有前述第6主面的第2層；

並且，前述第1層的結晶粒徑與前述第2層的結晶粒徑大略相同，且前述第2金屬層的結晶粒徑較前述第1金屬層的結晶粒徑更小。

【第9項】 如請求項1之半導體裝置，其中前述第2金屬層包含：

具有前述第5主面的第1層；及

具有前述第6主面的第2層；

並且，於前述第6主面的水平方向上，構成前述第1層的金屬結晶與構成前述第2層的金屬結晶之優先定向面不同。

【第10項】 如請求項9之半導體裝置，其中於前述第6主面的水平方向上，構成前述第1層及前述第2層之其中一者的金屬結晶係於{100}面優先定向，而構成前述第1層及前述第2層中之另一者的金屬結晶係於{110}面優先定向。

【第11項】 如請求項1之半導體裝置，其中構成前述第2金屬層的金屬結晶係在前述第6主面上於{100}面優先定向。

【第12項】 如請求項1之半導體裝置，其中構成前述第2金屬層的金屬結晶係在前述第6主面上於{110}面優先定向。

【第13項】如請求項1之半導體裝置，其更具有形成於前述第2金屬層之前述第6主面的標記，且前述標記的圖案寬度較前述第6主面之水平方向的凹凸周期更大。

【第14項】如請求項13之半導體裝置，其中前述標記的圖案深度較前述第6主面的凹凸的最大高度粗度更大。

【第15項】如請求項1之半導體裝置，其更具有第1突起部，該第1突起部係在俯視前述第2金屬層時之前述第2金屬層之外周，從前述第5主面朝前述第6主面之方向自前述第6主面突出；且

前述第1突起部包含前述第1金屬材料及前述第2金屬材料之至少一者。

【第16項】如請求項15之半導體裝置，其中前述第1突起部形成於在前述俯視時前述第2金屬層外周之相對向的2邊。

【第17項】如請求項15之半導體裝置，其中前述第1突起部的突出高度為前述第2金屬層之厚度的1/3以上。

【第18項】如請求項15之半導體裝置，其中前述第1突起部的突出寬度為4 μ m以上。

【第19項】如請求項15之半導體裝置，其中前述第1突起部中之前述第2金屬材料的含量較前述第1突起部中之前述第1金屬材料的含量更多。

【第20項】如請求項1之半導體裝置，其中當俯視前述半導體層時，前述半導體層的外周係距離前述第1金屬層的外周隔著間隔而形成於內側；

並且該半導體裝置更具有第2突起部，該第2突起部係在俯視前述第1金屬層時之前述第1金屬層之外周，從前述第4主面朝前述第3主面之方向自前述第3主面突出；且

前述第2突起部包含前述第1金屬材料及前述第2金屬材料之至少一者。

【第21項】如請求項20之半導體裝置，其中前述第2突起部形成在前述俯視時之前述第1金屬層外周之相對向的2邊。

【第22項】如請求項1之半導體裝置，其更於前述第1金屬層及前述第2金屬層之至少一者的外周側面具有第3突起部，且當俯視前述第1金屬層時，該第3突起部係於從前述第1金屬層之中央朝前述第1金屬層之外周的方向上。

【第23項】如請求項1之半導體裝置，其更具有第1覆蓋層，該第1覆蓋層係由陶瓷材料或塑膠材料構成，並具有相互背向之第7主面及第8主面，且前述第7主面係形成成與前述第6主面接觸。

【第24項】如請求項1之半導體裝置，其更於俯視前述第1金屬層時之前述第1金屬層之外緣部具有第2覆蓋層，該第2覆蓋層係由陶瓷材料或塑膠材料構成，並具有相互背向之第9主面及第10主面，且前述第10主面係形成成與前述第3主面接觸。

【第25項】如請求項24之半導體裝置，其具有溝部，該溝部係沿著前述半導體層之外緣部亦即前述半導體層之外周邊而形成，且以前述第3主面為底面。

【第26項】如請求項1之半導體裝置，其更於前述第1金屬層及前述第2金屬層之至少一者的外周側面形成有前述第1金屬材料與前述第2金屬材料之合成物。

【第27項】如請求項26之半導體裝置，其中前述合成物係當俯視前述第1金屬層及前述第2金屬層時，跨前述半導體裝置全周地形成於前述外周側面。

【第28項】如請求項26之半導體裝置，其中在從前述第3主面朝前述第6主面之方向上，前述合成物之中心位置係在從前述第3主面至前述第6主面為止之距離的一半位置與前述第6主面之位置之間。

【第29項】如請求項1之半導體裝置，其中在俯視前述半導體層時，前述半導體層之外周係距離前述第1金屬層之外周隔著間隔而形成於內側。

【第30項】如請求項29之半導體裝置，其中在前述俯視下，前述半導體層之外周係跨全周皆距離前述第1金屬層之外周隔著間隔而形成於內側。

【第31項】如請求項29之半導體裝置，其中前述間隔的長度為 $15\mu\text{ m}$ 以上。

【第32項】如請求項29之半導體裝置，其中前述半導體層外周側面中之與前述第3主面相接的前述第2主面側之端部側面的凹凸的最大高度粗度，係與前述半導體層外周側面中之前述第1主面側之側面的凹凸的最大高度粗度大略相等。

【第33項】如請求項29之半導體裝置，其中前述半導

體層之外周側面具有包含銳角之頂點的凹凸形狀。

【第34項】如請求項29之半導體裝置，其中前述半導體層之外周側面係被非晶質半導體被覆。

【第35項】如請求項1之半導體裝置，其中前述半導體層具有：

半導體基板，係由矽構成且形成於前述第2主面側；
及

低濃度不純物層，含有濃度較前述半導體基板所含第1導電型不純物之濃度更低的前述第1導電型不純物，且形成於前述第1主面側；

前述第1垂直型場效電晶體於前述半導體層表面具有第1多個溝部，該第1多個溝部充填有包含第1閘極導體之固體構件，

前述第2垂直型場效電晶體於前述半導體層表面具有第2多個溝部，該第2多個溝部充填有包含第2閘極導體之固體構件；

前述半導體裝置更具有第3多個溝部，該第3多個溝部係沿著前述半導體層之外緣部表面亦即前述半導體層之外周邊而形成，且充填有含矽之固體構件。

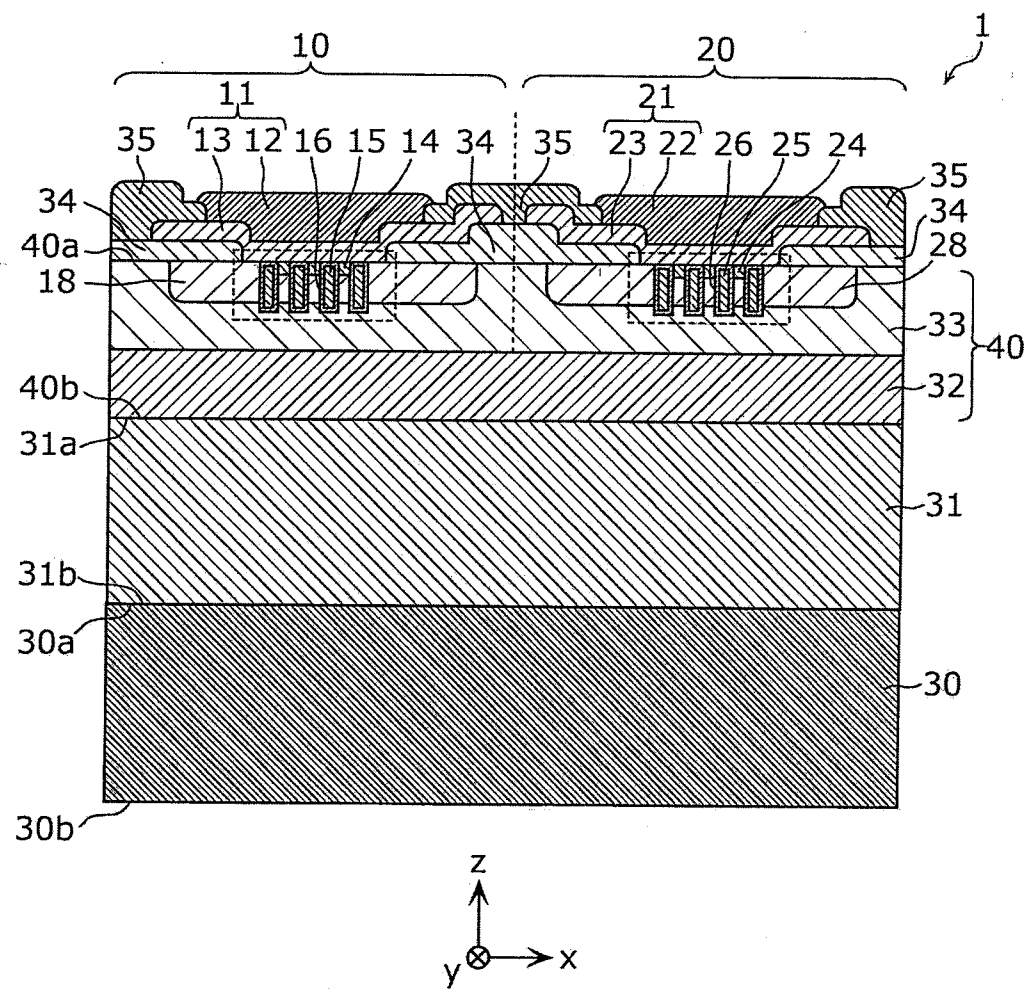
【第36項】如請求項35之半導體裝置，其中前述第1多個溝部與前述第3多個溝部之間隔、及前述第2多個溝部與前述第3多個溝部之間隔較前述第1多個溝部之相鄰溝部的間隔更大，且較前述第2多個溝部之相鄰溝部之間隔更大。

【第37項】如請求項35之半導體裝置，其更具有保護層，該保護層係形成與前述第1源極電極或前述第2源極電極部分重疊；

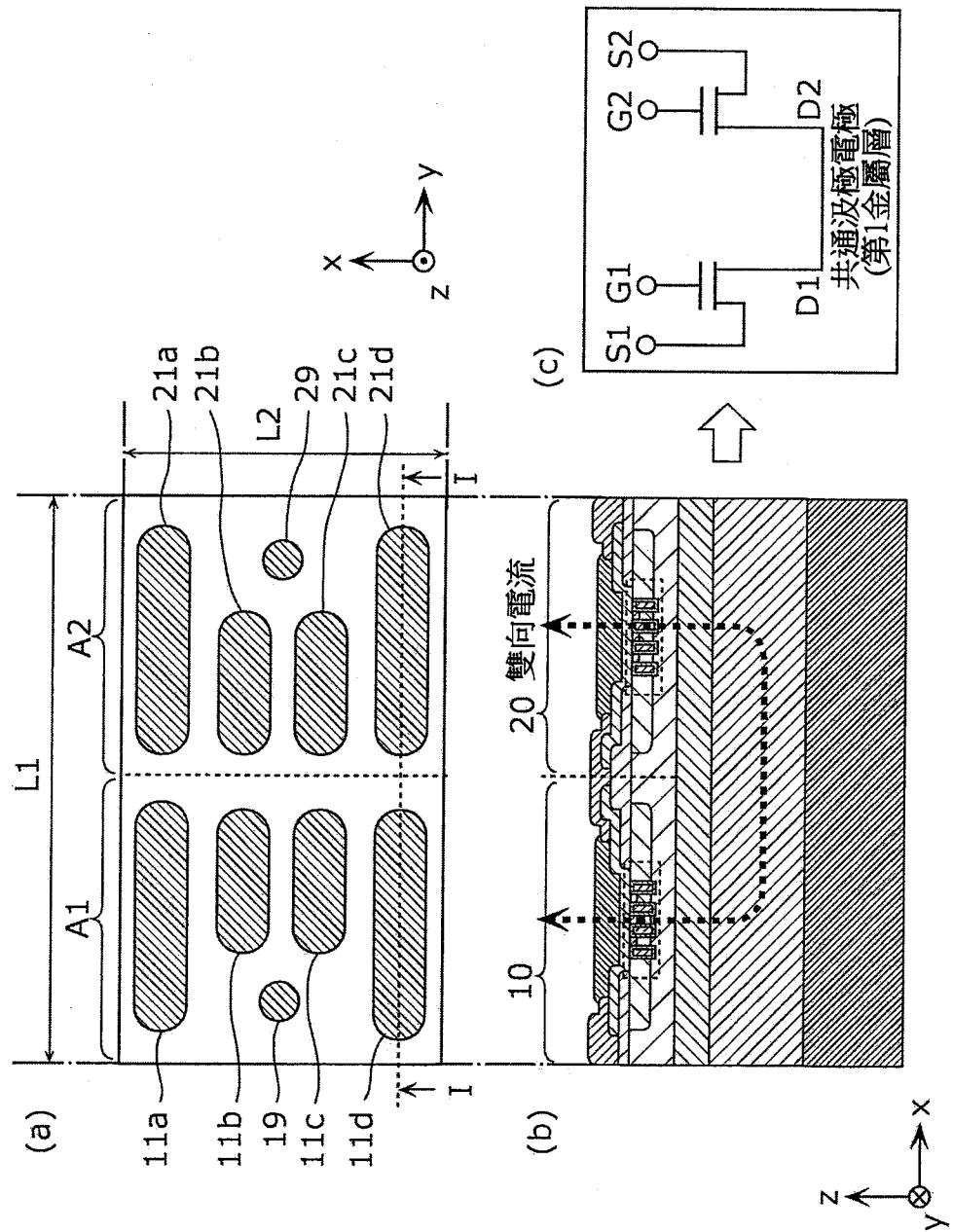
當俯視前述半導體層時，前述保護層的外周係距離前述半導體層之外周隔著間隔而形成於內側；

前述第3多個溝部在前述俯視下，係自前述半導體層之外周形成至前述保護層之外周為止。

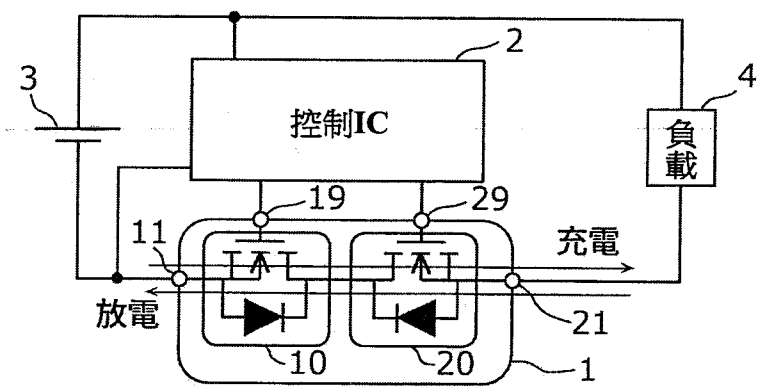
【第38項】如請求項35之半導體裝置，其中前述第3多個溝部之溝部間距係與前述第1多個溝部之溝部間距及前述第2多個溝部之溝部間距相同。



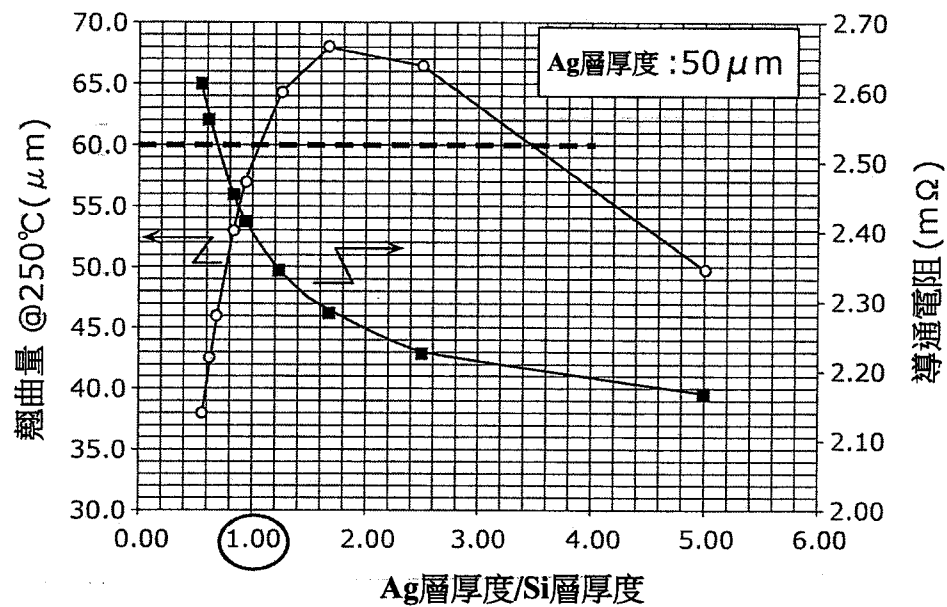
【圖1】



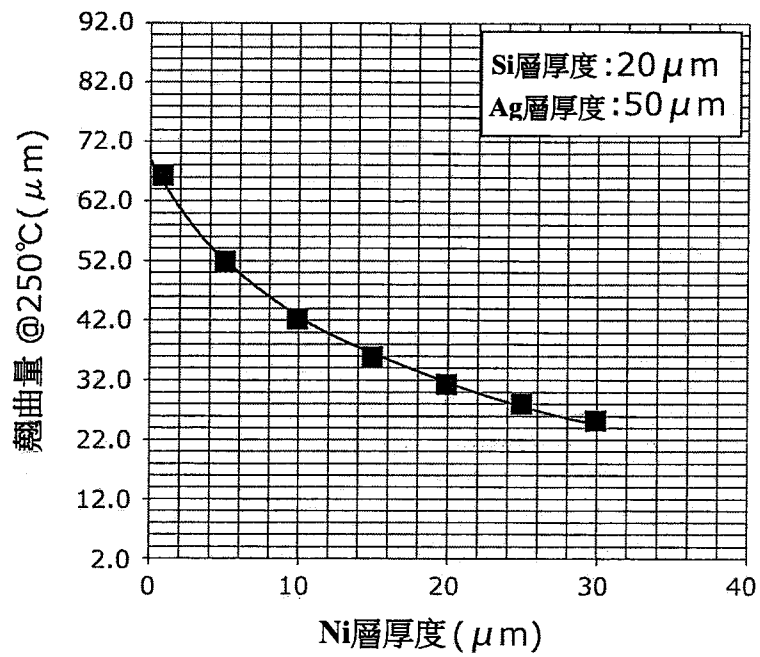
【圖2】



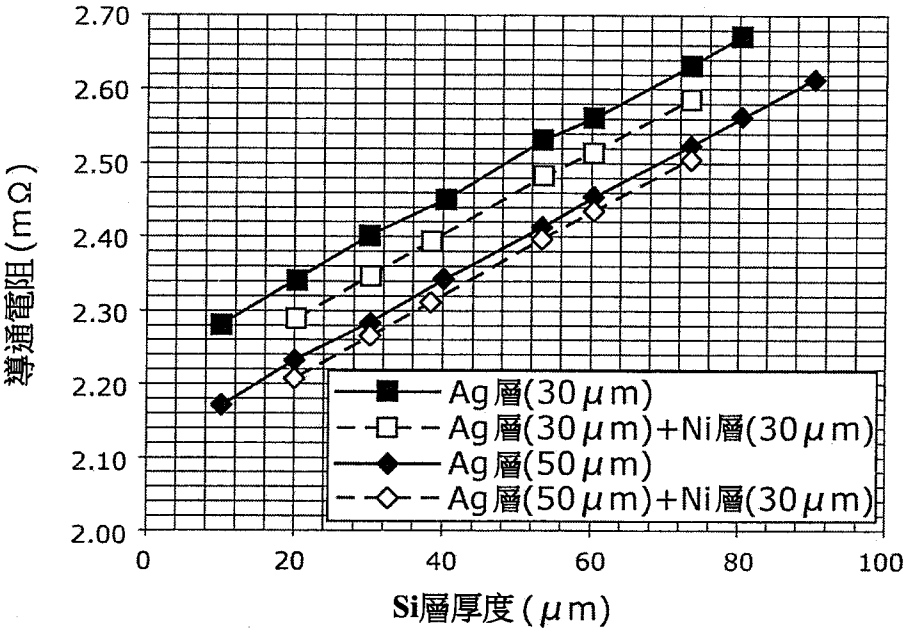
【圖3】



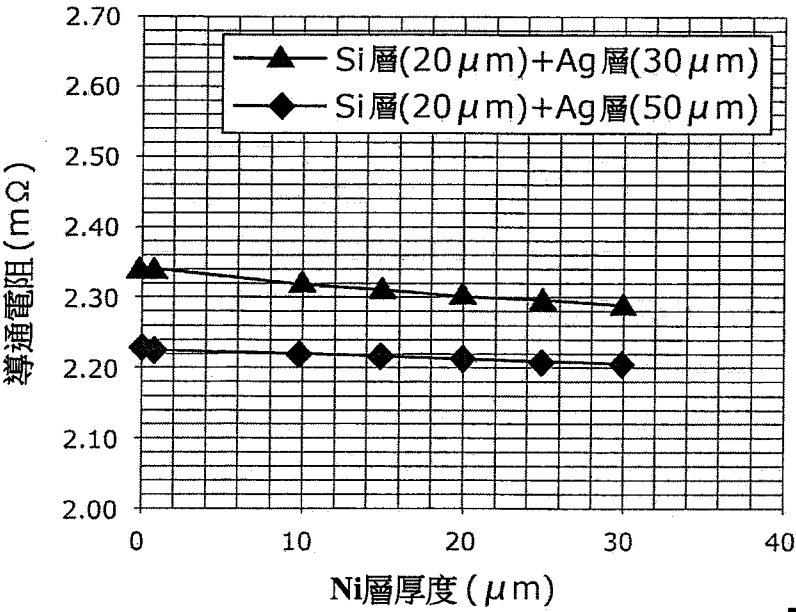
【圖4A】



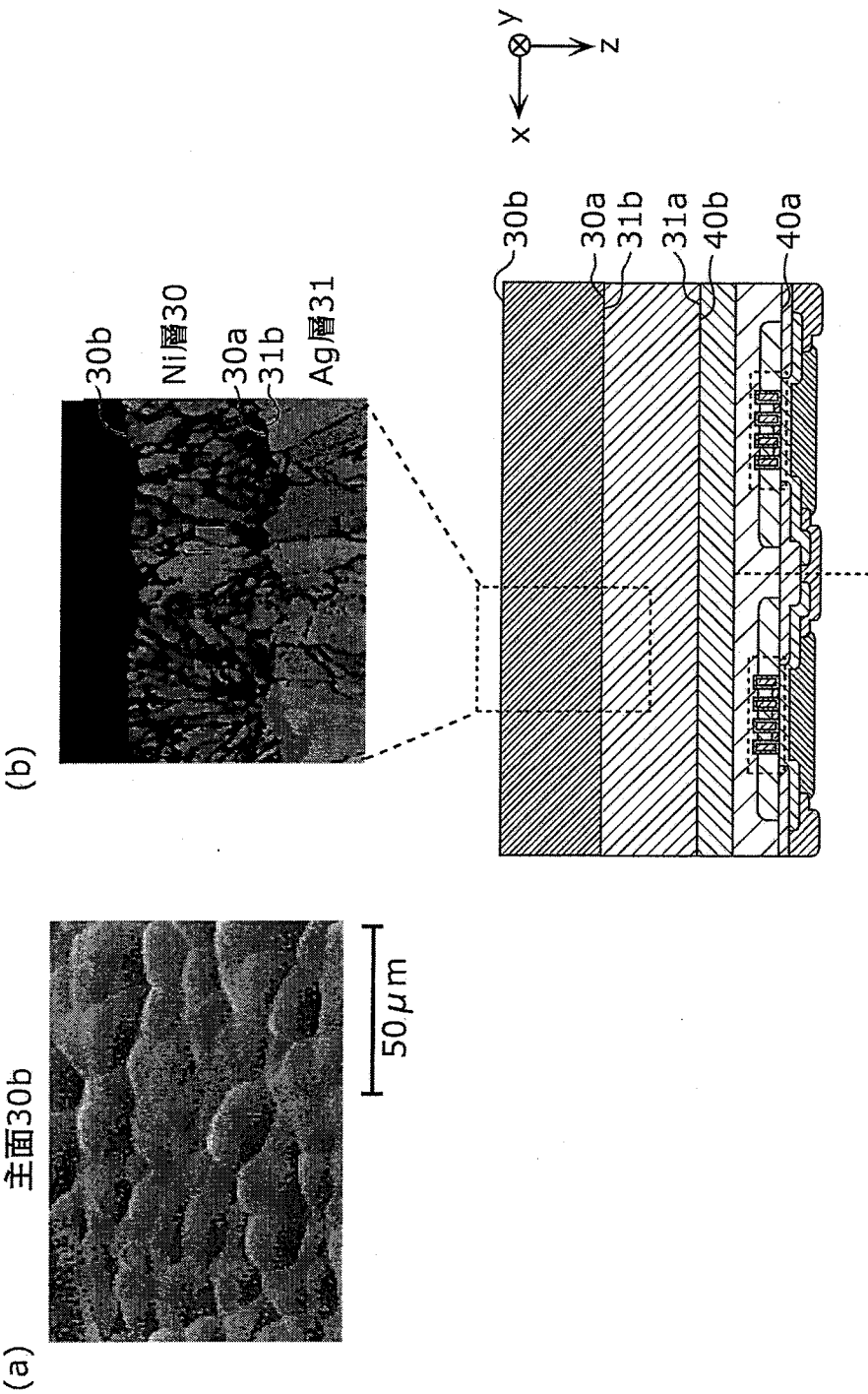
【圖4B】



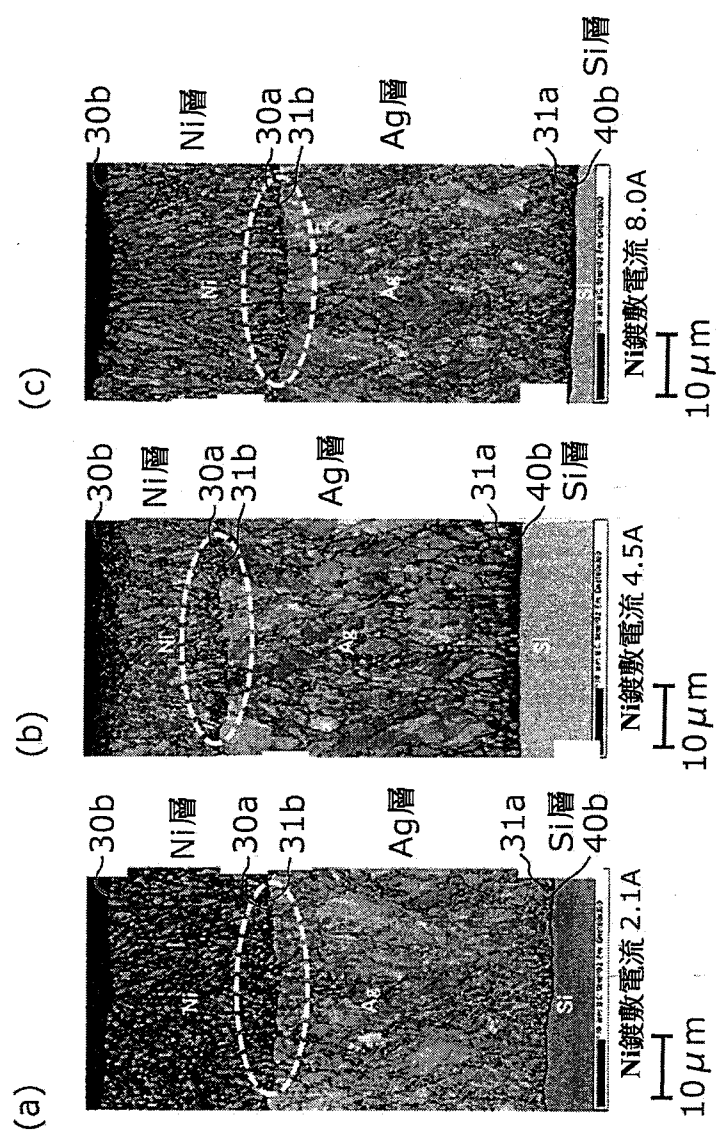
【圖5A】



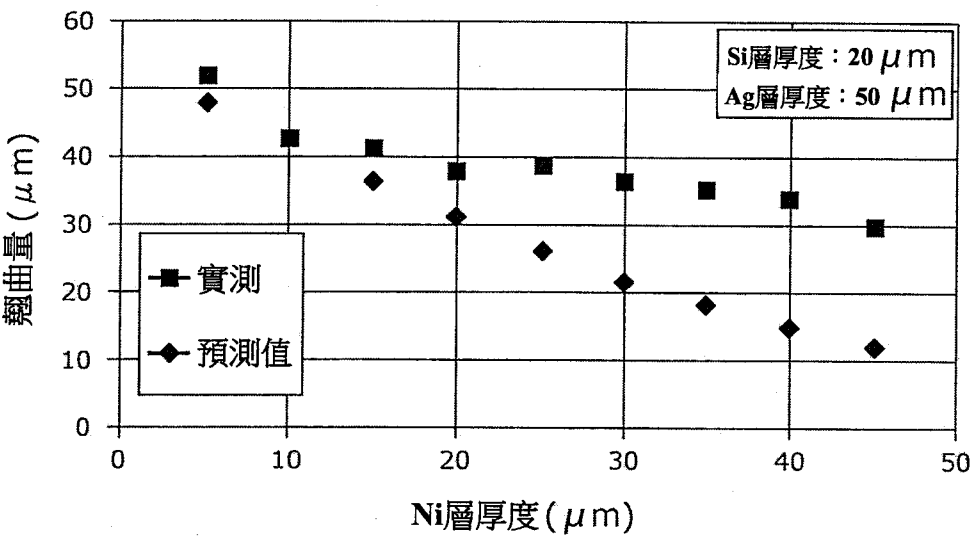
【圖5B】



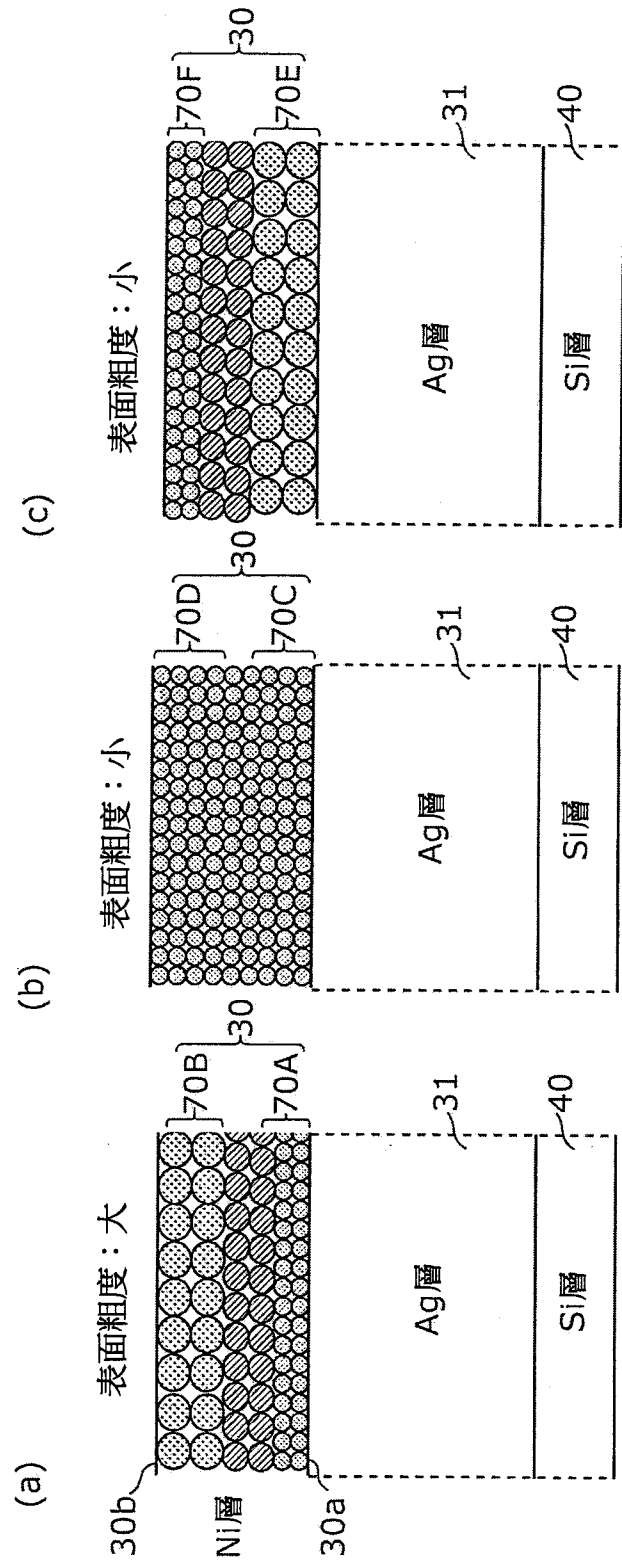
【圖6】



【圖7】

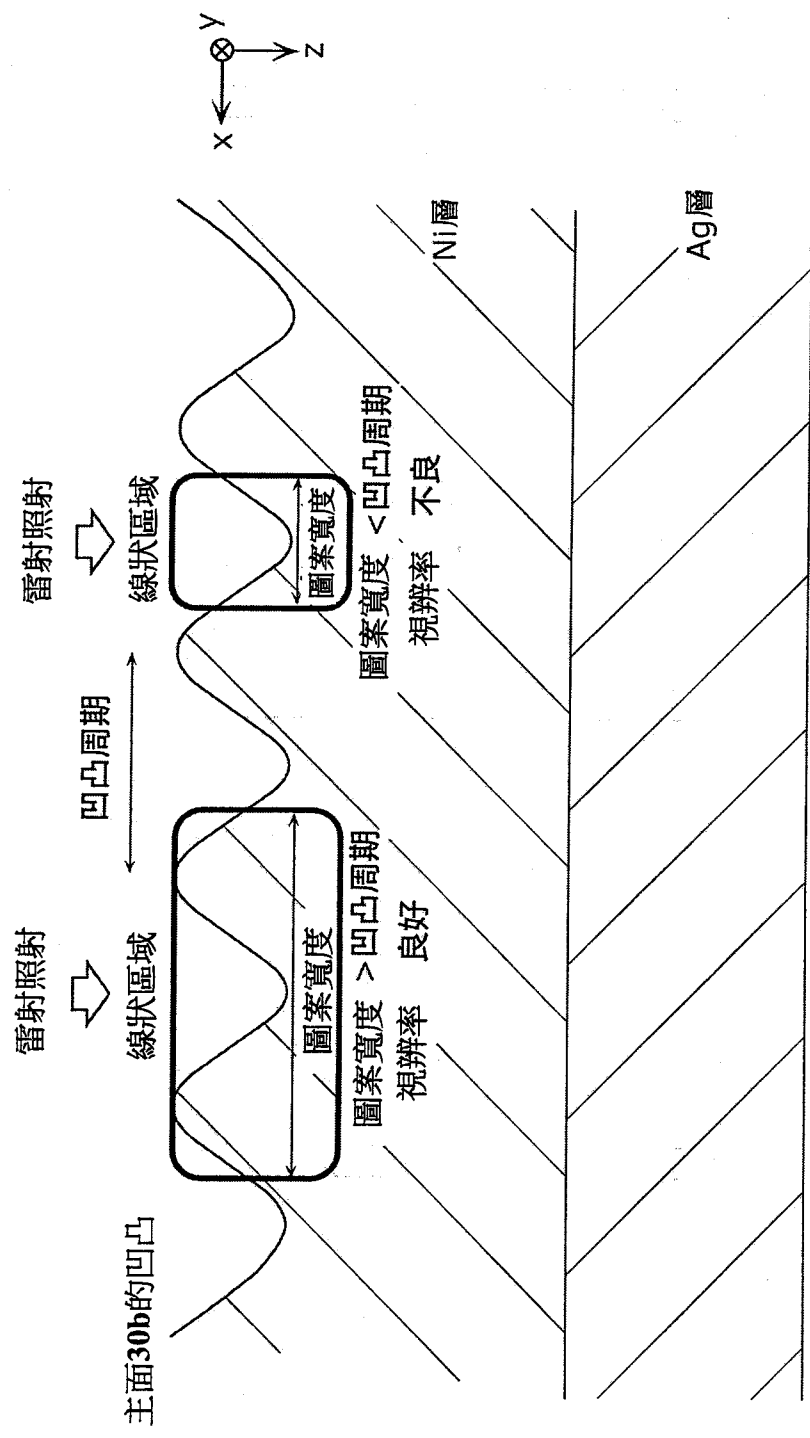


【圖8】

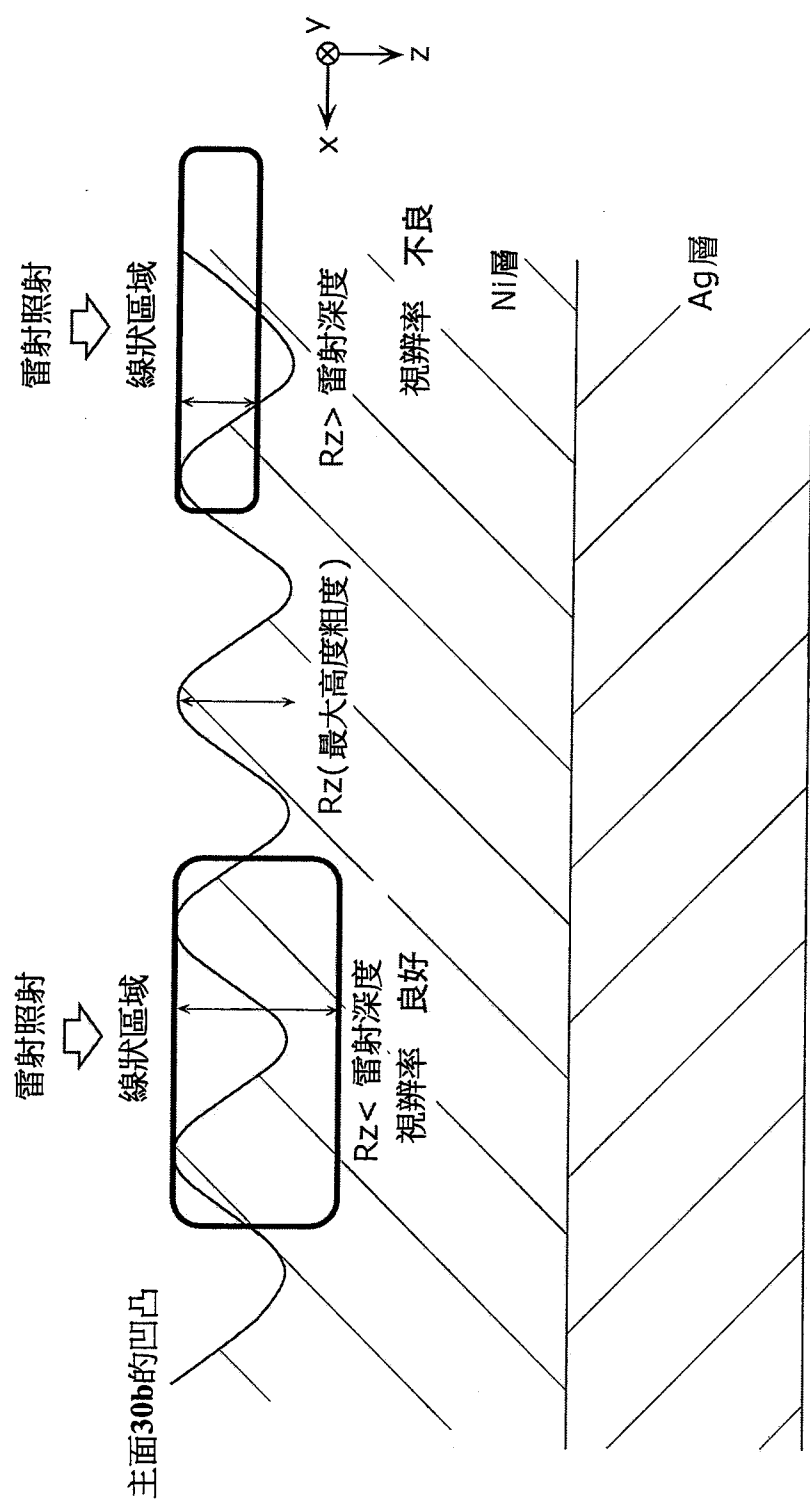


【圖9】

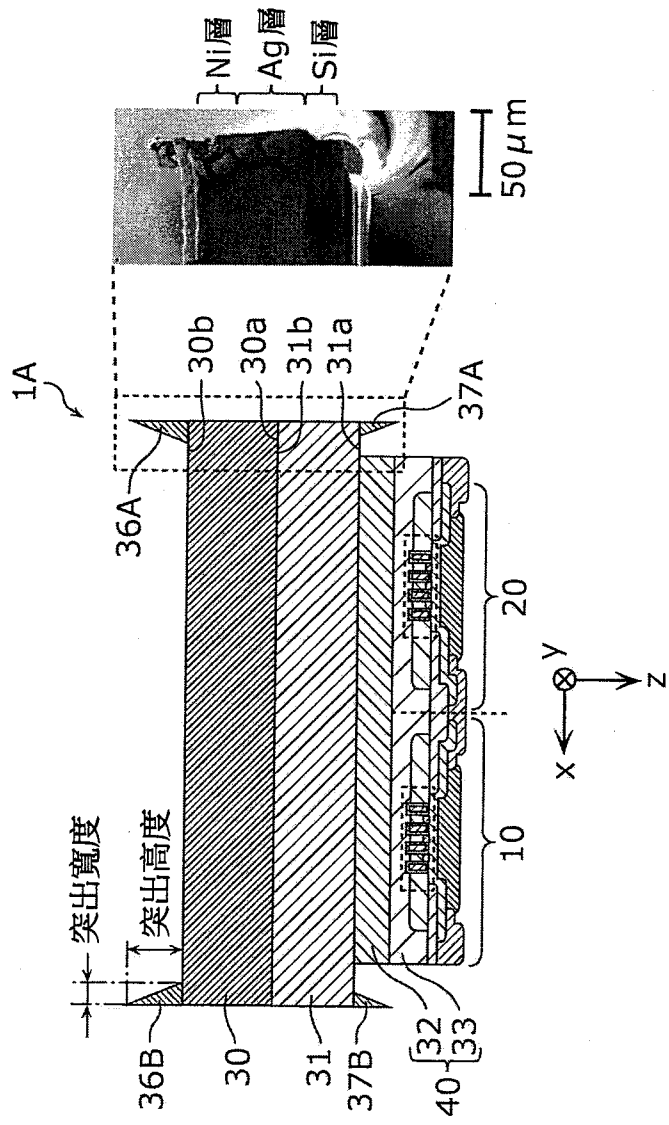




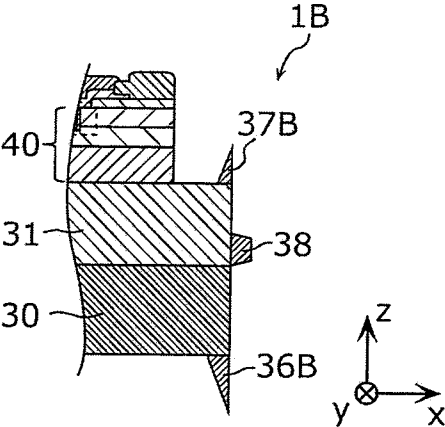
【圖11】



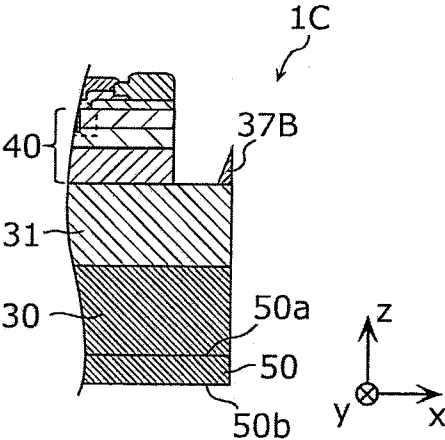
【圖12】



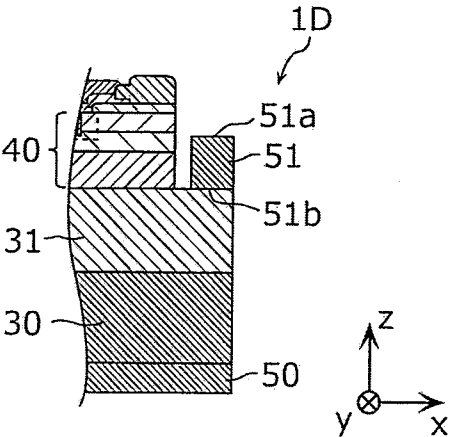
【圖13A】



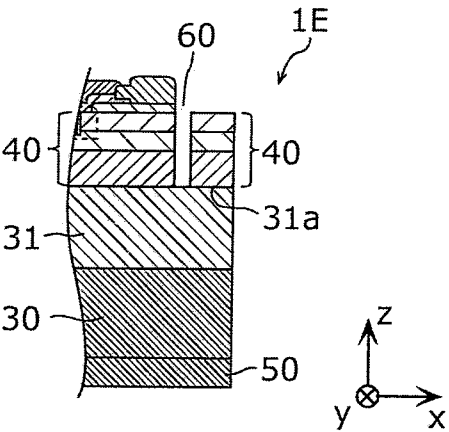
【圖13B】



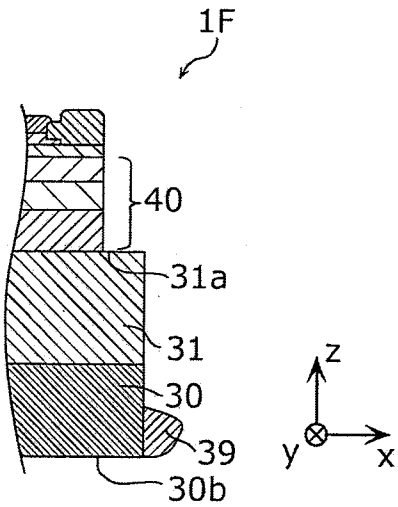
【圖13C】



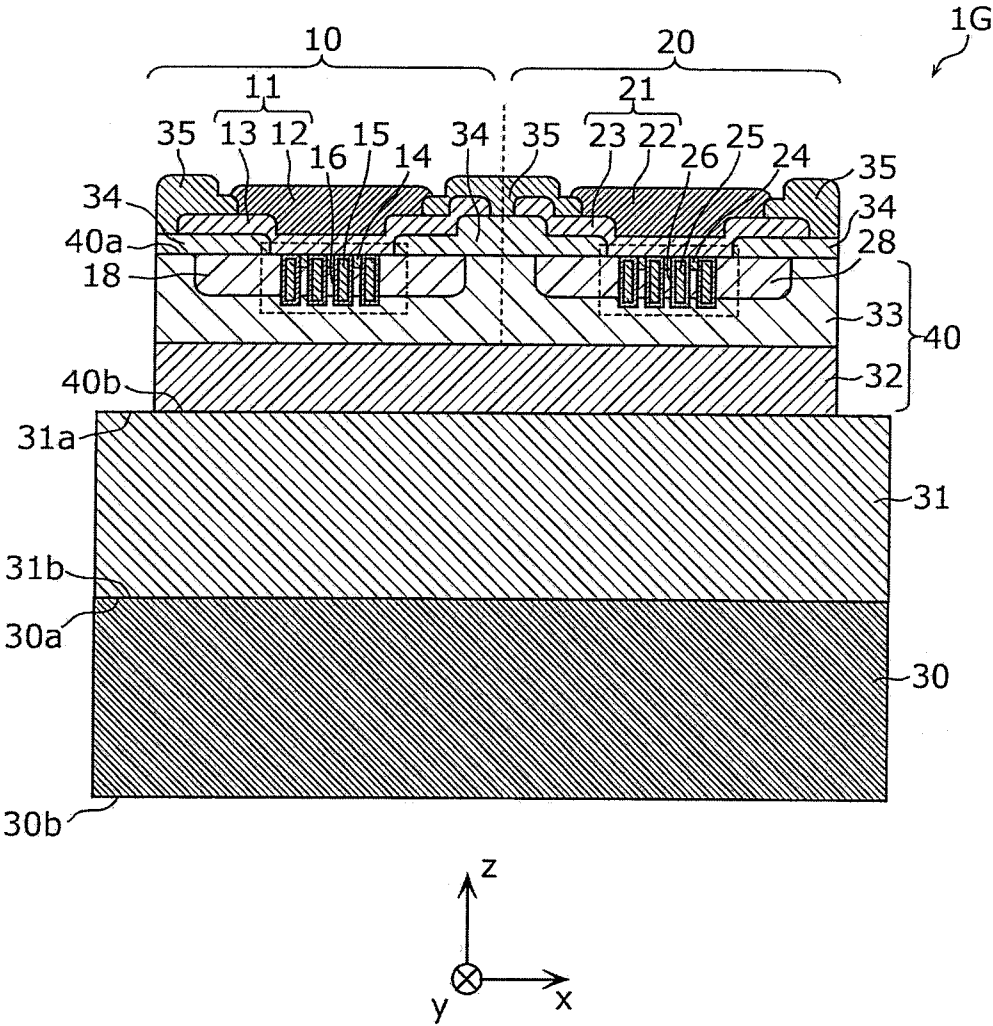
【圖13D】



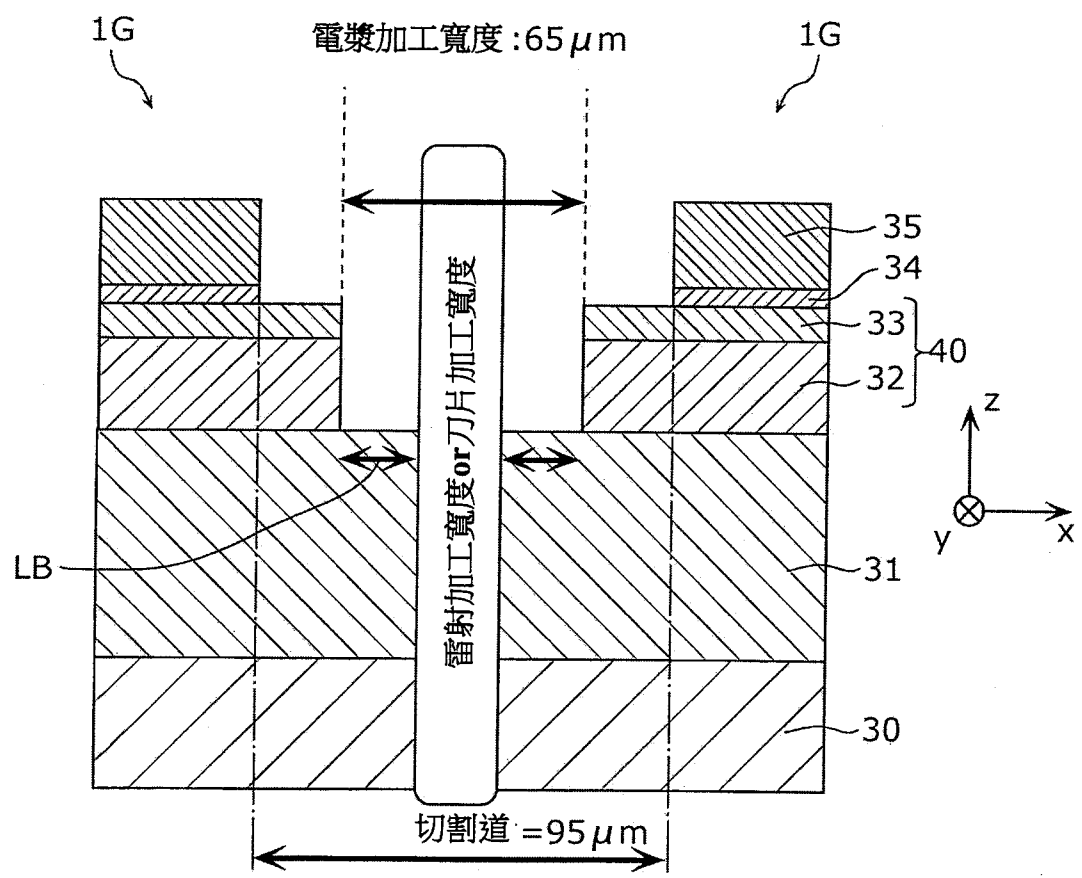
【圖13E】



【圖13F】



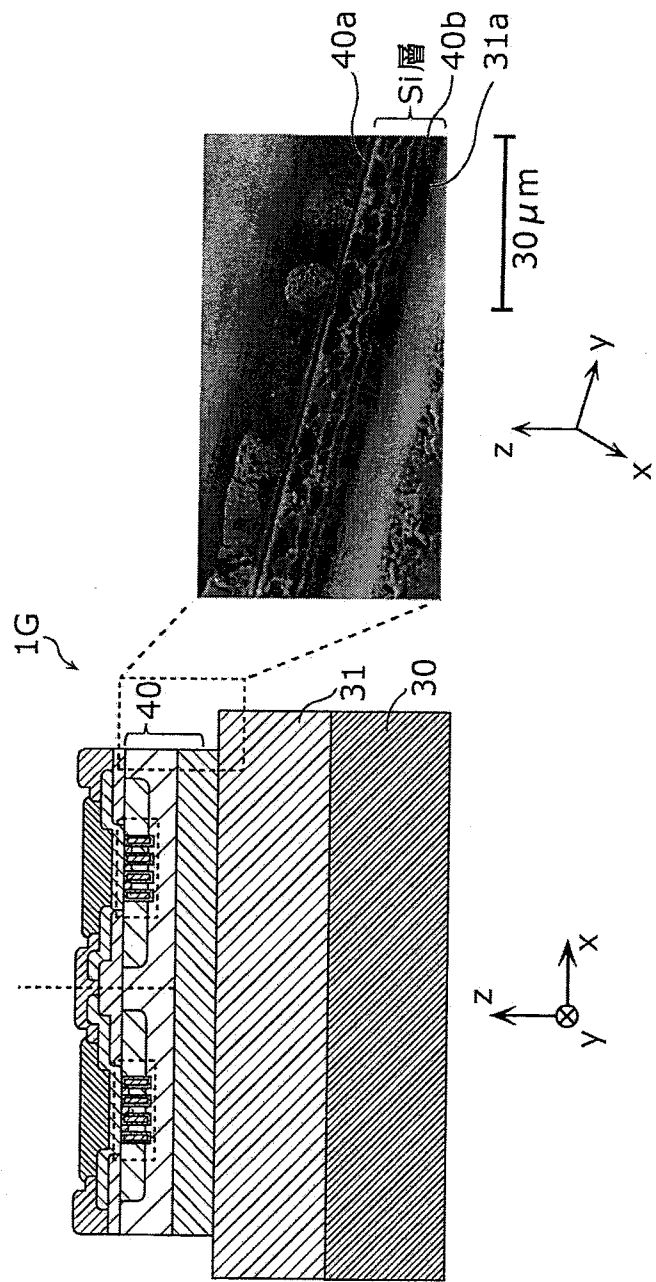
【圖14】



後退距離LB = { 65 - (雷射加工寬度or刀片加工寬度) } / 2
= 15 ~ 17 μm

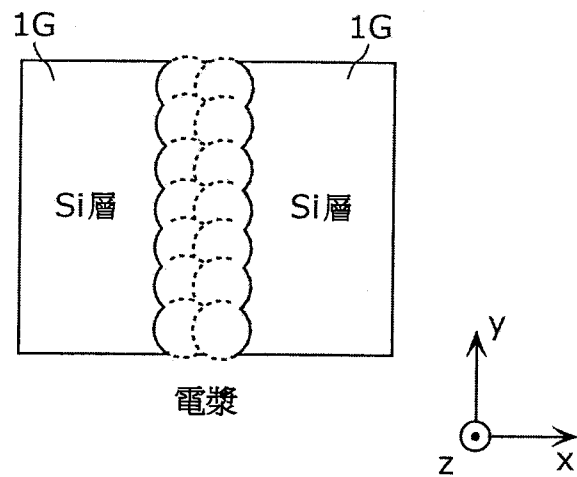
(雷射加工寬度or刀片加工寬度) = 30 ~ 35 μm

【圖15】

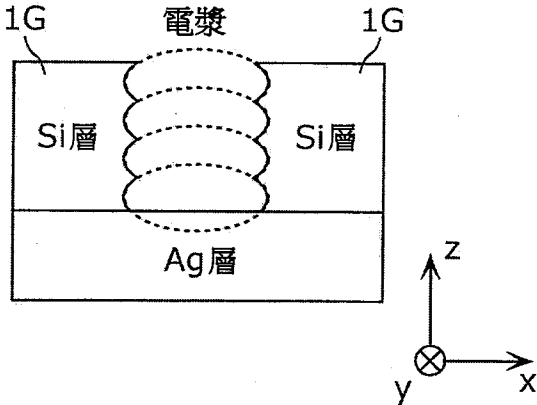


【圖16】

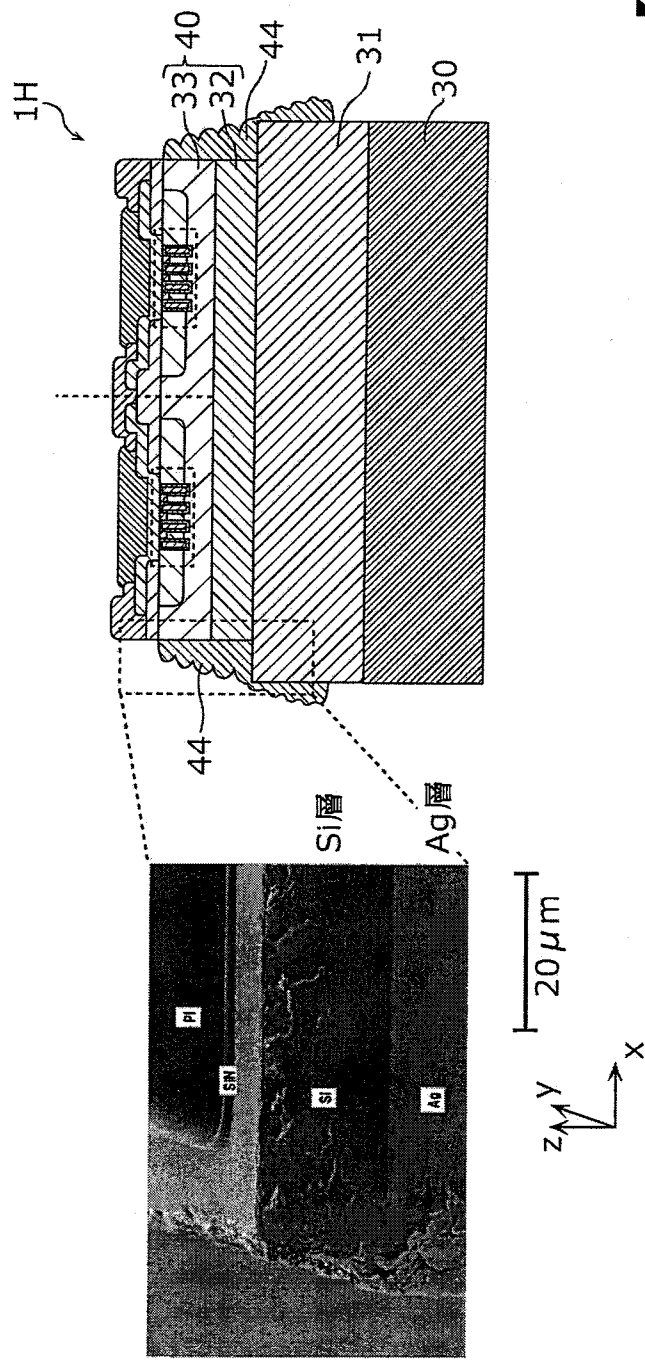
(a)



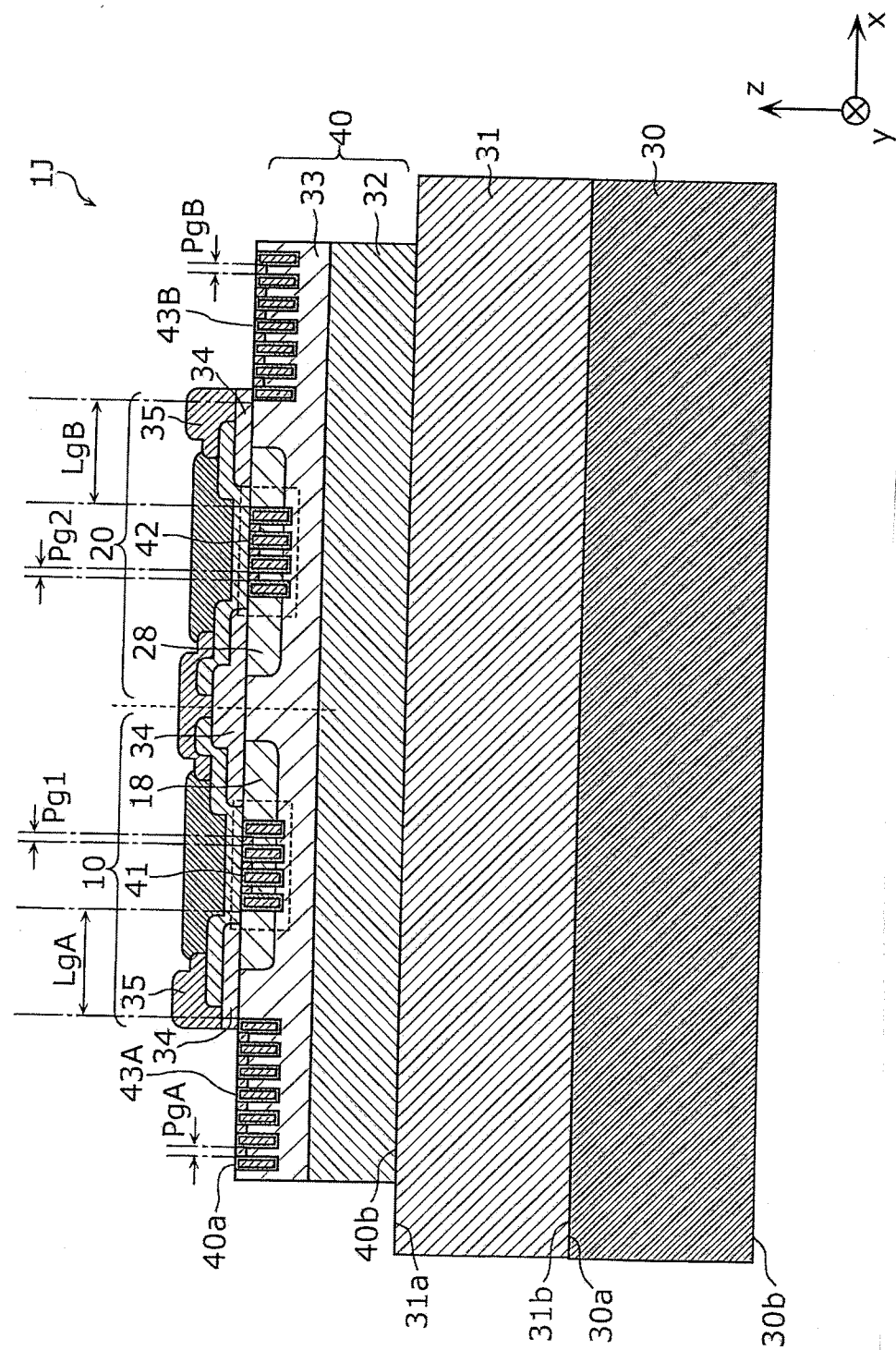
(b)



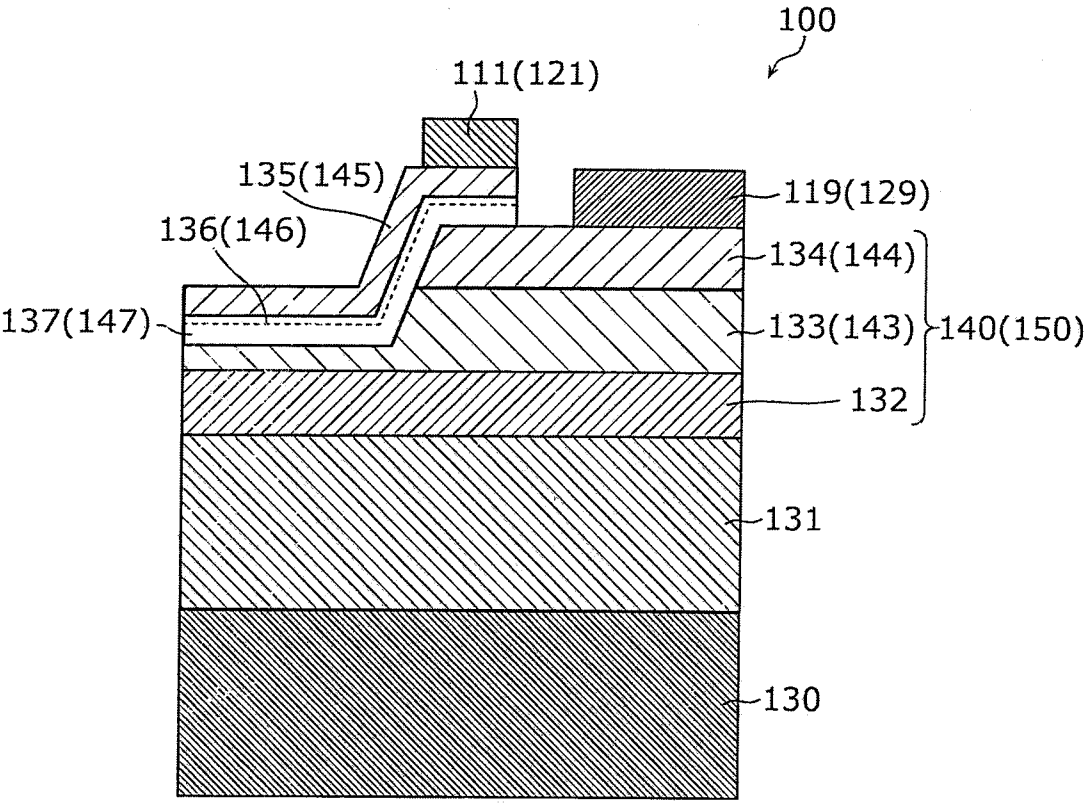
【圖17】



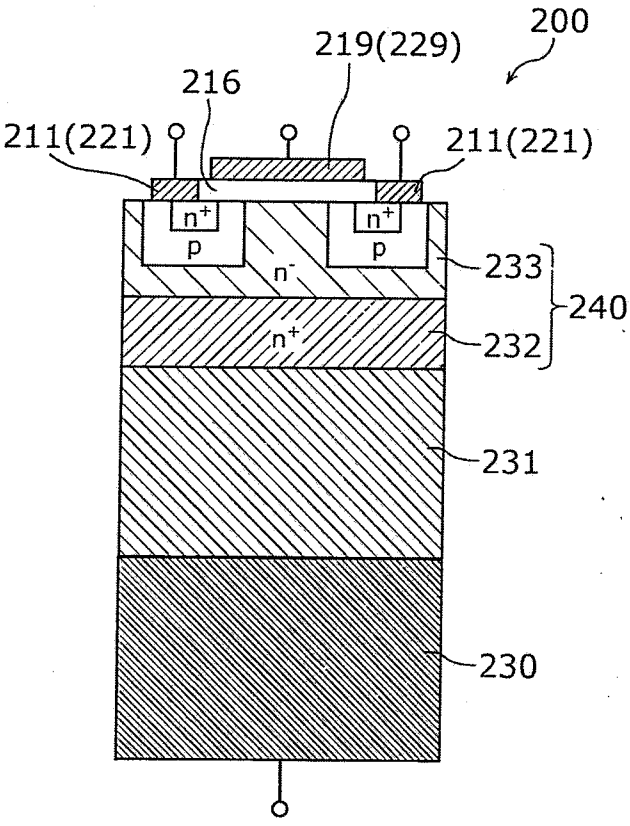
【圖18】



【圖19】



【圖20】



【圖21】