

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4188321号  
(P4188321)

(45) 発行日 平成20年11月26日(2008.11.26)

(24) 登録日 平成20年9月19日(2008.9.19)

(51) Int.Cl. F I  
H O 2 H 9/02 (2006.01) H O 2 H 9/02 E

請求項の数 4 (全 9 頁)

(21) 出願番号	特願2004-551482 (P2004-551482)	(73) 特許権者	300057230
(86) (22) 出願日	平成15年9月29日(2003.9.29)		セミコンダクター・コンポーネンツ・イン
(65) 公表番号	特表2006-506038 (P2006-506038A)		ダストリーズ・リミテッド・ライアビリティ
(43) 公表日	平成18年2月16日(2006.2.16)		ィ・カンパニー
(86) 国際出願番号	PCT/US2003/030722		アメリカ合衆国 アリゾナ州 85008
(87) 国際公開番号	W02004/045037		フェニックス イースト・マクドウェル
(87) 国際公開日	平成16年5月27日(2004.5.27)		・ロード5005
審査請求日	平成18年7月13日(2006.7.13)	(74) 代理人	100091915
(31) 優先権主張番号	10/287,831		弁理士 本城 雅則
(32) 優先日	平成14年11月5日(2002.11.5)	(74) 代理人	100099106
(33) 優先権主張国	米国 (US)		弁理士 本城 吉子
前置審査		(72) 発明者	ボール, アラン
			アメリカ合衆国 アリゾナ州 85296
			ギルバート イースト・ホースシュー・
			アベニュー530
			最終頁に続く

(54) 【発明の名称】 集積突入電流リミッタ回路および方法

(57) 【特許請求の範囲】

【請求項 1】

突入電流リミッタ回路において、

制御信号に応答して動作し、供給電圧を受け取るために入力ノードに結合された第1ソース、および、前記突入電流リミッタ回路の出力ノードに結合されたドレインを有する第1トランジスタであって、前記出力ノードは、前記供給電圧を同時に供給する電源に差込むために構成されており、前記ドレインは、保護信号として前記出力ノードへ前記供給電圧の負荷電流をルートするため結合される、第1トランジスタと、

前記制御信号に応答して動作し、前記第1ソースに比例縮小し、かつ、センス電流として前記出力ノードに前記負荷電流の一部をルートするために前記入力ノードに結合された第2ソースを有する第2トランジスタであって、前記第2トランジスタは、前記第1トランジスタのゲートと共通するゲートを有する、前記第2トランジスタと、

前記センス電流を受取り、それに応じて前記第1トランジスタを通して流れる電流の最大値を動作可能に制限する制御信号を形成するために構成される検出回路であって、前記最大値はゼロより大きい、検出回路と、

から構成されることを特徴とする突入電流リミッタ回路。

【請求項 2】

前記検出回路を形成するための第1表面、および、前記第1トランジスタの前記ドレインを形成するための第2表面を有する半導体基板をさらに含み、

前記第1トランジスタの前記ドレインおよび前記第2トランジスタのドレインは、前記

10

20

半導体基板の共通領域内に形成され、

前記第 1 および第 2 トランジスタは、前記制御信号を受信するために前記検出回路の出力に結合された共通ゲートを有する、

ことを特徴とする請求項 1 記載の突入電流リミッタ回路。

【請求項 3】

第 1 および第 2 ノードを結合するための突入電流リミッタにおいて、

第 1 および第 2 表面を有する半導体基板と、

制御信号を受信するための制御電極、前記第 1 表面上に形成され、かつ前記第 1 ノードに結合された第 1 および第 2 ソース、および、前記突入電流リミッタの出力ノードに動作可能に結合されたドレインを有するミラー・トランジスタであって、前記出力ノードは、供給電圧を同時に供給する電源に差込むために構成されており、前記ドレインは、前記第 2 ノードへ電流をルートするために前記第 2 表面上に形成され、センス信号は、前記第 2 ソースを経由して流れる電流の一部により生成される、ミラー・トランジスタと、

前記半導体基板の前記第 1 表面上に形成された検出回路であって、前記検出回路は、前記センス信号を受信するために構成され、それに応答して、前記ミラー・トランジスタの前記制御電極に結合され、かつ、前記ミラー・トランジスタを経由して流れる電流の最大値を前記ミラー・トランジスタを不能にしないで動作可能に制限する前記制御信号を生成する、検出回路と、

から構成されることを特徴とする突入電流リミッタ。

【請求項 4】

前記第 2 ソースと前記第 1 ノードとの間に結合されたレジスタをさらに含み、

前記第 2 ソースが前記検出回路の入力に結合される、

ことを特徴とする請求項 3 記載の突入電流リミッタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体デバイスに関し、より詳しくは、電源バス上の電流サージを制限するための高電流半導体デバイスに関する。

【背景技術】

【0002】

電気通信、ネットワーク、およびコンピュータのアプリケーションは、システム全体を停止することなく、システムへ回路カードを挿入し取り出す能力、いわゆる「ホット・スワップ」と称される能力をしばしば要求する。分散型電源システムで構成されたネットワーク機器では、回路カードは、電源レールまたはバス上のノイズを減少するために、しばしば大きなフィルタ・コンデンサを含む。ホット・スワップの間、コンデンサは、もし制限されなければ、ピーク振幅の何百倍ものアンペアに達する可能性のある突入電流スパイクを生成することがあり、それによって、回路カードまたはそのコネクタが破損するおそれがある。さらに、そのような大きな突入電流は、システムにプラグインされる他の回路カードを破損し、あるいは、データ損失や他のシステム誤動作の原因となる電力障害を引き起こす場合がある。かかる有害な影響を防止するために、ホット・スワップ可能な回路カードは、典型的には突入電流制限回路で形成され、それが供給電流をルートすることによりパワー MOSFET スイッチを制御する。

【0003】

既存の突入電流リミッタでは、突入電流を指定されたレベルに制限する方法において、パワー MOSFET スイッチの制御のために多くのコンポーネントを必要とすることから、コストが高いという欠点があった。ほとんどの突入電流リミッタは、パワー MOSFET スイッチと並列に結合された低値のセンス・レジスタを使用して供給電流のピーク値を制限する。しかしながら、スイッチおよびセンス・レジスタを通る大きな電流の流れによって、信頼性に悪影響を及ぼす可能性がある大きな電力損失が生じる。

【0004】

従って、製造コストを削減するためにコンポーネント数を減少させる一方で、電力損失を低減することによって高い信頼性を達成できるような突入電流リミッタに対する要求がある。

【発明の開示】

【0005】

図面中、参照番号が同一である要素は同様の機能を有する。

【0006】

図1は、電源電圧  $V_{SUPP} = 48.0$  ボルトで動作する分散型電源バス11と接地ノード12との間に電力が加えられる間に、電子システムに差込みおよび/または引抜きをするためのホット・スワップ可能な回路カード10の単純化された概要図である。電源バス11および接地ノード12は、電子システムの他のコンポーネント(図示せず)へ同時に電力を供給していてもよい。

10

【0007】

大きなフィルタ・コンデンサ13は、電源バス11上のノイズ・スパイクを平坦化して安定したバイアスを提供する。回路カード10の機能を実行する回路は、負荷15として示され、突入電流リミッタ回路20を経由して電源バス11から負荷電流  $I_{LOAD}$  を引き出す。ある実施例において、負荷15は、コンデンサ13および負荷15を経由して、ピーク値として負荷電流  $I_{LOAD} = 10.0$  アンペアを流す電圧レギュレータを含む。 $I_{LOAD}$  の典型的な平均値は約4アンペアである。ある実施例において、コンデンサ13は、約1000マイクロファラドの値を有する。回路カードがホット・スワップされる

20

【0008】

突入電流リミッタ20は検出回路30を含み、それによってミラー・パワー・トランジスタ50が制御され、負荷電流  $I_{LOAD}$  がコンデンサ13および負荷15へルートのされる。ある実施例において、突入電流リミッタ20は、5個の外部リード41-45を有する集積回路として半導体基板上に形成される。

【0009】

ミラー・トランジスタ50は、パワー・ソース51、センシング・ソース52、共通ドレイン53、および共通ゲート54を有する縦型パワーMOSFETトランジスタとして形成される。パワー・ソース51およびセンシング・ソース52は、 $I_{LOAD}$  の比例成分  $I_{SW}$  および  $I_{SENSE}$  をそれぞれ導くために、ミラーされ、あるいは比例する。ある実施例において、トランジスタ50は、約1ボルトのゲート対ソース導通スレシールドを有する。ある実施例において、パワー・ソース51およびセンシング・ソース52の有効な大きさは、1000:1の比率で比例するので、電流のピーク値は、 $I_{LOAD} = 10.0$  アンペアのとき、およそ  $I_{SW} = 9.990$  アンペアおよび  $I_{SENSE} = 10.0$  ミリアンペアである。

30

【0010】

集積センス・レジスタ55は、センシング・ソース52と直列に結合され、ノード56で電流  $I_{SENSE}$  を検出することによってセンス電圧  $V_{SENSE}$  を生成する。ある実施例において、レジスタ55は、約10オームの抵抗を有するので、 $I_{SENSE} = 10.0$  ミリアンペアのとき、 $V_{SENSE}$  は約100ミリボルトの値および約1ミリワットの対応する電力消散を有する。

40

【0011】

検出回路30は、電流センサ61、電圧レギュレータ62、熱遮断回路63、不足電圧ロックアウト(UVLO)回路64、過電圧遮断(OVSD)回路65およびブランキング回路66を含む。

【0012】

電圧レギュレータ62は、接地リード41と給電リード44との間に結合された標準分

50

路レギュレータとして形成され、検出回路 30 にバイアスをかけるための内部供給電圧  $V_{REG}$  を提供する。

#### 【0013】

電流センサ 61 は、エラー増幅器によって  $I_{LOAD}$  を間接的に検出し、フィードバック信号として  $V_{SENSE}$  を受信し、かつ、ゲート 54 への代表駆動制御信号  $V_{DRIVE}$  を生成する。実際には、電流センサ 61 は、 $I_{SENSE}$  としてセンシング・ソース 52 を通って  $I_{LOAD}$  の計測部分を経由することによって動作し、負荷電流  $I_{LOAD}$  の大きさを予め決められた最大値、例えば 10 アンペア、に制限するために  $V_{DRIVE}$  を調整する。

#### 【0014】

突入電流リミッタ 20 の動作は以下のように進行する。回路カード 10 のホット・スワップ挿入中に、コンデンサ 13 は実質的に放電され、出力電圧  $V_{SW}$  がドレイン 53 上でほぼ  $V_{SUPP}$  のレベルに生成される。コンデンサ 13 は、突入電流リミッタ 20 に低インピーダンス負荷を示し、突入電流リミッタ 20 は、これにตอบสนองして  $I_{LOAD}$  の予め決められた最大値、例えば 10 アンペア、を供給してコンデンサ 13 を充電する。実際には、コンデンサ 13 が  $V_{SUPP}$  に充電されるまでトランジスタ 50 は定電流源として動作し、その時点では  $V_{DRIVE}$  は  $V_{REG}$  のレベルまで引き上げられ、ミラー・トランジスタ 50 は完全に導通状態である。電流制限機能のために、供給電圧  $V_{SUPP}$  の過度の負荷が回避され、したがって出力電圧  $V_{SW}$  は保護信号と称される。

#### 【0015】

トランジスタ 50 で突入電流を指定された最大値に制限することによって、突入電流リミッタは、システムの誤動作を引き起こすおそれのある電源バス 11 上の過負荷状態を防止する。 $I_{LOAD}$  は、直接に検出されるのではなく、低値のセンス電流  $I_{SENSE}$  によってサンプリングされるので、センス・レジスタ 55 を通して小量の電力のみが消費され、それによって、高性能を提供する。さらに、レジスタ 55 は、突入電流リミッタ 20 の他のコンポーネントと同じダイに容易に集積されるので、外部コンポーネントの数が減少し、それによって回路カード 10 の全費用が低減する。

#### 【0016】

$UVLO$  回路 64 は、スレシヨルド比較器を含み、それが供給電圧  $V_{SUPP}$  の大きさを検出し、 $V_{SUPP}$  が予め決められたレベルを上回るまでトランジスタ 50 をオフ状態に維持する。予め決められたロックアウト・レベルは、リード 42 に結合された内部分圧器を用いてセットされ、分割電圧  $V_{UVLO}$  を提供するが、これは 1 つ以上の外部レジスタで調整することができる。ゲート 54 に結合された出力は、オープン・ドレイン配列によって形成され、不足電圧状態が検出された場合に、ゲート 54 をほぼ大地電位まで引き下げる。不足電圧状態が検出されるとすぐに、 $V_{SUPP}$  が第 2 の予め決められたシャットダウン・レベルを上回るまでヒステリシス回路類がトランジスタ 50 をオフ状態に維持し、それによって、急速なサイクリングおよび/または発振(oscillation)を防止する。ある実施例において、 $V_{SUPP}$  が 48 ボルトで動作するところでは、予め決められたロックアウト・レベルは約 32 ボルトの値にセットされる。

#### 【0017】

$OVSD$  回路 64 は  $UVLO$  回路 63 と同様の方法で動作するが、ただし、スレシヨルド比較器が  $V_{SUPP}$  の大きさを検出し、 $V_{SUPP}$  が、1 つ以上の外部レジスタで調整でき、分割された電圧  $V_{OVSD}$  をリード 43 で提供する内部分圧器によってセットされた第 1 の予め決められたシャットダウン・レベル以上に上昇した場合には、検出回路 30 およびトランジスタ 50 を不能にする点において異なる。ゲート 54 に結合された出力は、オープン・ドレイン配列によって形成され、過電圧状態が検出された場合に、ゲート 54 をほぼ大地電位まで引き下げる。一旦、過電圧状態が検出されると、 $V_{SUPP}$  が第 2 の予め決められたシャットダウン・レベルを下回るまでヒステリシス回路類がトランジスタ 50 をオフ状態に維持し、それによって、急速なサイクリングおよび/または発振を防止する。ある実施例において、 $V_{SUPP}$  が 48 ボルトで動作するところでは、 $V_{OVSD}$

10

20

30

40

50

Dの第1の予め決められたシャットダウン・レベルは約95ボルトの値にセットされ、第2の予め決められたシャットダウン・レベルは約90ボルトの値にセットされる。

【0018】

熱遮断回路63は、検出回路30およびミラー・トランジスタ50と同じ半導体基板上に形成された温度センサを含む。温度検出回路類は、好ましくは、電源51に隣接して配置されるか、あるいはトランジスタ50のレイアウト内に埋め込まれる、すなわち、突入電流リミッタ20の最も熱い部分の温度を検出するために、熱が最も生成される場所付近である。温度が上位のスレシヨルド温度まで上昇したとき、オープン・ドレイン出力はゲート54をほぼ大地電位まで引き下げる。過熱状態が検出されるとすぐに、温度ヒステリシス回路類は、温度が下位のスレシヨルド温度以下に下がるまでミラー・トランジスタ50の切断状態を確保する。ある実施例において、上位のスレシヨルド温度は摂氏約180度である。また、下位のスレシヨルド温度は摂氏約170度である。

10

【0019】

ブランキング回路66は、ホット・スワップ・カード挿入後の遅延時間中、突入電流リミッタ20およびトランジスタ50をオフ状態に維持する時定数をセットするためのレジスタ・コンデンサ・ネットワークを含む。このスタートアップ遅延は、回路カード10が突入電流リミッタ20を通して電力を受け取る前に、内部ノードを安定させておくことにより、スタートアップ誤動作を回避する。出力は、オープン・ドレイン配置を有し、スタートアップ遅延中にゲート54を大地電位にスイッチする。ある実施例において、遅延時間は約2マイクロ秒である。

20

【0020】

図2は、トランジスタ50、レジスタ55、および検出回路30を含む集積回路として半導体基板120上に形成された、突入電流リミッタ20の単純化した断面図である。

【0021】

トランジスタ50は、小さなダイ・エリアを達成するために、縦型装置として実装される。従って、ソース51、52は基板120の上部表面67上のp型ウェル領域内でn型にドーブされた領域として形成される。共通ゲート54は、下側に横たわるパワー・チャネル51Aおよびセンス・チャネル51Bの導通を制御するためにゲート酸化層71上に形成されるが、これらのチャネルは、大地電位で動作し、かつ、図2の図外で相互に結合されたウェル領域69内に、上部表面67に沿って存在する。ソース51、52は、図では同様のサイズを有するように示されるが、ソース52は、典型的には、ソース51よりはるかに小さい有効サイズで作られることに注意されたい。ドレイン53は、基板120の第2表面68上に形成され、その結果、電流 $I_{SW}$ および $I_{SENSE}$ は、図示のように、表面67からチャネル51A、52Aをそれぞれ通り、基板120を通過して、表面68でドレイン53へ流れる。縦型構造のトランジスタ50は、低いオン抵抗および小さなダイサイズを提供し、その結果、高機能性と低製作コストを実現できる。

30

【0022】

レジスタ55は、表面67上に形成される。ある実施例において、レジスタ55は、図示のように、誘電層72上にポリシリコン層を堆積し、パターン化することにより形成される。

40

【0023】

検出回路30のコンポーネントもまた表面67上に形成されるが、レジスタ55の下側にあってもなくてもよい。トランジスタは、1つ以上のウェル領域内に形成されるが、ウェル領域69とは別個のものでもよい。熱遮断回路63内の温度センサは、高精度で基板120の温度を検出するために、トランジスタ50にきわめて近接して形成される。

【0024】

図3は、電圧レギュレータ62および熱遮断回路63をさらに詳細に示す概要図であり、トランジスタ71-75、ツェナダイオード76、ダイオード列77、およびレジスタ79-86を含む。

【0025】

50

電圧レギュレータ 62 は、ツェナダイオード 76 の両端で内部調整電圧  $V_{REG}$  = 約 1.2 V を生成する分路レギュレータとして動作する。ツェナダイオード 76 は、電圧の正の温度係数を有する。

#### 【0026】

トランジスタ 71 およびレジスタ 79, 80 は、電圧の負の温度係数を有するノード 87 で電圧  $V_{87}$  を設定する分路レギュレータとして動作する。ある実施例において、基板 120 温度が摂氏 25 度であるとき、 $V_{87}$  = 2.7 V である。ダイオード列 77 の両端で降下した電圧は、温度とともに低下し、その結果、トランジスタ 72 のゲート電圧は温度とともに上昇する。

#### 【0027】

トランジスタ 72 - 74 は、3 段階の増幅器として機能するためにレジスタ 82 - 84 と結合し、温度が上限のスレシールド・レベルに達したときに、ゲート 54 をほぼ大地電位に切り換えて、トランジスタ 50 を切断する。ある実施例において、熱遮断温度は約摂氏 180 度にセットされる。トランジスタ 75 およびレジスタ 85, 86 は、約摂氏 10 度の温度ヒステリシスを提供して熱発振を防止する。

#### 【0028】

図 4 は、過電圧遮断回路 64 をさらに詳細に示す概要図である。レジスタ 93, 94 は、供給電圧  $V_{SUPP}$  を分割してリード 43 で分割電圧  $V_{OVSD}$  を提供する分圧器として動作する。ツェナダイオード 92 は、 $V_{OVSD}$  をレベル・シフトしてトランジスタ 90 のゲートで過電圧検出信号  $V_{OV}$  を提供する。 $V_{SUPP}$  が予め決められた電圧を超過したとき、 $V_{OV}$  はトランジスタ 90 の導通スレシールドを越えるが、それによってトランジスタ 90 がオンになり、ゲート 54 を大地電位に切り換え、トランジスタ 50 がオフになり、突入電流リミッタ 20 を不能にする。トランジスタ 50 が一度切断されると、トランジスタ 91 は、レジスタ 94 をレジスタ 96 と並列に切り換えて電圧ヒステリシスを提供し、 $V_{SUPP}$  ノイズによりゲート 50 上で生じる発振および / または不正トリガを防止する。ある実施例において、 $V_{SUPP}$  が約 9.5 V の予め決められたレベルに達したときに、約 5 V のヒステリシスを伴ってトランジスタ 50 が切断される。リード 43 は、ユーザのために、外部レジスタを加えるための外部接続を提供し、予め決定した過電圧レベルを調整することに注意されたい。

#### 【0029】

不足電圧ロックアウト回路 64 は、内部ロジックが形成されるという点を除いて、過電圧遮断回路 65 と同様の構造を有しており、かつ、同様の方法で動作し、その結果、 $V_{SUPP}$  が予め決められた不足電圧レベル未満であるとき、ゲート 54 が大地電位にスイッチされる。ある実施例において、予め決められた不足電圧レベルは、約 3.2 V に設定される。

#### 【0030】

以上を要約すると、本発明は、高い信頼性を有し、かつ低価格の突入電流リミッタ集積回路を提供する。検出回路は、センス電流に応答して制御信号を生成する。パワー・トランジスタは、制御信号に応答して動作し、供給電圧を受け取るソース、および、供給電圧の負荷電流を保護信号として出力ノードヘルートするドレインを有する。センス・トランジスタは制御信号に応答して動作し、第 1 ソースに比例し、かつ、負荷電流の一部をセンス電流として出力ノードヘルートするための入力ノードに結合されたソースを有する。

#### 【0031】

パワー・トランジスタおよびセンス・トランジスタは、検出回路と共に半導体基板の上部表面上に形成されたそれぞれのソースおよび共通の制御電極と共に、半導体基板上に形成される。ドレインは、パワー・トランジスタおよびセンス・トランジスタの共通のドレインとして形成され、半導体基板の下部表面上に形成され、その結果、負荷電流が、基板を通過して縦方向、すなわち上部表面から下部表面へ流れる。縦型の配列は、10 アンペア以上の電流をスイッチングする一方で、小さなダイ・エリアおよび低製作コストを提供する。検出回路は、過電圧および不足電圧センスおよび遮断と同様に、温度センサと遮断回

10

20

30

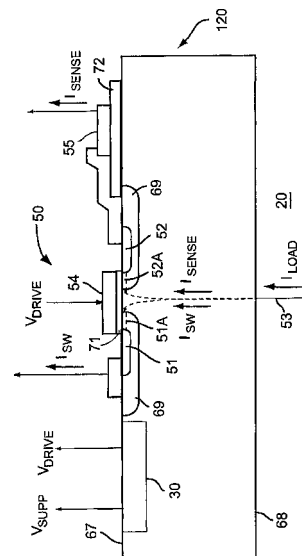
40

50

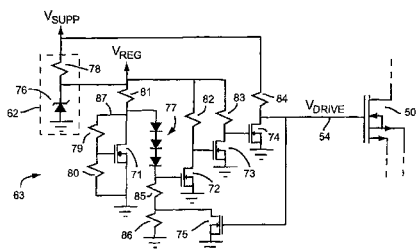
**【 0 0 3 2 】**

【図 4】突入電流リミッタ回路の過電圧遮断回路の概要図である。

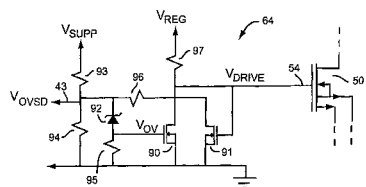
【 図 2 】



【圖 3】



【 図 4 】





---

フロントページの続き

- (72)発明者 ブリッグス, デイビッド  
アメリカ合衆国 アリゾナ州 8 5 3 0 7 グレンデール ウェスト・フレア・ドライブ 1 0 9 0  
0
- (72)発明者 ニー, スザンナ  
アメリカ合衆国 アリゾナ州 8 5 2 9 6 ギルバート イースト・セージブラッシュ・ストリー  
ト 1 4 5 5
- (72)発明者 ロブ, スティーブン  
アメリカ合衆国 アリゾナ州 8 5 2 6 8 ファウンテン・ヒルズ ノース・サンリッジ・ドライ  
ブ 1 3 5 3 0

審査官 廣瀬 文雄

- (56)参考文献 特開平 0 5 - 2 2 7 6 5 1 ( J P , A )  
特開平 0 4 - 1 0 0 2 7 6 ( J P , A )  
特開平 0 3 - 0 6 9 1 5 9 ( J P , A )  
特開昭 6 3 - 3 1 8 7 8 1 ( J P , A )  
特開 2 0 0 0 - 1 2 5 4 6 3 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
H02H 9/00-9/08