

公告本

申請日期	85 11 P
案 號	851136Pf
類 別	G11C 1/06

A4
C4

486695

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體記憶裝置
	英 文	Semiconductor Memory
二、發明 人	姓 名	越川康二
	國 籍	日本
三、申請人	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

日本國(地區) 申請專利，申請日期：1995年11月10日 案號：特願平7-292854號 ☐有 ☒無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

[發明所屬技術領域]

本發明有關於半導體記憶裝置，尤有關於同步型半導體記憶裝置之寫入控制電路。

[習知技術]

近年來由於CPU之高速化，半導體記憶裝置高速化需求之呼聲亦隨之昇高。惟由於處理微細化在物理上之限制和隨著大容量化會使晶片體積增大等，所以不能符合此種需求。其中，作為解決此問題之一裝置，具有內部管線構造之同步型半導體記憶裝置曾被提議過（見於日本國專利案特開昭61-148692號公報「記憶裝置」，特願平4-67195號公報「半導體記憶裝置」，特願平6-232732號公報「半導體記憶裝置」等）。

該具有內部管線構造之同步型半導體記憶裝置在讀出時，將位址存取匯流排分割成多段，經由進行分時讀取可以縮短循環時間。因此，在寫入時亦必需在此短循環時間內進行對感測放大器之資料寫入。

第8圖是電路圖，用來表示習知半導體記憶裝置之一實例。

輸入部之構成包含有：多個輸入電路1，用來輸入多個位址（端子）信號ADD；多個輸入電路2～5，分別用來輸入多個之控制輸入（端子）信號RASB，CASB，WEB，CSB；輸入電路6，用來輸入外部時鐘（端子）信號CLK；和輸入電路7，用來輸入其輸入／輸出（端子）信號DQ。

內部電路之構成包含有：同步信號產生電路8，用來

五、發明說明(2)

輸入該輸入電路6之輸出，藉以輸出同步信號ICLK1；延遲元件DL3，用來使同步信號ICLK1延遲一定之時間，藉以輸出同步信號ICLK1D；命令解碼器9，用來輸入該輸入電路2～5之輸出，藉此與同步信號ICLK1同步之方式輸出其讀出活性化信號REN和寫入活性化信號WEN；管線活性化電路10，用來輸入該讀出活性化信號REN，寫入活性化信號WEN和脈波群終了信號BSTEND，藉以輸出管線活性化信號PEN；脈波群計數器11，用來輸入該輸入電路1之輸出，管線活性化信號PEN和內部同步信號ICLK1，藉以輸出多個內部位址信號IADD，板選擇信號PSEL1，和脈波群終了信號BSTEND；行解碼器12A用來輸入多個內部位址信號IADD，藉以輸出多個行選擇線信號YSW；緩衝器19，用來輸入板選擇信號PSEL1，藉以輸出板選擇信號PSEL2；緩衝器20，用來輸入該輸入電路7之輸出，藉以將寫入資料輸出到寫入匯流排WBUS1；寫入脈波產生電路13C，用來輸入管線活性化信號PEN，寫入活性化信號WEN和同步信號ICLK1D，藉以輸出寫入脈波WP；AND閘AN，用來輸入板選擇信號PSEL2和寫入脈波WP，藉以輸出寫入開關信號WSW；寫入緩衝器14，用來輸入該寫入開關信號WSW和寫入匯流排信號WBUS1，藉以將寫入資料將輸出到寫入匯流排對偶WBUS2T/N；記憶器單元15；和感測放大器16，用來輸入行選擇線信號YSW和寫入匯流排對偶信號WBUS2T/N，以數位線對偶DT/N形成與記憶器單元15連接。

五、發明說明 (3)

另外，寫入脈波產生電路13C之構成包含有：NAND閘NAN3，用來輸入管線活性化信號PEN，寫入活性化信號WEN和同步信號ICLK1D；延遲元件DL4，用來輸入NAN3之輸出，使延遲一定時間後再進行輸出；和NAND閘NAN4，用來輸入NAND閘NAN3之輸出和延遲元件DL4之輸出，藉以輸出寫入脈波WP。

下面將說明其動作。

第9圖是動作波形圖，用來說明第8圖之半導體裝置之動作。

在循環C1之外部時鐘CLK之上昇時，RASB，CASB，WEB，CSB之各個輸入端子被設定成為寫入命令之輸入位準，然後接受外部時鐘CLK變成High位準，利用同步信號ICLK1寫入使寫入活性化信號WEN變成High，藉以使管線活性化信號PEN亦變成High。

有寫入命令被輸入時，就以另外設定「脈波群長」之脈波群計數器11產生內部位址。「脈波群長」是指輸入1次之寫入命令，寫入多少個位元之資料，在圖中循環C1之前先被設定。本實例所示之情況是設定成「脈波群長=2」。

在循環C1，C2，當產生脈波群長部份(2個位元)之內部位址時，利用循環C3之同步信號ICLK1之High，用以在脈波群終了信號BSTEND產生High之脈波，利用這種方式使管線活性化信號PEN變成LOW。板選擇信號PSEL1和同部位址信號IADD(圖中未顯示)亦與同步信號ICLK1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

同步的產生，用來選擇該行選擇線 YSW。此處所示之情況是板選擇信號 PSEL，在循環 C2 不變換，和行選擇線 YSW 在每一個循環進行變換。另外，板選擇信號 PSEL1 之資料被傳達成板選擇信號 PSEL2，在寫入匯流排 WBSU1 被傳達有寫入資料。

在循環 C1，於寫入活性化信號 WEN 和管線活性化信號 PEN 均變成 High 之後，同步信號 ICLK1D 在同步信號 ICLK1 延遲指定時間後產生，用來使 NAND 閘 NAN3 之輸出變成 LOW (圖中未顯示) 和使寫入脈波 WP 變成 High。然後當同步信號 ICLK1D 變成 LOW 時，延遲指定時間後之延遲元件 DL4 之輸出就變成 High (圖中未顯示)，和寫入脈波 WP 變成 LOW。

其次，在循環 C2 亦同樣產生寫入脈波 WP，在循環 C3，因為在同步信號 ICLK1D 變成 High 之前使管線活性化信號 PEN 變成 LOW，所以 NAND 閘 NAN3 之輸出為 HIGH，寫入脈波 WP 保持為 LOW。另外，當板選擇信號 PSEL2 為 High 期間，依照寫入脈波 WP 產生之寫入開關信號 WSW 為 High 時，就將寫入資料傳達到寫入匯流排對偶 WBUS2T/N。

其中，在行選擇線 YSW，板選擇信號 PSEL2 和寫入匯流排 WBUS1 被變換後，經由調整延遲元件 DL3 之延遲量來決定同步信號 ICLK1D 之 High 之時序，使寫入開關信號 WSW 變成 High，和在感測放大器 16 進行正確之寫入之後亦可以調整延遲元件 DL4 之延遲量，用來使寫入開關信號 WSW 變成 LOW。

五、發明說明 (5)

依照上述方式，寫入實行時間，亦即寫入脈波 WP 之 High 幅度以延遲元件 D4 之延遲量等決定，當以 t_{WP} 表示，和以 t_{CK} 表示循環時間時，則寫入開關信號 WSW 之 LOW 幅度 t_{WPB} 變成

$$t_{WPB} = t_{CK} - t_{WP} \quad \cdot \cdot \cdot \textcircled{1}$$

另外，在以 $t_{WPB_{min}}$ 表示行選擇線 YSW，板選擇線 PSEL2 和寫入匯流排 WBUS1 之變換所需之最小限度之寫入脈波 WP，寫入開關信號 WSW 之 LOW 幅度時，則循環時間 t_{CK} 可以以

$$t_{CK} > t_{WP} + t_{WP_{min}} \quad \cdot \cdot \cdot \textcircled{2}$$

表示。

第 10 圖表示循環時間 t_{CK} 變長時之實例，其寫入實行時間 t_{WP} 與第 9 圖所示之實例相同，與 t_{CK} 無關。

半導體記憶裝置由於製造時製程之變動（誤差），使每一個裝置所需之寫入實行時間（ t_{WP} ）互不相同。因此，需要設定寫入實行時間（ t_{WP} ），延遲元件 DL4 之延遲量之決定需要具有餘裕，藉以對大多數裝置進行正確之寫入。

[發明所欲解決之問題]

在此種習知之半導體記憶裝置中，考慮到製造之製程變動（誤差）時，需要設定 t_{WP} 使其配合需要最長寫入實行時間之處理條件之裝置，所以以標準處理條件製造之裝置變成需要大於所需者之較長之 t_{WP} ，因此循環時間會劣化為其問題。

五、發明說明(6)

亦即，全部裝置之循環時間 t_{CK} 變成與需要最長寫入實行時間之處理條件之裝置相同。

在使讀出之循環時間高速化時，大多是以寫入之循環時間用來決定速度等級，在這種情況時只會產生速度等級劣化之裝置。

另外，當將 t_{WP} 設定成配合以標準處理條件製造之裝置時，不能進行正確之寫入，成為不良品之裝置會變多。

另外，在日本專利案特開平 4-243085 號公報之「半導體記憶裝置」提案有可以縮短寫入之循環時間 t_{CK} 之裝置，其中「對 1 個感測放大器，使用 2 個寫入緩衝器等，使其交替動作」，惟即使使用此種技術，1 次寫入所需之寫入實行時間不變，所以 t_{WP} 之設定仍須配合最長寫入實行時間之處理條件之裝置，所以會有與上述相同之問題。

[解決問題之手段]

本發明之半導體記憶裝置具有多個記憶器單元，和以數位線與該記憶器單元連接之多個感測放大器，用以對連接到該感測放大器之資料線進行控制之寫入開關信號，在外部時鐘被輸入後，在延遲指定之第一延遲時間後之第一時序變成非活性化狀態，和在延遲指定之第二延遲時間後之第二時序變成活性化狀態，該活性化狀態至少被保持到下一個外部時鐘之輸入。

另外，在本發明之半導體記憶裝置中輸入板選擇信號，上述寫入開關信號之上述非活性化狀態和上述活性化

五、發明說明(7)

狀態，是由上述第一時序進行動作之一定時間幅度之脈波產生電路所產生，和利用上述之板選擇信號，在上述寫入開關信號之最初第二時序之前保持非活性化狀態。

另外，行選擇線之變換最好是在上述第一時序之後和上述第二時序之前進行。

最好具有同步信號產生電路，以與上述外部時鐘同步之方式用來產生第一同步信號，和延遲電路，用來產生使該第一同步信號延遲指定時間之第二同步信號，以與該第二同步信號同步之方式使上述之寫入開關信號轉移成非活性化狀態，和以與該第二同步信號同步之方式變換上述之行選擇線。

另外，最好具有寫入緩衝器，以第二寫入匯流排連接到上述多個感測放大器，被輸入有用以傳達寫入資料之第一寫入匯流排信號和寫入開關信號，以與上述第二同步信號同步之方式進行上述第一寫入匯流排信號之變換；

另外，最好具有寫入緩衝器，以第二寫入匯流排連接到上述多個感測放大器，被輸入有用以傳達寫入資料之第一寫入匯流排信號和寫入開關信號，以與上述第二同步信號同步之方式進行上述板選擇信號之變換。

最好具備有用以輸出管線活性化信號之管線活性化電路，用以輸出寫入活性化信號之命令解碼器，和用以輸出寫入掩蔽控制信號之寫入掩蔽控制電路，當有上述之管線活性化信號為非活性，上述寫入活性化信號為非活性，或上述寫入掩蔽控制信號為使寫入掩蔽活性化之任

五、發明說明 (8)

何一個發生時，就在上述第二時序以後使上述之寫入開關保持非活性化狀態。

[發明之實施例]

第 1 圖是電路圖，用來表示本發明之一實施例。

輸入部之構成包含有：多個輸入電路 1，用來輸入多個位址(端子)信號 ADD；多個輸入電路 2 ~ 5，分別用來輸入多個記憶器控制輸入(端子)信號 RASB, CASB, WEB, CBS；輸入電路 6，用來輸入外部時鐘(端子)信號 CLK；和輸入電路 7，用來輸入資料輸入(端子)信號 DQ。

內部電路之構成包含有：同步信號產生電路 8，用來輸入該輸入電路 6 之輸出，藉以輸出同步信號 ICLK1；延遲元件 DL1，用來使同步信號 ICLK1 延遲一定之時間藉以輸出同步信號 ICLK1D；命令解碼器 9，用來輸入該輸入電路 2 ~ 5 之輸出，藉以與同步信號 ICLK1 同步之方式輸出其讀出活性化信號 REN 和寫入活性化信號 WEN；管線活性化電路 10，用來輸入該讀出活性化信號 REN，寫入活性化信號 WEN 和脈波群終了信號 BSTEND，藉以輸出管線活性化信號 PEN；脈波群計數器 11，用來輸入該輸入電路 1 之輸出，管線活性化信號 PEN 和內部同步信號 ICLK1，藉以輸出多個之內部位址信號 IADD，板選擇信號 PSEL1 和脈波群終了信號 BSTEND；行解碼器 12A，用來輸入多個之內部位址信號 IADD，藉以輸出多個之行選擇線信號 YSW；多個之 D 門鎖電路 R1 (圖中只顯示 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

個電路)，用來輸入板選擇信號，藉以與同步信號 ICLK1D 同步之方式輸出板選擇信號 PSEL2；多個之 D 門鎖電路 R2（圖中只顯示 1 個電路），用來輸入該輸入電路 7 之輸出，藉以與同步信號 ICLK1D 同步之方式將寫入資料輸出到寫入匯流排 WBUS1；寫入脈波產生電路 13A，用來輸入管線活性化信號 PEN，寫入活性化信號 WEN 和同步信號 ICLK1D，藉以輸出寫入脈波 WP；多個之 AND 閘 AN（圖中只顯示 1 個電路），用來輸入板選擇信號 PSEL2 和寫入脈波 WP，藉以輸出寫入開關信號 WSW；寫入緩衝器 14，用來輸入該寫入開關信號 WSW 和寫入匯流排信號 WBUS1，藉以將寫入資料輸出到寫入匯流排對偶 WBUS2T/N；記憶器單元 15；和感測放大器 16，用來輸入行選擇線信號 YSW 和寫入匯流排對偶信號 WBUS2T/N，經由數位線對偶 DT/N 連接到記憶器單元 15。

另外，寫入脈波產生電路 13A 之構成包含有：NAND 閘 NAN1，用來輸入管線活性化信號 PEN，寫入活性化信號 WEN 和同步信號 ICLK1D；反相器 INV1，用來輸入 NAND 閘 NAN1 之輸出；延遲元件 DL2，用來輸入反相器 INV1 之輸出；和由 NOR 閘 NOR1 和 NOR 閘 NOR2 構成之正反器，NOR1 用來輸入延遲元件 DL2 之輸出，NOR2 用來輸入同步信號 ICLK1D 藉以輸出寫入脈波 WP。

下面將說明其動作。

第 2 圖是動作波形圖，用來說明本發明之一實施例之動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

在循環 C1 之外部時鐘 CLK 之上升時，RASB，CASB，WEB，CSB 之各個輸入端子被設定成為寫入命令之輸入位準，然後接受外部時鐘 CLK 變成 High 位準，利用同步信號 ICLK1 使寫入活性化信號 WEN 變成 High，藉以使管線活性化信號 PEN 亦變成 High。

當管線活性化信號 PEN 變成 High 時，脈波群計數器 11 就產生行位址。行位址中之一部份作為內部位址 IADD 的被輸出到行解碼器，使用在行之選擇，其他之一部份作為板選擇信號 (PSEL1, 2) 的被輸出，使用在板選擇。

另外，記憶器單元之感測放大器與板選擇信號和內部位址 IADD 之關係是使指定台數之感測放大器形成感測放大器列，以板選擇信號 (PSEL1, 2) 選擇該感測放大器列之多個中之 1 個，選擇該感測放大器列中之 1 個感測放大器者稱為內部位址。

在管線活性化信號 PEN 變成 High 之後，從上述脈波群計數器 11 輸出者是在最初之循環輸出依照位址輸入資料 ADD 之內部位址 IADD (圖中未顯示)，從下一個循環起以脈波群計數器 11 進行該位址之更新，繼續輸出所產生之內部位址 IADD。亦即，在脈波群計數器 11，在從寫入命令輸入循環輸入之位址資料 ADD 起之每一個循環，自最低位元起進行向上計數，依序輸出脈波群長部份之內部位址。另外，在上述脈波群長部份之上述輸出後，就輸出脈波群終了信號 BSTEND 之 High。

在第 2 圖之實例中，因為脈波群長為 2 個位元，所以

五、發明說明 (11)

在循環 C1, C2產生脈波群長部份(2 個位元)之內部位址, 利用循環 C3之同步信號 ICLK1 之 High, 在脈波群終了信號 BSTEND產生 High之脈波, 利用這種方式使管線活性化信號 PEN 變成 LOW。板選擇信號 PSEL1 和內部位址信號 IADD(圖中未顯示)亦與同步信號 IC同步產生, 用來選擇行選擇線 YSW。其中, 板選擇信號 PSEL1 在循環 C2不變換, 行選擇線 YSW 在每一個循環變換。

同步信號 ICLK1D之產生是從同步信號 ICLK1 延遲指定之時間, 與該同步信號 ICLK1D之 High同步, 使板選擇信號 PSEL1 之資料被門鎖在對應到選擇板之 D 門鎖電路 R1, 當作板選擇信號 PSEL2 被傳達, 另外一方面, 在寫入匯流排 WBUS1 被傳達有寫入資料。

另外, 在循環 C1, 當寫入活性化信號 WEN 變成 High後, 同步信號 ICLK1D變成 High時, NAND閘 NAN1之輸出變成 LOW (圖中未顯示), 在指定之延遲後寫入脈波 WP變成 High。其次, 在循環 C2當同步信號 ICLK1D變成 High時, NOR 閘 NOR1, NOR2之正反器被重設, 寫入脈波 WP暫時變成 LOW, NAND閘 NAN1之輸出變成 LOW (圖中未顯示), 寫入脈波 WP再度的在指定之延遲之後變成 High。

在循環 C3, 當同步信號 ICLK1D變成 High時, 上述正反器被門鎖, 寫入脈波 WP變成 LOW。但是此時之管線活性化信號 PEN 因為變成 LOW, 所以 NAND閘 NAN1之輸出變成 High, 寫入脈波 WP保持為 LOW。另外, 寫入資料與同步信號 ICLK1D同步被輸出到寫入匯流排 WBUS1。另外

五、發明說明 (12)

，在板選擇信號 PSEL2 為 High 期間，經由對應到選擇板之 AND 電路 AN，產生對應到寫入脈波 WP 之寫入開關 WSW，在該寫入開關 WSW 為 High 時，將寫入資料 WBUS1 傳達到寫入匯流排對偶 WBUS2T/N。

其中，行選擇線 YSW 之變換，與板選擇信號 PSEL2 和寫入匯流排 WBUS1 之變換大致同時，另外，經由調整延遲元件 DL1 之延遲量來決定同步信號 ICLK1D 之 High 之次序，使寫入開關信號 WSW 之變成 LOW 比行選擇線 YSW 之變換早，和在板選擇信號 PSEL2 之變換後使寫入脈波 WP 變成 High，假如調整延遲元件 DL2 之延遲量，在行選擇線 YSW 和寫入匯流排 WBUS1 之變換後使寫入開關 WSW 信號變成 High 時，則在將寫入資料顯示在寫入匯流排對偶 WBUS2T/N 之期間，不需要行選擇線之變換，可以正確寫入到感測放大器。

利用這種方式，使寫入脈波 WP 之 LOW 之幅度與循環時間無關，當以 t_{WPB} 表示，和以 t_{CK} 表示循環時間時，則寫入實行時間，亦和寫入脈波為 High 之幅度 t_{WP} 變成

$$t_{WP} = t_{CK} - t_{WPB} \quad \cdot \cdot \cdot \textcircled{3}$$

，以與循環時間 t_{CK} 相關之形式表示。

第 3 圖表示循環時間 t_{CK} 變長時之實例，寫入實行時間 t_{WP} 與 t_{CK} 相關之部份變長。

另外，在本發明中使用脈波產生電路用來構成具體裝置以產生使寫入脈波 WP 之 LOW 幅度成為一定時間幅度之脈波，所具有之特性是寫入脈波 High 幅度 t_{WP} 與循環時間 t_{CK} 相關。在第 1 圖之實施例中是採用由正反器電路

五、發明說明 (13)

和延遲元件 DL2 所構成之寫入脈波產生電路 13A 來產生一定時間幅度之脈波，但是在原理上也可以採用各種單穩定電路等一定幅度之脈波產生電路。於此情況下，與上述之實施例之情況同樣地，須利用板選擇信號來進行寫入開關信號之最初波形處理。另外，本發明並不一定要使用此種單穩定型之脈波產生器，只要能夠在從時間脈波之各個循環之指定(第二)時序起，到下一個時鐘之上述時序前一定時間之(第一)時序上，保持活性化狀態，可以產生此種方式之與時鐘同步之信號之電路均可利用。

第 4 圖是電路圖，用來表示本發明之另一實施例。

與第 1 圖所示，實施例中之不同處是：具備有行解碼器 12B 用來代替行解碼器 12A，經由輸入多個內部位址信號 IADD 用來輸出多個行選擇信號 YSW0；和具備各個 D 門鎖電路 R3 用來輸入行選擇線信號 YSW0，藉以與同步信號 ICLK1D 同步輸出行選擇線信號 YSW。

其他構成元件與第 1 圖所示之實施例相同，使用相同之符號來表示相同之構成元件。

行選擇線 YSW 以與同步信號 ICLK1D 同步之方式進行變換。因此，當與行選擇線 YSW，板選擇信號 PSEL2 和寫入匯流排 WBUS1 之變換大致同時者比較時，其變換變成更加容易，另外，寫入脈波 WP 和寫入開關 WSW 之時序控制亦變成更加容易。

第 6 圖是電路圖，用來表示本發明另一實施例。

五、發明說明 (14)

在第 1 圖，第 4 圖所示之實施例中，於如上所述的輸入其寫入命令時，在脈波群長之內部產生位址用來進行寫入動作。在第 6 圖之實施例中，在不以其中之任何位元之位址改寫資料之情況時，利用從外部輸入之寫入掩蔽命令用來禁止寫入。

其與第 1 圖，第 4 圖所示之實施例之不同處是：具備有輸入電路 17，用來輸入該輸入端子信號 DQM，和寫入掩蔽控制電路 18，用來輸入該輸入電路 17 之輸出，以與同步信號 ICLK1D 同步之方式輸出寫入掩蔽控制信號 WMSKB；和具備有寫入脈波產生電路 13B 用來代替寫入脈波產生電路 13A。

另外，該寫入脈波產生電路 13B 之構成包含有 NAND 閘 NAN2，用來輸入管線活性化信號 PEN，寫入活性化信號 WEN，寫入掩蔽控制電路信號 WMSKB 和同步信號 ICLK1D；反相器 INV1，用來輸入 NAND 閘 NAN2 之輸出；延遲元件 DL2，用來輸入反相器 INV1 之輸出；和由 NOR 閘 NOR1 和 NOR 閘 NOR2 構成之正反器，NOR1 用來輸入延遲元件 DL2 之輸出，NOR2 用來輸入同步信號 ICLK1D 藉以輸出寫入脈波 WP。

其他之構成元件與第 1 圖，第 4 圖所示之實施例相同，使用相同之符號用來表示相同之構成元件。

第 7 圖是動作波形圖，用來說明第 6 圖所示之實施例之動作。

在寫入之情況，於脈波群中循環 Cn 之外部時鐘 CLK 之

五、發明說明(15)

上升時，設定輸入端子DQM之位準使其成為掩蔽命令，然後接受外部時鐘CLK使其變成High，利用同步信號ICLK1使寫入掩蔽控制信號WMSKB變成LOW，在循環Cn即使同步信號ICLK1變成High，NAND閘NAN2之輸出亦保持為High。

因此，當同步信號ICLK1D變成High，寫入脈波暫時變成LOW時，循環Cn中維持LOW之狀態，被掩蔽成不進行該循環之寫入。其次在循環Cn+1，於未輸入掩蔽命令時，因為利用同步信號ICLK1使寫入掩蔽信號WMSKB變成High，所以當同步信號ICLK1D變成High時，NAND閘NAN2之輸出變成LOW（圖中未顯示），在指定之延遲之後，寫入脈波WP變成High。

因此，即使在進行寫入掩蔽控制時，亦可以很容易的進行寫入脈波WP和寫入開關信號WSW之時序控制。

依照這種方式，寫入掩蔽是以1次輸入只禁止1個循環之資料寫入，從下一個循環起再度開始寫入，在禁止寫入之狀態中，管線活性化信號PSEL1，PSEL2保持活性化狀態。

[發明之效果]

如上所述之本發明因為構成使寫入實行時間隨著循環時間tCK的變長，所以即使由於製造時製程之變動（誤差）使每一個裝置所需之tWP不同時，亦具有當各個裝置以最小循環時間動作時使其tWP成為最小限度之tWP效果。

五、發明說明 (16)

因此，可以以短寫入實行時間進行寫入之裝置其循環時間 t_{CK} 可以縮短，對於需要長寫入實行時間之裝置，假如使速率降低以長循環時間 t_{CK} 進行動作時，可以進行正確之寫入，不會變成不良品。

處理條件需要更長之寫入實行時間之裝置和處理條件需要更短之寫入實行時間之裝置之 t_{WP} 之差假如以 Δt_{WP} 表示，以 $t_{CK}(OLD)$ 表示習知技術之循環時間時，則本發明之循環時間 $t_{CK}(NEW)$ 最高為

$$t_{CK}(NEW) = t_{CK}(OLD) - \Delta t_{WP} \quad \cdot \cdot \cdot \textcircled{4}$$

，具有可以使循環時間 t_{CK} 縮短之效果。

另外，在習知技術中，用以決定 t_{WP} 之延遲元件之延遲量之設定是設計時之重要課題之一，另外在製成成品後需要進行擴散掩蔽變更使其最佳化等，因此需要很多設計工時，而依照本發明時，因為 t_{WP} 隨著循環時間 t_{CK} 進行變動，所以可以很容易達成最佳化設計，具有可以大幅削減設計工時之效果。

[圖式之簡單說明]

- 第 1 圖是電路圖，用來表示本發明之一實施例。
- 第 2 圖是波形圖，用來說明第 1 圖所示實施例之動作。
- 第 3 圖是波形圖，用來說明第 1 圖所示實施例之動作。
- 第 4 圖是電路圖，用來表示本發明另一實施例。
- 第 5 圖是波形圖，用來說明第 4 圖所示實施例之動作。
- 第 6 圖是電路圖，用來表示本發明另一實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

第 7 圖是波形圖，用來說明第 6 圖所示實施例之動作。
第 8 圖是電路圖，用來表示習知技術之一實例。
第 9 圖是波形圖，用來說明第 8 圖所示實例之動作。
第 10 圖是波形圖，用來說明第 8 圖所示實例之動作。

[符 號 之 說 明]

- 1, 2, 3, 4, 5, 6, 7, 17 ---- 輸入 電 路
- 8 ---- 同 步 信 號 產 生 電 路
- 9 ---- 命 令 解 碼 器
- 10 ---- 活 性 化 電 路
- 11 ---- 計 數 器
- 12 A, 12 B -- 行 解 碼 器
- 13 A, 13 B, 13 C --- 寫 入 脈 波 產 生 電 路
- 18 ---- 寫 入 掩 蔽 控 制 電 路
- 19, 20 --- 緩 衝 器
- R1, R2, R3 -- D 門 鎖 電 路
- DL1, DL2, DL3, DL4 --- 延 遲 元 件
- AN ---- AND 閘
- NAN1, NAN2, NAN3, NAN4 --- NAND 閘
- INV1 ---- 反 相 器
- NOR1, NOR2 --- NOR 閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 半 導 體 記 憶 裝 置)

一種同步型半導體記憶裝置，可以使寫入之循環時間縮短。

本發明之解決手段是寫入脈波產生電路13A由正反器所構成，輸入管線活性化信號PEN、寫入活性化信號WEN和同步信號ICLK1D，利用NAND閘和延遲元件DL2等來產生具有一定時間幅度之脈波。當同步信號ICLK1D變成High時，於產生一定時間記憶器寫入之非活性化信號之後，在下一個同步信號之前產生記憶器寫入活性化信號。經由調整延遲元件DL1之延遲量和延遲元件DL2之延遲量，在寫入滙流排對偶WBUS2T/N具有寫入資料之期間，行選擇線不變，可以正確寫入到感測放大器，該寫入時間與循環時間相關。

英文發明摘要 (發明之名稱：Semiconductor Memory)

[Object] To shorten the cycle time of write in the synchronous semiconductor memory.

[Solution] The write pulse generation circuit 13A has pipeline activated signal PEN, light activated signal WEN and synchronous signal ICLK1D as its input, and constitutes flip flop generating pulses of a fixed interval by NAND gate, delay element DL2, etc. When synchronous signal ICLK1D becomes high, the memory write activated signal will be generated till next synchronous signal after the nonactivated signal of constant memory write has been generated. Once the delay amount of the delay element DL1 and that of delay element DL2 are adjusted, the column selection line is correctly written sense amplifier without change while the write data are being displayed in the write bus vs WBUS 2 T/N, and the write time depends upon the cycle time (Refer to Fig.1).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 85113699 號「半導體記憶裝置」專利案

(87年 6月 25日 修正)

六 申請專利範圍：

1. 一種半導體記憶裝置，其特徵是具有多個記憶器單元，和以數位線與該記憶器單元連接之多個感測放大器，用以對連接到該感測放大器之資料線進行控制之寫入開關信號，在外部時鐘被輸入後，至少在延遲指定之第一延遲時間後之第一時序之前，變成非活性化狀態，和在延遲指定之第二延遲時間後之第二時序，變成活性化狀態，上述活性化狀態至少被保持到下一個外部時鐘之輸入。
2. 如申請專利範圍第 1 項之半導體記憶裝置，其中輸入板選擇信號，上述寫入開關信號之上述非活性化狀態和上述活性化狀態，是由在上述第 1 時序進行動作之一定時間幅度之脈波產生電路所產生，和利用上述板選擇信號，在上述寫入開關信號之最初第二時序之前保持非活性化狀態。
3. 如申請專利範圍第 1 或 2 項之半導體記憶裝置，其中該行選擇線之變換是在上述第一時序之後和上述第二時序之前進行。
4. 如申請專利範圍第 3 項之半導體記憶裝置，其中具有同步信號產生電路，以與上述外部時鐘同步之方式來產生第一同步信號，和延遲電路，用來產生使該第一

六、申請專利範圍

同步信號延遲指定時間之第二同步信號，以與該第二同步信號同步之方式使上述寫入、開關信號轉移成非活性化狀態，和以與該第二同步信號同步之方式變換上述行選擇線。

5. 如申請專利範圍第4項之半導體記憶裝置，其中具有寫入緩衝器，以第二寫入匯流排連接到上述之多個感測放大器，被輸入有用以傳達寫入資料之第一寫入匯流排信號和寫入開關信號，以與上述第二同步信號同步之方式進行上述第一寫入匯流排信號之變換。
6. 如申請專利範圍第4項之半導體記憶裝置，其中具有寫入緩衝器，以第二寫入匯流排連接到上述多個感測放大器，被輸入有用以傳達寫入資料之第一寫入匯流排信號和寫入開關信號，以與上述第二同步信號同步之方式進行上述板選擇信號之變換。
7. 如申請專利範圍第1或2項之半導體記憶裝置，其中具備有用以輸出管線活性化信號之管線活性化電路，用以輸出寫入活性化信號之命令解碼器和用以輸出寫入掩蔽控制信號之寫入掩蔽控制電路，當有上述管線活性化信號為非活性，上述寫入活性化信號為非活性，或上述寫入掩蔽控制信號為使寫入掩蔽活性化之任何一個發生時，就在上述第二時序以後使上述寫入開關保持非活性化狀態。
8. 如申請專利範圍第3項之半導體記憶裝置，其中具備

六、申請專利範圍

有用以輸出管線活性化信號之管線活性化電路，用以輸出寫入活性化信號之命令解碼器和用以輸出寫入掩蔽控制信號之寫入掩蔽控制電路，當有上述管線活性化信號為非活性，上述寫入活性化信號為非活性，或上述寫入掩蔽控制信號為使寫入掩蔽活性化之任何一個發生時，就在上述第二時序以後使上述寫入開關保持非活性化狀態。

9.如申請專利範圍第4項之半導體記憶裝置，其中具備有用以輸出管線活性化信號之管線活性化電路，用以輸出寫入活性化信號之命令解碼器和用以輸出寫入掩蔽控制信號之寫入掩蔽控制電路，當有上述管線活性化信號為非活性，上述寫入活性化信號為非活性，或上述寫入掩蔽控制信號為使寫入掩蔽活性化之任何一個發生時，就在上述第二時序以後使上述寫入開關保持非活性化狀態。

10.如申請專利範圍第5項之半導體記憶裝置，其中具備有用以輸出管線活性化信號之管線活性化電路，用以輸出寫入活性化信號之命令解碼器和用以輸出寫入掩蔽控制信號之寫入掩蔽控制電路，當有上述管線活性化信號為非活性，上述寫入活性化信號為非活性，或上述寫入掩蔽控制信號為使寫入掩蔽活性化之任何一個發生時，就在上述第二時序以後使上述寫入開關保持非活性化狀態。

(請先閱讀背面之注意事項再填寫本頁)

訂

象

六、申請專利範圍

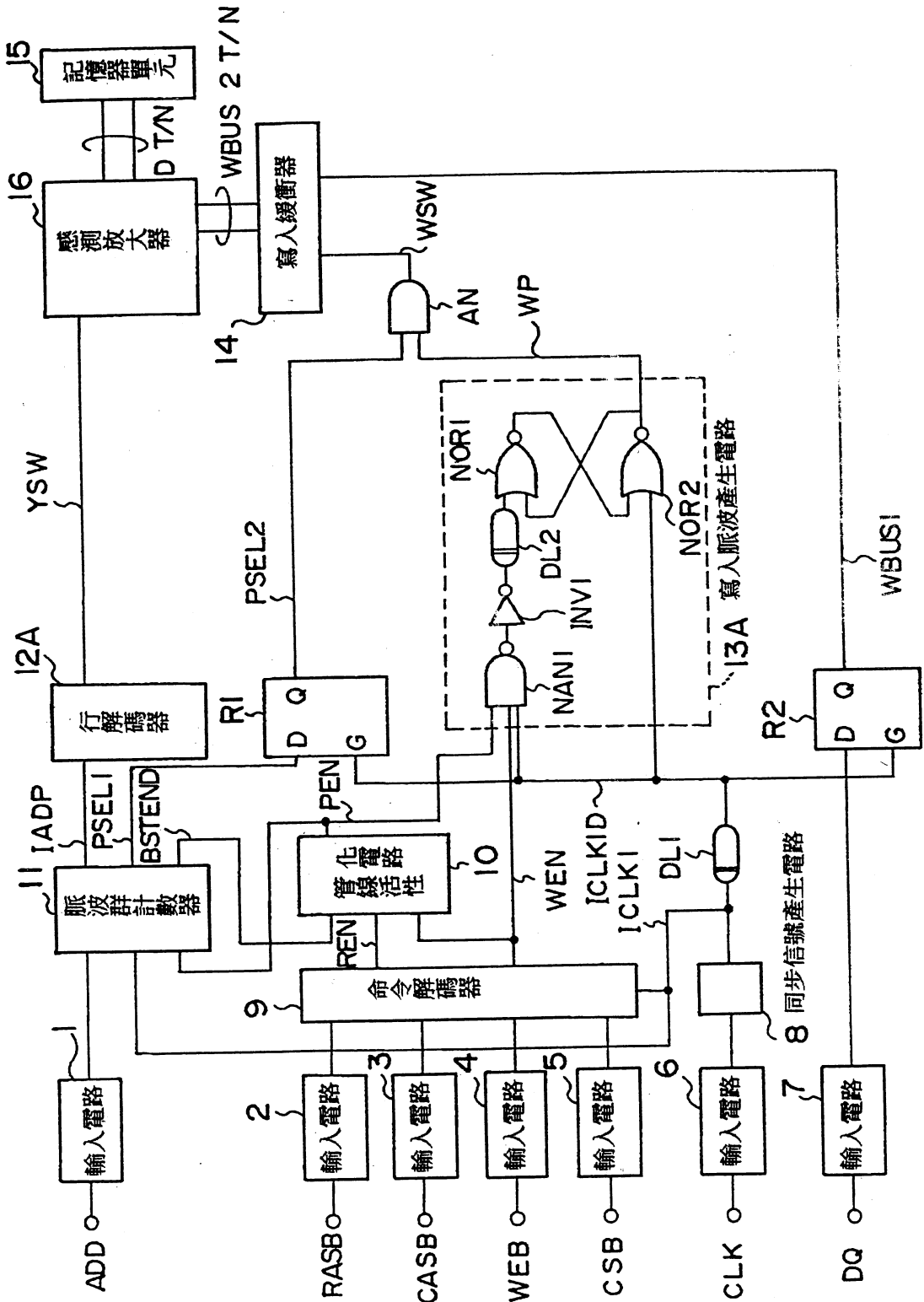
11.如申請專利範圍第6項之半導體記憶裝置,其中具備有用以輸出管線活性化信號之管線活性化電路,用以輸出寫入活性化信號之命令解碼器和用以輸出寫入掩蔽控制信號之寫入掩蔽控制電路,當有上述管線活性化信號為非活性,上述寫入活性化信號為非活性,或上述寫入掩蔽控制信號為使寫入掩蔽活性化之任何一個發生時,就在上述第二時序以後使上述寫入開關保持非活性化狀態。

(請先閱讀背面之注意事項再填寫本頁)

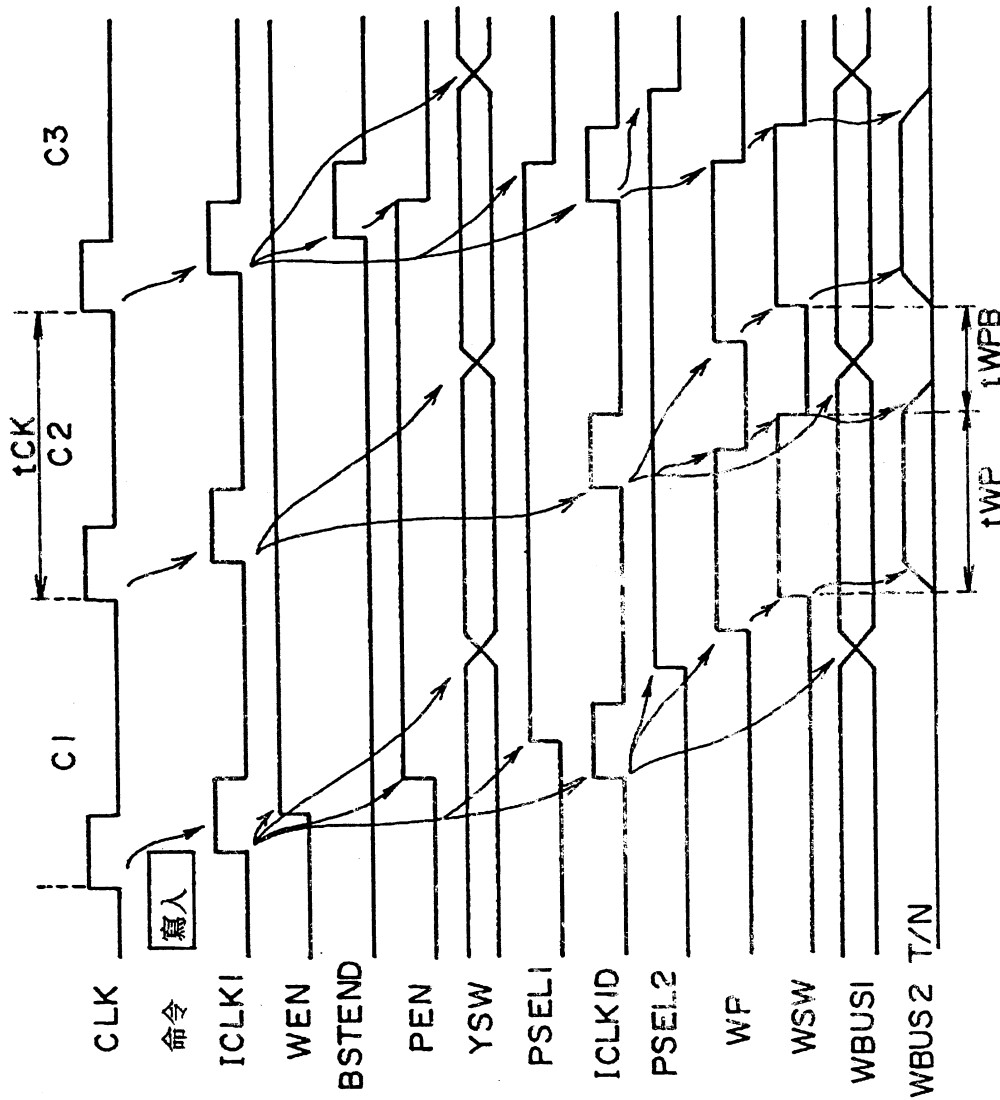
訂

85113699

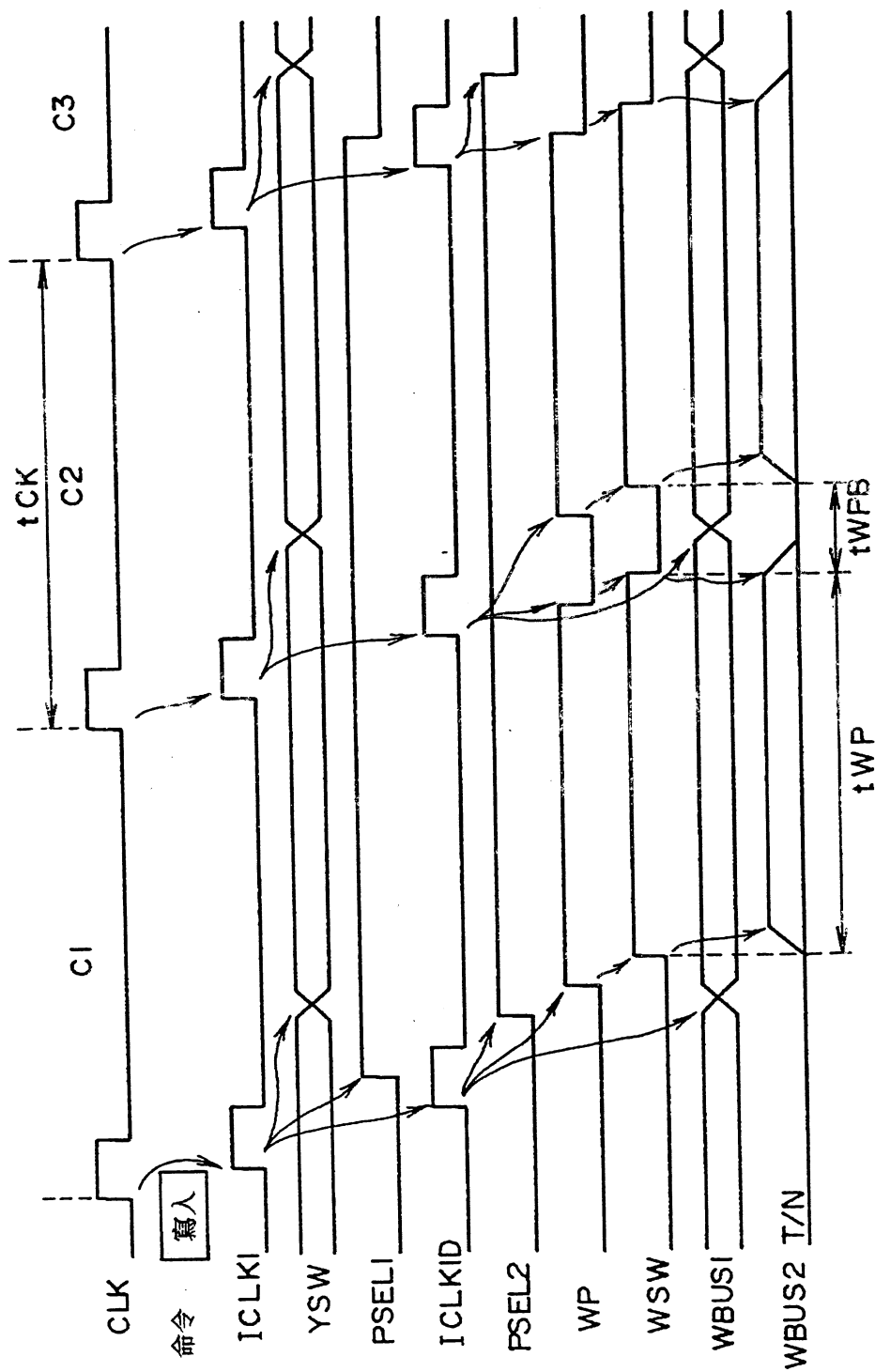
第1圖



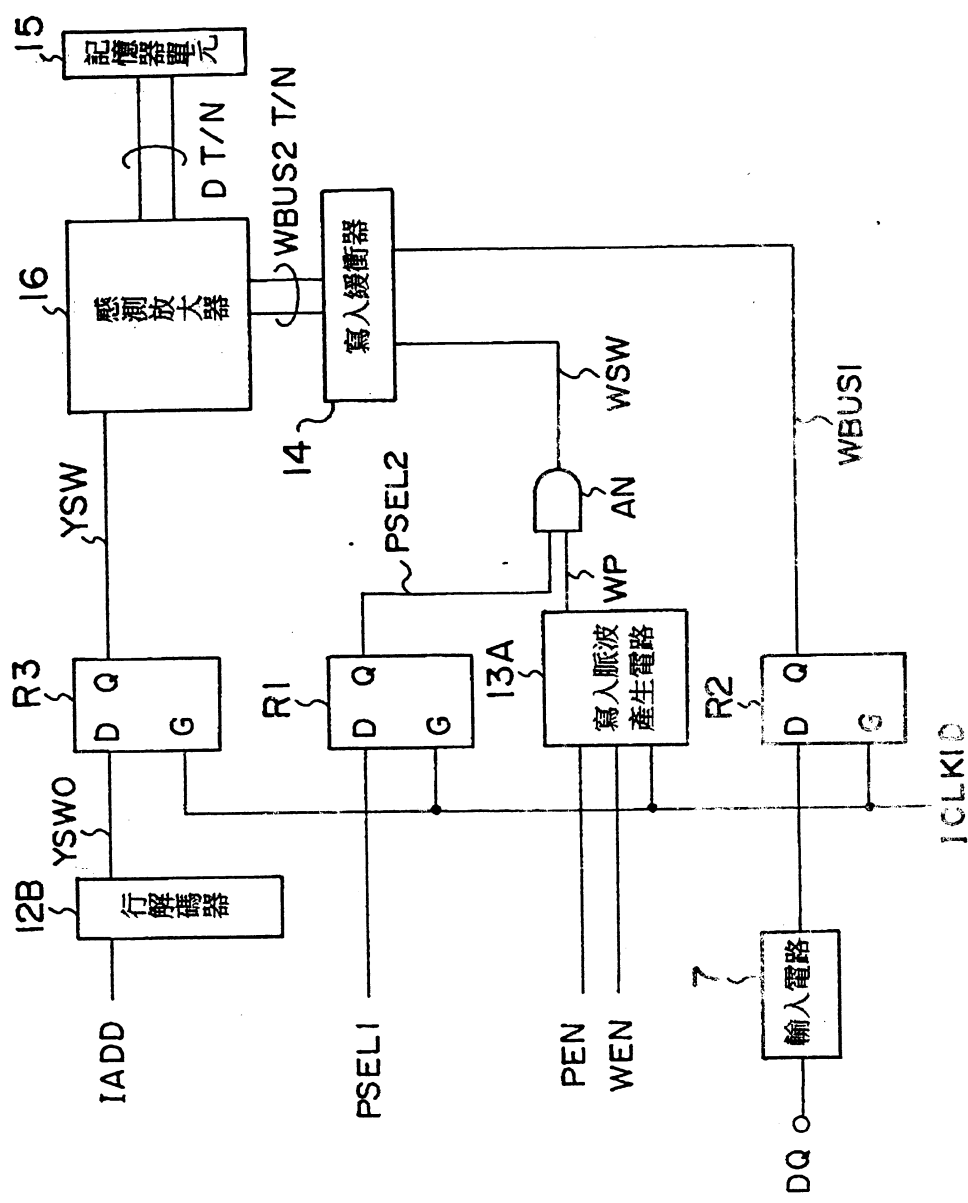
第2圖



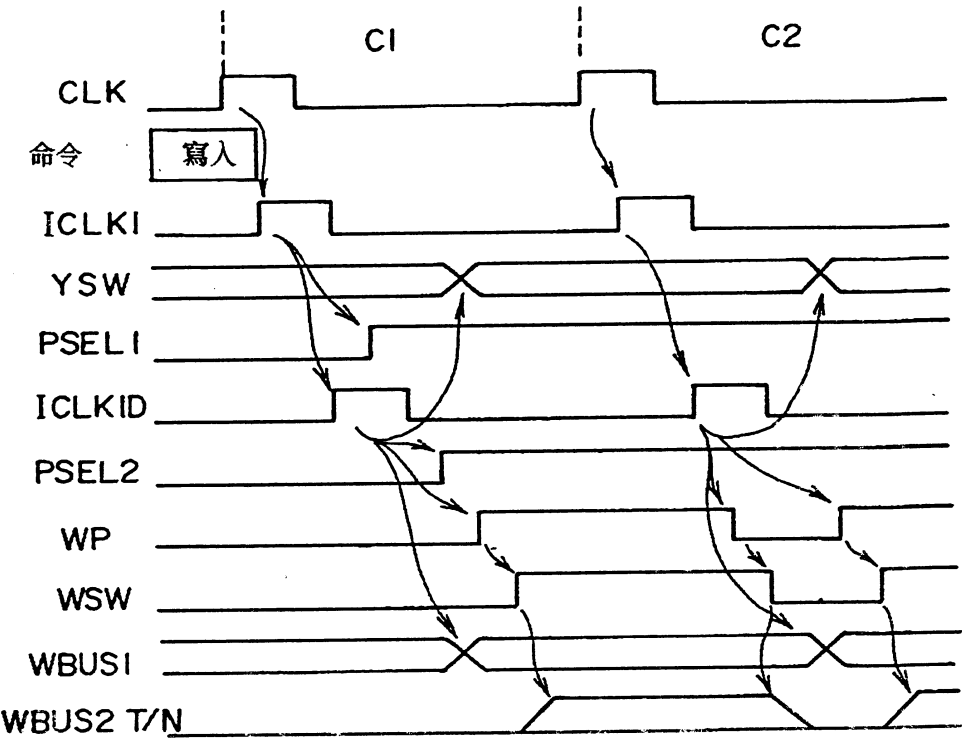
第3圖



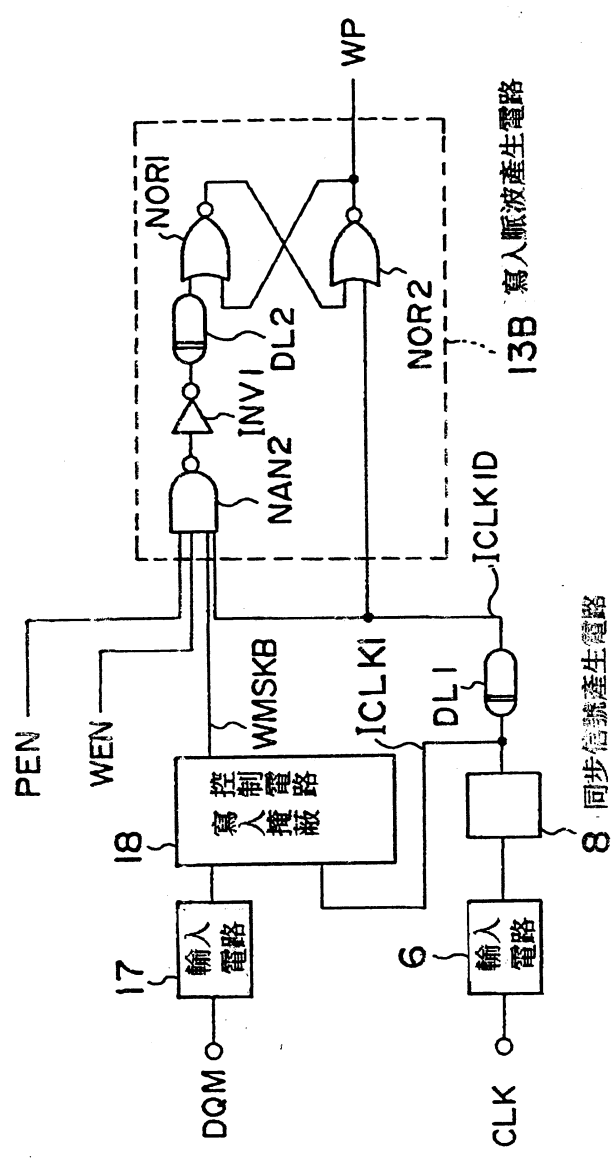
第4圖



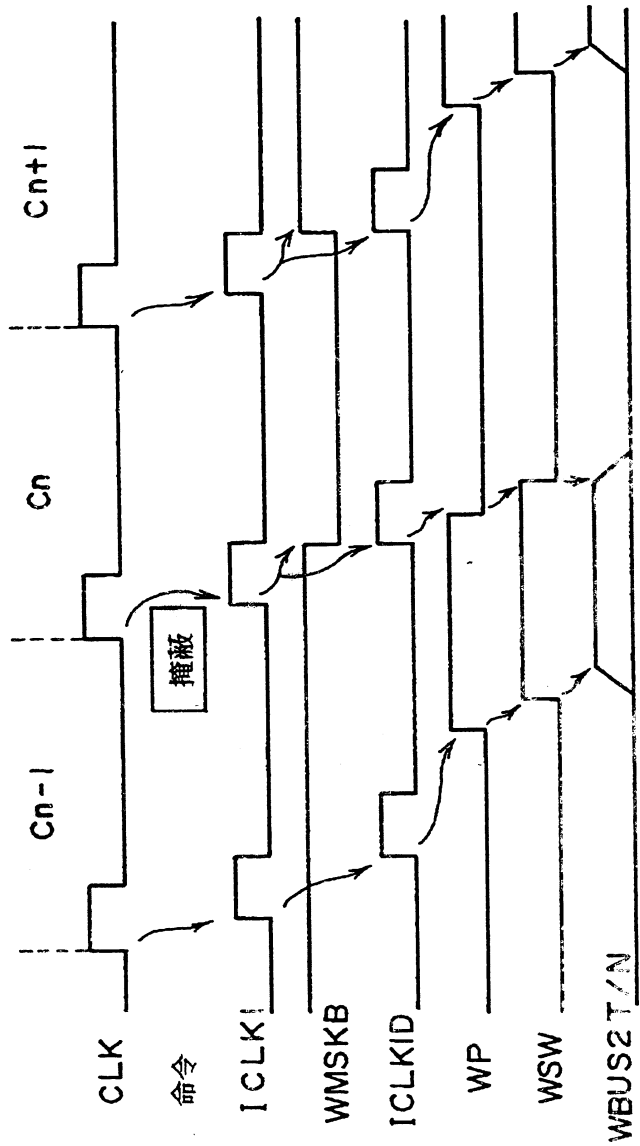
第5圖



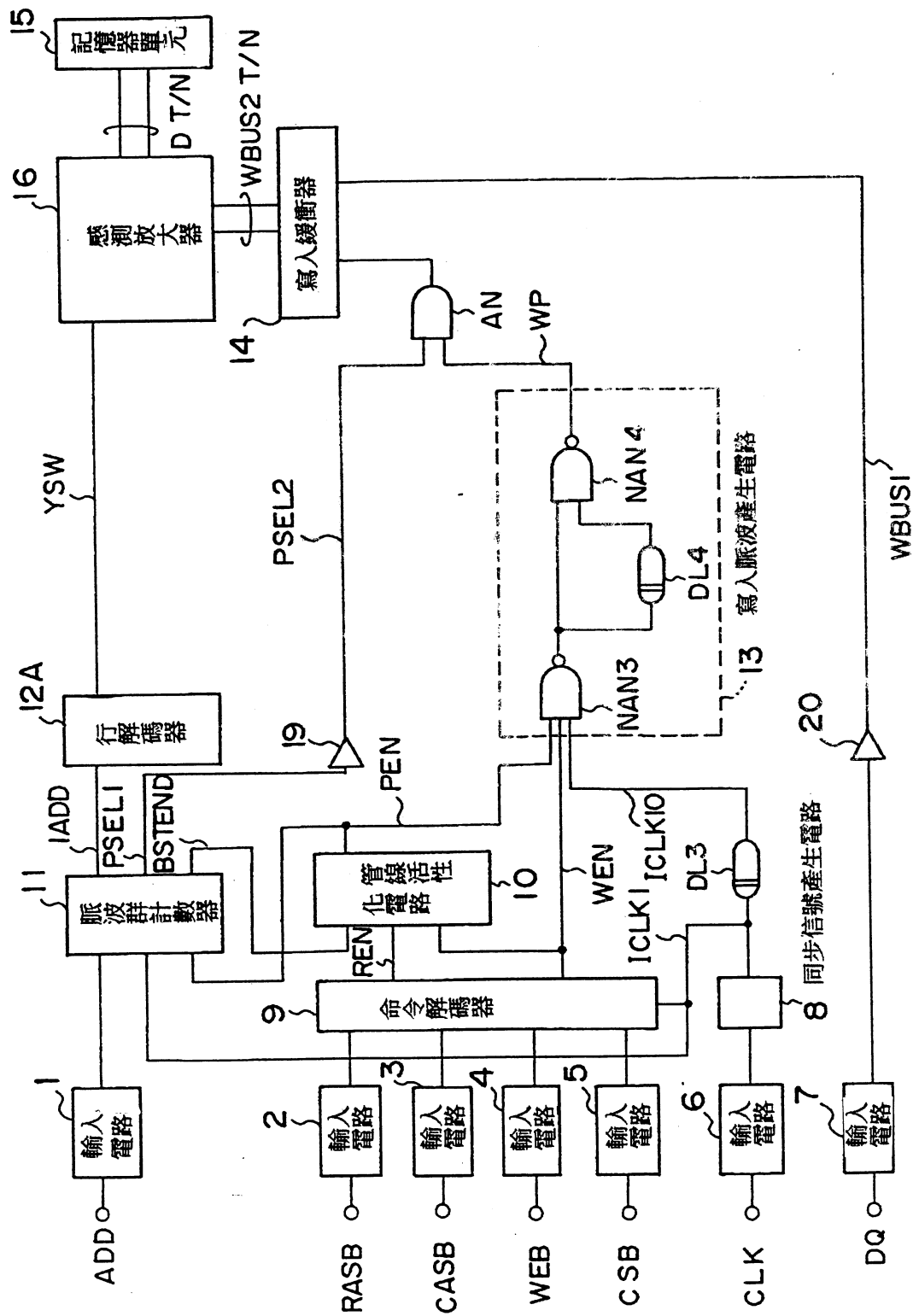
第6圖



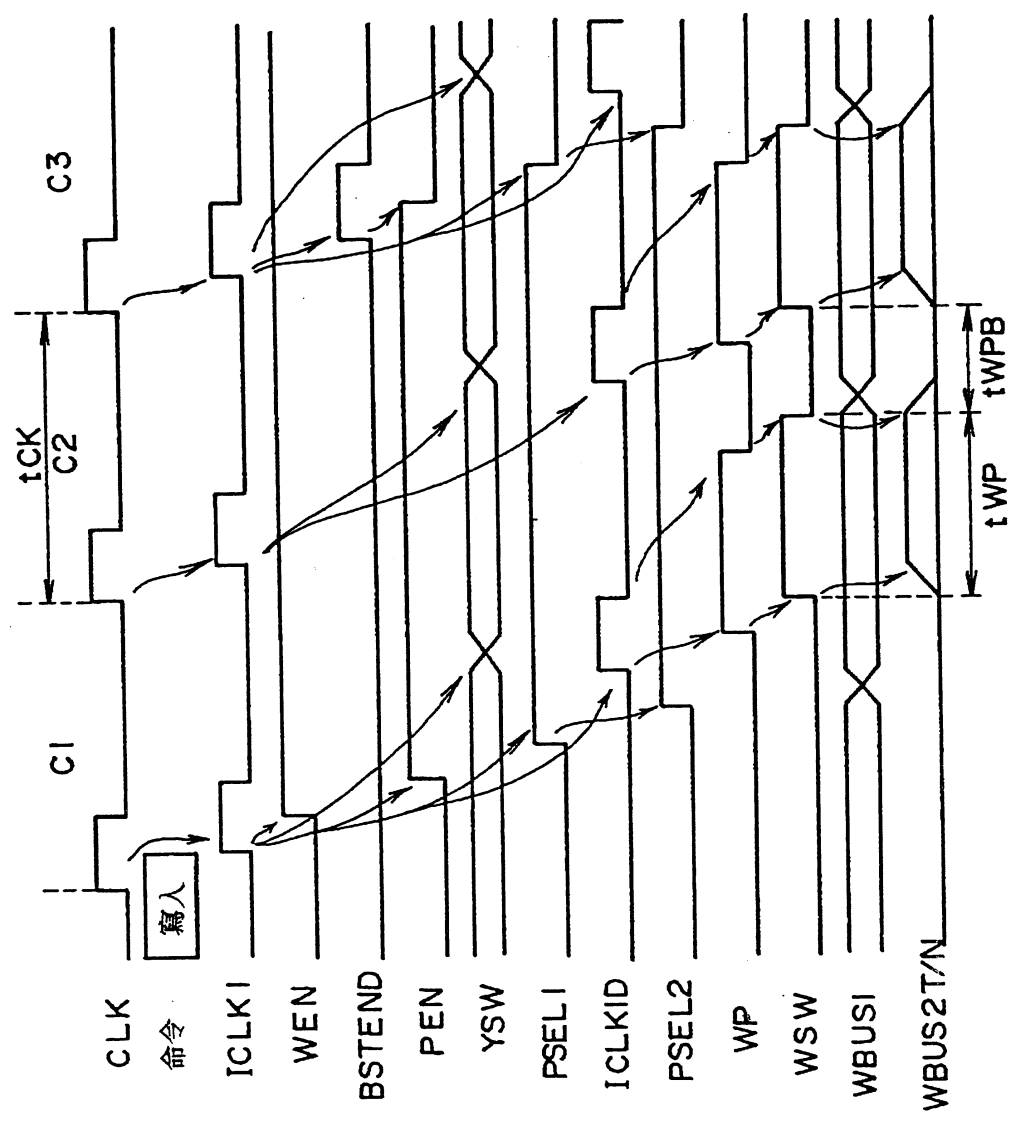
第7圖



第 8 圖



第9圖



第10圖

