(19)日本国特許庁(JP)　(12)特許公報(B1)　(11)特許番号 特許第7584713号 (P7584713)

(45)発行日　令和6年11月15日(2024.11.15)　(24)登録日　令和6年11月7日(2024.11.7)

(51)国際特許分類			FI		
H01L	*21/336*	*(2006.01)*	H01L	29/78	658A
H01L	*29/78*	*(2006.01)*	H01L	21/263	E
H01L	*21/263*	*(2006.01)*	H01L	21/268	F
H01L	*21/268*	*(2006.01)*	H01L	29/91	A
H01L	*21/329*	*(2006.01)*	H01L	29/86	301P

請求項の数　10　(全16頁)　最終頁に続く

(21)出願番号　特願2024-539066(P2024-539066)
(86)(22)出願日　令和6年3月12日(2024.3.12)
(86)国際出願番号　PCT/JP2024/009540
審査請求日　令和6年6月26日(2024.6.26)
早期審査対象出願

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100088672
弁理士　吉竹 英俊
(74)代理人　100088845
弁理士　有田 貴弘
(72)発明者　清井 明
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
審査官　戸川 匠

最終頁に続く

(54)【発明の名称】　パワー半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

第１主面と前記第１主面とは反対側の第２主面とを有するシリコンウエハの、前記第２主面から予め定められた深さまでの領域である第１領域を少なくとも含む領域に水素を導入し、

前記シリコンウエハに電子線を貫通照射することにより、前記第１領域および前記第１領域と前記第１主面との間の第２領域に欠陥を形成し、

前記シリコンウエハを熱処理することにより、前記水素と前記欠陥とを反応させてドナーを形成し、

前記シリコンウエハの前記第１主面または前記第２主面からレーザーアニールを行うことにより、前記第２領域の前記ドナーを不活性化して前記第１領域をバッファ層とする、パワー半導体装置の製造方法。

【請求項２】

前記水素の導入は、

前記シリコンウエハを水素雰囲気中でアニール処理すること、

前記シリコンウエハを水素プラズマ中でアニール処理すること、

前記シリコンウエハに水素を含有する膜を堆積させた状態で、前記シリコンウエハをアニール処理すること、

または前記シリコンウエハを酸性液体に浸漬すること、

のいずれかにより行われる、

請求項１に記載のパワー半導体装置の製造方法。
【請求項３】
前記レーザーアニールは、シリコンに吸収される波長帯の光を前記第１主面に照射することにより、前記第２領域を局所的に加熱する処理である、
請求項１または請求項２に記載のパワー半導体装置の製造方法。
【請求項４】
前記レーザーアニールは、シリコンに吸収されない波長帯の光を前記第２主面に照射し、焦点を前記シリコンウエハの第１主面から前記第２領域の底部まで深さ方向に走査することにより、前記第２領域を局所的に加熱する処理である、
請求項１または請求項２に記載のパワー半導体装置の製造方法。
【請求項５】
前記レーザーアニールにより前記第２領域は５００℃以上に加熱される、
請求項１または請求項２に記載のパワー半導体装置の製造方法。
【請求項６】
前記レーザーアニールにより前記第２領域は５００℃以上に加熱される、
請求項３に記載のパワー半導体装置の製造方法。
【請求項７】
前記レーザーアニールにより前記第２領域は５００℃以上に加熱される、
請求項４に記載のパワー半導体装置の製造方法。
【請求項８】
第１主面と前記第１主面とは反対側の第２主面とを有するシリコンウエハの、前記第２主面から予め定められた深さまでの領域である第１領域を少なくとも含む領域に水素を導入し、
前記シリコンウエハに電子線を貫通照射することにより、前記第１領域および前記第１領域と前記第１主面との間の第２領域に欠陥を形成し、
前記第２主面から前記シリコンウエハをレーザーアニールすることにより、前記第１領域において局所的に前記水素と前記欠陥とを反応させてドナーを形成し、
前記水素の導入は、
前記シリコンウエハを水素雰囲気中でアニール処理すること、
前記シリコンウエハを水素プラズマ中でアニール処理すること、
前記シリコンウエハに水素を含有する膜を堆積させた状態で、前記シリコンウエハをアニール処理すること、
または前記シリコンウエハを酸性液体に浸漬すること、
のいずれかにより行われる、
パワー半導体装置の製造方法。
【請求項９】
前記レーザーアニールは、シリコンに吸収される波長帯の光を前記第２主面に照射することにより、前記第１領域を局所的に加熱する処理である、
請求項８に記載のパワー半導体装置の製造方法。
【請求項１０】
前記レーザーアニールにより前記第１領域は２５０℃以上に加熱される、
請求項８または請求項９に記載のパワー半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、パワー半導体装置の製造方法に関する。
【背景技術】
【０００２】
縦型ＩＧＢＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）は、表面側から順に、ＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）

構造、ｎ型のドリフト層、ｎ型のバッファ層およびｐ型のコレクタ層を含む領域で構成される。縦型ダイオードは、表面側から順に、ｐ型のアノード部、ｎ型のドリフト層、ｎ型のバッファ層およびｎ型のカソード層で構成される。特許文献１には縦構造を有するＩＧＢＴが開示されている。ＩＧＢＴおよびダイオードの薄板化は損失低減に有効であるが、電圧スナップオフに対する余裕度が低下する悪影響もある。その対策として、幅広のｎ型バッファ層が採用されている。

【０００３】

特許文献１には、プロトン（水素イオン）の照射または注入（以下、両者をあわせて照射と記載する）とアニール処理とを用いて、バッファ層を製造する方法が記載されている。この方法によれば、１回のプロトン照射で作ることのできるバッファ層の幅は限られる。デバイス裏面に所望の厚みのバッファ層を形成するためには、プロトンの照射飛程を変えた多数回の照射が必要となる。

【０００４】

特許文献２，３には、プロトン照射によらずにバッファ層を製造する方法が記載されている。特許文献２には、濃度の異なるウエハの貼り合わる方法が記載されている。特許文献３には、多段エピ成長によりバッファ層を製造する方法が記載されている。

【先行技術文献】

【特許文献】

【０００５】

【文献】特許第６０９０３２９号公報
【文献】特許第２８７８４８８号公報
【文献】特許第３１１３１５６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

ＩＧＢＴまたはダイオードに幅広のｎ型バッファ層を形成する際、特許文献１から特許文献３に記載の方法では、以下の問題がある。特許文献１に記載のプロトン多段照射では、照射回数が多くなるため、シリコンウエハに余分なダメージが蓄積する。また、各照射によりドナーが形成される領域の間で界面が発生するという問題もある。特許文献２に記載の貼り合わせによれば、必然的に貼り合わせ界面が発生するという問題がある。特許文献３に記載の多段エピ成長は、気相成長であるため本質的に製造に時間がかかる。

【０００７】

本開示は、上記の問題点を解決するためになされたものであり、幅広のバッファ層をダメージの蓄積が少なく、かつ界面がないように形成することを目的とする。

【課題を解決するための手段】

【０００８】

本開示のパワー半導体装置の製造方法は、第１主面と第１主面とは反対側の第２主面とを有するシリコンウエハの、第２主面から予め定められた深さまでの領域である第１領域を少なくとも含む領域に水素を導入し、シリコンウエハに電子線を貫通照射することにより、第１領域および第１領域と第１主面との間の第２領域に欠陥を形成し、シリコンウエハを熱処理することにより、水素と欠陥とを反応させてドナーを形成し、シリコンウエハの第１主面または第２主面からレーザーアニールを行うことにより、第２領域のドナーを不活性化して第１領域をバッファ層とする。

【発明の効果】

【０００９】

本開示のパワー半導体装置の製造方法によれば、水素の導入と、電子線の貫通照射と、熱処理と、レーザーアニールとにより、第１領域にのみドナーを残し、第１領域をバッファ層として形成することができる。従って、幅広のバッファ層をダメージの蓄積が少なく、かつ界面がないように形成することができる。本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

【図面の簡単な説明】

【００１０】

【図１】実施の形態１に係るパワー半導体装置の製造方法を示すフローチャートである。
【図２】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図３】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図４】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図５】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図６】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図７】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図８】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図９】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図１０】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図１１】実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。
【図１２】ドナーの面密度の温度依存性を示す図である。
【図１３】実施の形態１に係るパワー半導体装置における水素濃度分布を示す図である。
【図１４】実施の形態２に係るパワー半導体装置の製造方法を示すフローチャートである。
【図１５】実施の形態２に係るパワー半導体装置の製造工程を示す断面図である。
【図１６】実施の形態２に係るパワー半導体装置の製造工程を示す断面図である。
【図１７】実施の形態２に係るパワー半導体装置の製造工程を示す断面図である。
【図１８】実施の形態２に係るパワー半導体装置の製造工程を示す断面図である。
【図１９】実施の形態２に係るパワー半導体装置の製造工程を示す断面図である。
【図２０】実施の形態２に係るパワー半導体装置の製造工程を示す断面図である。
【図２１】実施の形態２に係るパワー半導体装置における水素濃度分布を示す図である。
【図２２】実施の形態３に係るパワー半導体装置の製造方法を示すフローチャートである。
【図２３】実施の形態３に係るパワー半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【００１１】

＜Ａ．前提技術＞

まず、本開示の技術の前提技術として、プロトン照射によるバッファ層の形成方法について説明する。

【００１２】

バッファ層の形成に寄与するドナーは、シリコンウエハに存在する点欠陥および水素を複合化することによって形成される。点欠陥は、結晶格子の局所的な乱れであり、空孔タイプ（ｖａｃａｎｃｙ）と格子間原子タイプ（ｉｎｔｅｒｓｔｉｔｉａｌ　ｓｉｌｉｃｏｎ）とに分けられる。一般的に点欠陥と水素とが複合化すると、点欠陥のダングリングボンドが水素に遮蔽されて、バンド内準位を示さない。しかし、ダングリングボンドの遮蔽効果が不十分であると、浅いドナー型準位が形成される場合がある。この物理現象を利用して、シリコンウエハに形成されるドナーを制御することによってキャリア濃度を制御し、パワー半導体装置にバッファ層を形成することが可能になる。この結果、パワー半導体装置のスイッチング波形がソフトになり、スナップオフまたは発振の防止が可能となる。大抵、ドナーはプロトン照射を用いてシリコンウエハに形成されるが、ヘリウムイオン照射と何らかの水素とを導入させる処理を組み合わせることによっても形成可能である。

【００１３】

シリコンウエハにバッファ層を形成する際、プロトン照射後に適切なアニール処理が必要である。なぜなら、アニール処理を行うことで、ドナー発生領域がシリコンウエハの裏面側に広がり、デバイス裏面に所望の厚みのバッファ層を形成させることが可能だからである。この広がり幅が小さいと、デバイス裏面に高抵抗領域が残り、その結果としてパワー半導体装置の特性が悪化する。しかし、幅広のバッファ層を得るべく多段照射を行うと、シリコン中に不要なダメージが蓄積されてしまう。そこで、以下に示す実施の形態では、多段照射を用いずに所望の幅のバッファ層を形成する方法について説明する。

【００１４】
＜Ｂ．実施の形態１＞
図１は、実施の形態１に係るパワー半導体装置の製造方法を示すフローチャートである。図２から図１１は、実施の形態１に係るパワー半導体装置の製造工程を示す断面図である。以下、これらの図を参照して、実施の形態１に係るパワー半導体装置の製造方法を説明する。なお、ここでは一例として、ｎ型またはｎ－型のシリコンウエハから、縦型ＩＧＢＴまたは縦型ダイオードを製造する方法について説明する。
【００１５】
図１のフローを開始する前に、図２に示すシリコンウエハ１を準備する。シリコンウエハ１はインゴットから切り出されたものであり、表面である第１主面Ｓ１と、第１主面Ｓ１と逆側の裏面である第２主面Ｓ２とを有している。シリコンウエハ１の水素濃度は、例えば１×１０^{１３}ｃｍ$^{－３}$以下である。この段階でのシリコンウエハ１の厚みはＷ１である。
【００１６】
図１のステップＳ１０１において、シリコンウエハ１の水素濃度を制御する水素導入工程を行う。水素導入工程では、水素ガスおよび水素プラズマのいずれかの雰囲気において、シリコンウエハ１にアニール処理を行う。例えば、シリコンウエハ１を水素雰囲気に曝した状態で、１０００℃以上１３００℃以下（６２７Ｋ以上１０２７Ｋ以下）の温度範囲で縦型炉等の炉中でアニール処理を行う。例えば、１１００℃で５時間のアニールを行うと、シリコン中の水素の侵入深さは１．７ｃｍである。従って、パワー半導体用のシリコンウエハ１の深さ方向全域において水素を含侵させることができる。図３には、この状態のシリコンウエハ１が示されており、水素が導入された領域が梨地のハッチングで示されている。
【００１７】
シリコンウエハ１のうち、後工程でバッファ層となる領域を第１領域とし、後工程でドリフト層およびアノード層またはＭＯＳ構造となる領域を第２領域とする。上記の水素導入工程では、シリコンウエハ１の深さ方向全体、すなわち第１領域と第２領域の両方に水素が導入されたが、少なくとも第１領域に水素が導入されればよい。
【００１８】
次に、図１のステップＳ１０２において、シリコンウエハ１の第２主面Ｓ２から電子線を照射する電子線照射工程を行う。ここでは、加速器を用いて、数１００ＫｅＶ以上数１０ＭｅＶ以下に加速された電子をシリコンウエハ１の第２主面Ｓ２に照射する。これにより、電子線がパワー半導体用途のシリコンウエハ１を貫通し、図４に示されるように、シリコンウエハ１の厚み方向全体において、点欠陥２が形成される。すなわち、第１領域と第２領域の両方に点欠陥２が形成される。
【００１９】
電子線のドーズ量は、形成したい点欠陥の量によるが、例えば１×１０^{１２}以上１×１０^{１６}ｃｍ$^{－２}$以下である。なお、シリコンウエハ１の第２主面Ｓ２に、電子線の代わりにプロトンまたはヘリウムイオンを照射し、シリコンウエハの局所部分に点欠陥２を形成してもよい。
【００２０】
次に、図１のステップＳ１０３において、ドナー３を形成するためのドナー活性化アニール工程を行う。具体的には、シリコンウエハ１を窒素などの不活性ガス雰囲気に曝し、２００℃以上５００℃以下でアニールを行う。この処理により、シリコンウエハ１中の水素と点欠陥２とが反応して、図５に示されるようにシリコンウエハ１の厚み方向の全体にドナー３が形成される。
【００２１】
図１２は、ドナーの面密度（ｃｍ$^{－２}$）の温度依存性を示している。図１２に示されるように、２００℃よりも低い温度のアニールは、ドナーの形成効率が低下するため好ましくない。また、５００℃よりも高い温度のアニールは、ドナーの消滅が顕著になるため好

ましくない。したがって、ドナー活性化のためのアニール温度は２００℃以上５００℃以下が望ましい。なお、ドナー３の濃度はアニール時間によっても調整可能である。

【００２２】

次に、図１のステップＳ１０４において、シリコンウエハ１の第２領域に形成されたドナー３を局所的に不活性化するドナー局所不活性化アニール工程を行う。具体的には、図６に示されるように、シリコンに吸収される波長帯の光をシリコンウエハ１の第１主面Ｓ１に照射する。これにより、シリコンウエハ１の第１主面Ｓ１付近で局所的に温度が上昇し、熱が第１主面Ｓ１から第２主面Ｓ２に向かう方向に伝導する。図１２に示されるように、シリコンの温度が５００℃以上に上昇した領域で、ドナー３は不活性化する。

【００２３】

本工程での光の照射には、例えばレーザーアニール装置またはランプアニール装置が用いられる。シリコンウエハ１の第１領域のドナー３が不活性化しないよう、光の波長、パワー密度、および照射時間が調整される。シリコンウエハ１の第２領域のドナー３のみがアニールアウトすることで、ドナー３が不活性化せず残った第１領域がバッファ層１１となる。このバッファ層１１を第１バッファ層とも称する。

【００２４】

次に、図１のステップＳ１０５において、シリコンウエハ１の第１主面Ｓ１側にデバイスの表面構造を形成する表面構造形成工程を行う。表面構造を第１主面構造とも称する。ダイオードを製造する場合、表面構造形成工程では、図７に示されるように、シリコンウエハ１の第１主面Ｓ１にｐ＋型のアノード層１４を形成し、アノード層１４上にアノード電極１５を形成する。ＩＧＢＴを製造する場合、シリコンウエハ１の表面にｐ型のベース領域を形成し、ｎ型のソース領域を形成し、シリコンウエハ１をドライエッチングしてトレンチゲートを形成し、ゲート酸化膜を形成し、ポリシリコン等のゲート電極を形成し、ＴＥＯＳ等の層間絶縁膜を形成し、ソース電極を形成する。

【００２５】

次に、図１のステップＳ１０６において、第２主面Ｓ２を研削し、シリコンウエハ１を所望の厚みにするウエハ研削工程を行う。例えば、第１主面構造を保護した後、シリコンウエハ１の第２主面Ｓ２をＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈ）等の研削手段を用いて研削する。以下、研削後のシリコンウエハ１を半導体領域と称する。また、研削後のシリコンウエハ１の厚みをＷ２とする。

【００２６】

次に、図１のステップＳ１０７において、シリコンウエハ１の第２主面Ｓ２に第２バッファ層を形成する第２バッファ層形成工程を行う。例えば図９に示されるように、第２主面Ｓ２にリン等のｎ型ドーパントイオンを注入することにより、ｎ型の第２バッファ層１２を形成する。なお、第２バッファ層１２は複数回のイオン注入により形成されてもよい。また、第２バッファ層１２を第１バッファ層１１で代用し、省略してもよい。

【００２７】

次に、図１のステップＳ１０８において、シリコンウエハ１の第２主面Ｓ２にデバイスの裏面構造を形成する裏面構造形成工程を行う。以下、デバイスの裏面構造を第２主面構造とも称する。ダイオードを製造する場合、裏面構造形成工程では、図１０に示されるように、シリコンウエハ１の第２主面Ｓ２にｎ＋型のカソード層１６を形成する。ＲＦＣ（Ｒｅｌａｘｅｄ　Ｆｉｅｌｄ　ｏｆ　Ｃａｔｈｏｄｅ）ダイオードを製造する場合、ｎ＋型のカソード層に加えてｐ＋型のカソード層を部分的に形成する。ＩＧＢＴを製造する場合、シリコンウエハ１の裏面にｐ＋型のコレクタ層を形成する。ＲＣ（Ｒｅｖｅｒｓ　Ｃｏｎｄｕｃｔｉｖｅ）ＩＧＢＴを製造する場合、コレクタ層に加えてｎ＋カソード層を部分的に形成する。

【００２８】

次に、図１のステップＳ１０９において、シリコンウエハ１の第２主面Ｓ２に裏面電極を形成する。ダイオードを製造する場合、裏面電極は図１１に示されるカソード電極１７である。ＩＧＢＴを製造する場合、裏面電極はコレクタ電極である。以上が、実施の形態

１に係るパワー半導体装置の製造方法である。
【００２９】
図１３は、実施の形態１に係るパワー半導体装置の水素濃度分布を模式的に示している。実線は、２００℃以上５００℃以下の範囲でアニール温度が高く、またはアニール時間が長い場合の水素濃度を示している。破線は、２００℃以上５００℃以下の範囲で実線に比べてアニール温度が低く、またはアニール時間が短い場合の水素濃度を示している。
【００３０】
実施の形態１に係るパワー半導体装置の製造方法によれば、水素導入工程、電子線照射工程、ドナー活性化アニール工程、およびドナー局所不活性化アニール工程により、内部に界面を持たない幅広の第１バッファ層１１を、シリコンウエハ１にダメージを蓄積させることなく、短時間で形成することが可能である。
【００３１】
本実施の形態において、表面構造形成工程、ウエハ研削工程、第２バッファ形成工程、裏面構造形成工程、裏面電極形成工程には、上記の例に限らず他の一般的なＩＧＢＴまたはダイオードの製造方法が適用可能である。
【００３２】
＜Ｃ．実施の形態２＞
実施の形態１では、第１バッファ層（図１のステップＳ１０１からステップＳ１０４）をデバイス構造（図１のステップＳ１０５からステップＳ１０９）より先に形成した。
【００３３】
これに対して、実施の形態２では、第１バッファ層の形成工程をデバイス構造より後に形成する。ところで、シリコンウエハ１にデバイス構造が形成されると、デバイス構造により、その後のアニール温度およびアニール時間に制限が生じる。また、一般的にパワーデバイスの表面電極には金属電極が用いられるため、表面構造の形成後には、表面側から光を照射してシリコンウエハ１に入熱することができない。そこで、実施の形態２に係るパワー半導体装置の製造方法では、裏面側から光を照射してシリコンウエハ１に入熱する。
【００３４】
図１４は、実施の形態２に係るパワー半導体装置の製造方法を示すフローチャートである。以下、図１４のフローに沿って実施の形態２に係るパワー半導体装置の製造方法を説明する。なお、ここでは一例として、ｎ型またはｎ－型のシリコンウエハから、縦型ＩＧＢＴまたは縦型ダイオードを製造する方法について説明する。
【００３５】
図１４のフローを開始する前、実施の形態１と同様に厚みＷ１のシリコンウエハ１を準備する。そして、図１４のステップＳ２０１において、シリコンウエハ１の第１主面Ｓ１にデバイスの表面構造を形成する。ダイオードを製造する場合、表面構造形成工程では、図１５に示されるように、シリコンウエハ１の第１主面Ｓ１にｐ＋型のアノード層１４を形成し、アノード層１４上にアノード電極１５を形成する。シリコンウエハ１のうちアノード層１４以外の領域をドリフト層１３とする。本ステップは図１のステップＳ１０５と同様である。
【００３６】
次に、ステップＳ２０２において、第２主面Ｓ２を研削し、シリコンウエハ１を所望の厚みにするウエハ研削工程を行う。本ステップは図１のステップＳ１０６と同様である。本工程により、シリコンウエハ１の厚みはＷ２となる。
【００３７】
その後、ステップＳ２０３において、シリコンウエハ１の第２主面Ｓ２に第２バッファ層１２を形成する第２バッファ層形成工程を行う。本ステップは図１のステップＳ１０７と同様である。
【００３８】
次に、ステップＳ２０４において、シリコンウエハ１の第２主面Ｓ２にデバイスの裏面構造を形成する裏面構造形成工程を行う。ダイオードを製造する場合、裏面構造形成工程

では、図１７に示されるように、シリコンウエハ１の第２主面Ｓ２にｎ＋型のカソード層１６を形成する。本ステップは図１のステップＳ１０８と同様である。

【００３９】

その後、ステップＳ２０５において、シリコンウエハ１の水素濃度を制御する水素導入工程を行う。本ステップは図１のステップＳ１０１と同様であるが、アニール温度の上限は表面構造が破壊されない条件、例えば５００℃以下となる。本ステップでは、シリコンウエハ１の少なくとも第１領域に水素が導入されればよい。

【００４０】

次に、ステップＳ２０６において、シリコンウエハ１の第２主面Ｓ２から電子線を照射して点欠陥２を形成する電子線照射工程を行う。本ステップは図１のステップＳ１０２と同様である。図１８は、本工程により点欠陥２が形成された状態のシリコンウエハ１を示している。

【００４１】

その後、ステップＳ２０７において、ドナー３を形成するためのドナー活性化アニール工程を行う。本ステップは図１のステップＳ１０３と同様である。図１９は、本工程によりドナー３が形成された状態のシリコンウエハ１を示している。

【００４２】

次に、ステップＳ２０８において、シリコンウエハ１の第２領域に形成されたドナー３を局所的に不活性化するドナー局所不活性化アニール工程を行う。実施の形態１では、シリコンに吸収される波長帯の光を第１主面Ｓ１に照射したが、本実施の形態では、シリコンに吸収されない波長帯のパルスレーザー光を第２主面Ｓ２に照射する。この際、光パワーが強いと非線形光学効果により、入射光の焦点位置でのみ局所的な光吸収を発生させることができる。すなわち、シリコンウエハ１の第２主面Ｓ２を加熱することなく、深部のみを５００℃以上に上昇させることができる。こうして、ドナー活性化アニール工程で発生したドナー３の一部を不活性化させる。パルスレーザーの焦点を第１主面Ｓ１から第２領域の底部に亘って走査することで、第２領域におけるドナー３を不活性化させることができる。こうして、図２０に示されるように、ドリフト層１３のうちドナー３が残った領域がバッファ層１１となる。

【００４３】

その後、ステップＳ２０９において、シリコンウエハ１の第２主面Ｓ２に裏面電極を形成する。本ステップは図１のステップＳ１０９と同様である。以上が、実施の形態２に係るパワー半導体装置の製造方法である。

【００４４】

図２１は、実施の形態２に係るパワー半導体装置の水素濃度分布を模式的に示している。図２１において、Ｗ３は第１バッファ層１１、第２バッファ層１２および裏面構造の合計厚みである。図２１は、ステップＳ２０５において、主にシリコンウエハ１の第１領域に水素が導入された場合を示している。

【００４５】

実施の形態２に係るパワー半導体装置の製造方法によれば、水素導入工程、電子線照射工程、ドナー活性化アニール工程、およびドナー局所不活性化アニール工程により、内部に界面を持たない幅広の第１バッファ層１１を、シリコンウエハ１にダメージを蓄積させることなく、短時間で形成することが可能である。

【００４６】

本実施の形態において、表面構造形成工程、ウエハ研削工程、第２バッファ形成工程、裏面構造形成工程、裏面電極形成工程には、上記の例に限らず他の一般的なＩＧＢＴまたはダイオードの製造方法が適用可能である。

【００４７】

＜Ｄ．実施の形態３＞

実施の形態３に係るパワー半導体装置の製造方法では、シリコンウエハ１の第１領域および第２領域にドナー３を形成した後、第２領域において局所的にドナー３を不活性化さ

せることで、第１領域にのみドナー３を形成した。

【００４８】

これに対して実施の形態３に係るパワー半導体装置の製造方法では、光を用いたアニールにより、シリコンウエハ１の第１領域において局所的にドナー３を形成する。

【００４９】

図２２は、実施の形態３に係るパワー半導体装置の製造方法を示すフローチャートである。以下、図２２のフローに沿って実施の形態３に係るパワー半導体装置の製造方法を説明する。なお、ここでは一例として、ｎ型またはｎ－型のシリコンウエハから、縦型ＩＧＢＴまたは縦型ダイオードを製造する方法について説明する。

【００５０】

図２２のフローを開始する前、実施の形態１，２と同様に厚みＷ１のシリコンウエハ１を準備する。その後の、ステップＳ３０１からステップＳ３０６の処理は、図１４のステップＳ２０１からステップＳ２０６と同様であり、図１５から図１８に示す処理が行われる。

【００５１】

ステップＳ３０６の後、ステップＳ３０７において、半導体領域内の点欠陥２を局所的にドナー化するドナー局所活性化アニール工程を行う。例えば、図２３に示されるように、シリコンウエハ１の第２主面Ｓ２にレーザーアニールまたはランプアニールなどの光を照射するアニール処理を行う。これにより、シリコンウエハ１の第１領域の温度をドナー形成温度以上、例えば２００℃以上とし、第１領域に局所的にドナー３を形成する。

【００５２】

アニール温度が２００℃未満である場合、図１２に示される通り、ドナーの形成効率が低下する。また、アニール温度が５００℃より高い場合、ドナーの消滅が顕著になる。従って、本工程のアニール温度は、２００℃以上５００℃以下であることが望ましい。光の強度および照射時間は、ドナー濃度が所望の値となるように調整される。本工程により、電子線照射によりシリコンウエハ１中に形成された点欠陥２のうち、第１領域に存在する点欠陥２だけがドナー３に変換され、第１領域が第１バッファ層１１となる。

【００５３】

次に、ステップＳ３０８において、シリコンウエハ１の第２主面Ｓ２にデバイスの裏面構造を形成する裏面構造形成工程を行う。本ステップは図１のステップＳ１０８および図１４のステップＳ２０４と同様である。以上が、実施の形態３に係るパワー半導体装置の製造方法である。

【００５４】

実施の形態３に係るパワー半導体装置の水素濃度分布は図２１に示される通りである。

【００５５】

実施の形態３に係るパワー半導体装置の製造方法によれば、水素導入工程、電子線照射工程、およびドナー局所活性化アニール工程により、内部に界面を持たない幅広の第１バッファ層１１を、シリコンウエハ１にダメージを蓄積させることなく、短時間で形成することが可能である。

【００５６】

本実施の形態において、表面構造形成工程、ウエハ研削工程、第２バッファ形成工程、裏面構造形成工程、裏面電極形成工程には、上記の例に限らず他の一般的なＩＧＢＴまたはダイオードの製造方法が適用可能である。

【００５７】

＜Ｅ．変形例＞

実施の形態１，２，３では、電子線照射工程が行われた。しかし、シリコンウエハ１に点欠陥が元来存在する場合には、電子線照射工程は必須ではない。

【００５８】

実施の形態１では、水素導入工程、電子線照射工程、ドナー活性化アニール工程、およびドナー局所不活性アニール工程が、表面構造形成工程の前に行われた。水素導入工程を

表面構造形成工程の前に行うことで、水素導入工程の処理温度を高くすることができるという利点がある。しかし、水素導入工程、電子線照射工程、ドナー活性化アニール工程、およびドナー局所不活性化アニール工程を、表面構造形成工程の後に適宜、組み入れてもよい。また、水素導入工程と電子線照射工程の順番を入れ替えてもよい。すなわち、水素導入工程と電子線照射工程を行った後に、順にドナー活性化アニール工程、ドナー局所不活性化アニール工程を行い、その後に５００℃（より望ましくは４００℃）よりもシリコンが高温になることがなければ、各工程の順番は適宜変更することができる。

【００５９】

同様に、実施の形態２では、水素導入工程、電子線照射工程、ドナー活性化アニール工程、およびドナー局所不活性化アニール工程が、裏面構造形成工程の後に行われたが、これらの工程を表面構造形成工程の後、裏面構造形成工程の前に適宜、組み入れてもよい。また、水素導入工程と電子線照射工程の順番を入れ替えてもよい。すなわち、水素導入工程と電子線照射工程を行った後に、順にドナー活性化アニール工程、ドナー局所不活性化アニール工程を行い、その後に５００℃（より望ましくは４００℃）よりもシリコンが高温になることがなければ、各工程の順番は適宜変更することができる。

【００６０】

同様に、実施の形態３では、水素導入工程、電子線照射工程、およびドナー局所活性化アニール工程が、裏面構造形成工程の後に行われたが、これらの工程を表面構造形成工程の後、裏面構造形成工程の前に適宜、組み入れてもよい。また、水素導入工程と電子線照射工程の順番を入れ替えてもよい。すなわち、水素導入工程と電子線照射工程を行った後に、ドナー局所活性化アニール工程を行い、その後に５００℃（より望ましくは４００℃）よりもシリコンが高温になることがなければ、各工程の順番は適宜変更することができる。

【００６１】

また、実施の形態１，２，３では、シリコンウエハの表面に水素導入工程が行われたが、表面だけでなく側面などに水素導入工程が行われてもよい。

【００６２】

また、実施の形態１，２，３では、水素導入工程として、シリコンウエハ１を水素ガスおよび水素プラズマのいずれかの雰囲気においてアニール処理することをあげた。しかし、シリコンウエハ１に水素を含有する膜を堆積させた状態でシリコンウエハ１をアニール処理すること、またはシリコンウエハ１を、水素を含む薬液、すなわち酸性液体に浸漬することによっても、シリコンウエハ１に水素を導入することができる。

【００６３】

また、以上の説明では、電極の材料、成膜方法、およびｐ型またはｎ型の各領域の濃度等について特段の説明を行っていない。これらについては、用途に合わせて、一般的なパワー半導体装置の設計条件が適用されてもよい。

【００６４】

また、以上の説明では、各実施の形態に係る製造方法により製造されるパワー半導体装置としてダイオードまたはＩＧＢＴを挙げたが、ＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）、ＳＢＤ（Ｓｃｈｏｔｔｋｙ Ｂａｒｒｉｅｒ Ｄｉｏｄｅ）、Ｔｈｙｒｉｓｔｏｒなどが形成されてもよい。

【００６５】

なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。上記の説明は、すべての態様において、例示である。例示されていない無数の変形例が想定され得るものと解される。

【符号の説明】

【００６６】

１ シリコンウエハ、２ 点欠陥、３ ドナー、１１ 第１バッファ層、１２ 第２バッファ層、１３ ドリフト層、１４ アノード層、１５ アノード電極、１６ カソード層、

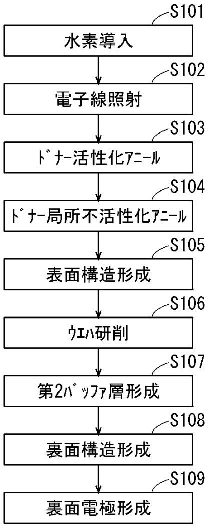
１７　カソード電極、Ｓ１　第１主面、Ｓ２　第２主面。

【要約】

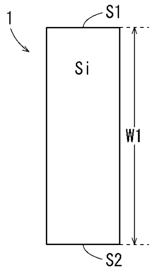
本開示は、幅広のバッファ層をダメージの蓄積が少なく、かつ界面がないように形成することを目的とする。本開示に係るパワー半導体装置の製造方法は、第１主面（Ｓ１）と第１主面（Ｓ１）とは反対側の第２主面（Ｓ２）とを有するシリコンウエハ（１）の、第２主面（Ｓ２）から予め定められた深さまでの領域である第１領域を少なくとも含む領域に水素を導入し、シリコンウエハ（１）に電子線を貫通照射することにより、第１領域および第１領域と第１主面との間の第２領域に欠陥を形成し、シリコンウエハ（１）を熱処理することにより、水素と欠陥とを反応させてドナーを形成し、シリコンウエハ（１）の第１主面（Ｓ１）または第２主面（Ｓ２）からレーザーアニールを行うことにより、第２領域のドナーを不活性化して第１領域をバッファ層（１１）とする。

【図面】

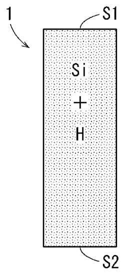
【図１】



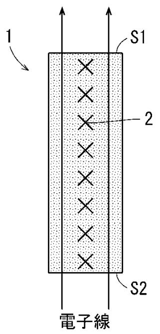
【図２】



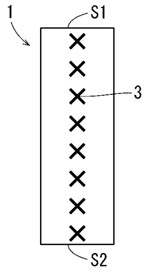
【図３】



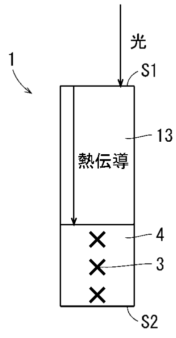
【図４】



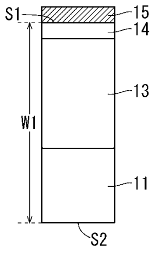
【図５】



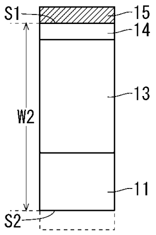
【図６】



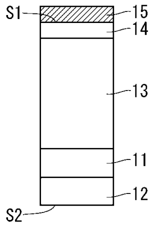
【図７】



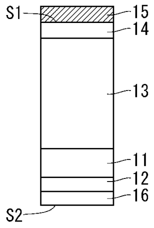
【図８】



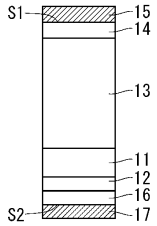
【図９】



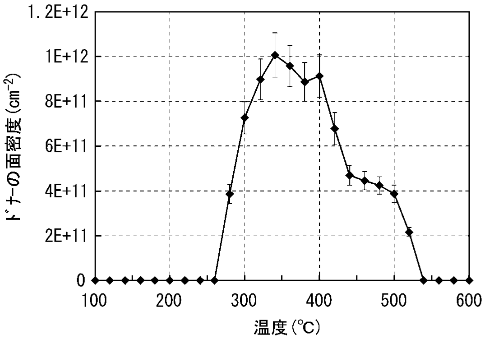
【図１０】



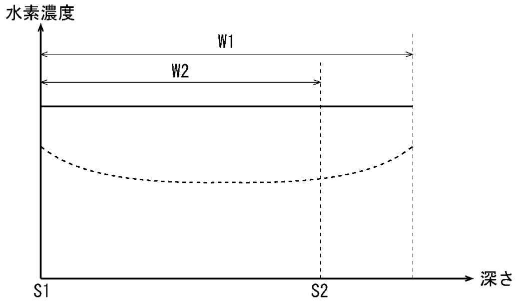
【図１１】



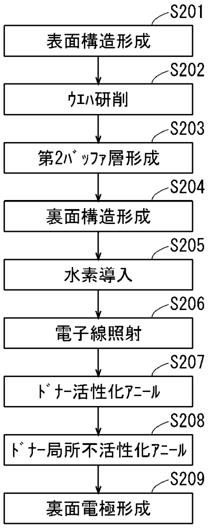
【図１２】



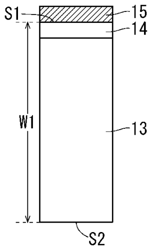
【図１３】



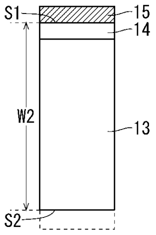
【図１４】



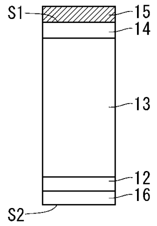
【図１５】



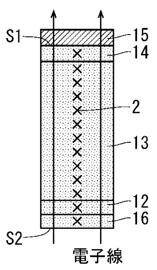
【図１６】



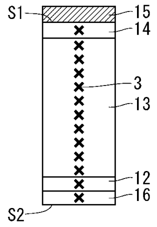
【図１７】



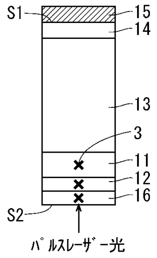
【図１８】



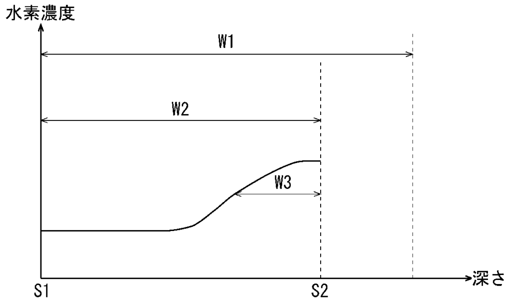
【図１９】



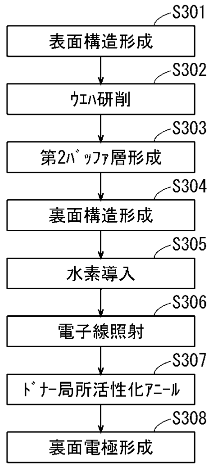
【図２０】



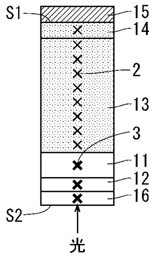
【図２１】



【図２２】



【図２３】



フロントページの続き

(51)国際特許分類　　　　　　　　　　　ＦＩ

H01L　29/868 (2006.01)

H01L　29/872 (2006.01)

(56)参考文献　国際公開第２０１６／０５１９７３（ＷＯ，Ａ１）

特開２０２３－０６２６０６（ＪＰ，Ａ）

特開２０２２－０３５１５７（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)

Ｈ０１Ｌ　２１／２６３

Ｈ０１Ｌ　２１／２６８

Ｈ０１Ｌ　２１／３２９

Ｈ０１Ｌ　２１／３３６

Ｈ０１Ｌ　２９／７８

Ｈ０１Ｌ　２９／８６８

Ｈ０１Ｌ　２９／８７２