



(12)发明专利

(10)授权公告号 CN 104851383 B

(45)授权公告日 2017.08.11

(21)申请号 201510291052.3

(22)申请日 2015.06.01

(65)同一申请的已公布的文献号
申请公布号 CN 104851383 A

(43)申请公布日 2015.08.19

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 成都京东方光电科技有限公司

(72)发明人 青海刚 祁小敬

(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 李静岚 景军平

(51)Int.Cl.
G09G 3/20(2006.01)
G11C 19/28(2006.01)

(56)对比文件

CN 104318909 A, 2015.01.28,
CN 104091572 A, 2014.10.08,
CN 103996367 A, 2014.08.20,
TW 200951937 A, 2009.12.16,
KR 20080008800 A, 2008.01.24,
KR 20080000205 A, 2008.01.02,

审查员 孟慧慧

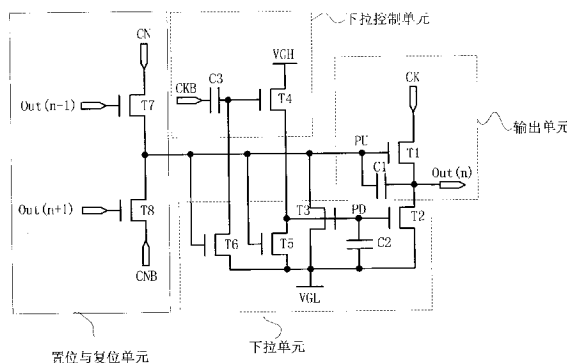
权利要求书2页 说明书6页 附图6页

(54)发明名称

移位寄存器、栅极驱动电路和显示装置

(57)摘要

本发明公开了一种移位寄存器、栅极驱动电路和显示装置。所述移位寄存器包括置位与复位单元、下拉控制单元、下拉单元和输出单元。置位与复位单元响应于置位信号或复位信号对输出单元中的上拉节点进行置位或复位,当上拉节点处于第一电平状态时,输出单元响应于第一控制信号输出输出信号。下拉控制单元响应于第二控制信号对下拉单元中的下拉节点进行置位,当下拉节点被置位而处于第一电平状态时,上拉节点被下拉为与第一电平状态不同的第二电平状态。下拉控制单元包括晶体管和电容器,并且通过电容器将第二控制信号施加至晶体管的栅极。当上拉节点被置位而处于第一电平状态时,下拉控制单元的晶体管的栅极与下拉单元的下拉节点处于第二电平状态。



CN 104851383 B

1. 一种移位寄存器,包括:置位与复位单元、下拉控制单元、下拉单元以及输出单元,

其中,置位与复位单元响应于置位信号或复位信号对输出单元中的上拉节点进行置位或复位,当所述上拉节点被置位而处于第一电平状态时,输出单元响应于第一控制信号通过移位寄存器的输出端输出输出信号,并且

其中,下拉控制单元响应于第二控制信号对下拉单元中的下拉节点进行置位,当所述下拉节点被置位而处于所述第一电平状态时,所述上拉节点被下拉为与所述第一电平状态不同的第二电平状态,

所述下拉控制单元包括晶体管和电容器,并且通过所述电容器将所述第二控制信号施加至所述晶体管的栅极,

当所述上拉节点被置位而处于所述第一电平状态时,所述下拉控制单元的晶体管的栅极与所述下拉单元的下拉节点处于所述第二电平状态,

其中,所述下拉单元包括第二晶体管、第三晶体管、第五晶体管和第六晶体管以及第二电容器,第二晶体管的栅极、第三晶体管的栅极、第五晶体管的漏极以及第二电容器的第一极共同连接至所述下拉节点,第五晶体管的栅极和第六晶体管的栅极以及第三晶体管的漏极共同连接至所述上拉节点,第二晶体管的漏极连接至移位寄存器的输出端,第六晶体管的漏极连接至所述下拉控制单元的晶体管的栅极,并且第二电容器的第二极连接至第二晶体管、第三晶体管、第五晶体管和第六晶体管的各个源极。

2. 根据权利要求1所述的移位寄存器,其中,

所述输出单元包括第一晶体管和第一电容器,所述第一控制信号施加至第一晶体管的漏极,第一晶体管的栅极和第一电容器的第一极共同连接至所述上拉节点,并且第一晶体管的源极和第一电容器的第二极连接至移位寄存器的输出端,

所述下拉控制单元的晶体管为第四晶体管,并且所述下拉控制单元的电容器为第三电容器,第四晶体管的源极连接至所述下拉节点,

所述置位与复位单元包括第七晶体管和第八晶体管,所述置位信号施加至第七晶体管的栅极和第八晶体管的栅极中的一个,所述复位信号施加至第七晶体管的栅极和第八晶体管的栅极中的另一个。

3. 根据权利要求2所述的移位寄存器,其中,

所述第一电平状态为高电平状态,所述第二电平状态为低电平状态,并且所述第一至第八晶体管均为N型晶体管,

其中,将高电平信号或所述第二控制信号施加至第四晶体管的漏极,将低电平信号施加至第二晶体管、第三晶体管、第五晶体管和第六晶体管的各个源极,并且

其中,当所述第二控制信号为高电平时,所述下拉节点被置位而处于高电平状态,所述上拉节点被下拉为低电平状态,

第七晶体管的源极和第八晶体管的漏极共同连接至所述上拉节点,并且将高电平信号施加至第七晶体管的漏极,将低电平信号施加至第八晶体管的源极;或者

第七晶体管的漏极和第八晶体管的源极共同连接至所述上拉节点,并且将高电平信号施加至第八晶体管的漏极,将低电平信号施加至第七晶体管的源极。

4. 根据权利要求2所述的移位寄存器,其中,

所述第一电平状态为低电平状态,所述第二电平状态为高电平状态,并且所述第一至

第八晶体管均为P型晶体管，

其中，将低电平信号或所述第二控制信号施加至第四晶体管的漏极，将高电平信号施加至第二晶体管、第三晶体管、第五晶体管和第六晶体管的各个源极，并且

其中，当所述第二控制信号为低电平时，所述下拉节点被置位而处于低电平状态，所述上拉节点被下拉为高电平状态，

第七晶体管的漏极和第八晶体管的源极共同连接至所述上拉节点，并且将高电平信号施加至第七晶体管的源极，将低电平信号施加至第八晶体管的漏极；或者

第七晶体管的源极和第八晶体管的漏极共同连接至所述上拉节点，并且将高电平信号施加至第八晶体管的源极，将低电平信号施加至第七晶体管的漏极。

5. 根据权利要求3所述的移位寄存器，其中，

所述输出单元还包括N型的第九晶体管，并且将高电平信号施加至第九晶体管的栅极，所述置位与复位单元和所述下拉单元通过第九晶体管连接至所述上拉节点。

6. 根据权利要求4所述的移位寄存器，其中，

所述输出单元还包括P型的第九晶体管，并且将低电平信号施加至第九晶体管的栅极，所述置位与复位单元和所述下拉单元通过第九晶体管连接至所述上拉节点。

7. 一种栅极驱动电路，包括n个级联的如权利要求1至6中任一项所述的移位寄存器，所述n为大于1的整数，

其中，前一级的移位寄存器的输出信号用于后一级的移位寄存器的置位信号，而后一级的移位寄存器的输出信号用于前一级的移位寄存器的复位信号，或者

后一级的移位寄存器的输出信号用于前一级的移位寄存器的置位信号，而前一级的移位寄存器的输出信号用于后一级的移位寄存器的复位信号。

8. 一种显示装置，包括如权利要求7所述的栅极驱动电路。

移位寄存器、栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体而言,涉及一种移位寄存器、栅极驱动电路和显示装置。

背景技术

[0002] 在传统显示器中,一般利用外部驱动芯片来驱动显示面板上的像素以显示画面,但为了减少元件数目并降低制造成本,目前已逐渐采用将驱动电路的结构直接制作在显示面板上的技术,例如,将栅极驱动电路整合于阵列基板的阵列基板行驱动技术(Gate Driver on Array,GOA)的技术。在应用GOA技术的显示面板中,由多级移位寄存器组成的栅极驱动电路提供扫描信号。

[0003] 然而,传统的移位寄存器在下拉控制单元中使用二极管分压为晶体管的栅极提供信号,从而造成了二极管的一端的高电平通过二极管对地放电的瞬时电流过大的问题。

发明内容

[0004] 本发明提供一种移位寄存器、栅极驱动电路和显示装置,克服了使用二极管分压的方法造成的瞬时电流过大的问题,避免了大的放电电流,降低了功耗。

[0005] 根据本发明的一方面,提供一种移位寄存器,包括:置位与复位单元、下拉控制单元、下拉单元以及输出单元。置位与复位单元响应于置位信号或复位信号对输出单元中的上拉节点进行置位或复位,当所述上拉节点被置位而处于第一电平状态时,输出单元响应于第一控制信号通过移位寄存器的输出端输出输出信号。下拉控制单元响应于第二控制信号对下拉单元中的下拉节点进行置位,当所述下拉节点被置位而处于所述第一电平状态时,所述上拉节点被下拉为与所述第一电平状态不同的第二电平状态。所述下拉控制单元包括晶体管和电容器,并且通过所述电容器将所述第二控制信号施加至所述晶体管的栅极。当所述上拉节点被置位而处于所述第一电平状态时,所述下拉控制单元的晶体管的栅极与所述下拉单元的下拉节点处于所述第二电平状态。

[0006] 根据本发明的实施例,所述输出单元可以包括第一晶体管和第一电容器,所述第一控制信号施加至第一晶体管的漏极,第一晶体管的栅极和第一电容器的第一极共同连接至所述上拉节点,并且第一晶体管的源极和第一电容器的第二极连接至移位寄存器的输出端。所述下拉单元可以包括第二晶体管、第三晶体管、第五晶体管和第六晶体管以及第二电容器,第二晶体管的栅极、第三晶体管的栅极、第五晶体管的漏极以及第二电容器的第一极共同连接至所述下拉节点,第五晶体管的栅极和第六晶体管的栅极以及第三晶体管的漏极共同连接至所述上拉节点,第二晶体管的漏极连接至移位寄存器的输出端,第六晶体管的漏极连接至所述下拉控制单元的晶体管的栅极,并且第二电容器的第二极连接至第二晶体管、第三晶体管、第五晶体管和第六晶体管的各个源极。所述下拉控制单元的晶体管可以为第四晶体管,并且所述下拉控制单元的电容器可以为第三电容器,第四晶体管的源极连接至所述下拉节点。所述置位与复位单元可以包括第七晶体管和第八晶体管,所述置位信号

施加至第七晶体管的栅极和第八晶体管的栅极中的一个,所述复位信号施加至第七晶体管的栅极和第八晶体管的栅极中的另一个。

[0007] 根据本发明的实施例,所述第一电平状态可以为高电平状态,所述第二电平状态可以为低电平状态,并且所述第一至第八晶体管可以均为N型晶体管。可以将高电平信号或所述第二控制信号施加至第四晶体管的漏极,并且可以将低电平信号施加至第二晶体管、第三晶体管、第五晶体管和第六晶体管的各个源极。当所述第二控制信号为高电平时,所述下拉节点被置位而处于高电平状态,所述上拉节点被下拉为低电平状态。第七晶体管的源极和第八晶体管的漏极可以共同连接至所述上拉节点,并且可以将高电平信号施加至第七晶体管的漏极,将低电平信号施加至第八晶体管的源极。可替换地,第七晶体管的漏极和第八晶体管的源极可以共同连接至所述上拉节点,并且可以将高电平信号施加至第八晶体管的漏极,将低电平信号施加至第七晶体管的源极。

[0008] 根据本发明的另一实施例,所述第一电平状态可以为低电平状态,所述第二电平状态可以为高电平状态,并且所述第一至第八晶体管可以均为P型晶体管。可以将低电平信号或所述第二控制信号施加至第四晶体管的漏极,并且可以将高电平信号施加至第二晶体管、第三晶体管、第五晶体管和第六晶体管的各个源极。当所述第二控制信号为低电平时,所述下拉节点被置位而处于低电平状态,所述上拉节点被下拉为高电平状态。第七晶体管的漏极和第八晶体管的源极可以共同连接至所述上拉节点,并且可以将高电平信号施加至第七晶体管的源极,将低电平信号施加至第八晶体管的漏极。可替换地,第七晶体管的源极和第八晶体管的漏极可以共同连接至所述上拉节点,并且可以将高电平信号施加至第八晶体管的源极,将低电平信号施加至第七晶体管的漏极。

[0009] 根据本发明的实施例,所述输出单元还可以包括N型的第九晶体管,并且将高电平信号施加至第九晶体管的栅极,所述置位与复位单元和所述下拉单元通过第九晶体管连接至所述上拉节点。

[0010] 根据本发明的另一实施例,所述输出单元还可以包括P型的第九晶体管,并且将低电平信号施加至第九晶体管的栅极,所述置位与复位单元和所述下拉单元通过第九晶体管连接至所述上拉节点。

[0011] 根据本发明的另一方面,提供了一种栅极驱动电路,其包括n个级联的根据本发明的移位寄存器,所述n为大于1的整数。前一级的移位寄存器的输出信号用于后一级的移位寄存器的置位信号,而后一级的移位寄存器的输出信号用于前一级的移位寄存器的复位信号,或者后一级的移位寄存器的输出信号用于前一级的移位寄存器的置位信号,而前一级的移位寄存器的输出信号用于后一级的移位寄存器的复位信号。

[0012] 根据本发明的另一方面,提供了一种显示装置,包括根据本发明的栅极驱动电路。

[0013] 根据本发明的移位寄存器、栅极驱动电路和显示装置,能够克服使用二极管分压的方法所造成的瞬时电流过大的问题,避免了大的放电电流,降低了功耗。

附图说明

[0014] 通过以下结合附图的详细描述,将更加清楚地理解以上和其它方面、特征和其它优点,其中:

[0015] 图1示意性地示出了根据本发明的一个实施例的移位寄存器的电路;

- [0016] 图2示意性地示出了根据本发明的另一个实施例的移位寄存器的电路；
- [0017] 图3示意性地示出了根据本发明的另一个实施例的移位寄存器的电路；
- [0018] 图4示意性地示出了根据本发明的另一个实施例的移位寄存器的电路；
- [0019] 图5为图1至图3所示的移位寄存器的信号时序图；
- [0020] 图6为图4所示的移位寄存器的信号时序图；以及
- [0021] 图7为根据本发明的实施例的栅极驱动电路的示图。

具体实施方式

[0022] 下文中,将参照附图详细描述本发明构思的示例性实施例。

[0023] 然而,本发明构思可按照许多不同形式例示,并且不应理解为限于本文阐述的特定实施例。此外,提供这些实施例是为了使得本公开将是彻底和完整的,并且将把本发明构思的范围完全传递给本领域技术人员。

[0024] 图1示意性地示出了根据本发明的一个实施例的移位寄存器的电路。

[0025] 如图1所示,根据本发明的实施例的移位寄存器可以包括:置位与复位单元、下拉控制单元、下拉单元以及输出单元。

[0026] 置位与复位单元响应于置位信号或复位信号对输出单元中的上拉节点PU进行置位或复位。在图1中,将置位信号和复位信号示出为分别来自前一级移位寄存器和来自后一级移位寄存器的输出信号Out (n-1) 和Out (n+1)。如图1所示,置位与复位单元包括两个晶体管T7和T8,置位信号和复位信号分别施加于晶体管T7和T8的栅极。此外,控制信号CN和CNB分别施加于晶体管T7和T8的源极或漏极。控制信号CN和CNB两者中一个是高电平VGH,另一个是低电平VGL。控制信号CN和CNB的电平的选择方式决定了以级联方式构成的栅极驱动电路(如图7所示)的扫描的方向。如果CN为高电平并且CNB为低电平,则扫描方向则是从向上向下的方向;以N型晶体管为例,晶体管T7的源极和晶体管T8的漏极可以共同连接至上拉节点PU,并且可以将高电平信号CN施加至晶体管T7的漏极,将低电平信号CNB施加至晶体管T8的源极。如果CN为低电平并且CNB为高电平,则扫描方向为从下向上的方向,相应的,晶体管T7的漏极和晶体管T8的源极可以共同连接至上拉节点PU,并且可以将高电平信号CNB施加至晶体管T8的漏极,将低电平信号CN施加至晶体管T7的源极。应当认识到,这里所指的“从向上向下”和/或“从下向上”为图7所显示的方向。当附图中的器件发生旋转时(例如,旋转180°),则应当相应地解释图中所示的方向。可以理解,P型的TFT7、TFT8在连接上由于扫描方向的不同,连接上相反,具体为:如果CN为高电平并且CNB为低电平,则扫描方向则是从向上向下的方向;晶体管T7的漏极和晶体管T8的源极可以共同连接至上拉节点PU,并且可以将高电平信号CN施加至晶体管T7的源极,将低电平信号CNB施加至晶体管T8的漏极。如果CN为低电平并且CNB为高电平,则扫描方向为从下向上的方向,晶体管T7的源极和晶体管T8的漏极可以共同连接至上拉节点PU,并且可以将高电平信号CNB施加至晶体管T8的源极,将低电平信号CN施加至晶体管T7的漏极。

[0027] 如图1所示,输出单元包括晶体管T1和电容器C1。第一控制信号CK施加至晶体管T1的漏极,晶体管T1的栅极和电容器C1的第一极共同连接至上拉节点PU,并且晶体管T1的源极和电容器C1的第二极连接至移位寄存器的输出端。

[0028] 当通过置位与复位单元使上拉节点PU被置位而处于第一电平状态(例如,高电平

状态)时,输出单元可以响应于第一控制信号CK通过移位寄存器的输出端输出输出信号Out (n)。

[0029] 晶体管T2的栅极、晶体管T3的栅极、晶体管T5的漏极以及电容器C2的第一极共同连接至下拉节点PD。晶体管T5的栅极和晶体管T6的栅极以及晶体管T3的漏极共同连接至上拉节点PU。晶体管T2的漏极连接至移位寄存器的输出端。晶体管T6的漏极连接至下拉控制单元中的晶体管T4的栅极,并且电容器C2的第二极连接至晶体管T2、晶体管T3、晶体管T5和晶体管T6的各个源极。

[0030] 如图1所示,下拉控制单元包括晶体管T4和电容器C3,并且通过电容器C3将第二控制信号CKB施加至晶体管T4的栅极。晶体管T4的源极连接至下拉节点PD。

[0031] 下拉控制单元可以响应于第二控制信号CKB对下拉节点PD进行置位。当下拉节点PD被置位而处于第一电平状态(例如,高电平状态)时,上拉节点PU可以被下拉为与第一电平状态不同的第二电平状态(例如,低电平状态)。

[0032] 当通过置位与复位单元使上拉节点PU被置位而处于第一电平状态(例如,高电平状态)时,下拉控制单元的晶体管T4的栅极与下拉节点PD处于第二电平状态(例如,低电平状态)。

[0033] 在下拉控制单元中,通过使用电容器C3为晶体管T4的栅极提供信号,从而避免了使用二极管分压的方法造成的瞬时电流过大的问题,避免了大的放电电流,并降低了功耗。

[0034] 图2示意性地示出了根据本发明的另一个实施例的移位寄存器的电路。

[0035] 图2所示的实施例与图1所示的实施例的不同之处在于,在图1所示的移位寄存器的电路中,将高电平信号VGH施加至下拉控制单元的晶体管T4的漏极;在图2所示的移位寄存器的电路中,将第二控制信号CKB施加至下拉控制单元的晶体管T4的漏极。

[0036] 在图1和图2中将各个晶体管T1至T8示出为N型晶体管,并且所述第一电平状态为高电平状态,所述第二电平状态为低电平状态。置位与复位单元响应于高电平的置位信号或复位信号对上拉节点PU进行置位或复位,输出单元响应于高电平的第一控制信号CK通过移位寄存器的输出端输出输出信号Out (n),并且下拉控制单元响应于高电平的第二控制信号CKB对下拉节点PD进行置位。此外,在图1和图2中,将低电平信号VGL施加至晶体管T2、晶体管T3、晶体管T5和晶体管T6的各个源极。响应于第二控制信号CKB为高电平,施加在晶体管T4的漏极的高电平信号VGH(图1)或高电平的第二控制信号CKB(图2)可以使得下拉节点PD被置位而处于高电平状态。响应于下拉节点PD处于高电平状态,施加在晶体管T3的源极的低电平信号VGL使得上拉节点PU被下拉为低电平状态。

[0037] 然而,本领域技术人员还应当清楚的是,各个晶体管T1至T8也可以为P型晶体管(如图4所示),并且所述第一电平状态可以为低电平状态,所述第二电平状态可以为高电平状态。在此情况下,置位与复位单元响应于低电平的置位信号或复位信号对上拉节点PU进行置位或复位,输出单元响应于低电平的第一控制信号CK通过移位寄存器的输出端输出输出信号Out (n),并且下拉控制单元响应于低电平的第二控制信号CKB对下拉节点PD进行置位。因而,可以将低电平信号施加至下拉控制单元的晶体管T4的漏极,并且将高电平信号施加至晶体管T2、晶体管T3、晶体管T5和晶体管T6的各个源极。响应于第二控制信号CKB为低电平,施加在晶体管T4的漏极的低电平信号或低电平的第二控制信号CKB可以使得下拉节点PD被置位而处于低电平状态。响应于下拉节点PD处于低电平状态,施加在晶体管T3的源

极的高电平信号使得上拉节点PU被下拉为高电平状态。

[0038] 下面,以图1所示的实施例为例,对根据本发明的移位寄存器的电路的工作原理进行简要说明。

[0039] 图5为图1所示的移位寄存器的信号时序图。

[0040] 参见图1和图5,第一控制信号CK和第二控制信号CKB为占空比为50%的互补方波信号,控制信号CN为高电平VGH,并且控制信号CNB为低电平VGL,即,图1所示的移位寄存器的所级联的栅极驱动的扫描方向为“从上向下”的方向。

[0041] 在输入阶段(图5所示的阶段A),前一级移位寄存器的输出信号(即,置位信号)Out (n-1) 和第二控制信号CKB为高电平VGH,后一级移位寄存器的输出信号(即,复位信号)Out (n+1) 和第一控制信号CK为低电平VGL。在此情况下,晶体管T7开启,而晶体管T8关闭。控制信号CN的高电平VGH通过晶体管T7对电容器C1进行充电,从而将上拉节点PU置位为高电平状态(即,第一电平状态)。响应于上拉节点PU处于高电平状态,晶体管T5和T6开启,使得下拉控制单元的晶体管T4的栅极通过T6被下拉为低电平VGL,即,下拉控制单元的晶体管T4的栅极处于低电平状态(即,第二电平状态),因而晶体管T4关闭。此外,下拉节点PD通过晶体管T5将电容器C2放电,使得下拉节点PD被下拉为低电平VGL,即,下拉节点PD处于低电平状态(即,第二电平状态),因而晶体管T2和T3关闭。第一控制信号CK为低电平VGL并且由于上拉节点PU处于高电平状态而使得晶体管T1开启,因而移位寄存器的输出端输出的输出信号Out (n) 通过晶体管T1被第一控制信号CK下拉为低电平VGL。

[0042] 在输出阶段(图5所示的阶段B),前一级移位寄存器的输出信号Out (n-1)、后一级移位寄存器的输出信号Out (n+1) 和第二控制信号CKB均为低电平VGL,因而晶体管T7、T8和T4均关闭。上拉节点PU没有放电路径,因而保持为高电平VGH,从而晶体管T1、T5和T6保持开启,并且下拉节点PD保持在低电平状态。由于晶体管T1开启,因而移位寄存器的输出端输出的输出信号Out (n) 通过晶体管T1被第一控制信号CK上拉为高电平VGH。此外,上拉节点PU通过电容器C1和晶体管T1被耦合到更高的电压,从而增大充电电流。

[0043] 在复位阶段(图5所示的阶段C),后一级移位寄存器的输出信号(即,复位信号)Out (n+1) 和第二控制信号CKB为高电平VGH,前一级移位寄存器的输出信号(即,置位信号)Out (n-1) 和第一控制信号CK为低电平VGL。在此情况下,晶体管T8开启,而晶体管T7关闭。上拉节点PU通过晶体管T8形成的路径放电,从而将上拉节点PU复位为低电平状态(即,第二电平状态)。响应于上拉节点PU处于低电平状态,晶体管T1、T5和T6关闭。由于晶体管T6关闭,因此第二控制信号CKB从低电平到高电平的跳变通过电容器C3将晶体管T4的栅极耦合为高电平,从而晶体管T4开启。高电平VGH通过晶体管T4对电容器C2进行充电,从而将下拉节点PD设置为高电平。响应于下拉节点PD处于高电平状态,晶体管T2和T3开启,从而移位寄存器的输出端输出的输出信号Out (n) 通过晶体管T2被下拉为低电平VGL。

[0044] 在一帧内除阶段A至C以外的其他时间段内,第一控制信号CK周期性地变为高电平VGH而第二控制信号CKB周期性地变为低电平VGL,下拉节点PD保持在高电平状态,从而抑制上拉节点PU和移位寄存器的输出端的噪声积累,保证移位寄存器的正常工作。

[0045] 图3和图4示意性地示出了根据本发明的另一个实施例的移位寄存器的电路,并且图6为图4所示的移位寄存器的信号时序图。图3将各个晶体管示出为N型晶体管,而图4将各个晶体管示出为P型晶体管。因此,下面将仅以对图3所示的移位寄存器的电路进行说明,而

不再赘述由于N型晶体管和P型晶体管所导致的差别。此外,除了将高电平和低电平的设置方式互换以外,图6所示的移位寄存器的工作流程与参考图5描述的工作流程实质上相同,因而不再赘述。

[0046] 图3所示的实施例与图1所示的实施例的不同之处在于,在图3所示的移位寄存器的电路中,输出单元还包括N型的晶体管T9,并且将高电平信号施加至晶体管T9的栅极,置位与复位单元和下拉单元通过晶体管T9连接至上拉节点PU。由于引入了晶体管T9,在输出阶段B期间,当上拉节点PU为更高的高电平(大于VGH)时,晶体管T9可以对电容器C1能起到限流钳位的作用。

[0047] 图7为根据本发明的实施例的栅极驱动电路的示意图。

[0048] 在图7所示的栅极驱动电路中包括了多个级联的移位寄存器。移位寄存器可以根据图1至图6描述的移位寄存器之一或其等效变形。以N型晶体管的情况为例,当CN为高电平而CNB为低电平时,前一级的移位寄存器的输出信号用于后一级的移位寄存器的置位信号,而后一级的移位寄存器的输出信号用于前一级的移位寄存器的复位信号;当CN为低电平而CNB为高电平时,后一级的移位寄存器的输出信号用于前一级的移位寄存器的置位信号,而前一级的移位寄存器的输出信号用于后一级的移位寄存器的复位信号。此外,为级联的第一个移位寄存器和最后一个移位寄存器通过专用的STV信号以用作置位信号和/或复位信号。

[0049] 占空比为50%的互补方波信号CK和CKB分别用作各个移位寄存器的第一控制信号和第二控制信号。相邻两个移位寄存器之间的第一控制信号和第二控制信号是彼此相反的。例如,如果信号CK用作第k个移位寄存器的第一控制信号而信号CKB用作第k个移位寄存器的第二控制信号,则信号CKB用作第k+1个移位寄存器的第一控制信号而信号CK用作第k+1个移位寄存器的第二控制信号。

[0050] 虽然已经示出并说明了各个示例性实施例,但本领域普通技术人员应当理解的是,可以对这些示例性实施例在形式和细节方面做出各种改变而不背离由所附权利要求书限定的本发明构思的精神和范围。

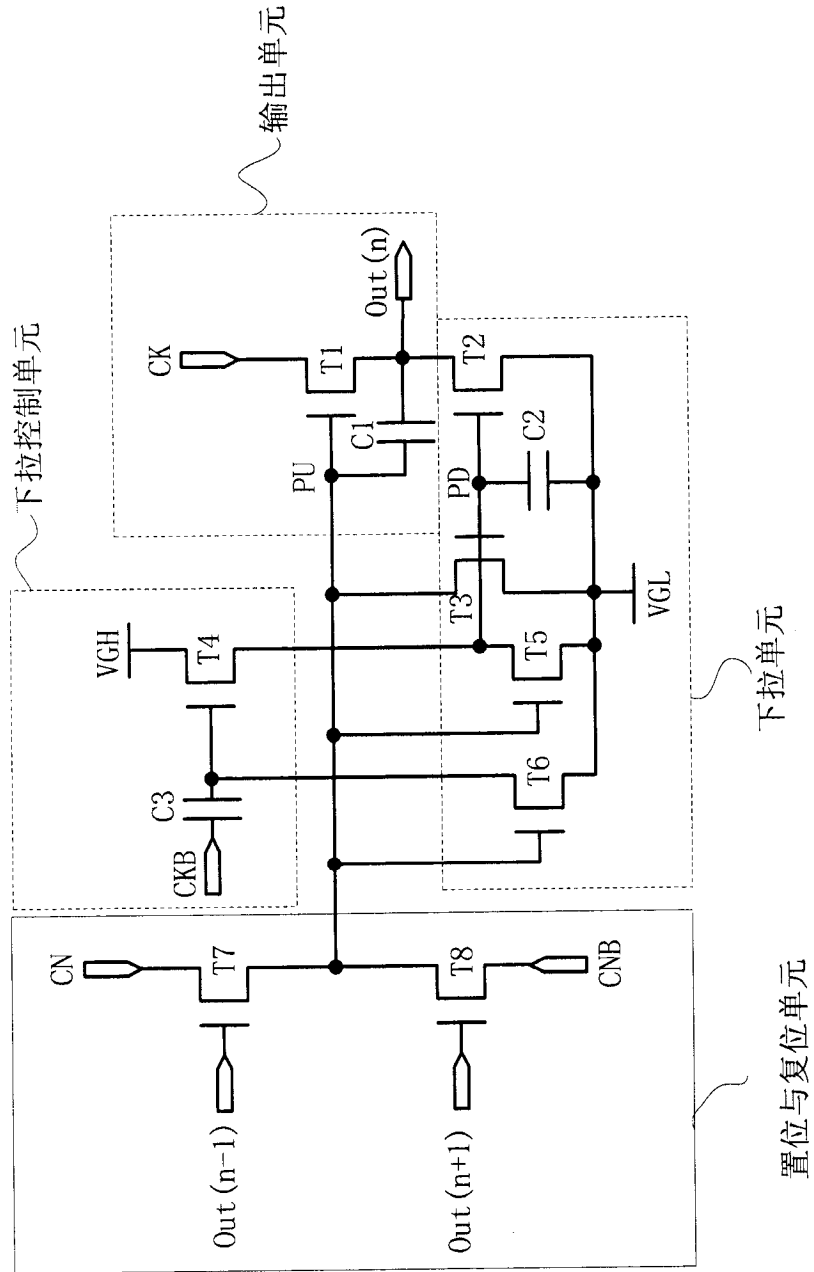


图 1

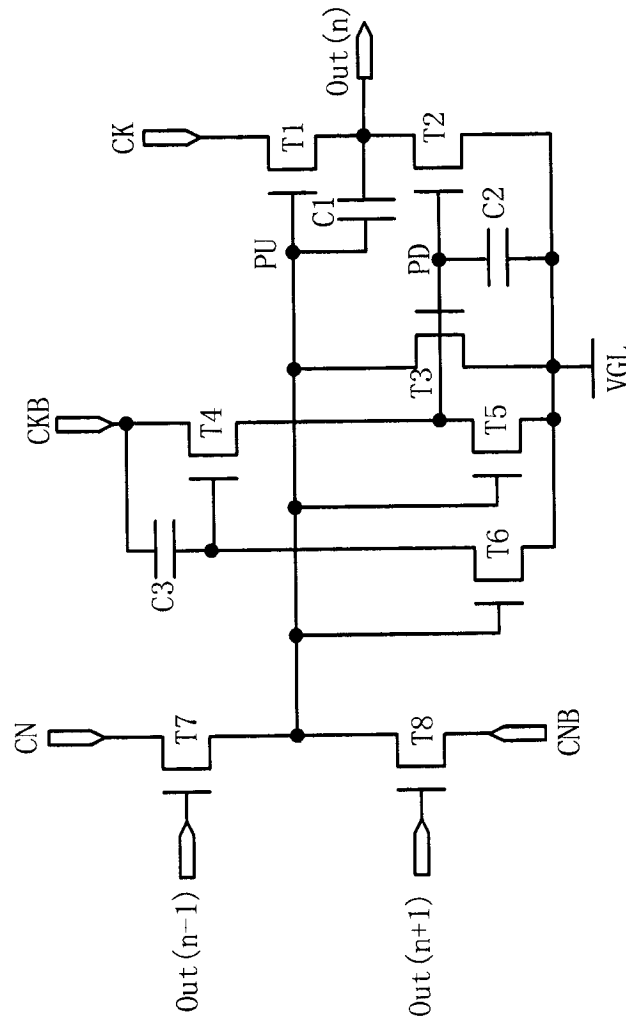


图 2

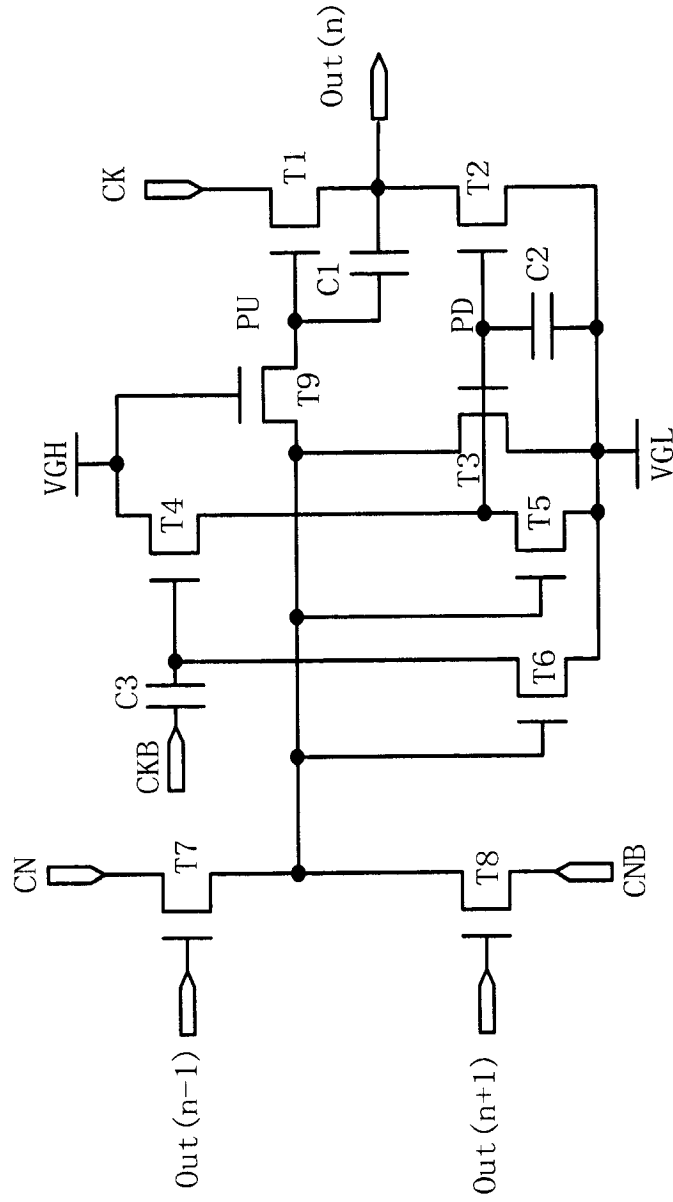


图 3

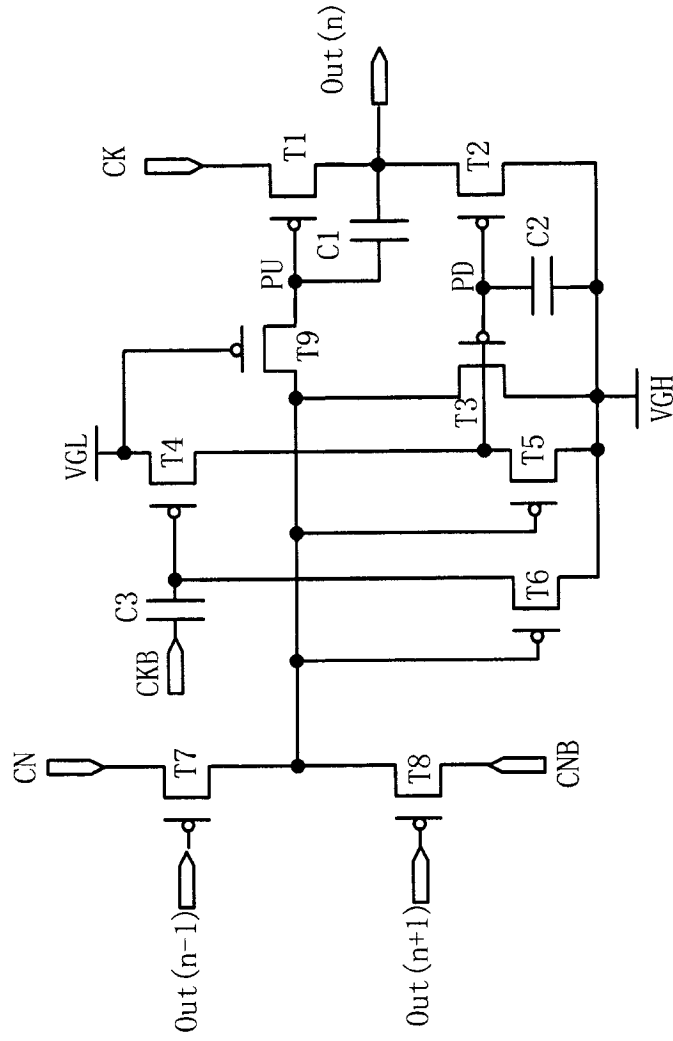


图 4

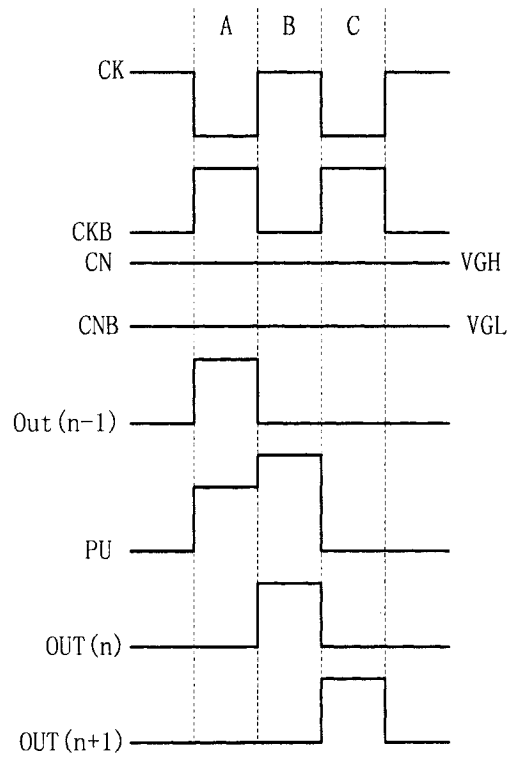


图 5

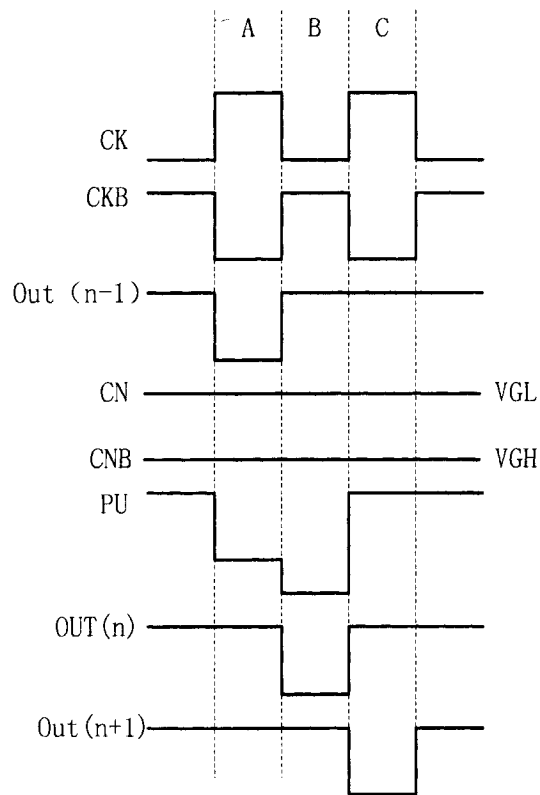


图 6

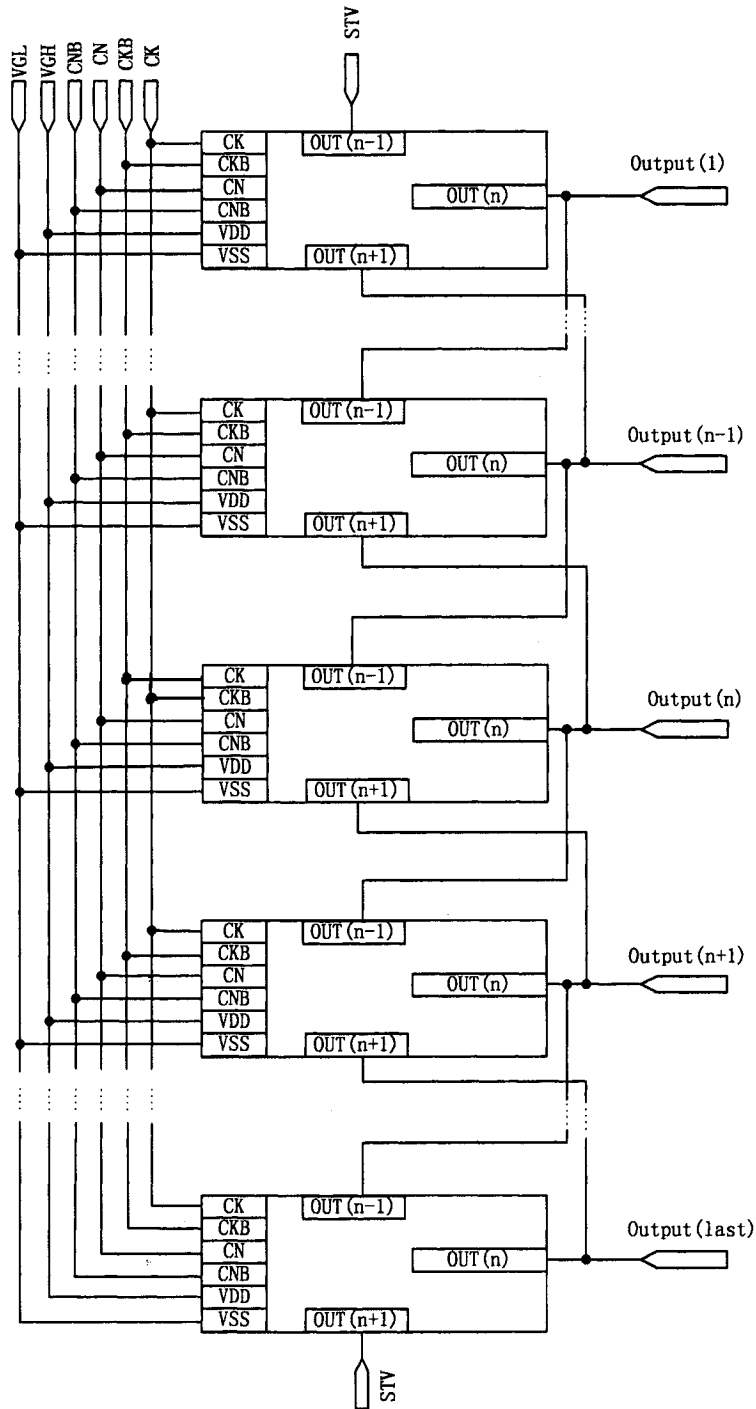


图 7