

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年4月30日(2009.4.30)

【公開番号】特開2007-305231(P2007-305231A)

【公開日】平成19年11月22日(2007.11.22)

【年通号数】公開・登録公報2007-045

【出願番号】特願2006-132895(P2006-132895)

【国際特許分類】

G 11 C 11/405 (2006.01)

G 11 C 11/4099 (2006.01)

【F I】

G 11 C 11/34 3 5 2 B

G 11 C 11/34 3 5 2 E

【手続補正書】

【提出日】平成21年3月13日(2009.3.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行列状に配置される複数のメモリセルと、

前記複数のメモリセルが配置される行の各々に対応して設けられるビット線と、

前記ビット線からなるビット線対の各々に対応して設けられるセンスアンプ回路と、

制御回路とを備え、

前記メモリセルの各々は、

ストレージトランジスタと、前記ストレージトランジスタと直列に接続されるアクセストランジスタとを含み、さらに、

対応の前記ビット線とソース線との間に接続され、前記ストレージノードに蓄積される電荷量に応じて、当該ビット線に流れる電流値を変化させるように構成され、

前記センスアンプ回路は、前記メモリセルから対応の前記ビット線に流れる電流値に基づいて当該メモリセルのデータを読み出した後、読み出しデータに応じた電圧値を当該ビット線対に供給し、

前記制御回路は、読み出し対象の前記メモリセルの前記ストレージトランジスタが活性化された状態で、当該メモリセルに対応の前記センスアンプ回路により読み出し動作が行なわれるよう制御し、続いて、当該メモリセルに対する当該読み出しデータの再書き込みが行なわれるよう制御する、半導体記憶装置。

【請求項2】

前記制御回路は、前記メモリセルに対する当該読み出しデータの再書き込みを行なう場合に、当該メモリセルのストレージトランジスタを一旦非活性化した後に再度活性化させる、請求項1に記載の半導体記憶装置。

【請求項3】

前記半導体記憶装置は、前記ビット線対の各々に介挿され、前記センスアンプ回路と対応の前記メモリセルとを電気的に接続／分離可能な転送ゲートをさらに備え、

前記制御回路は、前記センスアンプ回路における読み出し動作に応じて、対応の前記転送ゲートを非導通状態にして対応の前記メモリセルと当該センスアンプ回路とを電気的に分離するよう制御する、請求項1または2に記載の半導体記憶装置。

【請求項 4】

前記半導体記憶装置は、前記複数のビット線の各々と参照電位との間に接続されるダミーセルをさらに備え、

前記センスアンプ回路は、前記読み出し対象のメモリセルを流れる電流と、当該メモリセルに対応するビット線との間で前記ビット線対を構成する他方のビット線に接続される前記ダミーセルを流れる電流との比較に基づいてデータを読み出す、請求項 1 ~ 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】

前記半導体記憶装置は、

前記複数のメモリセルが配置される列の各々に対応して設けられるワード線対と、

前記ビット線対の各々に介挿され、対応の前記センスアンプ回路とデータ入出力線とを電気的に接続 / 分離可能に構成された入出力ゲートと、

前記入出力ゲートの各々と対応して設けられるコラム選択線とをさらに備え、

前記ワード線対を構成するワード線は、対応の前記メモリセルのうち、それぞれ偶数行目のメモリセルおよび奇数行目のメモリセルのアクセストランジスタに共有され、

前記制御回路は、1つの前記ワード線および1つの前記コラム選択線を任意に選択して、対応の前記メモリセルからデータを読み出すランダムアクセスを可能に構成される、請求項 1 ~ 4 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】

前記制御回路は、それぞれ互いに異なるビット線対に対応する少なくとも 2 個以上の前記メモリセルに対して、逐次的に読み出し動作を行なうページアクセスを可能に構成され、

前記ページアクセスにおいては、読み出し動作が行なわれた前記少なくとも 2 個以上のメモリセルに対して、各読み出しデータの再書き込みが一括して実行される、請求項 5 に記載の半導体記憶装置。

【請求項 7】

前記制御回路は、制御信号に応じて、前記ランダムアクセスおよび前記ページアクセスを選択的に実行可能に構成される、請求項 6 に記載の半導体記憶装置。

【請求項 8】

前記メモリセルは、

前記ストレージトランジスタを構成する第 1 のチャネル形成領域と、

前記第 1 のチャネル形成領域を挟んで対向する第 1 および第 2 の不純物拡散領域と、

前記第 1 のチャネル形成領域に近接して配置された前記ストレージトランジスタのゲート電極と、

前記アクセストランジスタを構成する第 2 のチャネル形成領域と、

前記第 2 のチャネル形成領域を挟んで前記第 2 の不純物拡散領域と対向する第 3 の不純物拡散領域と、

前記第 2 のチャネル形成領域に近接して配置された前記アクセストランジスタのゲート電極とからなり、

前記ストレージノードは、前記ストレージトランジスタのゲート電極を配置される側と反対側において前記第 1 のチャネル形成領域と接するように形成される、請求項 1 ~ 7 のいずれか 1 項に記載の半導体記憶装置。

【請求項 9】

前記センスアンプ回路は、第 1 ~ 第 4 のトランジスタを含んで構成され、

前記第 1 および第 2 のトランジスタは、直列接続され、かつ、その接続ノードは、対応の前記ビット線対のうち一方のビット線に接続され、

前記第 3 および第 4 のトランジスタは、直列接続され、かつ、その接続ノードは、当該ビット線対のうち他方のビット線に接続され、

当該他方のビット線は、さらに、前記第 1 および第 2 のトランジスタのゲート電極に接続され、

当該一方のビット線は、さらに、前記第 3 および第 4 のトランジスタのゲート電極に接

続され、

前記第2および第4のトランジスタの各々は、そのゲート電極とそのボディ領域とが電気的に接続されて構成される、請求項1～8のいずれか1項に記載の半導体記憶装置。

【請求項10】

行列状に配置される複数のメモリセルと、

前記複数のメモリセルが配置される行の各々に対応して設けられるピット線と、

前記複数のメモリセルの各々に所定電位を供給するためのソース線と、

制御回路とを備え、

前記メモリセルの各々は、ストレージトランジスタを含み、

前記ストレージトランジスタは、

チャネル形成領域と、

前記チャネル形成領域を挟んで対向する第1および第2の不純物拡散領域と、

前記チャネル形成領域に近接して配置されたゲート電極とを含み、

前記ストレージノードは、前記ゲート電極を配置される側と反対側において前記チャネル形成領域と接するように形成され、

前記ソース線は、前記第1の不純物拡散領域と電気的に接続され、

前記制御回路は、前記ストレージノードと前記第1の不純物拡散領域との電位差を低減するデータ保持モードを実行可能に構成される、半導体記憶装置。

【請求項11】

前記制御回路は、前記ソース線を介して前記メモリセルに供給される電位を低減するように制御することで、前記第1の不純物拡散領域と前記チャネル形成領域との電位差を低減する、請求項10に記載の半導体記憶装置。

【請求項12】

前記チャネル形成領域ならびに前記第1および第2の不純物拡散領域は、絶縁層を挟んで半導体基板上の形成され、

前記制御回路は、前記半導体基板に所定電位を供給するように制御することで、前記第1の不純物拡散領域と前記チャネル形成領域との電位差を低減する、請求項10に記載の半導体記憶装置。

【請求項13】

前記制御回路は、制御信号に応じて、前記データ保持モードを選択的に実行可能に構成される、請求項10～12のいずれか1項に記載の半導体記憶装置。

【請求項14】

行列状に配置された複数のメモリセルを備え、前記複数のメモリセルの各々は、直列に接続されたアクセストランジスタとストレージトランジスタとを含み、前記アクセストランジスタおよび前記ストレージトランジスタの各々は、半導体基板上に絶縁層を挟んで形成されたシリコン層に形成された第1および第2の不純物領域と、前記第1および第2の不純物領域の間に配置されたボディ領域と、前記ボディ領域上に形成されたゲート電極領域とを有し、

前記複数のメモリセルの列に対応して設けられ、対応のメモリセルの前記アクセストランジスタの第1の不純物領域に接続される複数のピット線と、

前記複数のメモリセルの行に対応して設けられ、対応のメモリセルの前記ストレージトランジスタの第2の不純物領域に接続される複数のソース線と、

前記複数のメモリセルの行に対応して設けられ、対応のメモリセルの前記アクセストランジスタのゲート電極領域に接続される複数のワード線と、

前記複数のメモリセルの行に対応して設けられ、対応のメモリセルの前記ストレージトランジスタのゲート電極領域に接続される複数のチャージ線と、

前記ピット線の対を成す複数のピット線対に対応して設けられ、選択されたメモリセルからの読み出しだけを検知増幅する複数のセンスアンプと、

前記複数のピット線対と選択的に接続されるデータ線対と、

前記複数のピット線対と前記データ線対の間に設けられ、前記複数のピット線対の中か

ら前記データ線対と接続するビット線対を選択するコラム選択信号の活性化により導通する複数の入出力ゲートとを備え、

データ読出動作時は、選択されたメモリセルに対応するワード線の活性期間中に、前記選択されたメモリセルに対応する列選択信号の活性期間と前記列選択信号の活性期間後のチャージ線の非活性期間とを含む、半導体記憶装置。

【請求項 15】

前記複数のセンスアンプを活性化するセンスアンア活性化信号は、前記ワード線の活性化後かつ前記コラム選択信号の活性化前に活性化され、前記チャージ線の非活性期間後に非活性化される、請求項 14 に記載の半導体装置。

【請求項 16】

前記複数のメモリセルは、選択されたメモリセルからの読み出しデータの検出時に比較対象となるダミーセルを含み、

前記データ読出動作時に、前記ビット線対の一方は選択されたメモリセルの記憶データに応じた電流が、他方には前記ダミーセルの記憶データに応じた電流が流れ、対応のセンスアンプにより電流差が検出される、請求項 14 または 15 に記載の半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

また、特許文献 1 には、電気的に浮遊状態のフローティングボディ領域に電荷を蓄積または放出することでデータを記憶するメモリセル (FBC : Floating Body Cell) を備える半導体記憶装置が開示されている。

【非特許文献 1】行天隆幸他、「SOIを用いたキャパシタレス・ツイントランジスタRAM (TTRAM)」、電子情報通信学会、電子情報通信学会技術研究報告、Vol. 105、No. 349、pp. 107 - 112、2005年10月20日

【特許文献 1】特開 2005-302077 号公報

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

また、センスアンプ 9 には、列方向にセンスアンプ駆動線対 / SOP, SON が配置される。各センスアンプ回路 SA において、センスアンプ駆動線 SOP は、基準電位側に配置されるトランジスタ 33 のゲート電極に接続される一方、センスアンプ駆動線 SON は、制御線駆動電位 VBL 側に配置されるトランジスタ 32 のゲート電極に接続される。そのため、制御回路 7 (図 1) からの制御指令に応じて、アドレスデコーダ 2 (図 1) によりセンスアンプ駆動線対 / SOP, SON が駆動されると、すべてのセンスアンプ回路 SA が活性化される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

図 5 (a) は、ワード線 WL およびダミーワード線 / DWL の時間的变化を示す。図 5 (b) は、チャージ線 CL の時間的变化を示す。図 5 (c) は、ビット分離線 BLI の時間的变化を示す。図 5 (d) は、ビット線プリチャージ線 BLP の時間的变化を示す。図

5 (e) は、センスアンプ駆動線 S O N の時間的变化を示す。図 5 (f) は、センスアンプ駆動線 / S O P の時間的变化を示す。図 5 (g) は、コラム選択線 C S L の時間的变化を示す。図 5 (h) は、メモリセル M C に「 1 」データが記憶されている場合のビット線 B L および / B L の時間的变化を示す。図 5 (i) は、メモリセル M C に「 0 」データが記憶されている場合のビット線 B L および / B L の時間的变化を示す。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 1

【補正方法】変更

【補正の内容】

【0 0 6 1】

続いて、図 5 (e) および図 5 (f) に示すように、制御回路 7 は、時刻 t 3 において、センスアンプ駆動線 S O N および / S O P をそれぞれ「 H 」レベルおよび「 L 」レベルに駆動させる。すると、図 2 に示すセンスアンプ回路 S A のトランジスタ 3 2 および 3 3 が活性化されて、センスアンプ回路 S A は、制御線駆動電位 V B L と基準電位との間に電気的に接続される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 0

【補正方法】変更

【補正の内容】

【0 0 7 0】

最終的に、ペリファイライト動作が完了する時刻 t 7 において、制御回路 7 は、各制御線を読み出し動作前の状態に復帰させる。すなわち、制御回路 7 は、図 5 (a) に示すようにワード線 W L およびダミーワード線 / D W L を「 L 」レベルに駆動させ、図 5 (d) に示すようにビット線プリチャージ線 B L P を「 H 」レベルに駆動させ、図 5 (e) および図 5 (f) に示すようにセンスアンプ駆動線 S O N および / S O P をそれぞれ「 L 」レベルおよび「 H 」レベルに駆動させる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 9

【補正方法】変更

【補正の内容】

【0 0 9 9】

図 2 および図 9 を参照して、制御回路 7 (図 1) は、図 9 (a) に示すように、読み出しき対象のメモリセル M C が配置された列と対応するワード線 W L 0 を「 H 」レベルに駆動させる。続いて、図 5 と同様に、制御回路 7 は、ビット線プリチャージ線 B L P 、センスアンプ駆動線 S O N および / S O P を、それぞれ「 L 」レベル、「 H 」レベルおよび「 L 」レベルに駆動させる (図示しない) 。