

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5820336号
(P5820336)

(45) 発行日 平成27年11月24日(2015.11.24)

(24) 登録日 平成27年10月9日(2015.10.9)

(51) Int.Cl.

F 1

H03K 19/0944 (2006.01)

H03K 19/094

19/094

A

H03K 19/0948 (2006.01)

H03K 19/094

19/094

B

H03K 17/06 (2006.01)

H03K 17/06

17/06

C

請求項の数 4 (全 52 頁)

(21) 出願番号 特願2012-107722 (P2012-107722)
 (22) 出願日 平成24年5月9日 (2012.5.9)
 (65) 公開番号 特開2013-9313 (P2013-9313A)
 (43) 公開日 平成25年1月10日 (2013.1.10)
 審査請求日 平成27年2月12日 (2015.2.12)
 (31) 優先権主張番号 特願2011-113734 (P2011-113734)
 (32) 優先日 平成23年5月20日 (2011.5.20)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 白井 亮

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の容量と、

第2の容量と、

第1のトランジスタと、

第2のトランジスタと、を有し、

前記第1の容量の一方の電極は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2の容量の一方の電極は、前記第2のトランジスタのゲートと電気的に接続され、

前記第2の容量の一方の電極は、前記第1のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第1の容量の他方の電極は、端子Aと電気的に接続され、

前記第2の容量の他方の電極は、端子Bと電気的に接続され、

前記第1のトランジスタを介して入力される信号に応じた電荷が、前記第2のトランジスタのゲートに保持され、

前記保持された電荷と、前記端子Aに入力される信号、及び前記端子Bに入力される信号とによって、前記第2のトランジスタのオン又はオフが制御され、

前記第1のトランジスタは、チャネル形成領域に酸化物半導体を有し、

前記第2のトランジスタは、チャネル形成領域にシリコンを有することを特徴とする半

導体装置。

【請求項 2】

第 1 の容量と、

第 2 の容量と、

第 1 のトランジスタと、

第 2 のトランジスタと、

第 3 のトランジスタと、

第 4 のトランジスタと、

インバータと、を有し、

前記第 1 の容量の一方の電極は、前記第 2 のトランジスタのゲートと電気的に接続され 10

、前記第 2 の容量の一方の電極は、前記第 2 のトランジスタのゲートと電気的に接続され

、前記第 2 の容量の一方の電極は、前記第 1 のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第 3 のトランジスタのソース及びドレインの一方は、前記第 2 のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第 3 のトランジスタのソース及びドレインの他方は、前記第 4 のトランジスタのソース及びドレインの一方と電気的に接続され、

前記インバータの入力は、前記第 3 のトランジスタのソース及びドレインの他方、及び前記第 4 のトランジスタのソース及びドレインの一方と電気的に接続され、 20

前記第 1 の容量の他方の電極は、端子 A と電気的に接続され、

前記第 2 の容量の他方の電極は、端子 B と電気的に接続され、

前記第 1 のトランジスタを介して入力される信号に応じた電荷が、前記第 2 のトランジスタのゲートに保持され、

前記保持された電荷と、前記端子 A に入力される信号、及び前記端子 B に入力される信号とによって、前記第 2 のトランジスタのオン又はオフが制御され、

前記第 3 のトランジスタのゲートに第 1 の信号が入力され、

前記第 4 のトランジスタのゲートに第 2 の信号が入力され、

前記電荷が第 1 の条件のとき、前記インバータから論理積が出力され、 30

前記電荷が第 2 の条件のとき、前記インバータから論理和が出力され、

前記第 1 のトランジスタ、前記第 3 のトランジスタ、及び前記第 4 のトランジスタは、
チャネル形成領域に酸化物半導体を有し、

前記第 2 のトランジスタは、チャネル形成領域にシリコンを有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記酸化物半導体は、In - Sn - Zn 系酸化物を有することを特徴とする半導体装置

。

【請求項 4】

請求項 1 又は請求項 2 において、

前記酸化物半導体は、In - Ga - Zn 系酸化物を有することを特徴とする半導体装置

。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体を有する半導体装置に関する。

【背景技術】

【0002】

半導体を用いた半導体装置として、論理回路がある。論理回路にはダイナミック論理回 50

路とスタティック論理回路とがあり、トランジスタ等を用いて構成される。ダイナミック論理回路は情報を一定期間保持することができる。そのため、ダイナミック論理回路は、スタティック論理回路と比較して、トランジスタからのリーク電流が問題となる。リーク電流は、トランジスタをオフしたときに流れ出るオフ電流が一因となって生じる。

【0003】

例えば、ダイナミック回路において、ダイナミック・ノードに対する電荷の供給を制御するMOSトランジスタがオフ状態の時のリーク電流が大きいことが問題視されており、ダイナミック・ノードに連なる電流パスにMOSトランジスタ回路を挿入した構成が提案されている（特許文献1）。

【0004】

また別の構成として、ダイナミック回路において、リーク電流に応じた電流を検出するリーク電流検出回路を設け、さらにリーク電流補正時に動作するリーク電流補正回路まで備えた構成が提案されている（特許文献2）。

【0005】

また、論理回路において、付加機能を持たせるための検討がすすめられている。例えば、動的再構成性を持たせることができる再構成可能な論理回路がある。このような論理回路において、OR、ANDとNOR、NAND、NOTとを切り換えるための切替部を備えた構成が提案されている（特許文献3）。

【0006】

また、薄膜トランジスタのオフ電流は、 V_{gs} が0[V]以下で、 $10^{-13} \sim 10^{-14} [A]$ である（特許文献4）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平6-244714号公報

【特許文献2】特開平10-22816号公報

【特許文献3】特開2010-87911号公報

【特許文献4】特開平8-274342号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、論理回路において、リーク電流の問題を解決することを課題とする。

【0009】

本発明の一態様は、論理回路において、動的再構成性を持たせることを課題とする。

【課題を解決するための手段】

【0010】

上記課題を鑑み、少なくとも、LSIを構成するトランジスタのオフ電流と比較して、オフ電流が小さいトランジスタを少なくとも一つ備えた論理回路を提供する。

【0011】

このようなオフ電流が小さいトランジスタを備えることで、動的再構成性を持たせた論理回路も提供することができる。

【発明の効果】

【0012】

オフ電流が小さいトランジスタを備えることで、リーク電流の問題を解決することができる。

【0013】

オフ電流が小さいトランジスタを備えることで、動的再構成の機能を持たせた論理回路を提供することができる。

【0014】

10

20

30

40

50

本発明の一態様の論理回路において、従来技術と比較して、シンプルな回路構成となる。

【図面の簡単な説明】

【0015】

【図1】本発明の一態様の論理回路を示す回路図である。

【図2】本発明の一態様の論理回路の動的再構成を示す概念図である。

【図3】本発明の一態様の論理回路を示す回路図である。

【図4】本発明の一態様の論理回路を示す回路図及びタイミングチャートである。

【図5】トランジスタの構造を示す図。

【図6】C A A C 構造を説明する図。

10

【図7】C A A C 構造を説明する図。

【図8】C A A C 構造を説明する図。

【図9】トランジスタの作製方法を示す図。

【図10】酸化物半導体層における欠陥密度とトランジスタの電界効果移動度との関係を示す図。

【図11】トランジスタの構造を示す図。

【図12】トランジスタの電気特性の計算結果を示す図。

【図13】トランジスタの電気特性の計算結果を示す図。

【図14】トランジスタの電気特性の計算結果を示す図。

【図15】トランジスタの電気特性の計算結果を示す図。

20

【図16】トランジスタの電気特性の計算結果を示す図。

【図17】トランジスタの電気特性の計算結果を示す図。

【図18】トランジスタのX R D 測定結果を示す図。

【図19】トランジスタの特性を示す図。

【図20】トランジスタの特性を示す図。

【図21】トランジスタの特性を示す図。

【図22】本発明の一態様の論理回路を備えた演算処理装置を示す図。

【図23】本発明の一態様の論理回路を備えた電子機器を示す図。

【図24】C A A C 構造を説明する図。

【図25】本発明の一態様の論理回路を示す回路図である。

30

【発明を実施するための形態】

【0016】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明の一態様は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0017】

(実施の形態1)

本実施の形態では、論理回路の基本構成について説明する。図1には、第1の容量(101)、第2の容量(102)、オフ電流が小さい第1のトランジスタ(OSFET、104)、第2のトランジスタ(FET、105)、を備えた論理回路を示す。

40

【0018】

第1のトランジスタは、チャネル形成領域に酸化物半導体を有するため、OSFETとも記す。酸化物半導体を有するチャネル形成領域はN型を示すことが多いため、第1のトランジスタの極性はN型とする。このような酸化物半導体をチャネル形成領域に有するトランジスタは、オフ電流が小さい。以下の実施の形態で詳述する。

【0019】

第2のトランジスタは、第1のトランジスタと比較すると、オフ電流が小さいことは要求されないため、チャネル形成領域にシリコンを用いたトランジスタを用いる。これをFETと記す。極性は第1のトランジスタと同一導電型となる場合、つまりN型の場合で説

50

明する。

【0020】

第1の容量101、第2の容量102、第1のトランジスタ104、第2のトランジスタ105は、図1に示されるように電気的に接続される。第1の容量101の一方の電極は、第2のトランジスタ105のゲートと電気的に接続される。第2の容量102の一方の電極は、第2のトランジスタ105のゲートと電気的に接続される。第2の容量102の一方の電極は、第1のトランジスタ104のソース及びドレインの一方と電気的に接続される。第1のトランジスタ104がN型のとき、第2の容量102の一方の電極と電気的に接続されるのは、第1のトランジスタ104のドレインとなる。

【0021】

信号は、端子A、端子Bから入力される。つまり、第1の容量101の他方の電極と、第2の容量102の他方の電極から信号が入力される。これらの信号は、高電位(High、H、Vdd、1)及び低電位(Low、L、Vss、0)のいずれかである。高電位と低電位とは相対的なものである。低電位が0Vに限定されるものではない。

【0022】

第1のトランジスタ104は、ゲートに入力される信号によってオン又はオフが制御される。第2のトランジスタ105は、ゲートに入力される信号によってオン又はオフが制御される。

【0023】

また、図1に示すとおり、第1の容量101及び第2の容量102のそれぞれの容量値をC、第1の容量101の一方の電極と電気的に接続されたノードの電荷をQ、ノードの電圧をVg、第2のトランジスタ105のゲート容量をCgとする。Vgは下記の式(1)で表される。なお、簡単のため、第2のトランジスタ105のソース-ドレイン間電圧は0Vとする。

【0024】

【数1】

$$Vg = \frac{C}{2C+Cg}(VA+VB) + \frac{Q}{2C+Cg} \quad \dots (1)$$

【0025】

上記式(1)において、 $Q / (2C + Cg)$ の部分は、Qの値に応じて変わる。すなわち、第1のトランジスタ104を介して書き込まれる信号によって変わる。電荷Qは、第1のトランジスタ104を介して入力される信号によって決まるからである。第1のトランジスタ104のオフ電流は非常に小さいため、書き込んだQの値を保持することができる。すなわち、第1のトランジスタがオフ状態となることによって、上記ノードを浮遊状態とすることができる。従来技術と異なり、他の素子を備えることなく、書き込んだQの値を保持することができる。

【0026】

例えば、 $Q = 0$ とする。第2のトランジスタ105の閾値電圧(Vth)は、正の小さい値とする。第1のトランジスタ104をオンとして、 $Q = 0$ となる電圧Vgを、第1のトランジスタ104を介して書き込む。書き込み終了後、第1のトランジスタ104をオフとする。書き込んだQの値を保持する。端子A、端子BとともにHighの信号が入力されたとする。これらの信号を(1、1)と記す。このとき、端子Aの電位VA及び端子Bの電位VBは $V_A = V_B = V_{dd}$ となり、下記の式(2)で表される。

【0027】

10

20

30

40

【数2】

$$Vg = \left\{ \frac{1}{1 + \frac{Cg}{2C}} \right\} V_{dd} \quad \dots (2)$$

【0028】

このとき、 $V_g > V_{th}(105)$ であるため、第2のトランジスタ105はオンとなる。ここで第2のトランジスタ105の閾値電圧を $V_{th}(105)$ と示す。

【0029】

また、同様に $Q = 0$ とし、端子AにHighの信号、端子BにLowの信号が入力されたとする。これらの信号を(1, 0)と示す。このとき、 $V_A = V_{dd}$ 、 $V_B = 0$ となり、下記の式(3)で表される。

【0030】

【数3】

$$Vg = \left\{ \frac{1}{1 + \frac{Cg}{2C}} \right\} \times \frac{V_{dd}}{2} \quad \dots (3)$$

10

20

【0031】

このとき、 $V_g > V_{th}$ であるため、第2のトランジスタ105はオンとなる。

【0032】

また、同様に $Q = 0$ とし、端子AにLowの信号、端子BにHighの信号が入力されたとする。これらの信号を(0, 1)と示す。このとき、 $V_A = 0$ 、 $V_B = V_{dd}$ となり、上記式(3)で表される。

【0033】

このとき、第2のトランジスタ105はオンとなる。

【0034】

また、同様に $Q = 0$ とし、端子A、端子BにともにLowの信号が入力されたとする。これらの信号を(0, 0)と示す。このとき、 $V_A = V_B = 0$ となり、下記の式(4)で表される。

30

【0035】

【数4】

$$Vg = \left\{ \frac{1}{1 + \frac{Cg}{2C}} \right\} \times 0 \quad \dots (4)$$

【0036】

40

このとき、 $V_g < V_{th}$ であるため、第2のトランジスタ105はオフとなる。

【0037】

以上の動作をまとめると、表1のようになる。

【0038】

【表1】

Q=0のとき

A	B	FET105
1	1	ON
0	1	ON
1	0	ON
0	0	OFF

【0039】

端子A及び端子BにLOWが入力されたときのみ、第2のトランジスタ105がオフとなり、それ以外の信号が入力されたとき、第2のトランジスタ105はオンとなる。第1のトランジスタ104を介して入力される信号に基づき、第2のトランジスタ105のオン条件が異なる。つまり、第2のトランジスタ105のオン又はオフの状態が、Qの値によって異なることがわかる。

【0040】

次に、Qの値を変更する。第2のトランジスタ105はN型であるため、 $Q < 0$ （負）とする。

【0041】

第1のトランジスタ104をオンとして、 $Q < 0$ となる信号を、第1のトランジスタ104を介して書き込む。書き込み終了後、第1のトランジスタ104をオフとする。書き込んだQの値を保持する。端子A、端子BとともにHIGHの信号(1、1)が入力されたとする。このとき、 $Q < 0$ を満たす範囲で、Qを適切に変えることで、第2のトランジスタ105はオンすることができる。

【0042】

また、同様な値($Q < 0$)とし、端子AにHIGHの信号、端子BにLOWの信号(1、0)が入力されたとする。このとき、Qを適切に変えることで、第2のトランジスタ105はオフとすることができます。

【0043】

また、同様な値($Q < 0$)とし、端子AにLOWの信号、端子BにHIGHの信号(0、1)が入力されるとする。このとき、Qを適切に変えることで、第2のトランジスタ105はオフとすることができます。

【0044】

また、同様な値($Q < 0$)とし、端子A、端子BともにLOWの信号(0、0)が入力されたとする。このとき、Qを適切に変えることで、第2のトランジスタ105はオフとすることができます。

【0045】

以上の動作をまとめると、表2のようになる。

【0046】

【表2】

Q<0のとき

A	B	FET105
1	1	ON
0	1	OFF
1	0	OFF
0	0	OFF

【0047】

端子A及び端子BにHIGHの信号が入力されたときのみ、第2のトランジスタ105がオンとなり、それ以外の信号が入力されたとき、第2のトランジスタ105はオフとなる。第1のトランジスタ104を介して入力される信号に基づき、第2のトランジスタ1

10

20

30

40

50

0 5 のオン条件が異なる。つまり、第2のトランジスタ105のオン又はオフの状態が、Qの値によって異なることがわかる。

【0048】

表1と表2の関係を図2に示す。本発明の一様の論理回路は、切替スイッチなどを設けることなく、Q = 0 と Q < 0との違いによって、第2のトランジスタ105のオン又はオフの状態が異なる。動的再構成の機能を持たせることができる。これは第1のトランジスタ104のオフ電流が小さいため、Q = 0 と Q < 0の状態をそれぞれ保持することができるためである。

【0049】

一般化した動作を説明する。第2のトランジスタ105のしきい値をV_{t h}とする。
上記式(1)より、V_gは端子A、端子B、Qの関数であることがわかる。端子AがHigh、BがHighのときの第2のトランジスタ105のゲート電位をV_g(A = 1, B = 1, Q)、端子AがLow、BがHighのときの第2のトランジスタ105のゲート電位をV_g(A = 0, B = 1, Q)、端子AがHigh、BがLowのときの第2のトランジスタ105のゲート電位をV_g(A = 1, B = 0, Q)、端子AがLow、BがLowのときの第2のトランジスタ105のゲート電位をV_g(A = 0, B = 0, Q)、とする。

【0050】

端子AがHigh、BがHighのとき、下記の式(5)と表される。

【数5】

$$Vg(A=1, B=1, Q) = \frac{Vdd}{1 + \frac{Cg}{2C}} + \frac{Q}{2C + Cg} \quad \dots (5)$$

【0051】

端子AがLow、BがHighのとき、下記の式(6)と表される。

【数6】

$$Vg(A=0, B=1, Q) = \frac{Vdd}{2\left(1 + \frac{Cg}{2C}\right)} + \frac{Q}{2C + Cg} \quad \dots (6)$$

20

30

【0052】

端子AがHigh、BがLowのとき、下記の式(7)と表される。

【数7】

$$Vg(A=1, B=0, Q) = \frac{Vdd}{2\left(1 + \frac{Cg}{2C}\right)} + \frac{Q}{2C + Cg} \quad \dots (7)$$

【0053】

端子AがLow、BがLowのとき、下記の式(8)と表される。

【数8】

$$Vg(A=0, B=0, Q) = \frac{Q}{2C + Cg} \quad \dots (8)$$

40

【0054】

式(5)～式(8)より、下記の式(9)が成り立つ。

【数9】

$$Vg(A=1, B=1, Q) > Vg(A=0, B=1, Q) = Vg(A=1, B=0, Q) > Vg(A=0, B=0, Q)$$

・・・(9)

【0055】

第1のトランジスタ104を介して書き込まれる電荷をQ₀とすると、Q₀が、下記の式(10)を満たすと、表1の関係を満たすことがわかる。

【数10】

$$Vg(A=1, B=0, Q=Q_0) > V_{th} > Vg(A=0, B=0, Q=Q_0) \quad \cdots \cdots (10)$$

10

【0056】

具体的に(A=0, B=0の状態で)書き込む電位をV_{g0}とすると、V_{g0}は下記の式(11)を満たす。

【数11】

$$V_{th} - \frac{Vdd}{2 + \frac{Cg}{C}} < V_{g0} < V_{th} \quad \cdots \cdots (11)$$

【0057】

第1のトランジスタ104を介して書き込まれる電荷をQ₁とすると、Q₁が、下記の式(12)を満たすと、表2の関係を満たすことがわかる。

20

【数12】

$$Vg(A=1, B=1, Q=Q) > V_{th} > Vg(A=1, B=0, Q=Q) \quad \cdots \cdots (12)$$

【0058】

具体的に(A=0, B=0の状態で)書き込む電位をV_{g1}とすると、V_{g1}は下記の式(13)を満たす。

【数13】

30

$$V_{th} - \frac{2Vdd}{2 + \frac{Cg}{C}} < V_{g1} < V_{th} - \frac{Vdd}{2 + \frac{Cg}{C}} \quad \cdots \cdots (13)$$

【0059】

第1のトランジスタ104として、チャネル形成領域に酸化物半導体を有するトランジスタを用いることにより、論理演算処理を行う機能を持つつ、情報を保持する機能を有することができる。

【0060】

本発明の一態様は、トランジスタ(OSFET)をオンすれば動的再構成の機能を発揮することができ、トランジスタのゲートにパルスを印加すればよい。よって、短時間でトランジスタの状態を確定することができる。

40

【0061】

また本発明の一態様の動的再構成の機能は、入力信号の影響を受けない。当該機能を入力信号とは独立して制御することができるからである。

【0062】

このように、本発明の一態様は、リーク電流の問題を解決することができる。

【0063】

このように、本発明の一態様は、動的再構成の機能を持たせることができる。

【0064】

50

このように、本発明の一態様は、従来技術と比較して、シンプルな回路構成である。

【0065】

(実施の形態2)

本実施の形態では、実施の形態1で示した第2のトランジスタの極性をP型とした論理回路の基本構成について説明する。図3には、第1の容量(101)、第2の容量(102)、オフ電流が小さい第1のトランジスタ(OSFET、104)、第2のトランジスタ(FET、205)、を備えた論理回路を示し、第2のトランジスタはP型である。

【0066】

第1の容量101、第2の容量102、第1のトランジスタ104、第2のトランジスタ205は、図3に示されるように電気的に接続される。第1の容量101の一方の電極は、第2のトランジスタ205のゲートと電気的に接続される。第2の容量102の一方の電極は、第2のトランジスタ205のゲートと電気的に接続される。第2の容量102の一方の電極は、第1のトランジスタ104のソース及びドレインの一方と電気的に接続される。第1のトランジスタ104はN型であるため、第2の容量102の一方の電極と電気的に接続されるのは、第1のトランジスタ104のドレインとなる。

【0067】

第1のトランジスタ104は、ゲートに入力される信号によってオン又はオフが制御される。第2のトランジスタ205は、ゲートに入力される信号によってオン又はオフが制御される。端子A、端子BからHigh、又はLowの信号が入力される。

【0068】

図3に示すとおり、第1の容量101及び第2の容量102のそれぞれの容量値をC、第1の容量101の一方の電極と電気的に接続されたノードの電荷をQ、ノードの電圧をVg、第2のトランジスタ205のゲート容量をCgとする。Vgは下記の式(14)で表される。なお、簡単のため、第2のトランジスタ205のソース-ドレイン間電圧はVddとする。

【数14】

$$Vg = \frac{C}{2C+Cg}(VA+VB) + \frac{Q}{2C+Cg} + \frac{Cg}{2C+Cg}Vdd \quad \dots (14)$$

20

【0069】

式(14)において、Q/(2C+Cg)の部分は、Qの値に応じて変わる。すなわち、第1のトランジスタ104を介して書き込まれる信号によって変わる。電荷Qは、第1のトランジスタ104を介して入力される信号によって決まるからである。第1のトランジスタ104のオフ電流は非常に小さいため、書き込んだQの値を保持することができる。すなわち、第1のトランジスタがオフ状態となることによって、上記ノードを浮遊状態とすることができます。従来技術と異なり、他の素子を備えることなく、書き込んだQの値を保持することができる。

【0070】

例えば、Q=0とする。第2のトランジスタ205の閾値電圧(Vth)は、負の小さい値とする。第1のトランジスタ104をオンとして、Q=0となる電圧Vgを、第1のトランジスタ104を介して書き込む。その後、第1のトランジスタ104をオフとする。書き込んだQの値を保持する。端子A、端子BとともにHighの信号(1、1)が入力されたとする。Vgは下記の式(15)で表される。

30

40

【数15】

$$Vg = \left(1 - \frac{\frac{1}{2}}{1 + \frac{Cg}{2C}} \right) Vdd \quad \dots \quad (15)$$

【0071】

このとき、 $Vg - Vdd > Vth(205)$ であるため、第2のトランジスタ205はオフとなる。ここで第2のトランジスタ205の閾値電圧を $Vth(205)$ と示す。

10

【0072】

また、同様に $Q = 0$ とし、端子AにHighの信号、端子BにLowの信号(1、0)が入力されたとする。 Vg は下記の式(16)で表される。

【数16】

$$Vg = \left(1 - \frac{\frac{1}{2}}{1 + \frac{Cg}{2C}} \right) Vdd \quad \dots \quad (16)$$

【0073】

20

このとき、 $Vg - Vdd < Vth(205)$ であるため、第2のトランジスタ205はオンとなる。

【0074】

また、同様に $Q = 0$ とし、端子AにLowの信号、端子BにHighの信号(0、1)が入力されたとする。 Vg は下記の式(17)で表される。

【数17】

$$Vg = \left(1 - \frac{\frac{1}{2}}{1 + \frac{Cg}{2C}} \right) Vdd \quad \dots \quad (17)$$

30

【0075】

このとき、 $Vg - Vdd < Vth(205)$ であるため、第2のトランジスタ205はオンとなる。

【0076】

また、同様に $Q = 0$ とし、端子A、端子BにともにLowの信号が入力されたとする。このとき、 $Vg - Vdd < Vth(205)$ であるため、第2のトランジスタ205はオンとなる。

【0077】

以上の動作をまとめると、表3のようになる。

40

【0078】

【表3】

$Q=0$ のとき

A	B	FET205
1	1	OFF
0	1	ON
1	0	ON
0	0	ON

【0079】

50

端子A及びBの双方にH i g hが入力されたときのみ、第2のトランジスタ(FET)205はオフとなり、それ以外の信号が入力されたとき、第2のトランジスタ(FET)205はオンとなる。第1のトランジスタ104を介して入力される信号に基づき、第2のトランジスタ205のオン条件が異なる。つまり、第2のトランジスタ205のオン又はオフの状態が、Qの値によって異なることがわかる。

【0080】

次に、Qの値を変更する。第2のトランジスタ205はP型であるため、 $Q > 0$ (正)とする。

【0081】

第1のトランジスタ104をオンとして、 $Q > 0$ となる信号を書き込む。書き込み終了後、第1のトランジスタ104をオフとする。書き込んだQの値を保持する。端子A、端子BとともにH i g hの信号(1、1)が入力されたとする。このとき、 $Q > 0$ を満たす範囲で、Qを適当に変えることで、第2のトランジスタ205はオフとすることができます。

10

【0082】

また、同様な値($Q > 0$)とし、端子AにH i g hの信号、端子BにL o wの信号(1、0)が入力されたとする。このとき、Qを適当に変えることで、第2のトランジスタ205はオフとすることができます。

【0083】

また、同様な値($Q > 0$)とし、端子AにL o wの信号、端子BにH i g hの信号(0、1)が入力されたとする。このとき、Qを適当に変えることで、第2のトランジスタ205はオフとすることができます。

20

【0084】

また、同様な値($Q > 0$)とし、端子A、端子BともにL o wの信号(0、0)が入力されたとする。このとき、Qを適当に変えることで、第2のトランジスタ205はオンとすることができます。

【0085】

以上の動作をまとめると、表4のようになる。

【0086】

【表4】

$Q > 0$ のとき

30

A	B	FET205
1	1	OFF
0	1	OFF
1	0	OFF
0	0	ON

【0087】

端子A及び端子BにL o wの信号が入力されたときのみ、第2のトランジスタ(FET)205がオンとなり、それ以外の信号が入力されたとき、第2のトランジスタ(FET)205はオフとなる。第1のトランジスタ104を介して入力される信号に基づき、第2のトランジスタ205のオン条件が異なる。つまり、第2のトランジスタ205のオン又はオフの状態が、Qの値によって異なることがわかる。

40

【0088】

切替スイッチなどを設けることなく、 $Q = 0$ と $Q > 0$ との違いによって、第2のトランジスタ205のオン又はオフの状態が異なる。動的再構成の機能を持たせることができる。これは第1のトランジスタ104のオフ電流が小さいため、 $Q = 0$ と $Q > 0$ の状態をそれぞれ保持することができるためである。

【0089】

一般化した動作を説明する。第2のトランジスタ205のしきい値をV t h pとする。上記式(5)より、V gは端子A、端子B、Qの関数であることがわかる。端子AがH i

50

$g h$ 、 B が $H i g h$ のときの第2のトランジスタ205のゲート電位を V_g ($A = 1, B = 1, Q$)、端子Aが $L o w$ 、 B が $H i g h$ のときの第2のトランジスタ205のゲート電位を V_g ($A = 0, B = 1, Q$)、端子Aが $H i g h$ 、 B が $L o w$ のときの第2のトランジスタ205のゲート電位を V_g ($A = 1, B = 0, Q$)、端子Aが $L o w$ 、 B が $L o w$ のときの第2のトランジスタ205のゲート電位を V_g ($A = 0, B = 0, Q$)とする。

【0090】

端子Aが $H i g h$ 、 B が $H i g h$ のとき、下記の式(18)と表される。

【数18】

$$V_g(A=1, B=1, Q) = V_{dd} + \frac{Q}{2C+C_g} \quad \dots (18)$$

10

【0091】

端子Aが $L o w$ 、 B が $H i g h$ のとき、下記の式(19)と表される。

【数19】

$$V_g(A=0, B=1, Q) = \left\{ 1 - \frac{1}{2\left(1 + \frac{C_g}{2C}\right)} \right\} V_{dd} + \frac{Q}{2C+C_g} \quad \dots (19)$$

20

【0092】

端子Aが $H i g h$ 、 B が $L o w$ のとき、下記の式(20)と表される。

【数20】

$$V_g(A=1, B=0, Q) = \left\{ 1 - \frac{1}{2\left(1 + \frac{C_g}{2C}\right)} \right\} V_{dd} + \frac{Q}{2C+C_g} \quad \dots (20)$$

【0093】

端子Aが $L o w$ 、 B が $L o w$ のとき、下記の式(21)と表される。

30

【数21】

$$V_g(A=0, B=0, Q) = \left\{ 1 - \frac{1}{\left(1 + \frac{C_g}{2C}\right)} \right\} V_{dd} + \frac{Q}{2C+C_g} \quad \dots (21)$$

【0094】

式(18)～式(21)より、下記の式(22)が成り立つ。

【数22】

$$V_g(A=1, B=1, Q) > V_g(A=0, B=1, Q) = V_g(A=1, B=0, Q) > V_g(A=0, B=0, Q) \quad \dots (22)$$

40

【0095】

第1のトランジスタ104を介して書き込まれる電荷を Q_2 とすると、 Q_2 が、下記の式(23)を満たすと、表3の関係を満たすことがわかる。

【数23】

$$V_g(A=1, B=1, Q=Q_2) > V_{thp} > V_g(A=1, B=0, Q=Q_2) \quad \dots (23)$$

【0096】

具体的に($A = 0, B = 0$ の状態で)書き込む電位を V_{g2} とすると、 V_{g2} は下記の

50

式(24)を満たす。

【数24】

$$V_{thp} + V_{dd} \left\{ \frac{C_g}{2C + C_g} \right\} < Vg_2 < V_{thp} + V_{dd} \left\{ \frac{C + C_g}{2C + C_g} \right\} \quad \dots (24)$$

【0097】

第1のトランジスタ104を介して書き込まれる電荷 Q_3 とすると、 Q_3 が下記の式(25)を満たすと、表4の関係を満たすことがわかる。

【数25】

$$Vg(A=1, B=1, Q=Q_3) > V_{thp} > Vg(A=1, B=0, Q=Q_3) \quad \dots (25)$$

10

【0098】

具体的に($A=0, B=0$ の状態で)書き込む電位 Vg_3 とすると、 Vg_3 は下記の式(26)を満たす。

【数26】

$$V_{thp} + V_{dd} \left\{ \frac{C + C_g}{2C + C_g} \right\} < Vg_3 < V_{thp} + V_{dd} \quad \dots (26)$$

【0099】

20

第1のトランジスタ104として、チャネル形成領域に酸化物半導体を有するトランジスタを用いることにより、論理演算処理を行う機能を持つつ、情報を保持する機能を有することができる。

【0100】

また、本実施の形態は、実施の形態1と異なり、 $Q > 0$ とすればよい。 $Q = 0$ と組み合わせて用いるため、第1のトランジスタ104を介して入力する信号を0と正の値を採用することができる。実施の形態1と比較すると、第1のトランジスタ104に供給する信号の組み合わせが好ましくなる。

【0101】

本発明の一態様は、トランジスタ(OSFET)をオンすれば動的再構成の機能を発揮することができ、トランジスタのゲートにパルスを印加すればよい。よって、短時間でトランジスタの状態を確定することができる。

30

【0102】

また本発明の一態様の動的再構成の機能は、入力信号の影響を受けない。当該機能を入力信号とは独立して制御することができるからである。

【0103】

このように、本発明の一態様は、リーク電流の問題を解決することができる。

【0104】

このように、本発明の一態様は、動的再構成の機能を持たせることができる。

【0105】

40

このように、本発明の一態様は、従来技術と比較して、シンプルな回路構成である。

【0106】

(実施の形態3)

本実施の形態では、実施の形態1で示した回路と、実施の形態2で示した回路とを組み合わせた論理回路について説明する。

【0107】

実施の形態1で示した回路(図1参照)は、第2のトランジスタ105がN型である。実施の形態2で示した回路(図3参照)は、第2のトランジスタ205がP型である。これらを組み合わせてCMOS回路を構成することができる。

【0108】

50

図25にCMOS回路を示す。第1の容量501、第2の容量502、第3の容量511、第4の容量512、OSFETで構成される第1のトランジスタ504、OSFETで構成される第2のトランジスタ514、第3のトランジスタ205、第4のトランジスタ105を有する。第3のトランジスタ205はP型、第4のトランジスタ105はN型とする。

【0109】

これらは、図25に示すように電気的に接続される。第1の容量501の一方の電極は、端子Aと電気的に接続される。第3の容量511の一方の電極は、端子Aと電気的に接続される。端子Aから信号が入力される(IN)。第2の容量502の一方の電極は、端子Bと電気的に接続される。第4の容量512の一方の電極は、端子Bと電気的に接続される。端子Bから信号が入力される(IN)。第1のトランジスタ(OSFET)504のソース及びドレインの一方は、第1の容量501の他方の電極と電気的に接続される。第1のトランジスタ(OSFET)504のソース及びドレインの一方は、第3のトランジスタ(FET)205のゲートと電気的に接続される。ゲートに接続されたノードの電荷をQ_pとする。第1のトランジスタ504はN型のため、第3のトランジスタ(FET)205のゲートとはドレインが電気的に接続される。第2のトランジスタ(OSFET)514のソース及びドレインの一方は、第4の容量512の他方の電極と電気的に接続される。第2のトランジスタ(OSFET)514のソース及びドレインの一方は、第4のトランジスタ(FET)105のゲートと電気的に接続される。ゲートに接続されたノードの電荷をQ_nとする。第2のトランジスタ514はN型のため、第4のトランジスタ(FET)105のゲートとはドレインが電気的に接続される。第3のトランジスタ205のソース及びドレインの一方と、第4のトランジスタ105とのソース及びドレインの一方は、電気的に接続され、信号が出力される(OUT)。

【0110】

Q_nが実施の形態1で示したQ0(Q_n=Q_{n1})であって、Q_pが実施の形態2で示したQ3(Q_p=Q_{p1})のとき、端子A、端子Bへの入力信号(IN)と、出力信号(OUT)との関係を表5に示す。

【表5】

A	B	Qn=Qn1 (Q ₀)	Qp=Qp1 (Q ₃)	OUT
1	1	on	off	0
0	1	on	off	0
1	0	on	off	0
0	0	off	on	1

【0111】

否定論理和(NOR)が実行されていることがわかる。

【0112】

Q_nが実施の形態1で示したQ1(Q_n=Q_{n2})であって、Q_pが実施の形態2で示したQ2(Q_p=Q_{p2})のとき、端子A、端子Bへの入力信号と、出力(OUT)との関係を表6に示す。

10

20

30

40

【表6】

A	B	$Qn=Qn2$ (Q_1)	$Qp=Qp2$ (Q_2)	OUT
1	1	on	off	0
0	1	off	on	1
1	0	off	on	1
0	0	off	on	1

10

【0113】

否定論理積（NAND）が実行されていることがわかる。ただし、 $Q_{n2} < Q_{n1}$ であり、 $Q_{p1} > Q_{p2}$ である。

【0114】

このようにCMOS回路であっても、動的再構成の機能を持たせることができる。

【0115】

このようにCMOS回路であっても、従来技術と比較して、シンプルな回路構成である。

【0116】

(実施の形態4)

20

本実施の形態では、論理積（AND）と論理和（OR）と実行させるため、新たな素子を追加した論理回路について説明する。

【0117】

図4(A)には、第1の容量(101)、第2の容量(102)、オフ電流が小さい第1のトランジスタ(OSFET、104)、第2のトランジスタ(FET、105)、第3のトランジスタ(OSFET、311)、第4のトランジスタ(OSFET、312)、インバータ313を備えた論理回路を示す。

【0118】

図3の論理回路に対して、第3のトランジスタ(OSFET、311)、第4のトランジスタ(OSFET、312)、インバータ313が追加されている。

30

【0119】

第1のトランジスタ104、第3のトランジスタ311、及び第4のトランジスタ312は、チャネル形成領域に酸化物半導体を有するため、OSFETとも示す。酸化物半導体を有するチャネル形成領域はN型を示すことが多いため、第1、第3、及び第4のトランジスタの極性はN型とする。このような酸化物半導体をチャネル形成領域に有するトランジスタは、オフ電流が小さい。第3、第4のトランジスタは、第1のトランジスタと比較すると、オフ電流が小さいことは要求されないため、必ずしも酸化物半導体を有するトランジスタを適用する必要はない。

【0120】

第2のトランジスタは、第1、第3及び第4のトランジスタと比較すると、オフ電流が小さいことは要求されないため、チャネル形成領域にシリコンを用いたトランジスタを用いる。第2のトランジスタはP型とする。

40

【0121】

第1の容量101、第2の容量102、第1のトランジスタ104、第2のトランジスタ205、第3のトランジスタ311、第4のトランジスタ312、インバータ313は、図4に示されるように電気的に接続される。第1の容量101の一方の電極は、第2のトランジスタ205のゲートと電気的に接続される。第2の容量102の一方の電極は、第2のトランジスタ205のゲートと電気的に接続される。第2の容量102の一方の電極は、第1のトランジスタ104のソース及びドレインの一方と電気的に接続される。第1のトランジスタ104がN型のとき、第2の容量の一方の電極と電気的に接続されるの

50

は、第1のトランジスタ104のドレインとなる。第2のトランジスタ205のソース及びドレインの一方は、第3のトランジスタ311のソース及びドレインの一方と電気的に接続される。第3のトランジスタ311のソース及びドレインの他方は、第4のトランジスタ312のソース及びドレインの一方と電気的に接続される。第3のトランジスタ311のソース及びドレインの他方、及び第4のトランジスタ312のソース及びドレインの一方は、インバータ313の第1の端子と電気的に接続される。インバータ313の第1の端子は入力端子である。インバータ313の第2の端子から信号が出力される。インバータ313の第2の端子は出力端子である。第2のトランジスタ205のソース及びドレインの他方は高電位電源と電気的に接続され、第4のトランジスタ312のソース及びドレインの他方は低電位電源と電気的に接続される。

10

【0122】

第1のトランジスタ104は、ゲートに入力される信号によってオン又はオフが制御される。第2のトランジスタ205は、ゲートに入力される信号によってオン又はオフが制御される。端子A、端子Bから信号が入力される。これらの信号はHigh又はLowの信号である。従って、第2のトランジスタ205のオン又はオフは、実施の形態2で示したように制御される。第2のトランジスタ205がオンのとき、Vddが入力される。

【0123】

第3のトランジスタ311は、ゲートに入力される信号によってオン又はオフが制御される。第4のトランジスタ312は、ゲートに入力される信号によってオン又はオフが制御される。第3のトランジスタ311のゲートに入力される信号は、High又はLowの信号である。第4のトランジスタ312のゲートに入力される信号は、High又はLowの信号である。

20

【0124】

図4(A)の動作を図4(B), (C)を用いて説明する。図4(B)では、 $Q = Q_2$ (表3に対応)が保持されていたとして、端子A、端子Bは共にHighの信号が入っている状態とする。つまり、第2のトランジスタ205がオフ状態であるとする。まず、制御信号S1がLow, 制御信号S2がHighになる。すると、第3のトランジスタ311がオフ、第4のトランジスタ312がオンとなる。ノードFNの電位はVssとなり、インバータ出力OUTはHighとなる。

30

【0125】

次に、制御信号S2がLowとなり、制御信号S1がHighとなる。すると、第3のトランジスタ311がオン、第4のトランジスタ312がオフとなる。第2のトランジスタ205はオフ状態であるから、ノードFNの電位はVssのまま保持される。(第2のトランジスタ205のリーキ電流によって徐々に電位は上昇するが、短期間ではVssに近い電位に保たれる。)従って、インバータ出力OUTもHighのままである。以上の動作の結果、 $Q = Q_2$ (表3に対応)が保持されていたとして、端子A、端子Bは共にHighの信号が入っている場合、出力信号もHighとなる。

【0126】

図4(C)では、 $Q = Q_2$ (表3に対応)が保持されていたとして、端子A、端子Bは共にLowの信号が入っている状態とする。つまり、第2のトランジスタ205がオン状態であるとする。まず、制御信号S1がLow, 制御信号S2がHighになる。すると、第3のトランジスタ311がオフ、第4のトランジスタ312がオンとなる。ノードFNの電位はVssとなり、インバータ出力OUTはHighとなる。

40

【0127】

次に、制御信号S2がLowとなり、制御信号S1がHighとなる。すると、第3のトランジスタ311がオン、第4のトランジスタ312がオフとなる。第2のトランジスタ205はオン状態であるから、ノードFNの電位はVddとなる。従って、インバータ出力OUTはLowとなる。以上の動作の結果、 $Q = Q_2$ (表3に対応)が保持されていたとして、端子A、端子Bは共にLowの信号が入っている場合、出力信号もLowとなる。なお、制御信号S2がLow、制御信号S1がLowとなると、第3のトランジスタ

50

3 1 1 がオフ、第 4 のトランジスタ 3 1 2 がオフとなり、ノード F N の電位は保持される。O S F E T のオフ状態によって保持されるため、長期的に安定に保持することが出来る。

【 0 1 2 8 】

以上の動作から、図 4 (A) に示す回路は、第 2 のトランジスタ 2 0 5 がオン状態であれば、L o w を、第 2 のトランジスタ 2 0 5 がオフ状態であれば、H i g h を出力することがわかる。従って、表 3 、 4 から、図 4 (A) に示す回路の真理値表が決まる。表 7 に示す。

【 0 1 2 9 】

【表 7 】

10

Q=Q2のとき Q=Q3のとき

A	B	OUT	OUT
1	1	1	1
0	1	0	1
1	0	0	1
0	0	0	0

【 0 1 3 0 】

Q = Q 2 のとき、端子 A , 端子 B に (1 , 1) が入力されると、第 2 のトランジスタ 2 0 5 はオフとなる。従って、O U T は H i g h である。端子 A , 端子 B に (1 , 0) 、 (0 , 1) 、 (0 , 0) が入力されると、第 2 のトランジスタ 2 0 5 はオンとなる。従って、O U T は L o w である。つまり、この回路は A N D 回路であることがわかる。

20

【 0 1 3 1 】

Q = Q 3 のとき、端子 A , 端子 B に (1 , 1) 、 (1 , 0) 、 (0 , 1) 、 が入力されると、第 2 のトランジスタ 2 0 5 はオフとなる。従って、O U T は H i g h である。端子 A , 端子 B に (0 , 0) が入力されると、第 2 のトランジスタ 2 0 5 はオンとなる。従って、O U T は L o w である。つまり、この回路は O R 回路であることがわかる。

【 0 1 3 2 】

このような論理回路では、インバータ 3 1 3 の入力端子側のノード電位を保持することができればよい。インバータ 3 1 3 のかわりに、スイッチやバッファなどを設けることができる。

30

【 0 1 3 3 】

(実施の形態 5)

本実施の形態では、上記実施の形態に示す論理回路において、オフ電流が小さいことが要求されるトランジスタ（第 1 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタなど）に適用可能な電界効果トランジスタについて説明する。チャネル形成領域に、酸化物半導体層を含む電界効果型トランジスタである。

【 0 1 3 4 】

本実施の形態におけるトランジスタの構造例について、図 5 を用いて説明する。

【 0 1 3 5 】

40

図 5 (A) に示すトランジスタは、導電層 6 0 1 _ a と、絶縁層 6 0 2 _ a と、半導体層 6 0 3 _ a と、導電層 6 0 5 a _ a と、導電層 6 0 5 b _ a と、を含む。

【 0 1 3 6 】

半導体層 6 0 3 _ a は、領域 6 0 4 a _ a 及び領域 6 0 4 b _ a を含む。領域 6 0 4 a _ a 及び領域 6 0 4 b _ a は、互いに離間し、それぞれドーパントが添加された領域である。なお、領域 6 0 4 a _ a 及び領域 6 0 4 b _ a の間の領域がチャネル形成領域になる。半導体層 6 0 3 _ a は、被素子形成層 6 0 0 _ a の上に設けられる。なお、必ずしも領域 6 0 4 a _ a 及び領域 6 0 4 b _ a を設けなくてもよいが、設けることで抵抗が下がり、移動度が向上することがある。

【 0 1 3 7 】

50

導電層 605a_a 及び導電層 605b_a は、半導体層 603_a の上に設けられ、半導体層 603_a に電気的に接続される。また、導電層 605a_a 及び導電層 605b_a の側面(内側)は、テープ状である。導電層 605a_a 及び導電層 605b_a をマスクの一部として、領域 604a_a 及び領域 604b_a を形成することができる。

【0138】

導電層 605a_a は、領域 604a_a の一部に重畳させる。導電層 605a_a 及び領域 604a_a の間の抵抗値を小さくすることができるからである。ただし、必ずしもこれに限定されない。また、導電層 605a_a に重畳する半導体層 603_a の領域の全てをドーパントが添加された領域 604a_a にしてもよい。ただし、必ずしもこれに限定されない。10

【0139】

導電層 605b_a は、領域 604b_a の一部に重畳させる。導電層 605b_a 及び領域 604b_a の間の抵抗を小さくすることができるからである。ただし、必ずしもこれに限定されない。また、導電層 605b_a に重畳する半導体層 603_a の領域の全てをドーパントが添加された領域 604b_a にしてもよい。

【0140】

絶縁層 602_a は、半導体層 603_a、導電層 605a_a、及び導電層 605b_a の上に設けられる。ゲート絶縁膜として機能させる。

【0141】

導電層 601_a は、絶縁層 602_a の一部の上に設けられ、絶縁層 602_a を介して半導体層 603_a に重畳する。絶縁層 602_a を介して導電層 601_a と重畳する半導体層 603_a の領域がチャネル形成領域になる。導電層 601_a をマスクの一部として、領域 604a_a 及び領域 604b_a を形成することができる。20

【0142】

また、図 5(B)に示すトランジスタは、導電層 601_b と、絶縁層 602_b と、半導体層 603_b と、導電層 605a_b と、導電層 605b_b と、絶縁層 606a と、絶縁層 606b と、絶縁層 607 と、を含む。

【0143】

半導体層 603_b は、領域 604a_b 及び領域 604b_b を含む。領域 604a_b 及び領域 604b_b は、互いに離間し、それぞれドーパントが添加された領域である。半導体層 603_b は、例えば被素子形成層 600_b の上に設けられ、導電層 605a_b 及び導電層 605b_b に電気的に接続される。なお、必ずしも領域 604a_b 及び領域 604b_b を設けなくてもよいが、設けることで抵抗が下がり、移動度が向上することがある。30

【0144】

絶縁層 602_b は、半導体層 603_b の一部の上に設けられる。

【0145】

導電層 601_b は、絶縁層 602_b の一部の上に設けられ、絶縁層 602_b を介して半導体層 603_b に重畳する。なお、絶縁層 602_b を介して導電層 601_b と重畳する半導体層 603_b の領域がトランジスタのチャネル形成領域になる。なお、導電層 601_b の上に絶縁層が設けられていてもよい。40

【0146】

絶縁層 606a は、絶縁層 602_b の上に設けられ、導電層 601_b における一対の側面の一方に接する。絶縁層 606b は、絶縁層 602_b の上に設けられ、導電層 601_b における一対の側面の他方に接する。絶縁層 606a と、絶縁層 606b はサイドウォールと呼ばれる。

【0147】

なお、絶縁層 602_b を介して絶縁層 606a 及び絶縁層 606b に重畳する領域 604a_b 及び領域 604b_b の部分のドーパントの濃度は、絶縁層 606a 及び絶縁層 606b の濃度と等しい。

10

20

30

40

50

層 6 0 6 b に重畠しない領域 6 0 4 a _ b 及び領域 6 0 4 b _ b の部分のドーパントの濃度より低くてもよい。ドーパントの濃度はチャネル形成領域に向かって、徐々に低下させてもよい。

【 0 1 4 8 】

導電層 6 0 5 a _ b 及び導電層 6 0 5 b _ b は、半導体層 6 0 3 _ b の上に設けられる。

【 0 1 4 9 】

導電層 6 0 5 a _ b は、領域 6 0 4 a _ b に電気的に接続される。また、導電層 6 0 5 a _ b は、絶縁層 6 0 6 a に接する。

【 0 1 5 0 】

導電層 6 0 5 b _ b は、領域 6 0 4 b _ b に電気的に接続される。また、導電層 6 0 5 b _ b は、絶縁層 6 0 6 b に接する。

【 0 1 5 1 】

絶縁層 6 0 6 a によって、導電層 6 0 1 _ b と、導電層 6 0 5 a _ b とが接触することを防ぐことができる。

絶縁層 6 0 6 b によって、導電層 6 0 1 _ b と、導電層 6 0 5 b _ b とが接触することを防ぐことができる。

【 0 1 5 2 】

絶縁層 6 0 7 は、導電層 6 0 1 _ b 、導電層 6 0 5 a _ b 、導電層 6 0 5 b _ b 、絶縁層 6 0 6 a 、及び絶縁層 6 0 6 b の上に設けられる。

【 0 1 5 3 】

さらに、図 5 (A) 及び図 5 (B) に示す各構成要素について説明する。

【 0 1 5 4 】

被素子形成層 6 0 0 _ a 及び被素子形成層 6 0 0 _ b としては、例えば絶縁層、又は絶縁表面を有する基板などを用いることができる。また、予め素子が形成された層を被素子形成層 6 0 0 _ a 及び被素子形成層 6 0 0 _ b として用いることもできる。

【 0 1 5 5 】

導電層 6 0 1 _ a 及び導電層 6 0 1 _ b のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する層をゲート電極又はゲート配線ともいう。

【 0 1 5 6 】

導電層 6 0 1 _ a 及び導電層 6 0 1 _ b としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 6 0 1 _ a 及び導電層 6 0 1 _ b に当該金属材料の積層、又は当該合金材料の積層、これらを組み合わせた積層により、導電層 6 0 1 _ a 及び導電層 6 0 1 _ b を構成することもできる。これら材料の仕事関数を考慮する。

【 0 1 5 7 】

絶縁層 6 0 2 _ a 及び絶縁層 6 0 2 _ b のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。

【 0 1 5 8 】

絶縁層 6 0 2 _ a 及び絶縁層 6 0 2 _ b としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、又は酸化ランタン層を用いることができる。また、絶縁層 6 0 2 _ a 及び絶縁層 6 0 2 _ b に上述した材料の積層により絶縁層 6 0 2 _ a 及び絶縁層 6 0 2 _ b を構成することもできる。

【 0 1 5 9 】

また、絶縁層 6 0 2 _ a 及び絶縁層 6 0 2 _ b としては、例えば元素周期表における第 1 3 族元素及び酸素元素を含む材料の絶縁層を用いることができる。例えば、半導体層 6 0 3 _ a 及び半導体層 6 0 3 _ b が第 1 3 族元素を含む場合に、半導体層 6 0 3 _ a 及び

10

20

30

40

50

半導体層 603_b に接する絶縁層として第 13 族元素を含む絶縁層を用いることにより、該絶縁層と酸化物半導体層との界面の状態を良好にすることができる。

【0160】

第 13 族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上の物質のことをいう。例えば、 Al_2O_x ($x = 3 +$ 、 \square は 0 より大きく 1 より小さい値)、 Ga_2O_x ($x = 3 +$ 、 \square は 0 より大きく 1 より小さい値)、又は $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ (x は 0 より大きく 2 より小さい値、 \square は 0 より大きく 1 より小さい値) で表記される材料を用いることもできる。10

【0161】

また、絶縁層 602_a 及び絶縁層 602_b に上述した材料の積層により絶縁層 602_a 及び絶縁層 602_b を構成することもできる。例えば、複数の Ga_2O_x で表記される酸化ガリウムを含む層の積層により絶縁層 602_a 及び絶縁層 602_b を構成してもよい。また、 Ga_2O_x で表記される酸化ガリウムを含む絶縁層及び Al_2O_x で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層 602_a 及び絶縁層 602_b を構成してもよい。

【0162】

半導体層 603_a 及び半導体層 603_b のそれぞれは、トランジスタのチャネルが形成される層としての機能を有する。半導体層 603_a 及び半導体層 603_b に適用可能な酸化物半導体としては、例えば In 系酸化物（例えば酸化インジウムなど）、Sn 系酸化物（例えば酸化スズなど）、又は Zn 系酸化物（例えば酸化亜鉛など）などを用いることができる。20

【0163】

また、上記金属酸化物としては、例えば、四元系金属酸化物、三元系金属酸化物、二元系金属酸化物などの金属酸化物を用いることもできる。なお、上記酸化物半導体として適用可能な金属酸化物は、特性のばらつきを減らすためのスタビライザーとしてガリウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてスズを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてハフニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてアルミニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとして、ランタノイドである、ラントン、セリウム、プラセオジム、ネオジム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムの一つ又は複数を含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。30

【0164】

例えば、四元系金属酸化物としては、例えば In - Sn - Ga - Zn 系酸化物、In - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物などを用いることができる。40

【0165】

また、三元系金属酸化物としては、例えば In - Ga - Zn 系酸化物（IGZOともいいう）、In - Sn - Zn 系酸化物、In - Al - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、又は In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物、In - Tb - Zn 系酸化物、In - Dy - Zn 系酸化物、50

In - Ho - Zn 系酸化物、In - Er - Zn 系酸化物、In - Tm - Zn 系酸化物、In - Yb - Zn 系酸化物、又はIn - Lu - Zn 系酸化物などを用いることができる。

【0166】

また、二元系金属酸化物としては、例えばIn - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Sn 系酸化物、又はIn - Ga 系酸化物などを用いることができる。

【0167】

なお、例えばIn - Ga - Zn 系酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

10

【0168】

また、酸化物半導体としては、 $InLO_3 (ZnO)_m$ (m は 0 より大きい数) で表記される材料を用いることもできる。 $InLO_3 (ZnO)_m$ の L は、Ga、Al、Mn、及びCo から選ばれた一つ又は複数の金属元素を示す。

【0169】

例えば、酸化物半導体としては、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 又は $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。また、酸化物半導体としては、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ 又は $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。

20

【0170】

しかし、これらに限られず、必要とする半導体特性（移動度、閾値電圧、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【0171】

酸化物半導体は、単結晶の構造をとることができる。

【0172】

30

酸化物半導体は、非単結晶の構造をとることができる。

【0173】

酸化物半導体が非単結晶の場合、アモルファスの構造をとることができる。

【0174】

酸化物半導体が非単結晶の場合、多結晶の構造をとることができる。

【0175】

酸化物半導体は、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスの構造でもよい。

【0176】

酸化物半導体の組成比に応じて、上記構造をとることができる。酸化物半導体の膜厚に応じて、上記構造をとることができる。酸化物半導体に対する熱処理、又は成膜時の基板温度などに応じて、上記構造をとることができる。

40

【0177】

また、半導体層 603_a 及び半導体層 603_b としては、c 軸に配向し、かつ a b 面、表面又は界面の方向から見て三角形状又は六角形状の原子配列を有し、c 軸において金属原子が層状又は金属原子と酸素原子とが層状に配列しており、a b 面において a 軸又は b 軸の向きが異なる (c 軸を中心に回転した) 結晶 (CAC : C Axis Aligned Crystal ともいう) を含む酸化物の層を用いることができる。

【0178】

CAC は、単結晶ではないが、非晶質のみから形成されている材料でもない。また、

50

C A A C は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【 0 1 7 9 】

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は、一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。又は、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）を向いていてもよい。

【 0 1 8 0 】

酸化物半導体は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。10

【 0 1 8 1 】

このようなC A A C の例としては、例えば膜状に形成され、膜表面又はC A A C が形成され基板面に垂直な方向から観察すると三角形又は六角形の原子配列が認められ、かつその膜断面を観察すると金属原子又は金属原子及び酸素原子（又は窒素原子）の層状配列が認められる結晶を挙げることもできる。

【 0 1 8 2 】

また、酸化物半導体としては、c 軸方向に配向する結晶領域の組成が $I_{n_1} + Ga_1 - O_3 (ZnO)_M$ （ただし、 $0 < n_1 < 1$ 、 $M = 1$ 以上 3 以下の数）で表され、c 軸方向に配向する結晶領域を含む全体の半導体層の組成が $I_{n_P} Ga_{Q_O} O_R (ZnO)_M$ （ただし、 $0 < P < 2$ 、 $0 < Q < 2$ 、 $M = 1$ 以上 3 以下の数）で表される材料を用いることができる。20

【 0 1 8 3 】

また、例えば、半導体層 6 0 3 _ a 及び半導体層 6 0 3 _ b がC A A C の酸化物半導体層の場合において、トランジスタのチャネル長を 3 0 nm とするとき、半導体層 6 0 3 _ a 及び半導体層 6 0 3 _ b の厚さを例えば 5 nm 程度にしてもトランジスタにおける短チャネル効果を抑制することができる。

【 0 1 8 4 】

ここで、C A A C に含まれる結晶構造例について図 6 乃至図 8 を用いてさらに説明する。なお、特に断りがない限り、図 6 乃至図 8 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 6 において、丸で囲まれた O は 4 配位の O を示し、二重丸は 3 配位の O を示す。30

【 0 1 8 5 】

図 6 (A) では、1 個の 6 配位のインジウム原子（6 配位の I n ともいう）と 6 配位の I n に近接する 6 個の 4 配位の酸素原子（4 配位の O ともいう）と、を有する構造を示す。なお、I n などの 1 個の金属原子と該金属原子に近接する酸素原子により構成される部分を小グループという。また、図 6 (A) では、便宜のため、八面体構造を平面構造で示している。また、図 6 (A) の上半分及び下半分には、それぞれ 3 個ずつ 4 配位の O がある。また、図 6 (A) に示す小グループの電荷は 0 である。40

【 0 1 8 6 】

図 6 (B) では、1 個の 5 配位の Ga と、5 配位の Ga に近接する 3 個の 3 配位の酸素原子（3 配位の O ともいう）と、5 配位の Ga に近接する 2 個の 4 配位の O と、を有する構造を示す。3 個の 3 配位の O のそれぞれは、いずれも a b 面に存在する。また、図 6 (B) の上半分及び下半分のそれぞれには、1 個ずつ 4 配位の O がある。また、インジウム原子には、6 配位だけではなく、5 配位のインジウム原子（5 配位の I n ）も存在するため、5 配位の I n と、3 個の 3 配位の O と、2 個の 4 配位の O により、図 6 (B) に示す構造を構成することもできる。また、図 6 (B) に示す小グループの電荷は 0 である。

【 0 1 8 7 】

図6(C)では、1個の4配位の亜鉛原子(4配位のZnともいう)と、4配位のZnに近接する4個の4配位のOと、を有する構造を示す。図6(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図6(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。なお、図6(C)に示す小グループの電荷は0である。

【0188】

図6(D)では、1個の6配位のスズ原子(6配位のSnともいう)と、6配位のSnに近接する6個の4配位のOと、を有する構造を示す。図6(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。なお、図6(D)に示す小グループの電荷は+1となる。

10

【0189】

図6(E)では、2個の亜鉛原子を含む小グループを示す。図6(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図6(E)に示す小グループの電荷は-1となる。

【0190】

なお、複数の小グループの集合体を中グループといい、複数の中グループの集合体を大グループ(ユニットセルともいう)という。

【0191】

ここで、上記小グループ同士が結合する規則について説明する。例えば、6配位のInの上半分における3個の4配位のOは、下方向に近接する3個の6配位のInにそれぞれ結合し、下半分における3個の4配位のOは、上方向に近接する3個の6配位のInにそれぞれ結合する。また、5配位のGaの上半分における1個の3配位のOは、下方向に近接する1個の5配位のGaに結合し、下半分における1個の3配位のOは、上方向に近接する1個の5配位のGaに結合する。また、4配位のZnの上半分における1個の4配位のOは、下方向に近接する1個の4配位のZnに結合し、下半分における3個のOは、上方向に近接する3個の4配位のZnにそれぞれ結合する。このように、金属原子の上方向における4配位のOの数と、そのOの下方向に近接する金属原子の数は等しく、同様に金属原子の下方向における4配位のOの数と、そのOの上方向に近接する金属原子の数は等しい。このとき、Oは4配位なので、下方向に近接する金属原子の数と、上方向に近接する金属原子の数の和は4になる。従って、金属原子の上方向における4配位のOの数と、別の金属原子の下方向における4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は、結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、または4配位の金属原子(Zn)のいずれかと結合することになる。

20

【0192】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、この他にも、層構造の合計の電荷が0となるように、複数の小グループが結合して中グループを構成する。

30

【0193】

さらに、図7(A)では、In-Sn-Zn系の層構造を構成する中グループのモデル図を示す。また、図7(B)では、3つの中グループで構成される大グループを示す。また、図7(C)では、図7(B)に示す層構造をc軸方向から観察した場合の原子配列を示す。

40

【0194】

なお、図7(A)では、便宜のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分及び下半分のそれぞれに3個ずつ4配位のOがあることを、丸枠の3として示している。同様に、図7(A)において、Inの上半分及び下半分のそれぞれには、1個ずつ4配位のOがあることを、丸枠の1として示している。また、同様に、図7(A)では、下半分に1個の4配位のOがあり、上半分に3個の4配位のOがあるZ

50

n と、上半分に 1 個の 4 配位の O があり、下半分に 3 個の 4 配位の O がある Z_n と、を示している。

【 0 1 9 5 】

図 7 (A)において、In - Sn - Zn 系の層構造を構成する中グループでは、上から順に、4 配位の O が 3 個ずつ上半分及び下半分にある Sn が、4 配位の O が 1 個ずつ上半分及び下半分にある In に結合し、該 In が、上半分に 3 個の 4 配位の O がある Z_n に結合し、且つ下半分の 1 個の 4 配位の O 及び上記 Z_n を介して、4 配位の O が 3 個ずつ上半分及び下半分にある In と結合し、該 In 原子が、上半分に 1 個の 4 配位の O がある Z_n 原子 2 個からなる小グループと結合し、且つ該小グループの下半分における 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分及び下半分にある Sn 原子と結合している。複数の上記中グループが結合することにより、大グループが構成される。

【 0 1 9 6 】

ここで、3 配位の O 及び 4 配位の O の場合、結合 1 本当たりの電荷は、それぞれ -0.667、-0.5 と考えることができる。例えば、In (6 配位又は 5 配位)、Zn (4 配位)、Sn (5 配位又は 6 配位) の電荷は、それぞれ +3、+2、+4 である。従って、Sn を含む小グループの電荷は +1 となる。そのため、Sn を含む層構造を形成するためには、+1 である電荷を打ち消す -1 の電荷が必要となる。電荷が -1 となる構造として、図 6 (E) に示すように、2 個の Zn を含む小グループが挙げられる。例えば、Sn を含む小グループが 1 個に対し、2 個の Zn を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

【 0 1 9 7 】

さらに、図 7 (B) に示す大グループが繰り返された構造にすることにより、In - Sn - Zn 系の結晶 (In₂SnZn₃O₈) を得ることができる。なお、得られる In - Sn - Zn 系の層構造は、In₂SnZn₂O₇ (ZnO)_m (m は 0 又は自然数) とする組成式で表すことができる。

【 0 1 9 8 】

また、本実施の形態に示す他の四元系金属酸化物、三元系金属酸化物、二元系金属酸化物、その他の金属酸化物などを用いた場合も同様である。

【 0 1 9 9 】

例えば、In - Ga - Zn 系の層構造を構成する中グループのモデル図を図 8 (A) に示す。

【 0 2 0 0 】

図 8 (A)において、In - Ga - Zn 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分及び下半分にある In が、4 配位の O が 1 個上半分にある Zn に結合し、且つ該 Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分及び下半分にある Ga に結合し、且つ該 Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分及び下半分にある In に結合している構成である。複数の上記中グループが結合することにより、大グループが構成される。

【 0 2 0 1 】

図 8 (B) では、3 つの中グループで構成される大グループを示す。また、図 8 (C) に示す層構造を c 軸方向から観察した場合の原子配列を図 8 (C) に示す。

【 0 2 0 2 】

ここで、In (6 配位又は 5 配位)、Zn (4 配位)、Ga (5 配位) の電荷は、それぞれ +3、+2、+3 であるため、In、Zn 及び Ga のいずれかを含む小グループの電荷は 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【 0 2 0 3 】

なお、In - Ga - Zn 系の層構造を構成する中グループは、図 8 (A) に示した中グループに限定されず、In、Ga、Zn の配列が異なる中グループを組み合わせて大グループを構成することもできる。

10

20

30

40

50

【0204】

具体的には、図8(B)に示した大グループが繰り返されることで、In-Ga-Zn-O系の結晶を得ることができる。なお、得られるIn-Ga-Zn-O系の層構造は、 $InGaO_3(ZnO)_n$ (nは自然数。)とする組成式で表すことができる。

【0205】

$n=1$ ($InGaZnO_4$)の場合は、例えば、図24(A)に示す結晶構造を取りうる。なお、図24(A)に示す結晶構造において、図6(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0206】

また、 $n=2$ ($InGaZn_2O_5$)の場合は、例えば、図24(B)に示す結晶構造を取りうる。なお、図24(B)に示す結晶構造において、図6(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。
10

【0207】

以上がCACの構造例の説明である。CAC-OSのように結晶性を有する酸化物半導体は、バルク内の欠陥が低い。

【0208】

さらに、図5(A)及び図5(B)に示す領域604a_a、領域604b_a、領域604a_b、及び領域604b_bは、ドーパントが添加され、トランジスタのソース又はドレインとしての機能を有する。ドーパントとしては、例えば元素周期表における13族の元素(例えば硼素など)、元素周期表における15族の元素(例えば窒素、リン、及び砒素の一つ又は複数)、及び希ガス元素(例えばヘリウム、アルゴン、及びキセノンの一つ又は複数)の一つ又は複数を用いることができる。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとしての機能を有する領域をドレイン領域ともいう。領域604a_a、領域604b_a、領域604a_b、及び領域604b_bにドーパントを添加することにより、これらの領域と導電層との間の抵抗を小さくすることができるため、トランジスタを微細化することができる。
20

【0209】

導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bのそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。ソース電極及びドレイン電極を設けず、ソース配線及びドレイン配線として設ける。高集積化を図ることができる。
30

【0210】

導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bとしては、例えばアルミニウム、マグネシウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンゲステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層により、導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bを構成することができる。また、導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bに適用可能な材料の積層により、導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bを構成することもできる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層と銅を含む層の積層により、導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bを構成することができる。
40

【0211】

また、導電層605a_a、導電層605b_a、導電層605a_b、及び導電層605b_bとしては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えばインジウム酸化物、錫酸化物、亜鉛酸化物、インジウム錫酸化物
50

、又はインジウム亜鉛酸化物を用いることができる。なお、導電層 605a_a、導電層 605b_a、導電層 605a_b、及び導電層 605b_b に適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0212】

絶縁層 606a 及び絶縁層 606b としては、例えば絶縁層 602_a 及び絶縁層 602_b に適用可能な材料の層を用いることができる。また、絶縁層 606a 及び絶縁層 606b に適用可能な材料の積層により、絶縁層 606a 及び絶縁層 606b を構成してもよい。

【0213】

絶縁層 607 は、トランジスタへの不純物の侵入を抑制する保護絶縁層としての機能を有する。

10

【0214】

絶縁層 607 としては、例えば絶縁層 602_a 及び絶縁層 602_b に適用可能な材料の層を用いることができる。また、絶縁層 607 に適用可能な材料の積層により、絶縁層 607 を構成してもよい。例えば、酸化シリコン層、酸化アルミニウム層などにより、絶縁層 607 を構成してもよい。例えば、酸化アルミニウム層を用いることにより、半導体層 603_b への不純物の侵入抑制効果をより高めることができ、また、半導体層 603_b 中の酸素の脱離抑制効果を高めることができる。

【0215】

なお、本実施の形態のトランジスタを、チャネル形成層としての機能を有する酸化物半導体層の一部の上に絶縁層を含み、該絶縁層を介して酸化物半導体層に重畳するように、ソース又はドレインとしての機能を有する導電層を含む構造としてもよい。上記構造である場合、絶縁層は、トランジスタのチャネル形成層を保護する層（チャネル保護層ともいう）としての機能を有する。チャネル保護層としての機能を有する絶縁層としては、例えば絶縁層 602_a 及び絶縁層 602_b に適用可能な材料の層を用いることができる。また、絶縁層 602_a 及び絶縁層 602_b に適用可能な材料の積層によりチャネル保護層としての機能を有する絶縁層を構成してもよい。

20

【0216】

また、被素子形成層 600_a 及び被素子形成層 600_b の上に下地層を形成し、該下地層の上にトランジスタを形成してもよい。このとき、下地層としては、例えば絶縁層 602_a 及び絶縁層 602_b に適用可能な材料の層を用いることができる。また、絶縁層 602_a 及び絶縁層 602_b に適用可能な材料の積層により下地層を構成してもよい。例えば、酸化アルミニウム層及び酸化シリコン層の積層により下地層を構成することにより、下地層に含まれる酸素が半導体層 603_a 及び半導体層 603_b を介して脱離するのを抑制することができる。

30

【0217】

さらに、本実施の形態におけるトランジスタの作製方法例として、図 5(A) に示すトランジスタの作製方法例について、図 9 を用いて説明する。図 9 は、図 5(A) に示すトランジスタの作製方法例を説明するための断面模式図である。

【0218】

40

まず、図 9(A) に示すように、被素子形成層 600_a を準備し、被素子形成層 600_a の上に半導体層 603_a を形成する。

【0219】

例えば、スパッタリング法を用いて半導体層 603_a に適用可能な酸化物半導体材料の層（酸化物半導体層ともいう）を成膜することにより、半導体層 603_a を形成することができる。なお、上記酸化物半導体層を成膜した後に、該酸化物半導体層の一部をエッチングしてもよい。また、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体層を成膜してもよい。

【0220】

また、スパッタリングターゲットとして、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 :$

50

1 [mol 数比] の組成比である酸化物ターゲットを用いて酸化物半導体層を成膜することができる。また、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol 数比] の組成比である酸化物ターゲットを用いて酸化物半導体層を成膜してもよい。

【0221】

また、スパッタリングターゲットとして、 $In : Sn : Zn = 1 : 2 : 2$ [原子数比]、 $2 : 1 : 3$ [原子数比]、 $1 : 1 : 1$ [原子数比]、又は $4 : 9 : 7$ [原子数比] の組成比である酸化物ターゲットを用いて酸化物半導体層を成膜してもよい。また、スパッタリングターゲットとして、 $In : Sn : Zn = 2 : 1 : 3$ [原子数比] の組成比である酸化物ターゲットを用いることにより、結晶性の高い酸化物半導体層を成膜することができる。

10

【0222】

また、スパッタリングターゲットとして、 $In : Zn = 50 : 1$ 乃至 $In : Zn = 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1$ 乃至 $In_2O_3 : ZnO = 1 : 4$)、好ましくは $In : Zn = 20 : 1$ 乃至 $In : Zn = 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1$ 乃至 $In_2O_3 : ZnO = 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1$ 乃至 $In : Zn = 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2$ 乃至 $In_2O_3 : ZnO = 3 : 4$) の組成比である酸化物ターゲットを用いて $In - Zn$ 系酸化物の層を成膜してもよい。例えば、 $In - Zn$ 系酸化物半導体層の成膜に用いるターゲットは、原子数比が $In : Zn : O = S : U : R$ のとき、 $R > 1.5 S + U$ とする。 In の量を多くすることにより、トランジスタの電界効果移動度 (単に移動度ともいう) を向上させることができる。

20

【0223】

また、スパッタリング法を用いる場合、例えば、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で半導体層 603_a を形成する。このとき、希ガスと酸素の混合雰囲気下で半導体層 603_a を形成する場合には、希ガスの量に対して酸素の量が多い方が好ましい。

【0224】

また、スパッタリング法を用いた成膜を行う場合、堆積される膜中に水素、水、水酸基、又は水素化物 (水素化合物ともいう) などの不純物が含まれないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑えることが好ましい。

30

【0225】

例えば、スパッタリング法を用いて膜を成膜する前に、スパッタリング装置の予備加熱室において予備加熱処理を行ってもよい。上記予備加熱処理を行うことにより、上記不純物を脱離することができる。

【0226】

また、スパッタリング法を用いて成膜する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側にRF電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理 (逆スパッタともいう) を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質 (パーティクル、ごみともいう) を除去することができる。

40

【0227】

また、スパッタリング法を用いて成膜する場合、吸着型の真空ポンプなどを用いて、膜を成膜する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。また、コールドトラップを設けたターボ分子ポンプを用いて成膜室内の残留水分を除去することもできる。上記真空ポンプを用いることにより、上記不純物を含む排気の逆流を低減することができる。

【0228】

また、スパッタリングガスとして、例えば上記不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物の濃度を低減することができる。例えば、スパッ

50

ターリングガスとして、露点 - 70 以下であるガスを用いることが好ましい。

【0229】

また、本実施の形態におけるトランジスタの作製方法例において、膜の一部をエッチングして層を形成する場合、例えば、フォトリソグラフィ工程により膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッチングすることにより、層を形成することができる。なお、この場合、層の形成後にレジストマスクを除去する。

【0230】

また、半導体層 603_a として CAAc である酸化物半導体層を形成する場合、スパッターリング法を用い、酸化物半導体膜が形成される被素子形成層の温度を 100 以上 500 以下、好ましくは 200 以上 350 以下にして酸化物半導体膜を成膜する。また、被素子形成層の温度を高くして酸化物半導体膜を成膜することにより、作製されるトランジスタの電界効果移動度を向上させ、ゲートバイアス・ストレスに対する安定性を高めることができる。

【0231】

また、このとき、被素子形成層 600_a は平坦であることが好ましい。例えば、被素子形成層 600_a の平均面粗さは、1 nm 以下、さらには 0.3 nm 以下であることが好ましい。被素子形成層 600_a の平坦性を向上させることにより、アモルファス状態の酸化物半導体以上に移動度を向上させることができる。例えば、化学的機械研磨 (CMP) 処理及びプラズマ処理の一つ又は複数により、被素子形成層 600_a を平坦化することができる。このとき、プラズマ処理には、希ガスイオンで表面をスパッターリングする処理やエッチングガスを用いて表面をエッチングする処理も含まれる。

【0232】

次に、図 9 (B) に示すように、半導体層 603_a の上に導電層 605_a_a 及び導電層 605_b_a を形成する。

【0233】

例えば、スパッターリング法などを用いて導電層 605_a_a 及び導電層 605_b_a に適用可能な材料の膜を第 1 の導電膜として成膜し、該第 1 の導電膜の一部をエッチングすることにより導電層 605_a_a 及び導電層 605_b_a を形成することができる。

【0234】

次に、図 9 (C) に示すように、半導体層 603_a に接するように絶縁層 602_a を形成する。

【0235】

例えば、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で、スパッターリング法を用いて絶縁層 602_a に適用可能な膜を成膜することにより、絶縁層 602_a を形成することができる。スパッターリング法を用いて絶縁層 602_a を形成することにより、トランジスタのバックチャネルとしての機能を有する半導体層 603_a の部分における抵抗の低下を抑制することができる。また、絶縁層 602_a を形成する際の被素子形成層 600_a の温度は、室温以上 300 以下であることが好ましい。

【0236】

また、絶縁層 602_a を形成する前に N₂O、N₂、又は Ar などのガスを用いたプラズマ処理を行い、露出している半導体層 603_a の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、その後、大気に触れることなく、絶縁層 602_a を形成することが好ましい。

【0237】

次に、絶縁層 602_a の上に導電層 601_a を形成する。

【0238】

例えば、スパッターリング法などを用いて導電層 601_a に適用可能な材料の膜を第 2 の導電膜として成膜し、該第 2 の導電膜の一部をエッチングすることにより導電層 601_a を形成することができる。

10

20

30

40

50

【0239】

また、図5(A)に示すようなトランジスタでは、その作製方法の一例として、例えば600以上750以下、又は600以上基板の歪み点未満の温度で加熱処理を行う。例えば、酸化物半導体層を成膜した後、酸化物半導体層の一部をエッティングした後、第1の導電膜を成膜した後、第1の導電膜の一部をエッティングした後、絶縁層602_aを形成した後、第2の導電膜を成膜した後、又は第2の導電膜の一部をエッティングした後に上記加熱処理を行う。上記加熱処理を行うことにより、水素、水、水酸基、又は水素化物などの不純物が半導体層603_aから排除される。

【0240】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばGRTA(Gas Rapid Thermal Anneal)装置又はLRTA(Lamp Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。レーザー照射によって、上記加熱処理を行うこともできる。

10

【0241】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-60以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、半導体層603_aに酸素が供給され、半導体層603_a中の酸素欠陥に起因する欠陥を低減することができる。なお、上記高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エアの導入は、上記加熱処理時に行ってもよい。

20

【0242】

また、図5(A)に示すようなトランジスタでは、その作製方法の一例として、半導体層603_a形成後、導電層605a_a及び導電層605b_a形成後、絶縁層602_a形成後、導電層601_a形成後、又は上記加熱処理後に酸素プラズマによる酸素ドーピング処理など、酸素イオンを電界で加速させる方法を用いて酸化物半導体膜に酸素を注入してもよい。例えば2.45GHzの高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法を用いて酸素ドーピング処理を行ってもよい。酸素ドーピング処理を行うことにより、作製されるトランジスタの電気特性のばらつきを低減することができる。例えば、酸素ドーピング処理を行い、絶縁層602_aを、化学量論的組成比より酸素が多い状態にする。

30

【0243】

半導体層603_aに接する絶縁層中の酸素を過剰にすることにより、半導体層603_aに酸素が供給されやすくなる。よって、半導体層603_a中、又は絶縁層602_aと、半導体層603_aとの界面における酸素欠陥を低減することができるため、半導体層603_aのキャリア濃度をより低減することができる。また、これに限定されず、製造過程により半導体層603_aに含まれる酸素を過剰にした場合であっても、半導体層603_aに接する上記絶縁層により、半導体層603_aからの酸素の脱離を抑制することができる。

40

【0244】

50

例えば、絶縁層 602_a として、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を Ga_2O_x にすることができる。

【0245】

また、絶縁層 602_a として、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を Al_2O_x にすることができる。

【0246】

また、絶縁層 602_a として、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を $Ga_xAl_{2-x}O_{3+}$ とすることができる。

【0247】

以上の工程によって、半導体層 603_a から、水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ半導体層 603_a に酸素を供給することにより、酸化物半導体層を高純度化させることができる。

【0248】

さらに、上記加熱処理とは別に、絶縁層 602_a を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理（好ましくは 200 以上 600 以下、例えば 250 以上 350 以下）を行ってもよい。

【0249】

上記に示す被素子形成層 600_a の意図的な加熱温度又は成膜後の加熱処理の温度は、150 以上、好ましくは 200 以上、より好ましくは 400 以上である。酸化物半導体膜の成膜後の加熱処理では、300 以上であれば膜中に含まれる水素等の不純物を放出させ、該不純物を除去すること（脱水化、脱水素化）ができる。

【0250】

上記加熱処理は酸素中で行うことができるが、上記のように脱水化・脱水素化を窒素雰囲気又は減圧下で行ってから、酸素雰囲気中で熱処理をするように 2 段階で行うようにしてもよい。脱水化・脱水素化後に酸素を含む雰囲気中で熱処理することにより、酸化物半導体中に酸素を加えることも可能となり、上記加熱処理の効果をより高めることができる。また、上記加酸化処理を、酸化物半導体層に接するように絶縁層を設けた状態で熱処理を行ってもよい。例えば酸化物半導体層中及び該酸化物半導体層と接する層との界面には、酸素欠損による欠陥が生成されやすいが、上記加熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することができる。上記過剰な酸素は、主に格子間に存在する酸素であり、その酸素濃度を $1 \times 10^{16} / cm^3$ 以上 $2 \times 10^{20} / cm^3$ 以下にすることにより、例えば結晶化した場合であっても結晶に歪みなどを与えることなく酸化物半導体層中に酸素を含ませることができる。

【0251】

また、酸化物半導体膜の成膜後に加熱処理を行うことにより、作製されるトランジスタのゲートバイアス・ストレスに対する安定性を高めることができる。また、トランジスタの電界効果移動度を向上させることもできる。

【0252】

さらに、図 9 (E) に示すように、導電層 601_a が形成される側から半導体層 603_a にドーパントを添加することにより、絶縁層 602_a を介して自己整合で領域 604_a および領域 604_b_a を形成する。

【0253】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

【0254】

なお、図 5 (A) に示すようなトランジスタの作製方法例を示したが、これに限定されず、例えば図 5 (B) に示す各構成要素において、名称が図 5 (A) に示す各構成要素と同じであり且つ機能の少なくとも一部が図 5 (A) に示す各構成要素と同じであれば、図

5 (A) に示すトランジスタの作製方法例の説明を適宜援用することができる。

【0255】

図5乃至図9を用いて説明したように、本実施の形態におけるトランジスタの一例では、ゲートとしての機能を有する導電層と、ゲート絶縁層としての機能を有する絶縁層と、ゲート絶縁層としての機能を有する絶縁層を介してゲートとしての機能を有する導電層に重畠し、チャネルが形成される酸化物半導体層と、酸化物半導体層に電気的に接続され、ソース及びドレインの一方としての機能を有する導電層と、酸化物半導体層に電気的に接続され、ソース及びドレインの他方としての機能を有する導電層と、を含む構成により、トランジスタを構成することができる。

【0256】

また、本実施の形態におけるトランジスタの一例では、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができる。

【0257】

酸化物半導体をトランジスタに適用するにはキャリア密度を $10^{18} / \text{cm}^3$ 以下にすることが好ましい。InあるいはZnを含む酸化物半導体膜は、GaやSnを構成する一元素として含ませることのみならず、上記のように酸化物半導体膜の高純度化（水素等の除去）を図ることや、成膜後の熱処理をすることによってキャリア密度を $10^{18} / \text{cm}^3$ 以下にすることができる。

【0258】

また、酸化物半導体膜を成膜する際の加熱処理及び成膜後の加熱処理の一つ又は複数を行うことにより、トランジスタの閾値電圧をプラスシフトさせることができる。ノーマリ・オフ化させることも可能となる。

【0259】

チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を、 10 aA ($1 \times 10^{-17} \text{ A}$) 以下、さらには 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらには 10 zA ($1 \times 10^{-20} \text{ A}$) 以下、さらには 1 zA ($1 \times 10^{-21} \text{ A}$) 以下、さらには 100 yA ($1 \times 10^{-22} \text{ A}$) 以下にすることができる。第1のトランジスタ、第3のトランジスタ、及び第4のトランジスタにおけるオフ電流が、上述のように小さければ、論理回路のリーケ電流の問題を解決することができる。さらに論理回路に動的再構成の機能を持たせることができる。

【0260】

トランジスタのオフ電流は、小さいほどよいが、本実施の形態におけるトランジスタのオフ電流の下限値は、約 $10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

【0261】

また、上記酸化物半導体を用いたトランジスタは、非晶質又は結晶のいずれの場合であってあっても比較的高い電界効果移動度を得ることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体膜から不純物を除去して高純度化することにより、結晶化を図ることもできる。例えば、In-Sn-Zn系酸化物半導体では $31 \text{ cm}^2 / \text{V sec}$ 超、好ましくは $39 \text{ cm}^2 / \text{V sec}$ 超、より好ましくは $60 \text{ cm}^2 / \text{V sec}$ 超の電界効果移動度を得ることも可能である。また、高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2 / \text{V sec}$ を超える電界効果移動度を実現することも可能になると示唆される。また、本実施の形態におけるトランジスタの一例では、酸化物半導体層の欠陥密度が少ないほどトランジスタの電界効果移動度は高くなると示唆される。その理由について以下に説明する。

【0262】

酸化物半導体層を含む電界効果トランジスタに限らず、実際に測定される電界効果トランジスタの電界効果移動度は、様々な理由によって本来の電界効果移動度よりも低くなる。電界効果移動度を低下させる要因としては、半導体層内部の欠陥や半導体層と絶縁層との界面の欠陥がある。例えば、Levinsonモデルを用いると、酸化物半導体層に欠

10

20

30

40

50

陥がないと仮定した場合のトランジスタの電界効果移動度を理論的に導き出すことができる。

【0263】

半導体層本来の電界効果移動度を μ_0 とし、測定される電界効果移動度を μ とし、半導体層中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、測定される電界効果移動度である μ は、下記の式(27)で表される。

【0264】

【数27】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad \dots (27)$$

10

【0265】

上記式(27)において、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルにおいて、ポテンシャル障壁の高さであるEは、下記の式(28)で表される。

【0266】

【数28】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad \dots (28)$$

20

【0267】

上記式(28)において、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、nはチャネルのキャリア面密度、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。さらに、線形領域におけるドレイン電流 I_d は、下記の式(29)で表される。

【0268】

【数29】

$$I_d = \frac{W \mu V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad \dots (29)$$

30

【0269】

上記式(29)において、Lはチャネル長、Wはチャネル幅であり、ここでは、L=W=10μmである。また、 V_d はドレイン電圧である。さらに、上式の両辺を V_g で割り、更に両辺の対数を取ると、式(29)を下記の式(30)に変換することができる。

【数30】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad \dots (30)$$

40

【0270】

上記式(30)において、右辺は V_g の関数である。式(30)からわかるように、縦軸を $1/n(I_d/V_g)$ 、横軸を $1/V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価することができる。例えば、インジウム(I n)、ガリウム(Ga)、亜鉛(Zn)の比率が、In:Ga:Zn=1:1:1 [原子数比] である酸化物半導体膜の欠陥密度Nは、 $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0271】

上記の方法により求めた欠陥密度などをもとに、上記の式(27)及び式(28)を用

50

いて本来の半導体層の電界効果移動度である μ_0 を求めると、 $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ となる。通常、欠陥のある In - Ga - Zn 系酸化物で測定される電界効果移動度は、 $35 \text{ cm}^2 / \text{Vs}$ 程度であるが、しかし、半導体内部及び半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。このことから、欠陥が少ないほど酸化物半導体の移動度、さらにはトランジスタの電界効果移動度は高いことがわかる。例えば CAAc - OS 層などの酸化物半導体層は、欠陥密度が低い。

【0272】

ただし、半導体層内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁層界面から x だけ離れた場所における移動度 μ_1 は、下記の式(31)で表される。

10

【数31】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right) \quad \cdots (31)$$

【0273】

上記式(31)において、D はゲート方向の電界、B、G は定数である。B 及び G は、実際の測定結果より求めることができ、上記の測定結果では、 $B = 2.38 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ (界面散乱が及ぶ深さ) となる。式(31)では、D が増加する(すなわち、ゲート電圧が高くなる)と式(31)の第2項が増加するため、D が増加すると移動度 μ_1 は低下することがわかる。

20

【0274】

半導体層内部の欠陥が無い理想的な酸化物半導体層をチャネルに用いたトランジスタの移動度 μ_2 の計算結果を図10に示す。なお、上記計算には、シノプシス社製デバイスミュレーションソフト、Sentaurus Device を使用する。また、酸化物半導体層において、バンドギャップを 2.8 電子ボルトとし、電子親和力を 4.7 電子ボルトとし、比誘電率を 15 とし、厚さを 15 nm とする。さらに、トランジスタにおいて、ゲート、ソース、ドレインの仕事関数をそれぞれ、 5.5 電子ボルト、 4.6 電子ボルト、 4.6 電子ボルトとする。また、ゲート絶縁層において、厚さを 100 nm とし、比誘電率を 4.1 とする。さらに、トランジスタにおいて、チャネル長及びチャネル幅をともに $10 \mu\text{m}$ とし、ドレイン電圧 V_d を 0.1 V とする。

30

【0275】

図10に示すように、ゲート電圧 V_g が 1 V 付近のときの電界効果移動度は、 $100 \text{ cm}^2 / \text{Vs}$ 以上と高いが、ゲート電圧 V_g がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (Atomic Layer Flatness ともいう) が望ましい。

【0276】

さらに、上記のように高い電界効果移動度の酸化物半導体層を用いた、微細なトランジスタにおける電気特性の計算結果を以下に示す。

【0277】

まず、計算に用いたトランジスタの断面構造を図11に示す。図11に示すトランジスタは酸化物半導体層にN型の半導体領域653a及び半導体領域653bを有する。半導体領域653a及び半導体領域653bの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

40

【0278】

図11(A)に示すトランジスタは、埋め込み絶縁物652が設けられた下地絶縁物651上に設けられる。埋め込み絶縁物652は、酸化アルミニウムを用いて下地絶縁物651に埋め込まれるように設けられる。

【0279】

また、図11(A)に示すトランジスタは、半導体領域653aと、半導体領域653bと、半導体領域653cと、ゲート絶縁層654と、ゲート電極655と、側壁絶縁物656aと、側壁絶縁物656bと、絶縁物657と、ソース電極658aと、ドレイン

50

電極 658b と、を含む。

【0280】

半導体領域 653c は、半導体領域 653a 及び半導体領域 653b の間に挟まれて設けられる。半導体領域 653c は、チャネル形成領域となる真性の半導体領域である。

【0281】

ゲート電極 655 は、ゲート絶縁層 654 の上に設けられる。なお、ゲート電極 655 の幅を 33 nm とする。

【0282】

側壁絶縁物 656a 及び側壁絶縁物 656b は、ゲート電極 655 の側面に接するように設けられる。図 11(A) に示すトランジスタでは、側壁絶縁物 656a の下の半導体領域は、N 型の半導体領域 653a に含まれ、側壁絶縁物 656b の下の半導体領域は、N 型の半導体領域 653b に含まれる。なお、側壁絶縁物 656a 及び側壁絶縁物 656b のそれぞれの幅を 5 nm とする。

10

【0283】

絶縁層 657 は、ゲート電極 655 の上に設けられる。絶縁層 657 は、ゲート電極 655 と他の配線との短絡を防止する機能を有する。

【0284】

ソース電極 658a は、半導体領域 653a に接する。

【0285】

ドレイン電極 658b は、半導体領域 653b に接する。

20

【0286】

なお、図 11(A) に示すトランジスタにおけるチャネル幅を 40 nm とする。

【0287】

また、図 11(B) に示すトランジスタは、図 11(A) に示すトランジスタと比較して、側壁絶縁物 656a 及び側壁絶縁物 656b の下の半導体領域の導電型が異なる。図 11(B) に示すトランジスタでは、側壁絶縁物 656a 及び側壁絶縁物 656b の下の半導体領域は、真性の半導体領域 653c に含まれる。すなわち、図 11(B) に示すトランジスタは、半導体領域 653a とゲート電極 655 が重ならない領域及び半導体領域 653b とゲート電極 655 が重ならない領域を含む。この領域のそれをオフセット領域といい、その幅をオフセット長 (Loffともいう) という。図 11(B) において、オフセット長は、側壁絶縁物 656a 及び側壁絶縁物 656b のそれぞれの幅と同じである。

30

【0288】

なお、計算に使用するその他のパラメータは上記のとおりである。また、計算には、シノプシス社製デバイス計算ソフト、Santaurus Device を使用した。

【0289】

図 12 は、図 11(A) に示される構造のトランジスタのドレイン電流 (Id、実線) 及び電界効果移動度 (μ 、点線) のゲート電圧 (Vg、ゲートとソースの電位差) 依存性を示す図である。ドレイン電流 Id は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、電界効果移動度 μ はドレイン電圧を +0.1 V として計算したものである。

40

【0290】

図 12(A) は、ゲート絶縁層 654 の厚さが 15 nm であるトランジスタの場合の図であり、図 12(B) は、ゲート絶縁層 654 の厚さが 10 nm であるトランジスタの場合の図であり、図 12(C) は、ゲート絶縁層 654 の厚さが 5 nm であるトランジスタの場合の図である。図 12(A) 乃至図 12(C) に示すように、ゲート絶縁層 654 が薄くなるほど、特にオフ状態でのドレイン電流 Id (オフ電流) が顕著に低下する。一方、電界効果移動度 μ のピーク値やオン状態でのドレイン電流 Id (オン電流) には目立った変化がない。また、ゲート電圧 1 V 前後で、ドレイン電流の値は 10 μ A を超える。

【0291】

図 13 は、図 11(B) に示す構造で、オフセット長 (Loff) を 5 nm であるトランジ

50

ンジスタのドレイン電流 I_d (実線) 及び電界効果移動度 μ (点線) のゲート電圧 V_g 依存性を示す図である。ここでは、ドレイン電圧を +1 V としてドレイン電流 I_d を計算し、ドレイン電圧を +0.1 V として電界効果移動度 μ を計算する。さらに、図 13 (A) は、ゲート絶縁層 654 の厚さが 15 nm である場合の図であり、図 13 (B) は、ゲート絶縁層 654 の厚さが 10 nm である場合の図であり、図 13 (C) は、ゲート絶縁層 654 の厚さが 5 nm である場合の図である。

【0292】

また、図 14 は、図 11 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 15 nm としたもののドレイン電流 I_d (実線) 及び電界効果移動度 μ (点線) のゲート電圧依存性を示す。ここでは、ドレイン電流 I_d を、ドレイン電圧を +1 V として計算し、移動度 μ はドレイン電圧を +0.1 V として計算する。図 14 (A) は、ゲート絶縁層 654 の厚さが 15 nm である場合の図であり、図 14 (B) は、ゲート絶縁層 654 の厚さが 10 nm である場合の図であり、図 14 (C) は、ゲート絶縁層 654 の厚さが 5 nm の場合の図である。10

【0293】

図 12 乃至図 14 からわかるように、いずれもゲート絶縁層 654 が薄くなるほど、トランジスタのオフ電流が顕著に低下する一方、移動度 μ のピーク値やトランジスタのオン電流には目立った変化がない。

【0294】

なお、電界効果移動度 μ のピークは、図 12 では $80 \text{ cm}^2 / \text{V s}$ 程度であるが、図 13 では $60 \text{ cm}^2 / \text{V s}$ 程度であり、図 14 では $40 \text{ cm}^2 / \text{V s}$ 程度であることから、オフセット長 (L_{off}) が増加するほど低下する。また、トランジスタのオフ電流も同様な傾向がある。一方、トランジスタのオン電流は、オフセット長 (L_{off}) が増加すると共に減少するが、トランジスタのオフ電流の減少に比べるとはるかに緩やかである。また、いずれのトランジスタもゲート電圧 1 V 前後で、ドレイン電流は $10 \mu\text{A}$ を超える。20

【0295】

なお、本実施の形態におけるトランジスタの一例は、他のトランジスタ（例えば、元素周期表における第 14 族の半導体（シリコンなど）を含有する半導体層を含むトランジスタ）と積層させることができる。よって、同一基板上に上記酸化物半導体層を含むトランジスタ及び上記他のトランジスタを形成しつつ、回路面積を縮小することができる。また、上記酸化物半導体層を含むトランジスタは、電界効果移動度を高くすることもできるため、上記実施の形態における論理回路を支障なく動作させることができる。30

【0296】

本実施の形態の酸化物半導体層を含むトランジスタを、例えば上記実施の形態における論理回路における第 1 のトランジスタ、又は第 3 のトランジスタ、及び第 4 のトランジスタに用いることにより、論理回路におけるデータの保持を確実に行うことができる。

【0297】

さらに、上記トランジスタの一例として、チャネル形成層として In 、 Sn 、 Zn を含有する酸化物半導体層を含むトランジスタの例について説明する。40

【0298】

例えば、 In 、 Sn 、及び Zn を主成分とする酸化物半導体層と、厚さ 100 nm のゲート絶縁層を含み、チャネル長 L が $3 \mu\text{m}$ 、チャネル幅 W が $10 \mu\text{m}$ であるトランジスタの特性を図 15 (A) 乃至図 15 (C) に示す。なお、 V_d は 10 V とする。

【0299】

図 15 (A) は、被素子形成層を意図的に加熱せず、スパッタリング法を用いて In 、 Sn 、 Zn を主成分とする酸化物半導体膜を成膜して、これをエッチングして酸化物半導体層を形成したときにおけるトランジスタの特性を示す図である。図 15 (A) において、電界効果移動度は $18.8 \text{ cm}^2 / \text{V sec}$ である。図 15 (B) は、基板を 200 に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体膜を成膜して、これをエッキン50

グして酸化物半導体層を形成したときのトランジスタの特性を示す図である。図15(B)において、電界効果移動度は $32.2\text{ cm}^2/\text{V sec}$ である。よって、意図的に加熱することにより、トランジスタの電界効果移動度が向上することがわかる。

【0300】

また、図15(C)は、In、Sn、及びZnを主成分とする酸化物半導体膜を200でスパッタリング法を用いて成膜して、これをエッチングして酸化物半導体層を形成した後、650で加熱処理をしたときのトランジスタの特性を示す図である。図15(C)において、電界効果移動度は $34.5\text{ cm}^2/\text{V sec}$ である。よって、酸化物半導体膜を成膜した後に加熱処理をすることによって、上記電界効果移動度が高くなることがわかる。

10

【0301】

なお、In、Sn、及びZnを主成分とする酸化物半導体層に酸素イオンを注入し、加熱処理により該酸化物半導体に含まれる水素、水、水酸基、又は水素化物などの不純物を放出させ、その加熱処理と同時に又はその後の加熱処理により酸化物半導体層を結晶化させても良い。上記結晶化又は再結晶化の処理により結晶性の良い非単結晶酸化物半導体層を得ることができる。

【0302】

また、被素子形成層を意図的に加熱しないで形成されたIn、Sn、及びZnを主成分とする酸化物半導体層を含むトランジスタは、例えば図15(A)に示すように、閾値電圧がマイナスシフトしてしまう傾向がある。しかし、被素子形成層を意図的に加熱して形成された酸化物半導体層を用いた場合、図15(B)に示すように、比較的、閾値電圧がプラスへ動く。よって、酸化物半導体膜を成膜する際の加熱及び成膜後の加熱処理の一つ又は複数により、トランジスタがノーマリ・オフ化となる可能性がある。

20

【0303】

また、In、Sn及びZnの比率を変えることによってもトランジスタの閾値電圧を制御することができる。例えば、酸化物半導体膜の組成比をIn:Sn:Zn = 2:1:3とすることにより、トランジスタをノーマリ・オフ型にしやすくすることができる。

【0304】

このような酸化物半導体膜を、第1のトランジスタ、第3のトランジスタ、第4のトランジスタに用いることができる。

30

【0305】

さらに、例えば、 2 MV/cm 、150、1時間印加の条件において、ゲートバイアス・ストレス試験(BT試験ともいう)を行うと、ドリフトが $\pm 1.5\text{ V}$ 未満、好ましくは 1.0 V 未満となる。よって、酸化物半導体膜を成膜する際の加熱及び成膜後の加熱処理の一つ又は複数を行うことにより、ゲートバイアス・ストレスに対する安定性が高くなることがわかる。ここで、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタにおけるBT試験の結果を図16及び図17に示す。なお、BT試験としては、プラスBT試験とマイナスBT試験を行った。

【0306】

プラスBT試験としては、まず被素子形成層(基板)の温度を25とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、被素子形成層(基板)の温度を150とし、 V_d を 0.1 V とした。次に、ゲート絶縁層に印加される電界強度が 2 MV/cm となるように V_g に 20 V を印加し、そのまま1時間保持した。次に、 V_g を 0 V とした。次に、被素子形成層(基板)の温度を25とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。

40

【0307】

また、マイナスBT試験としては、まず被素子形成層(基板)の温度を25とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、被素子形成層(基板)の温度を150とし、 V_d を 0.1 V とした。次に、ゲート絶縁層に印加される電界強度が -2 MV/cm となるように V_g に -20 V を印加し、そのまま1時間保持し

50

た。次に、 V_g を 0 V とした。次に、被素子形成層（基板）の温度を 25 とし、 V_d を 10 V とし、トランジスタの V_g - I_d 特性の測定を行った。

【0308】

試料 1 のプラス BT 試験の結果を図 16 (A) に示し、試料 1 のマイナス BT 試験の結果を図 16 (B) に示す。また、試料 2 のプラス BT 試験の結果を図 17 (A) に示し、試料 2 のマイナス BT 試験の結果を図 17 (B) に示す。

【0309】

図 16 (A) 及び図 16 (B) に示すように、試料 1 のプラス BT 試験及びマイナス BT 試験によるトランジスタの閾値電圧の変動は、それぞれ 1.80 V 及び -0.42 V であった。また、図 17 (A) 及び図 17 (B) に示すように、試料 2 のプラス BT 試験及びマイナス BT 試験によるトランジスタの閾値電圧の変動は、それぞれ 0.79 V 及び 0.76 V であった。よって、試料 1 及び試料 2 の両方において、BT 試験前後におけるトランジスタの閾値電圧の変動が小さく、信頼性が高いことがわかる。10

【0310】

さらに、組成比が $In : Sn : Zn = 1 : 1 : 1$ である金属酸化物のターゲットを用いて、被素子形成層を意図的に加熱せずにスパッタリング法を用いて成膜した酸化物半導体膜は、X 線回折 (XRD : X-Ray Diffraction) でハローパターンが観測される。しかし、上記酸化物半導体膜を加熱処理することにより結晶化させることができる。このときの加熱処理温度は任意であるが、例えば 650 の加熱処理を行うことと、X 線回折により明確な回折ピークを観測することができる。20

【0311】

ここで、 $In - Sn - Zn - O$ 膜の XRD 分析の結果を以下に示す。なお、XRD 分析では、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用いて Out-of-Plane 法で測定した。

【0312】

XRD 分析を行った試料として、試料 A 及び試料 B を用意した。以下に試料 A 及び試料 B の作製方法を説明する。

【0313】

脱水素化処理済みの石英基板上に $In - Sn - Zn - O$ 膜を 100 nm の厚さで成膜するスパッタリング装置を行い、酸素雰囲気で電力を 100 W (DC) として $In - Sn - Zn - O$ 膜を成膜した。このときのターゲットとして、原子数比で、 $In : Sn : Zn = 1 : 1 : 1$ の $In - Sn - Zn - O$ ターゲットを用いた。なお、成膜時の加熱温度は 200 とした。上記工程により作製した試料を試料 A とする。30

【0314】

次に、試料 A と同様の方法で作製した試料に対し、650 の温度で加熱処理を行った。ここでは、窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行った。上記工程により作製した試料を試料 B とする。

【0315】

試料 A 及び試料 B の XRD スペクトルを図 18 に示す。試料 A では、結晶由来のピークが観測されなかつたが、試料 B では、2 が 35 deg 近傍及び 37 deg ~ 38 deg に結晶由来のピークが観測された。よって、In、Sn、Zn を主成分とする酸化物半導体膜を成膜する際の加熱、及び成膜後の加熱処理の一つ又は複数を行うことにより、酸化物半導体層の結晶性が向上することがわかる。40

【0316】

酸化物半導体膜を成膜する際の加熱、及び成膜後の加熱処理の一つ又は複数を行うことにより、作製したトランジスタのチャネル幅 1 μmあたりのオフ電流は、例えば図 19 に示すように、基板温度（被素子形成層の温度）が 125 の場合には 0.1 aA / μm ($1 \times 10^{-19} A / \mu m$) 以下、85 の場合には 10 zA / μm ($1 \times 10^{-20} A / \mu m$) 以下であった。電流値の対数が温度の逆数に比例することから、室温 (27) の場合には 0.1 zA / μm ($1 \times 10^{-22} A / \mu m$) 以下であると予想される。従って50

、オフ電流を 125 において $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下に、85 において $100 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、室温において $1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下にすることができる。

【0317】

第1のトランジスタ、第3のトランジスタ、及び第4のトランジスタにおけるオフ電流が、上述のとおりであれば、論理回路のリーコ電流の問題を解決することができる。さらに論理回路に動的再構成の機能を持たせることができる。

【0318】

なお、In、Sn、Znを主成分とする酸化物半導体膜は、加熱処理によって膜中の水素を除去することができるが、In、Ga、Znを主成分とする酸化物半導体膜と比べて水分の放出温度が高いため、好ましくは最初から不純物の含まれない膜を形成しておくことが好ましい。10

【0319】

さらに、酸化物半導体膜の成膜後に 650 の加熱処理を行った試料Bのトランジスタにおいて、被素子形成層（基板）の温度と電気的特性の関係について評価した。

【0320】

測定に用いたトランジスタは、チャネル長 L が $3 \mu\text{m}$ 、チャネル幅 W が $10 \mu\text{m}$ 、 $L_o = 0 \mu\text{m}$ 、 $d_W = 0 \mu\text{m}$ のトランジスタである。なお、 V_d は 10 V とした。また、被素子形成層（基板）の温度が、-40、-25、25、75、125、及び 150 である 6 条件で上記評価を行った。なお、 $L_o = v$ とは、ゲート電極と一対の電極との重畠する幅のことをいい、 d_W とは、酸化物半導体膜に対する一対の電極のはみ出しのことをいう。20

【0321】

図20に、 I_d （実線）及び電界効果移動度（点線）の V_g 依存性を示す。また、図21(A)に被素子形成層（基板）の温度と閾値電圧の関係を示し、図21(B)に被素子形成層（基板）の温度と電界効果移動度の関係を示す。

【0322】

図20及び図21(A)より、被素子形成層（基板）の温度が高いほど閾値電圧が低くなることがわかる。なお、その範囲は -40 ~ 150 で $1.09 \text{ V} \sim -0.23 \text{ V}$ であった。30

【0323】

また、図20及び図21(B)より、被素子形成層（基板）の温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は -40 ~ 150 で $36 \text{ cm}^2/\text{Vs} \sim 32 \text{ cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0324】

以上が In、Sn、Zn を含有する酸化物半導体層を含むトランジスタの説明である。

【0325】

上記 In、Sn、Zn を主成分とする上記酸化物半導体層を含むトランジスタでは、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下（チャネル幅 $1 \mu\text{m}$ あたり）に保ちつつ、電界効果移動度を $30 \text{ cm}^2/\text{Vs sec}$ 以上、好ましくは $40 \text{ cm}^2/\text{Vs sec}$ 以上、より好ましくは $60 \text{ cm}^2/\text{Vs sec}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のトランジスタにおいて、ゲート電圧が 2.7 V でドレイン電圧が 1.0 V のときに、 $12 \mu\text{A}$ 以上のオン電流を流すことができる。また、トランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、第1、第3及び第4のトランジスタとして上記酸化物半導体層を含むトランジスタを用い、第2のトランジスタとして第14族の半導体を含有する半導体層を含むトランジスタを用いることができる。すなわち、第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いた回路の中に上記酸化物半導体層を含むトランジスタを混載しても、動作速度を犠牲にすることなく、例えば動的再構40

成といった新たな機能を有する論理回路を提供することができる。

【0326】

(実施の形態6)

本実施の形態では、本発明の一態様の論理回路を備えたC P U (演算処理装置)の例について説明する。

【0327】

本実施の形態における演算処理装置の例について、図22を用いて説明する。

【0328】

図22に示す演算処理装置は、バスインターフェース(I Fともいう)801と、制御装置(C T Lともいう)802と、キャッシュメモリ(C A C Hともいう)803と、命令デコーダ(I D e c o d e rともいう)805と、演算論理ユニット(A L Uともいう)806と、を具備する。

【0329】

バスインターフェース801は、外部との信号のやりとり、及び演算処理装置内の各回路との信号のやりとりなどを行う機能を有する。

【0330】

制御装置802は、演算処理装置内の各回路の動作を制御する機能を有する。

【0331】

例えば、上記実施の形態における論理回路を用いて制御装置802を構成することができる。

【0332】

キャッシュメモリ803は、制御装置802により制御され、演算処理装置における動作時のデータを一時的に保持する機能を有する。なお、例えば、1次キャッシュ及び2次キャッシュとして、演算処理装置にキャッシュメモリ803を複数設けてもよい。

【0333】

命令デコーダ805は、読み込んだ命令信号を翻訳する機能を有する。翻訳された命令信号は、制御装置802に入力され、制御装置802は命令信号に応じた制御信号を演算論理ユニット806に出力する。

【0334】

例えば、上記実施の形態における論理回路を用いて命令デコーダ805を構成することができる。

【0335】

演算論理ユニット806は、制御装置802により制御され、入力された命令信号に応じて論理演算処理を行う機能を有する。

【0336】

例えば、上記実施の形態における論理回路を用いて演算論理ユニット806を構成することができる。

【0337】

なお、演算処理装置にレジスタを設けてもよい。このときレジスタは、制御装置802により制御される。例えば、複数のレジスタを演算処理装置に設け、あるレジスタを演算論理ユニット806用のレジスタとし、別のレジスタを命令デコーダ805用のレジスタとしてもよい。

【0338】

図22を用いて説明したように、本実施の形態における演算処理装置の一例では、上記実施の形態の論理回路を、制御装置、命令デコーダ、又は演算論理ユニットなどのユニットに用いることにより、各ユニットにおいて、データの保持を行うことができ、処理速度を向上させることができる。

【0339】

(実施の形態7)

本実施の形態では、上記実施の形態における論理回路を備えた電子機器の例について説

10

20

30

40

50

明する。

【0340】

本実施の形態における電子機器の構成例について、図23(A)乃至図23(D)を用いて説明する。

【0341】

図23(A)に示す電子機器は、携帯型情報端末の例である。図23(A)に示す携帯型情報端末は、筐体1001aと、筐体1001aに設けられた表示部1002aと、を具備する。

【0342】

なお、筐体1001aの側面1003aに外部機器に接続させるための接続端子、図23(A)に示す携帯型情報端末を操作するためのボタンのうち一つ又は複数を設けてよい。

【0343】

図23(A)に示す携帯型情報端末は、筐体1001aの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。

【0344】

図23(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0345】

図23(B)に示す電子機器は、折り畳み式の携帯型情報端末の例である。図23(B)に示す携帯型情報端末は、筐体1001bと、筐体1001bに設けられた表示部1002bと、筐体1004と、筐体1004に設けられた表示部1005と、筐体1001b及び筐体1004を接続する軸部1006と、を具備する。

【0346】

また、図23(B)に示す携帯型情報端末では、軸部1006により筐体1001b又は筐体1004を動かすことにより、筐体1001bを筐体1004に重畳させることができる。

【0347】

なお、筐体1001bの側面1003b又は筐体1004の側面1007に外部機器に接続させるための接続端子、図23(B)に示す携帯型情報端末を操作するためのボタンのうち一つ又は複数を設けてよい。

【0348】

また、表示部1002b及び表示部1005に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部1005を必ずしも設けなくてもよく、表示部1005の代わりに、入力装置であるキーボードを設けてよい。

【0349】

図23(B)に示す携帯型情報端末は、筐体1001b又は筐体1004の中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図23(B)に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてよい。

【0350】

図23(B)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0351】

図23(C)に示す電子機器は、設置型情報端末の例である。図23(C)に示す設置型情報端末は、筐体1001cと、筐体1001cに設けられた表示部1002cと、を具備する。

【0352】

なお、表示部1002cを、筐体1001cにおける甲板部1008に設けることでも

10

20

30

40

50

きる。

【0353】

また、図23(C)に示す設置型情報端末は、筐体1001cの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図23(C)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0354】

さらに、図23(C)に示す設置型情報端末における筐体1001cの側面1003cに券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数を設けてもよい。

10

【0355】

図23(C)に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末(マルチメディアステーションともいう)、又は遊技機としての機能を有する。

【0356】

図23(D)は、設置型情報端末の例である。図23(D)に示す設置型情報端末は、筐体1001dと、筐体1001dに設けられた表示部1002dと、を具備する。なお、筐体1001dを支持する支持台を設けてもよい。

20

【0357】

なお、筐体1001dの側面1003dに外部機器に接続させるための接続端子、図23(D)に示す設置型情報端末を操作するためのボタンのうち一つ又は複数を設けてもよい。

【0358】

また、図23(D)に示す設置型情報端末は、筐体1001dの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備えてよい。なお、図23(D)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0359】

図23(D)に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

30

【0360】

上記実施の形態の論理回路は、図23(A)乃至図23(D)に示す電子機器のCPUとして用いられる。

【0361】

図23を用いて説明したように、本実施の形態における電子機器の一例は、CPUとして上記実施の形態における論理回路を具備する構成である。

【符号の説明】

【0362】

101 第1の容量

102 第2の容量

40

104 第1のトランジスタ

105 第2のトランジスタ

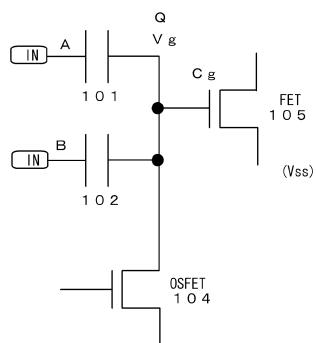
205 第2のトランジスタ

311 第3のトランジスタ

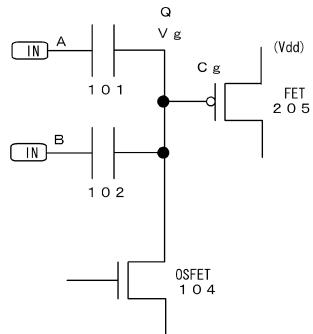
312 第4のトランジスタ

313 インバータ

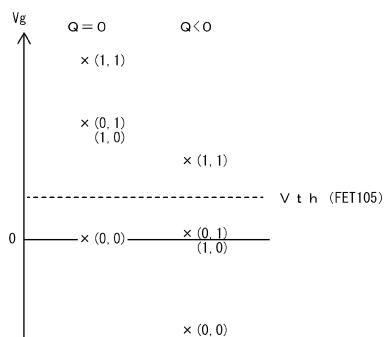
【図1】



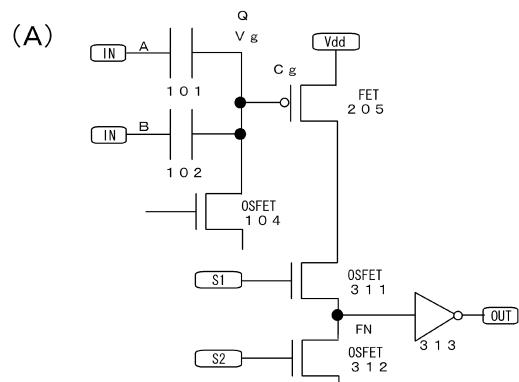
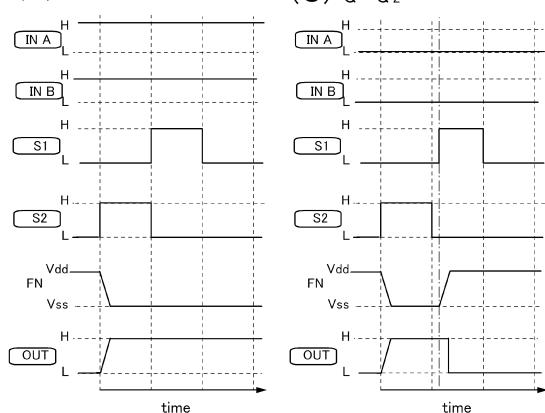
【図3】



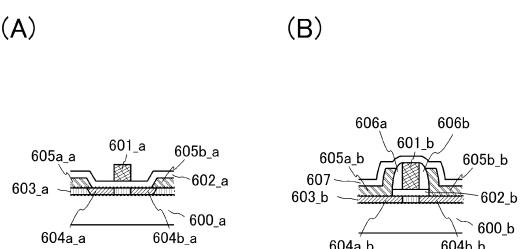
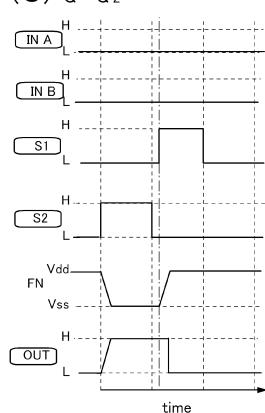
【図2】



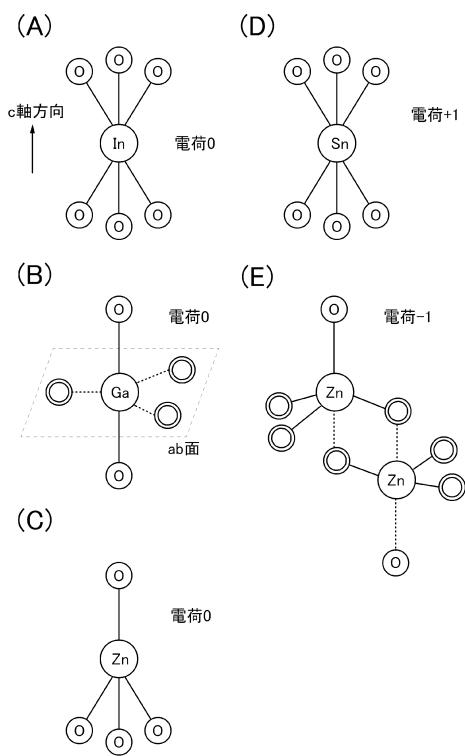
【図4】

(B) $Q = Q_2$ 

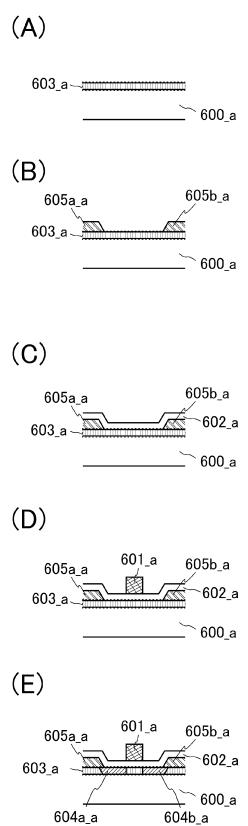
【図5】

(C) $Q = Q_2$ 

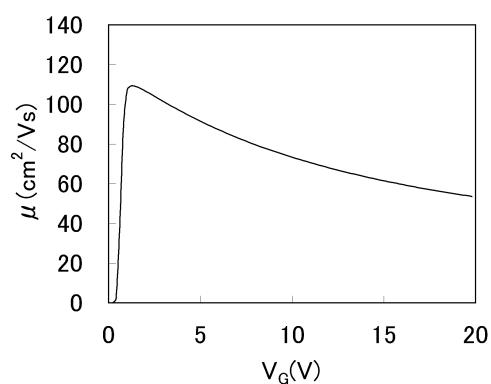
【図6】



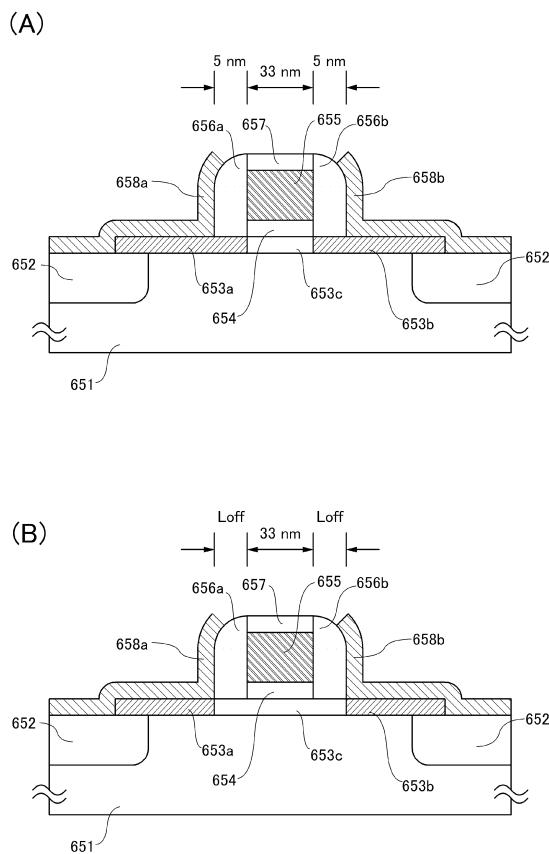
【図9】



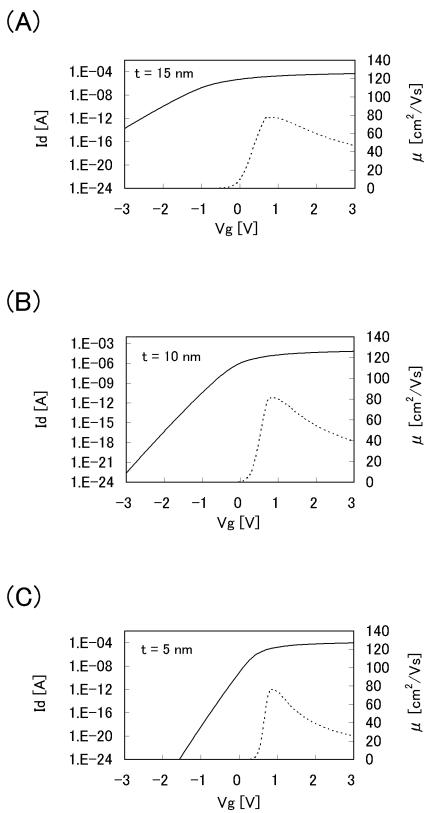
【図10】



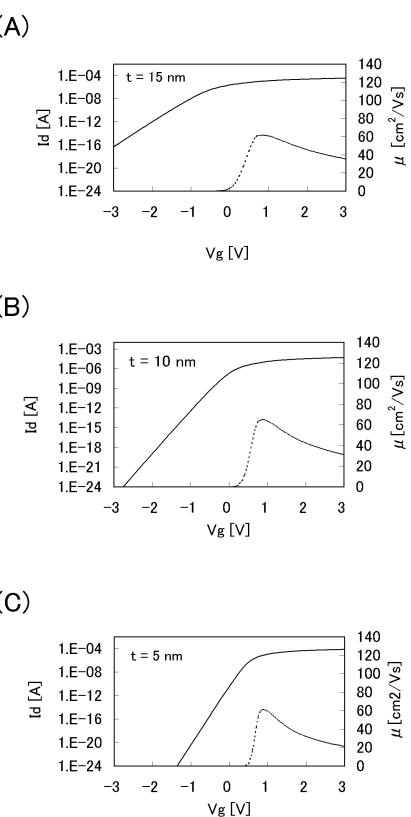
【図11】



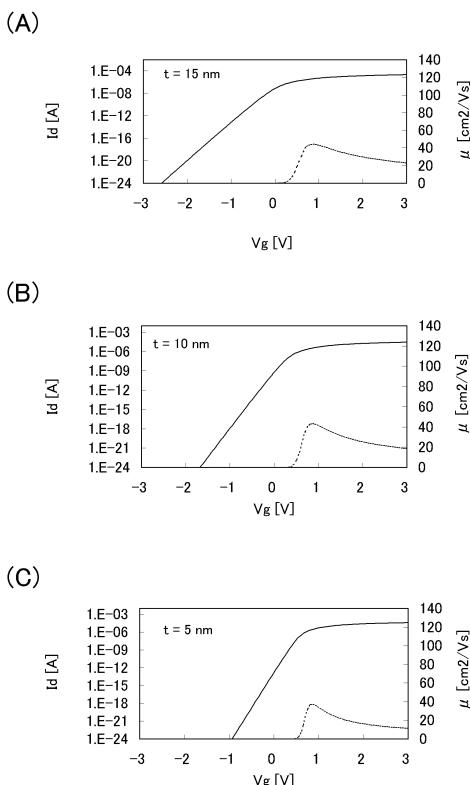
【図12】



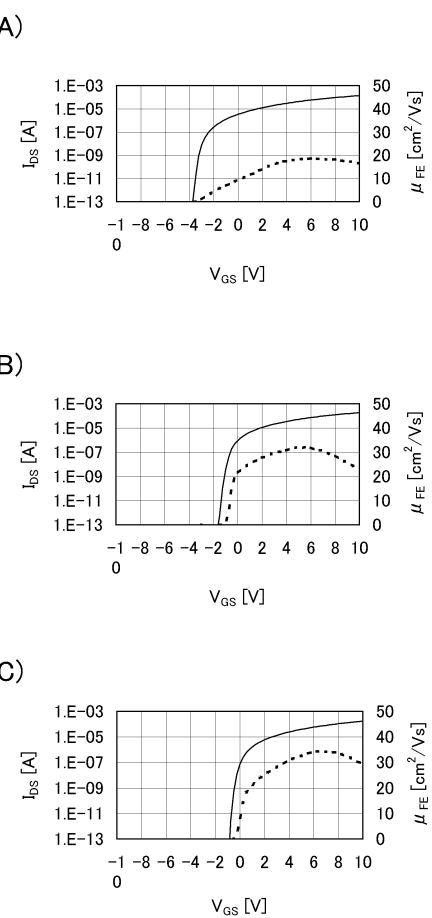
【図13】



【図14】

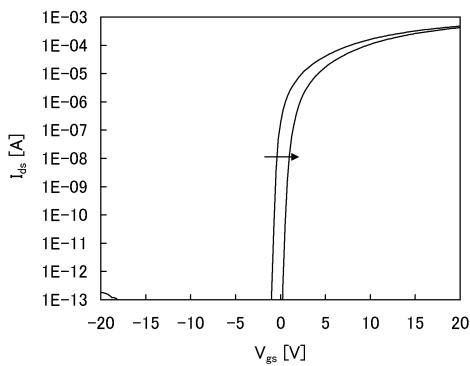


【図15】

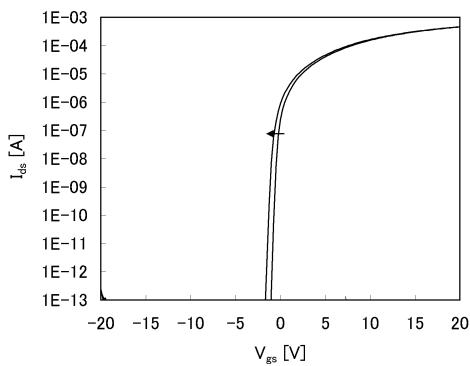


【図16】

(A)

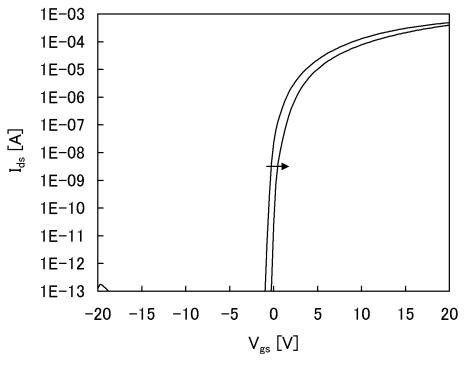


(B)

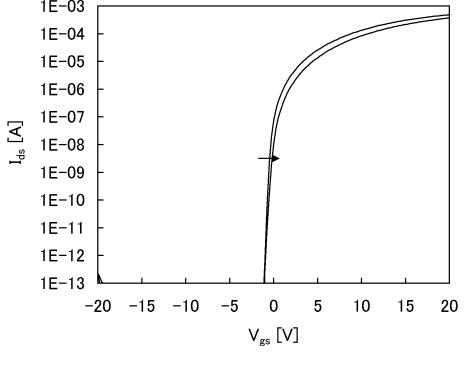


【図17】

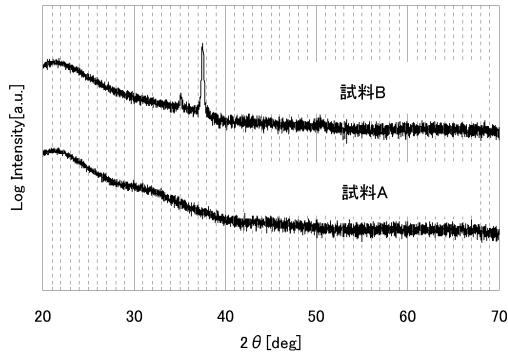
(A)



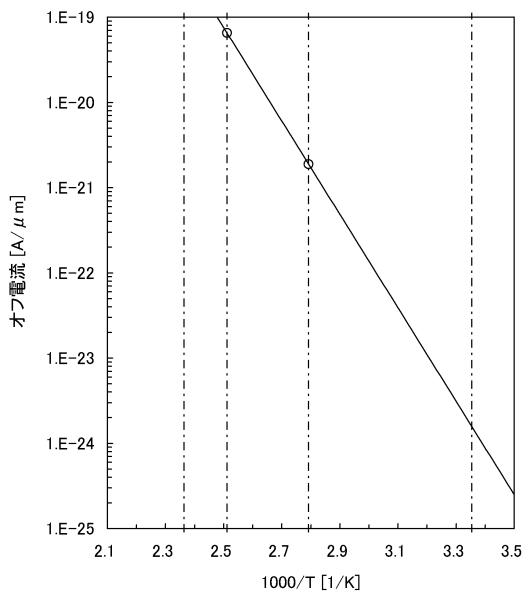
(B)



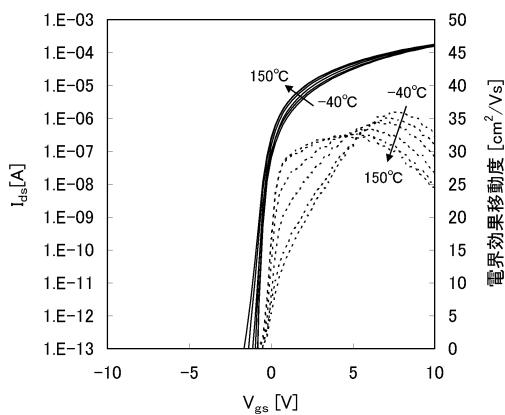
【図18】



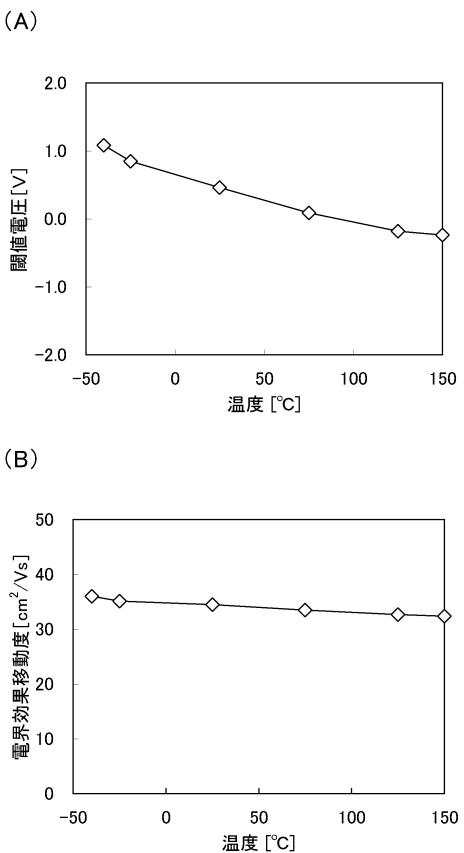
【図19】



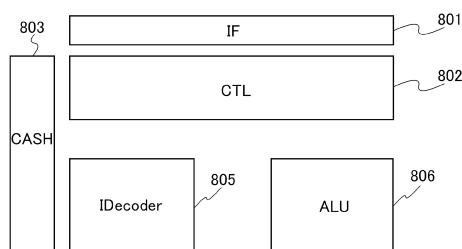
【図20】



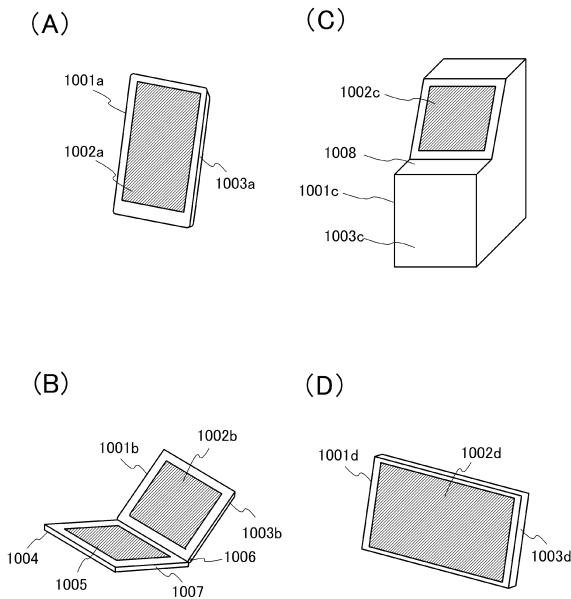
【図21】



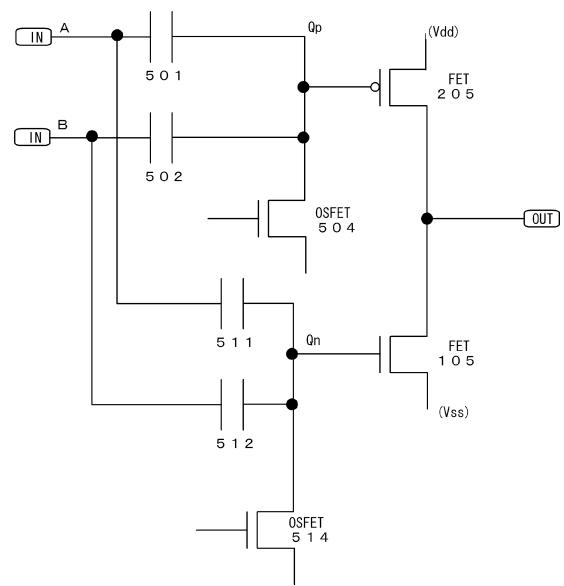
【図22】



【図23】

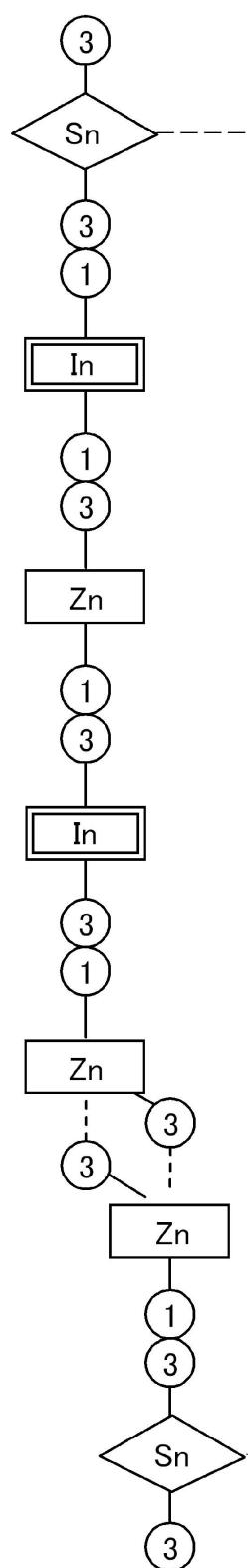


【図25】



【図7】

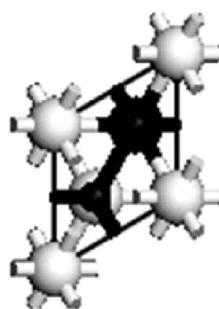
(A)



(B)

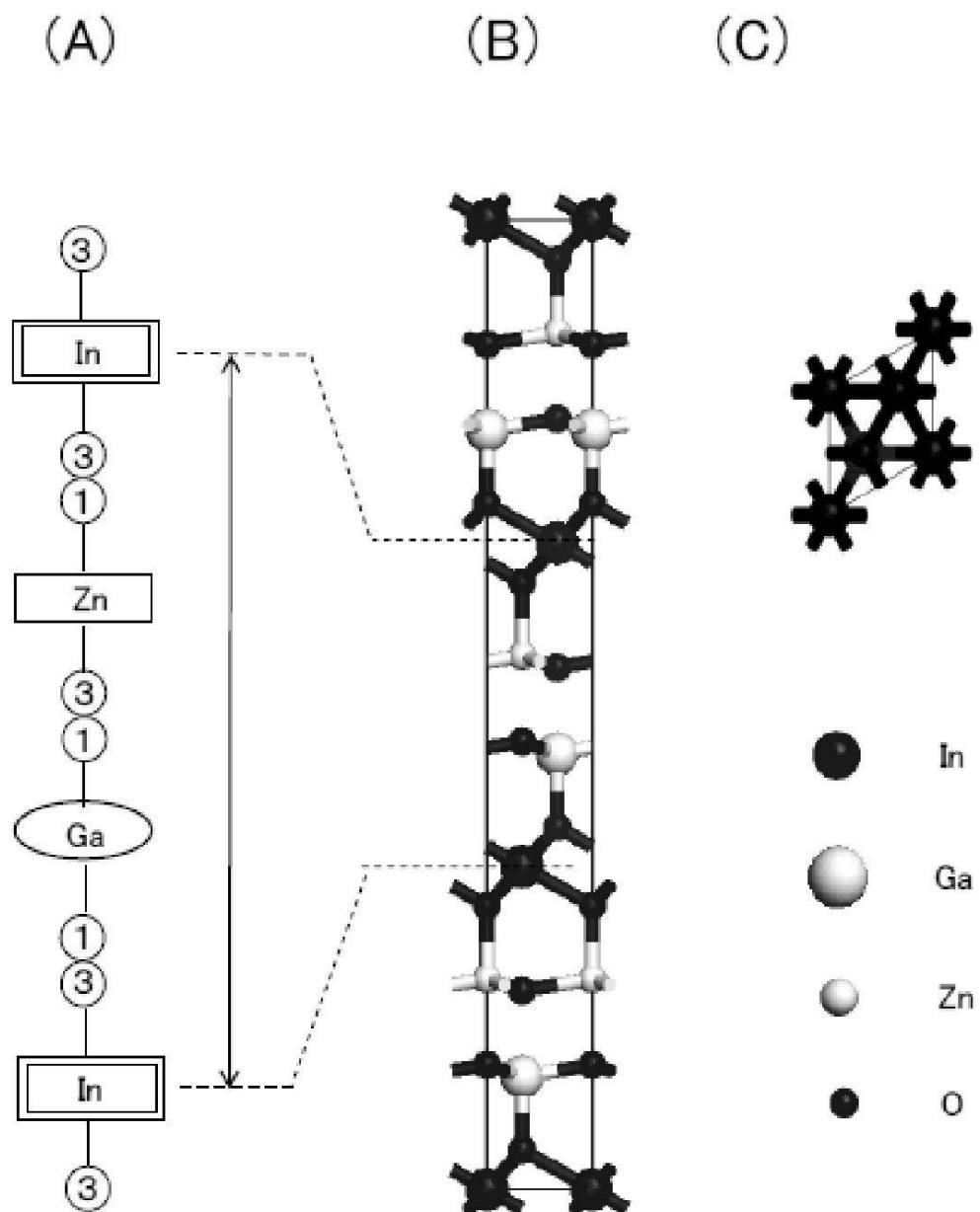


(C)



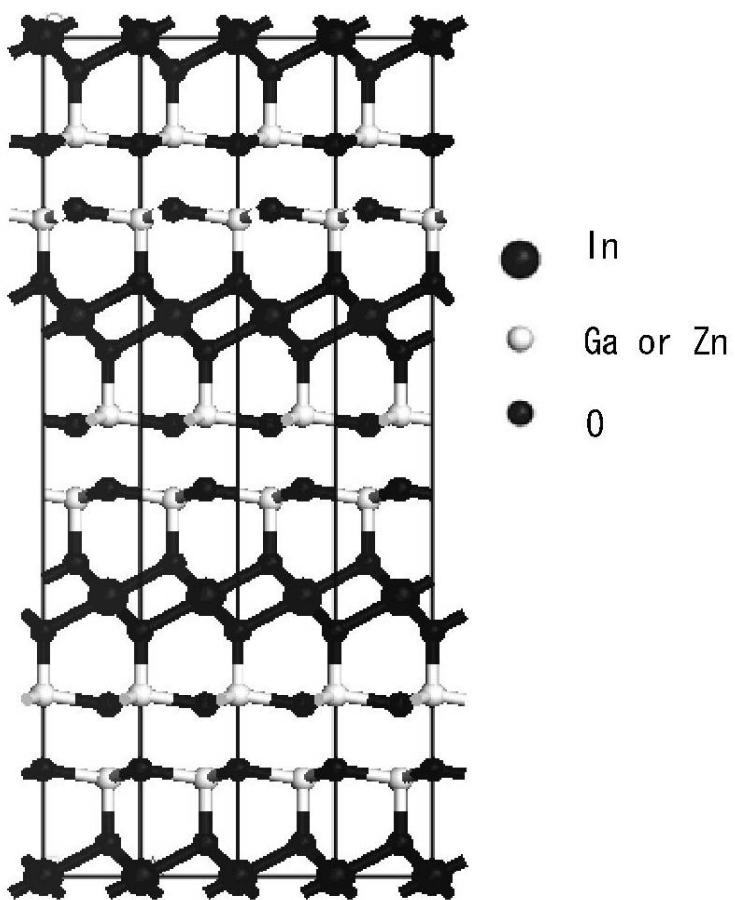
- In
- Sn
- Zn
- O

〔 四 8 〕



【図24】

(A)

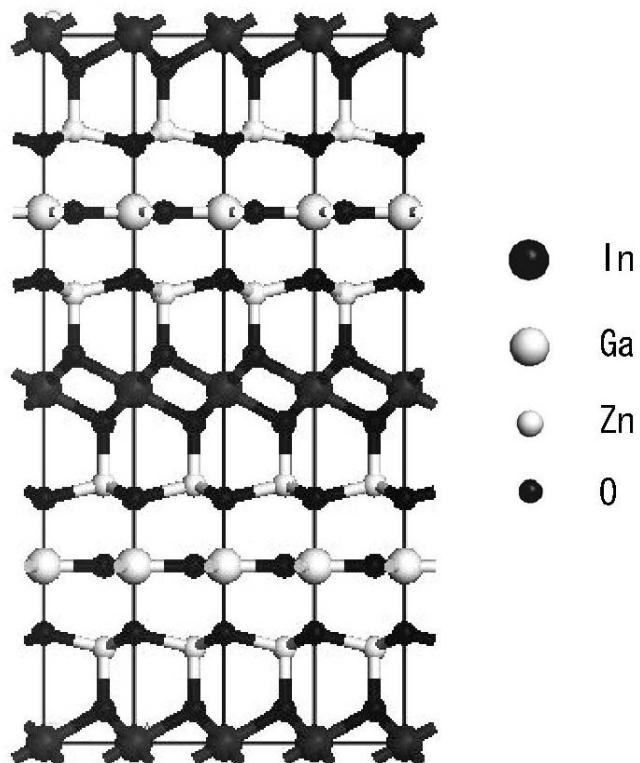


In

Ga or Zn

O

(B)



In

Ga

Zn

O

フロントページの続き

(56)参考文献 特開昭59-002438(JP,A)
特開2007-019811(JP,A)
特開2001-093989(JP,A)
特開2010-171404(JP,A)
特開2011-181167(JP,A)
特開2002-246487(JP,A)
特開2003-204257(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/0944
H03K 17/06
H03K 19/0948