



(12) 发明专利

(10) 授权公告号 CN 110070832 B

(45) 授权公告日 2021.01.22

(21) 申请号 201910530072.X

(56) 对比文件

(22) 申请日 2019.06.19

US 2018158741 A1, 2018.06.07

CN 109407321 A, 2019.03.01

(65) 同一申请的已公布的文献号

申请公布号 CN 110070832 A

审查员 陈晨

(43) 申请公布日 2019.07.30

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 殷新社

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

G09G 3/3208 (2016.01)

G09G 3/3225 (2016.01)

G09G 3/3233 (2016.01)

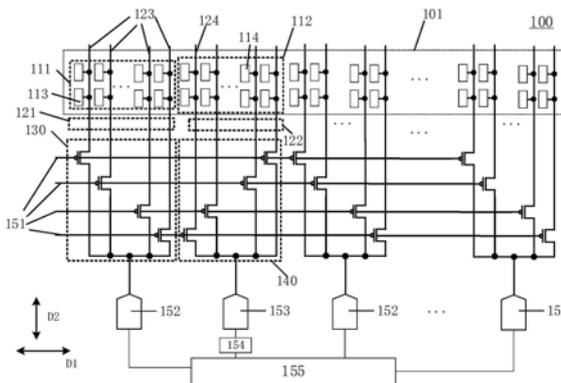
权利要求书3页 说明书16页 附图9页

(54) 发明名称

显示面板及其信号读取方法、显示装置

(57) 摘要

一种显示面板及其信号读取方法、显示装置。该显示面板包括：相邻的第一像素单元组和第二像素单元组、第一N选一选择电路、第二N选一选择电路、第一感测线组和第二感测线组。像素单元组包括N个依次相邻的像素电路，感测线组包括依次相邻的N条感测线，N个像素电路的感测信号输出端分别与N条感测线电连接；N选一选择电路包括控制端、信号输出端和N个信号输入端，控制端用于接收选择信号以依序选择N个信号输入端之一与信号输出端连接；N个信号输入端分别与N条感测线电连接；在与最后被选择的第一信号输入端连接的第一感测线以及与最先被选择的第二信号输入端连接的第二感测线之间设置的部分感测线的总数大于等于1。



1. 一种显示面板,包括:第一像素单元组、第二像素单元组、第一N选一选择电路、第二N选一选择电路、第一感测线组和第二感测线组,

其中,所述第一像素单元组和所述第二像素单元组相邻设置;

所述第一像素单元组包括N个依次相邻的第一像素电路,所述第一感测线组包括依次相邻的N条第一感测线,所述N个第一像素电路的感测信号输出端分别与所述N条第一感测线电连接,所述N条第一感测线被配置为分别接收所述N个第一像素电路的感测信号输出端输出的N个第一感测信号;

所述第二像素单元组包括N个依次相邻的第二像素电路,所述第二感测线组包括依次相邻的N条第二感测线,所述N个第二像素电路的感测信号输出端分别与所述N条第二感测线电连接,所述N条第二感测线被配置为分别接收所述N个第二像素电路的感测信号输出端输出的N个第二感测信号;

所述第一N选一选择电路包括第一控制端、第一信号输出端和N个第一信号输入端,所述N个第一信号输入端分别与所述N条第一感测线电连接,所述第一控制端用于接收选择信号以依序选择所述N个第一信号输入端之一与所述第一信号输出端连接,以使得所述第一信号输出端依序输出所述N个第一像素电路的感测信号输出端输出的N个第一感测信号;

所述第二N选一选择电路包括第二控制端、第二信号输出端和N个第二信号输入端,所述N个第二信号输入端分别与所述N条第二感测线电连接,所述第二控制端用于接收所述选择信号以依序选择所述N个第二信号输入端之一与所述第二信号输出端连接,以使得所述第二信号输出端依序输出所述N个第二像素电路的感测信号输出端输出的N个第二感测信号;以及

在与最后被选择的第一信号输入端连接的第一感测线以及与最先被选择的第二信号输入端连接的第二感测线之间设置的部分所述第一感测线和部分所述第二感测线的总数大于等于1,N为大于等于2的整数。

2. 根据权利要求1所述的显示面板,其中,在所述与最后被选择的第一信号输入端连接的第一感测线以及与所述最后被选择的第二信号输入端连接的第二感测线之间设置的部分所述第一感测线和部分所述第二感测线的总数等于0或者 $2N-2$ 。

3. 根据权利要求1所述的显示面板,其中,在与第X个被选择的第一信号输入端连接的第一感测线以及与所述第X个被选择的第二信号输入端连接的第二感测线之间设置的部分所述第一感测线和部分所述第二感测线的总数等于 $2 \times (N-X)$ 或者 $2 \times (X-1)$,以及所述X大于等于1且小于等于N。

4. 根据权利要求3所述的显示面板,其中,在与所述第X个被选择的第一信号输入端连接的第一感测线以及与所述第X个被选择的第二信号输入端连接的第二感测线之间设置的所述第一感测线的数目,等于在与所述第X个被选择的第一信号输入端连接的第一感测线以及与所述第X个被选择的第二信号输入端连接的第二感测线之间设置的所述第二感测线的数目。

5. 根据权利要求1-4任一所述的显示面板,在与最后被选择的第一信号输入端连接的第一感测线以及与所述最先被选择的第二信号输入端连接的第二感测线之间设置的部分所述第一感测线和部分所述第二感测线的总数小于等于 $N-1$ 。

6. 根据权利要求1或2所述的显示面板,其中,所述第一控制端包括N个依次相邻的第一

选择信号端；

所述第二控制端包括N个依次相邻的第二选择信号端。

7. 根据权利要求6所述的显示面板,其中,所述选择信号包括N个选择子信号;以及对应于第X个被选择的第一信号输入端的第一控制端以及对应于第X个被选择的第二信号输入端的第二控制端接收相同的选择子信号。

8. 根据权利要求7所述的显示面板,还包括N条选择控制线,其中,所述对应于所述第X个被选择的第一信号输入端的第一选择信号端以及所述对应于所述第X个被选择的第二信号输入端的第二选择信号端与相同的选择控制线相连。

9. 根据权利要求6所述的显示面板,其中,所述第一N选一选择电路包括N个依次相邻的第一选择子电路,所述第二N选一选择电路包括N个依次相邻的第二选择子电路;

所述N个第一选择子电路的每个包括控制端、第一端和第二端,所述N个第一选择子电路的每个的控制端与所述N个第一选择信号端的对应的一个相连,所述N个第一选择子电路的每个的第一端与所述N个第一信号输入端中对应的一个相连,所述N个第一选择子电路的每个的第二端与所述第一信号输出端相连;以及

所述N个第二选择子电路的每个包括控制端、第一端和第二端,所述N个第二选择子电路的每个的控制端与所述N个第二选择信号端的对应的一个相连,所述N个第二选择子电路的每个的第一端与所述N个第二信号输入端中对应的一个相连,所述N个第二选择子电路的每个的第二端与所述第二信号输出端相连。

10. 根据权利要求1-4任一所述的显示面板,其中,所述显示面板包括多个第一像素单元组、多个第二像素单元组、多个第一N选一选择电路、多个第二N选一选择电路、多个第一感测线组和多个第二感测线组;

所述多个第一像素单元组和所述多个第二像素单元组在所述多个第一像素单元组和所述多个第二像素单元组的并列布置方向上交替排布;

所述多个第一N选一选择电路、所述多个第二N选一选择电路在所述方向上交替排布;以及

所述多个第一感测线组和所述多个第二感测线组在所述方向上交替排布。

11. 根据权利要求1-4任一所述的显示面板,还包括第一信号转换电路和第二信号转换电路,其中,所述第一信号转换电路的信号接收端与所述第一信号输出端连接,所述第二信号转换电路的信号接收端与所述第二信号输出端连接。

12. 根据权利要求11所述的显示面板,其中,所述第一信号转换电路和所述第二信号转换电路分别为模数转换电路。

13. 根据权利要求11所述的显示面板,还包括信号调整电路,其中,所述信号调整电路配置为将所述第二信号转换电路输出的信号或所述第一信号转换电路输出的信号在时间上逆序。

14. 根据权利要求1-4任一所述的显示面板,其中,所述N个第一像素电路和所述N个第二像素电路的每个包括驱动晶体管和感测开关晶体管;

所述驱动晶体管的第二极和第一极被配置为分别连接至第一电源电压端以及发光元件的第一极;

所述发光元件的第二极连接到第二电源电压端;

所述感测开关晶体管的第一极与所述驱动晶体管的第一极电连接；

所述N个第一像素电路的感测开关晶体管的第二极分别与所述N条第一感测线电连接；

以及

所述N个第二像素电路的感测开关晶体管的第二极分别与所述N条第二感测线电连接。

15. 一种显示装置,包括如权利要求1-14任一所述的显示面板。

16. 一种如权利要求1-14任一所述的显示面板的信号读取方法,包括:

通过所述第一N选一选择电路依序选择所述N个第一信号输入端之一与所述第一信号输出端连接;

通过所述第二N选一选择电路依序选择所述N个第二信号输入端之一与所述第二信号输出端连接。

显示面板及其信号读取方法、显示装置

技术领域

[0001] 本公开的实施例涉及一种显示面板及其信号读取方法、显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示面板由于具有视角宽、对比度高、响应速度快以及相比于无机发光显示器件的更高的发光亮度、更低的驱动电压等优势而逐渐受到人们的广泛关注。由于上述特点,有机发光二极管(OLED)显示面板可以适用于手机、显示器、笔记本电脑、数码相机、仪器仪表等具有显示功能的装置。

发明内容

[0003] 本公开的至少一个实施例提供了一种显示面板,其包括:第一像素单元组、第二像素单元组、第一N选一选择电路、第二N选一选择电路、第一感测线组和第二感测线组。所述第一像素单元组和所述第二像素单元组相邻设置;所述第一像素单元组包括N个依次相邻的第一像素电路,所述第一感测线组包括依次相邻的N条第一感测线,所述N个第一像素电路的感测信号输出端分别与所述N条第一感测线电连接;所述第二像素单元组包括N个依次相邻的第二像素电路,所述第二感测线组包括依次相邻的N条第二感测线,所述N个第二像素电路的感测信号输出端分别与所述N条第二感测线电连接;所述第一N选一选择电路包括第一控制端、第一信号输出端和N个第一信号输入端,所述第一控制端用于接收选择信号以依序选择所述N个第一信号输入端之一与所述第一信号输出端连接;所述第二N选一选择电路包括第二控制端、第二信号输出端和N个第二信号输入端,所述第二控制端用于接收所述选择信号以依序选择所述N个第二信号输入端之一与所述第二信号输出端连接;所述N个第一信号输入端分别与所述N条第一感测线电连接,所述N个第二信号输入端分别与所述N条第二感测线电连接;以及在与最后被选择的第一信号输入端连接的第一感测线以及与最先被选择的第二信号输入端连接的第二感测线之间设置的部分所述第一感测线和部分所述第二感测线的总数大于等于1,N为大于等于2的整数。

[0004] 本公开的至少一个实施例还提供了一种显示装置,其包括本公开任一实施例提供的显示面板。

[0005] 本公开的至少一个实施例还提供了一种用于本公开任一实施例提供的显示面板的信号读取方法,其包括:通过所述第一N选一选择电路依序选择所述N个第一信号输入端之一与所述第一信号输出端连接;通过所述第二N选一选择电路依序选择所述N个第二信号输入端之一与所述第二信号输出端连接。

附图说明

[0006] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0007] 图1A是一种像素电路的示意图;

- [0008] 图1B是另一种像素电路的示意图；
- [0009] 图1C是再一种像素电路的示意图；
- [0010] 图1D是一种感测电压随时间变化的曲线图；
- [0011] 图2A是一种显示面板的示意图；
- [0012] 图2B是图2A所示的显示面板的驱动晶体管的源极的电压随时间变化的曲线；
- [0013] 图3A是本公开的至少一个实施例提供的显示面板的示意图；
- [0014] 图3B是本公开的至少一个实施例提供的第一像素电路和第二像素电路的一个示例；
- [0015] 图3C是本公开至少一个实施例提供的第一N选一选择电路的示意图；
- [0016] 图3D是本公开至少一个实施例提供的第二N选一选择电路的示意图；
- [0017] 图4A是图3A所示的显示面板的一个示例的示意图；
- [0018] 图4B示出了图4A所示的第一N选一选择电路的示意图；
- [0019] 图4C示出了图4B所示的第二N选一选择电路的示意图；
- [0020] 图4D示出了本公开的至少一个实施例提供的另一种第一N选一选择电路的示意图；
- [0021] 图5是本公开的至少一个实施例提供的显示面板的信号读取方法的示意性流程图；
- [0022] 图6是本公开的至少一个实施例提供的显示面板的示例性框图；以及
- [0023] 图7是图6所示的显示面板的示意图，

具体实施方式

[0024] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0025] 除非另作定义，此处使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0026] 有机发光二极管(OLED)显示面板中的像素电路一般采用矩阵驱动方式。根据每个像素单元中是否引入了开关元器件，OLED显示面板可分为有源矩阵(Active Matrix)驱动式和无源矩阵(Passive Matrix)驱动式。AMOLED(也即，有源矩阵驱动式OLED)显示面板的每个像素单元的像素电路均包括薄膜晶体管和存储电容，通过控制薄膜晶体管和存储电容，可以控制用于驱动OLED发光的电流的强度，从而使OLED根据需要发光。

[0027] AMOLED显示面板中使用的基础像素电路通常为2T1C像素电路，即利用两个薄膜晶

晶体管(Thin-film transistor, TFT) 和一个存储电容 C_{st} 来驱动OLED发光的像素电路。图1A和图1B示出了两种2T1C像素电路的示意图。

[0028] 如图1A所示,一种2T1C像素电路包括开关晶体管 T_0 、驱动晶体管 N_0 以及存储电容 C_{st} 。例如,该开关晶体管 T_0 的栅极连接扫描线(图中未示出)以接收扫描信号 $Scan_1$;例如,该开关晶体管 T_0 的源极连接到数据线(图中未示出)以接收数据信号 V_{data} ;该开关晶体管 T_0 的漏极连接到驱动晶体管 N_0 的栅极;驱动晶体管 N_0 的源极连接到第一电压端以接收第一电压 V_{dd} ,驱动晶体管 N_0 的漏极连接到OLED的正极端;存储电容 C_{st} 的一端连接到开关晶体管 T_0 的漏极以及驱动晶体管 N_0 的栅极,另一端连接到驱动晶体管 N_0 的源极以及第一电压端;OLED的负极端连接到第二电压端以接收第二电压 V_{ss} 。例如,第一电压 V_{dd} 的电压值大于第二电压 V_{ss} 的电压值。该2T1C像素电路使用两个TFT和存储电容 C_{st} 来控制包括该像素电路的像素单元的灰阶。当扫描信号 $Scan_1$ (经由扫描线施加)开启开关晶体管 T_0 时,经由数据线送入的数据信号 V_{data} (数据驱动电路提供)将经由开关晶体管 T_0 对存储电容 C_{st} 充电,由此数据信号 V_{data} 可存储在存储电容 C_{st} 中,且该存储在存储电容 C_{st} 中的数据信号 V_{data} 可以控制驱动晶体管 N_0 的导通程度,由此可以控制驱动晶体管 N_0 生成的驱动电流(用于驱动OLED发光)的强度,此电流的强度决定包括该像素电路的像素单元的灰阶。在图1A所示的2T1C像素电路中,开关晶体管 T_0 为N型晶体管而驱动晶体管 N_0 为P型晶体管。

[0029] 如图1B所示,另一种2T1C像素电路也包括开关晶体管 T_0 、驱动晶体管 N_0 以及存储电容 C_{st} ,但是相比于图1A所示的像素电路,图1B所示的像素电路的连接方式略有改变,且驱动晶体管 N_0 为N型晶体管。图1B的像素电路相对于图1A所示的像素电路的变化之处包括:OLED的正极端连接到第一电压端以接收第一电压 V_{dd} (高电压),而负极端连接到驱动晶体管 N_0 的漏极,驱动晶体管 N_0 的源极连接到第二电压端以接收第二电压 V_{ss} (低电压,例如接地电压)。存储电容 C_{st} 的一端连接到开关晶体管 T_0 的漏极以及驱动晶体管 N_0 的栅极,另一端连接到驱动晶体管 N_0 的源极以及第二电压端。图1B所示的2T1C像素电路的工作方式基本上与图1A所示的像素电路基本相同,这里不再赘述。

[0030] 此外,对于图1A和图1B所示的像素电路,开关晶体管 T_0 不限于N型晶体管,也可以为P型晶体管,在此不再赘述。

[0031] OLED显示面板通常包括多个按阵列排布的像素单元,每个像素单元例如可以包括上述像素电路。本公开的发明人在研究中注意到,在OLED显示面板中,各个像素电路中的驱动晶体管的阈值电压由于制备工艺可能存在差异;并且,由于例如温度变化的影响,驱动晶体管的阈值电压可能会产生漂移,由此使得在OLED显示面板的多个像素电路接收相同的数据信号的情况下,多个像素电路的驱动晶体管生成的驱动电流强度可能彼此不同,并因此使得多个像素电路驱动的发光元件的发射的光线的强度以及多个像素单元的灰阶可能彼此不同,由此降低了OLED显示面板的亮度均匀性和/或显示质量。综上,需要对阈值电压进行补偿(例如,实时补偿),以保证OLED显示面板的显示效果。

[0032] 本公开的发明人在研究中注意到,尽管可以采用内部补偿技术对OLED显示面板的各个像素电路进行阈值补偿,但是由于采用了内部补偿技术的像素电路的结构复杂(具有更多的晶体管和控线)、尺寸较大,因此,采用了内部补偿技术的像素电路不适用于具有较小像素单元尺寸的显示面板,由此不利于显示面板的分辨率的提升。

[0033] 本公开的发明人在研究中还注意到,还可以采用外部补偿技术对OLED显示面板的

各个像素电路进行阈值补偿,下面结合图1C进行示例性说明。

[0034] 例如,图1C示出了一种可以检测驱动晶体管的阈值电压的像素电路(也即,3T1C电路),驱动晶体管N0为N型晶体管。例如,如图1C所示,为了实现补偿功能,可以在2T1C电路的基础上引入感测晶体管S0,也即,可以将感测晶体管S0的第一端连接到驱动晶体管N0的源极,感测晶体管S0的第二端经由感测线SENL与检测电路(图1C中未示出)连接。

[0035] 例如,可以在复位阶段向驱动晶体管N0的源极施加设置电压(也即,复位信号)Vref,并可以在阈值建立阶段开始时刻经由开关晶体管T0向驱动晶体管N0的栅极施加数据信号(例如,数据电压)Vdata,此处, $V_{data} > V_{ref} + V_{th}$, V_{th} 表示驱动晶体管的阈值电压,由此数据信号Vdata可以使得驱动晶体管N0导通。当驱动晶体管N0导通之后,经由感测晶体管S0对于检测电路放电或者对经由感测晶体管S0对感测线上设置的电容或寄生电容Csc充电,使得驱动晶体管N0的源极电压Vs改变。当驱动晶体管N0的源极电压Vs等于驱动晶体管N0的栅极电压Vg与驱动晶体管的阈值电压Vth的差值时,驱动晶体管N0将会截止,驱动晶体管N0的源极电压Vs不再改变。例如,可以在驱动晶体管N0截止后,经由导通的感测晶体管S0从驱动晶体管N0的源极获取截止后的源极电压(也即驱动晶体管N0截止后的源极电压Vb)。在获取截止源极电压Vb之后,可以获取驱动晶体管的阈值电压(也即, $V_{th} = V_{data} - V_b$)。由此,可以基于每个像素电路中驱动晶体管的阈值电压对像素电路的待显示的数据信号(数据电压)进行补偿,并且使用补偿后的数据信号驱动像素电路,由此可以实现针对显示面板各个子像素的阈值电压的补偿功能。例如,补偿后的Vdata_C可以使用以下的表达式表示: $V_{data_C} = V_{data} + V_{th}$ 。

[0036] 本公开的发明人在研究中还注意到,为了获取OLED显示面板的各个像素电路的精确阈值,阈值检测所需的时间较长。下面结合图1D进行示例性说明阈值检测时间对像素电路的阈值检测的精度影响。

[0037] 图1D示出了一种经由导通的感测晶体管S0从驱动晶体管N0的源极获取的源极电压随时间变化的曲线图。在检测的过程中,开关晶体管T0保持导通,因此,驱动晶体管N0的栅极电压Vg保持为数据信号(数据电压)Vdata。本公开的发明人注意到,在施加数据信号Vdata之后,经感测线对检测电路放电或者对感测线上设置的电容或寄生电容充电的过程中,随着对存储电容Cst等的充电时间的增加,充电速度将对应地降低(也即,感测电压增加的速度降低)(参见图1D),这是因为充电电流将随着源极电压(也即,驱动晶体管N0的源极电压Vs)的增加而降低。具体地,驱动晶体管N0处于饱和状态下输出的电流Ids可如下计算公式得到:

$$[0038] \quad I_{ds} = K(V_g - V_s - V_{th})^2$$

$$[0039] \quad = K(V_{data} - V_s - V_{th})^2$$

$$[0040] \quad = K((V_{data} - V_{th}) - V_s)^2。$$

[0041] 这里, $K = 1/2 \times W/L \times C \times \mu$,W为驱动晶体管N0的沟道的宽度,L为驱动晶体管N0的沟道的长度,W/L为驱动晶体管N0的沟道的宽长比(即,宽度与长度的比值), μ 为电子迁移率,C为单位面积的电容。

[0042] 在驱动晶体管N0的源极的电压Vs增加至 $V_{data} - V_{th}$ 的过程中,随着Vs的增加, $[(V_{data} - V_{th}) - V_s]$ 的值将不断降低;对应地,驱动晶体管N0输出的电流Ids以及充电速度也将随之不断降低,因此,从充电起始到驱动晶体管N0截止所需的时间Ts较长。

[0043] 本公开的发明人在研究中又注意到,在驱动晶体管N0截止前的一段时间内,驱动晶体管N0的源极的电压 V_s 的变化量较小,因此,也可以基于在驱动晶体管N0截止之前从驱动晶体管N0的源极获取的电压 V_{bp} 可以获取驱动晶体管N0的阈值电压(也即, $V_{th}=V_{data}-V_{bp}$),此时获取的驱动晶体管N0的阈值电压较为准确;由此可以缩短阈值检测的时间,在一些示例中,还可以在开机期间(例如,显示过程中相邻的显示周期之间)实现驱动晶体管N0的阈值电压的检测。

[0044] 图2A是一种显示面板500的示意图,图2B是图2A所示的显示面板500的驱动晶体管的源极的电压随时间变化的曲线。本公开的发明人在研究中又注意到,可以采用图2A所示的显示面板500提升通过感测获取的驱动晶体管N0的阈值电压的精度。下面结合图2A和图2B进行示例性说明。

[0045] 如图2A所示,该显示面板500包括多个并列设置的像素单元组510,多个并列设置的N选一选择电路530、多个并列设置的感测线组520、以及多个并列设置的信号转换电路550。例如,多个像素单元组510、多个N选一选择电路530、多个感测线组520以及多个信号转换电路550分别在第一方向D1上并列设置。例如,多个像素单元组510、多个N选一选择电路530、多个感测线组520以及多个信号转换电路550的数目彼此相等(例如,均等于M个)。

[0046] 例如,多个像素单元组510位于显示面板500的显示区域501,多个N选一选择电路530以及多个信号转换电路550位于显示面板500的周边区域,多个感测线组520分别从显示面板500的显示区域501延伸至显示面板500的周边区域;显示面板500的周边区域围绕显示面板500的显示区域501设置,多个N选一选择电路530以及多个信号转换电路550例如位于显示面板500的显示区域501的一侧(例如,下侧)。

[0047] 例如,如图2A所示,每个像素单元组510包括多个阵列排布的像素电路511。例如,每个像素单元组510包括N列依次相邻(在第一方向D1上依次相邻)的像素电路511。例如,每个感测线组520包括N条依次相邻的感测线521,N列像素电路511的感测信号输出端分别与N条感测线521相连。

[0048] 例如,如图2A所示,每个N选一选择电路530包括N个依次相邻的选择晶体管(T_1 、 T_2 、…… T_{N-1} 和 T_N),N个选择晶体管在第一方向D1上顺次布置;N个选择晶体管还在与第一方向D1交叉的第二方向D2上顺次布置,第一方向D1例如与第二方向D2垂直。

[0049] 例如,如图2A所示,N个选择晶体管的输入端被配置分别为N选一选择电路530的N个信号输入端,且分别与对应的N条感测线521相连;N个选择晶体管的输出端均与N选一选择电路530的信号输出端相连,N选一选择电路530的信号输出端与对应的一个信号转换电路550相连;N个选择晶体管的控制端被配置为接收N个选择子信号,以依序导通N个选择晶体管以及依序选择N选一选择电路530的N个信号输入端之一与个N选一选择电路530的信号输出端连接。

[0050] 例如,多个N选一选择电路530中位于相同位置的晶体管的控制端与同一选择控制线151相连,由此可以简化显示面板500的布线。需要说明的是,多个N选一选择电路530中位于相同位置的晶体管是指多个N选一选择电路530中排序(在第一方向D1上的排序)彼此相同的晶体管,而不要求这些晶体管相对于其所在的N选一选择电路530的位置严格相同;例如,多个N选一选择电路530中排序为X的晶体管为位置相同的晶体管,此处,X为大于等于1小于等于N之间的整数。

[0051] 例如,每个信号转换电路550被配置为将其接收到的模拟信号转换为数字信号;例如,每个信号转换电路550可以实现为模数转换电路。

[0052] 例如,在显示区域501的每行像素电路511被扫描时,每个N选一选择电路530可以沿第一方向D1的正方向(例如,图2A中从左到右的方向)使得每个N选一选择电路530的N个选择晶体管依次导通,由此使得对应的一个信号转换电路550可以顺次接收在第一方向D1上依次相邻的N个像素电路511的感测信号输出端输出的N个感测信号,并将上述N个感测信号用于获取N个像素电路511的阈值电压中。

[0053] 如图2A所示,在第一方向D1上,每个N选一选择电路530中第X个处于导通状态的选择晶体管与相邻的N选一选择电路530中第X个处于导通状态的选择晶体管之间的晶体管的数目等于N-1个,也即,每个感测线组520中第X个被选择的感测线521与相邻的感测线组520中第X个被选择的感测线521之间的感测线521的数目等于N-1个,每个像素单元组510中第X个被选择输出感测信号的像素电路511与相邻的像素单元组510中第X个被选择输出感测信号的像素电路511之间像素电路511的个数等于N-1。

[0054] 例如,通过使得N根感测线521与同一个信号转换电路550相连,每个信号转换电路550可用于将显示区域501中N个依次相邻的像素电路511的感测信号输出端输出的感测信号转换为数字信号;此种情况下,可以减少信号转换电路550的数目,由此可以降低显示面板的成本,尤其对于采用了检测精度更高,价格更高的信号转换电路的显示面板来说。

[0055] 例如,在每个像素单元组510中N个像素电路511的阈值电压彼此相同,N个像素电路511接收的数据电压彼此相同以及N个像素电路511接收的设置电压彼此相同的情况下,N个像素电路511输出的感测信号的变化曲线均相同(例如,均为图2B所示的曲线);如图2B所示,感测信号的变化曲线包括复位阶段REST、阈值建立阶段TH_B(也即,感测信号不断增长的阶段)和阈值读取阶段TH_R,阈值读取阶段TH_R在时间上位于V_{th}建立阶段(感测信号得到足够的增长)后,像素电路511的驱动晶体管截止之前,此种情况下,像素电路511对电容(例如,感测线上的电容)充电比较充分,感测信号的取值接近于但不等于驱动晶体管截止状态下的感测信号的取值。

[0056] 例如,在每个N选一选择电路530沿第一方向D1的正方向(例如,图2A中从左到右的方向)使得每个N选一选择电路530的N个选择晶体管依次导通的情况下,对应的一个信号转换电路550依次接收的N个像素电路511输出的感测电压为位于每个像素单元组510中第一个像素电路511输出的感测信号S₁,位于每个像素单元组510中第二个像素电路511输出的感测信号S₂,……,位于每个像素单元组510中第N-1个像素电路511输出的感测信号S_{N-1}以及位于每个像素单元组510中第N个像素电路511输出的感测信号S_N(参见图2B),由此使得信号转换电路550获取的感测信号中,位于每个像素单元组510中第一个像素电路511的感测信号的系统误差与第N个像素电路511的感测信号的系统误差之间的差值最大,因此,每个像素单元组510中第N个像素电路511的感测信号的系统误差与相邻的像素单元组510中第一个像素电路511的感测信号的系统误差的差值最大,并由此使得在补偿阶段,针对相邻的像素单元组510中相邻的像素电路511(例如,每个像素单元组510中第N个像素电路511以及与相邻的像素单元组510中第一个像素电路511)补偿后的阈值电压的系统误差之间的差值较大。例如,在待显示的图像的各个图像子像素的灰阶彼此相同的情况下,相邻的像素单元组510中相邻的像素电路511驱动的发光元件的亮度(例如,发射光线的强度)差异较

大,进而使得用户可能会观察到上述亮度差异。

[0057] 本公开的至少一个实施例提供了一种显示面板及其信号读取方法、显示装置,该显示面板包括:第一像素单元组、第二像素单元组、第一N选一选择电路、第二N选一选择电路、第一感测线组和第二感测线组。第一像素单元组和第二像素单元组相邻设置;第一像素单元组包括N个依次相邻的第一像素电路,第一感测线组包括依次相邻的N条第一感测线,N个第一像素电路的感测信号输出端分别与N条第一感测线电连接;第二像素单元组包括N个依次相邻的第二像素电路,第二感测线组包括依次相邻的N条第二感测线,N个第二像素电路的感测信号输出端分别与N条第二感测线电连接;第一N选一选择电路包括第一控制端、第一信号输出端和N个第一信号输入端,第一控制端用于接收选择信号以依序选择N个第一信号输入端之一与第一信号输出端连接;第二N选一选择电路包括第二控制端、第二信号输出端和N个第二信号输入端,第二控制端用于接收选择信号以依序选择N个第二信号输入端之一与第二信号输出端连接;N个第一信号输入端分别与N条第一感测线电连接,N个第二信号输入端分别与N条第二感测线电连接;在与最后被选择的第一信号输入端连接的第一感测线以及与最先被选择的第二信号输入端连接的第二感测线之间设置的部分第一感测线和部分第二感测线的总数大于等于1,N为大于等于2的整数。

[0058] 在一些示例中,在与最后被选择的第一信号输入端连接的第一感测线以及与最先被选择的第二信号输入端连接的第二感测线之间设置的部分第一感测线和部分第二感测线的总数小于等于N-1。

[0059] 例如,本公开的至少一个实施例提供的显示面板及其信号读取方法以及显示装置可以降低相邻的像素电路驱动的发光元件的亮度的系统误差的差值的最大值。

[0060] 图3A是本公开的至少一个实施例提供的显示面板的示意图。如图3A所示,该显示面板包括:第一像素单元组111、第二像素单元组112、第一N选一选择电路130、第二N选一选择电路140、第一感测线组121和第二感测线组122。如图3A所示,根据实际应用需求,显示面板还可以包括第一信号转换电路152和第二信号转换电路153;此处,N为大于等于2的整数。

[0061] 例如,如图3A所示,显示面板包括显示区域101以及围绕显示面板的显示区域101设置周边区域,第一像素单元组111和第二像素单元组112位于显示区域101;第一N选一选择电路130、第二N选一选择电路140、第一信号转换电路152和第二信号转换电路153位于周边区域;第一感测线组121和第二感测线组122分别从显示面板的显示区域延伸至显示面板的周边区域。例如,第一N选一选择电路130、第二N选一选择电路140、第一信号转换电路152和第二信号转换电路153可以位于显示区域的一侧(例如,下侧)。需要说明的是,显示面板还可以不设置第一信号转换电路152和第一信号转换电路152,此种情况下,显示面板外部的第一信号转换电路152和第二信号转换电路153可以通过邦定分别与第一N选一选择电路130和第二N选一选择电路140电连接(例如,直接连接)。

[0062] 例如,如图3A所示,第一像素单元组111和第二像素单元组112(例如,位于图3A的最左侧的第一像素单元组111和第二像素单元组112)相邻设置。需要说明的是,第一像素单元组111和第二像素单元组112相邻设置是指第一像素单元组111和第二像素单元未设置其他像素单元组或像素单元(有效的像素单元组或有效的像素单元),本公开的其它“相邻设置”也具有类似的含义,不再赘述。例如,如图3A所示,第一N选一选择电路130和第二N选一选择电路140相邻设置;第一感测线组121和第二感测线组122相邻设置;第一信号转换电路

152和第二信号转换电路153相邻设置。

[0063] 例如,第一像素单元组111、第一N选一选择电路130和第一信号转换电路152在与第一方向D1交叉的第二方向D2上顺次布置,第二像素单元组112、第二N选一选择电路140和第二信号转换电路153在第二方向D2上顺次布置。例如,第一方向D1可以是显示面板的行方向或者显示面板的栅线的延伸方向,第二方向D2可以是显示面板的列方向或者显示面板的数据线的延伸方向。例如,第一方向D1垂直于第二方向D1。

[0064] 例如,如图3A所示,显示面板可以包括多个第一像素单元组111和多个第二像素单元组112,并且多个第一像素单元组111和多个第二像素单元组112可以在第一方向D1上(也即,多个第一像素单元组111和多个第二像素单元组112的并列布置方向)上交替排布。对应地,显示面板可以包括多个第一N选一选择电路130、多个第二N选一选择电路140、多个第一感测线组121、多个第二感测线组122、多个第一信号转换电路152以及多个第二信号转换电路153;多个第一N选一选择电路130和多个第二N选一选择电路140可以在第一方向D1上交替排布;多个第一感测线组121和多个第二感测线组122可以在第一方向D1上交替排布;多个第一信号转换电路152和多个第二信号转换电路153可以在第一方向D1上交替排布。

[0065] 例如,如图3A所示,多个第一像素单元组111的数目、多个第一N选一选择电路130的数目、多个第一感测线组121的数目以及多个第一信号转换电路152的数目彼此相等(例如,均等于M个,M为大于等于2的整数);多个第二像素单元组112的数目、多个第二N选一选择电路140的数目、多个第二感测线组122的数目以及多个第二信号转换电路153的数目彼此相等(例如,均等于M个)。

[0066] 为清楚起见,以下针对图3A所示的显示面板中位于最左侧的第一像素单元组111、第二像素单元组112、第一N选一选择电路130、第二N选一选择电路140、第一感测线组121、第二感测线组122、第一信号转换电路152以及第二信号转换电路153进行描述,显示面板中的其它第一像素单元组111、第二像素单元组112、第一N选一选择电路130、第二N选一选择电路140、第一感测线组121、第二感测线组122、第一信号转换电路152以及第二信号转换电路153既可以参照以下描述设置,也可以采用其它的相关设计,不再赘述。

[0067] 如图3A所示,第一像素单元组111包括N列依次相邻的第一像素电路113,第一感测线组121包括依次相邻的N条第一感测线123,N列第一像素电路113的感测信号输出端分别与N条第一感测线123电连接(例如,直接连接),由此,每列第一像素电路113的感测信号可以分时的提供给对应的一条第一感测线123。如图3A所示,第二像素单元组112包括N个依次相邻的第二像素电路114,第二感测线组122包括依次相邻的N条第二感测线124,N个第二像素电路114的感测信号输出端分别与N条第二感测线124电连接(例如,直接连接),由此,每列第二像素电路114的感测信号可以分时的提供给对应的一条第二感测线124。例如,在显示区域的第J行像素电路(第一像素电路113和第二像素电路114)被选择时,每列像素电路(第一像素电路113或第二像素电路114)中被选择的像素电路(位于第J行的像素电路)输出的感测信号可以提供给对应的感测线。例如,J大于等于1小于等于显示区域中像素电路的行数。

[0068] 例如,如图3A所示,N列第一像素电路113在第一方向D1上依次相邻,N条第一感测线123在第一方向D1上依次相邻,N列第二像素电路114在第一方向D1上依次相邻,N条第二感测线124在第一方向D1上依次相邻。需要说明的是,N条第一感测线123在第一方向D1上依

次相邻是指N条第一感测线123在第一方向D1顺次布置,且相邻的第一感测线123之间未设置其它感测线(有效的感测线),本公开的其它“依次相邻”也具有类似的含义,不再赘述。

[0069] 需要说明的是,为清楚起见,图2A所示的每列第一像素电路113中第一像素的数目以及每列第二像素电路114中第二像素电路114的数目均为二,但本公开的实施例不限于此,根据实际应用需求,每列第一像素电路113中第一像素的数目以及每列第二像素电路114中第二像素电路114的数目还可以为540、1080、2160或其它适用的数目。

[0070] 例如,图3A所示的每个像素电路(例如,N列第一像素电路113中每个第一像素电路113以及N列第二像素电路114中每个第二像素电路114)均可以采用图3B所示的3T1C像素电路,但本公开的实施例不限于此,根据实际应用需求,图3A所示的每个像素电路还可以采用图1A所示的像素电路、图1B所示的像素电路或其它适用的像素电路。为方便描述,图3B还示出了与像素电路相关的第一电源电压端VDD、第二电源电压端VSS、感测线SENL、数据线DL和发光元件EL。

[0071] 例如,如图3B所示,每个像素电路可以包括驱动晶体管T3、感测开关晶体管T2(其控制端为G2)、选通晶体管T1(其控制端为G1)以及存储电容Cst;驱动晶体管T3的第二极和第一极被配置为分别连接至第一电源电压端VDD以及发光元件EL的第一极;发光元件EL的第二极连接到第二电源电压端VSS;感测开关晶体管T2的第一极与驱动晶体管T3的第一极电连接;感测开关晶体管T2的第一极与感测线SENL(例如,第一感测线123或第二感测线124)电连接(例如,直接相连)。感测线SENL上具有寄生电容Csc或者感测线SENL上设置了额外的电容。例如,第一电源电压端VDD的电压值高于第二电源电压端VSS的电压值。

[0072] 例如,N个第一像素电路113的感测开关晶体管T2的第二极(也即,第一像素电路113的感测信号输出端)分别与N条第一感测线123电连接;N个第二像素电路114的感测开关晶体管T2的第二极(也即,第二像素电路114的感测信号输出端)分别与N条第二感测线124电连接。例如,N个第一像素电路113的感测开关晶体管T2的第二极分别与N条第一感测线123直接连接,N个第二像素电路114的感测开关晶体管T2的第二极分别与N条第二感测线124直接连接。

[0073] 例如,如图3B所示,选通晶体管T1的第一极经由数据线DL与数据驱动电路(图中未示出)相连,以从数据驱动电路获取数据信号;选通晶体管T1的第二极与驱动晶体管T3的栅极和存储电容Cst的第一端相连,以将所获取的数据信号写入驱动晶体管T3的栅极和存储电容Cst的第一端;存储电容Cst的第二端与驱动晶体管T3的第一极和感测开关晶体管T2的第一极相连,并被配置为存储数据信号。

[0074] 图3C是本公开至少一个实施例提供的一种第一N选一选择电路130的示意图,图3D是本公开至少一个实施例提供的一种第二N选一选择电路140的示意图。例如,如图3A所示,第一N选一选择电路130包括第一控制端131、第一信号输出端132和N个第一信号输入端133(例如,133_1、133_2、……133_N-1和133_N),第一控制端131用于接收选择信号以依序选择N个第一信号输入端133之一与第一信号输出端132连接;如图3B所示,第二N选一选择电路140包括第二控制端141、第二信号输出端142和N个第二信号输入端143(例如,143_1、143_2、……143_N-1和143_N),第二控制端141用于接收选择信号以依序选择N个第二信号输入端143之一与第二信号输出端142连接;如图3A所示,N个第一信号输入端133分别与N条第一感测线123相连,N个第二信号输入端143分别与N条第二感测线124相连。

[0075] 例如,彼此电连接的第一信号输入端133、第一感测线123和第一像素电路113具有相同的位置序号;彼此电连接的第二信号输入端143、第二感测线124和第二像素电路114具有相同的位置序号。例如,第一N选一选择电路130中在第一方向D1上位置序号为X的第一信号输入端133,第一感测线组121中在第一方向D1上位置序号为X的第一感测线123,以及在第一像素单元组111中在第一方向D1上位置序号为X的第一像素电路113彼此电连接。

[0076] 例如,第一N选一选择电路130和第二N选一选择电路140的具体实现方式可以根据实际应用需求进行选择;为清楚起见,第一N选一选择电路130和第二N选一选择电路140的具体示例将在图4A和图5所示的示例进行描述。

[0077] 需要说明的是,“依序选择”是指依照预定顺序选择。例如,依序选择N个第一信号输入端133之一与第一信号输出端132连接可以是指按照N个第一信号输入端133的位置排列顺序使得N个第一信号输入端133顺次与第一信号输出端132连接;依序选择N个第二信号输入端143之一与第二信号输出端142连接可以是指按照N个第二信号输入端143的位置排列顺序使得N个第二信号输入端143顺次与第二信号输出端142连接;例如,N个第一信号输入端133顺次与第一信号输出端132连接所依照的位置排列顺序与N个第二信号输入端143顺次与第二信号输出端142连接所依照的位置排列顺序可以相反。

[0078] 在一个示例中,可以使得第一N选一选择电路130中沿第一方向D1的正方向(例如,沿从左到右方向)的第一个第一信号输入端133_1、第二个第一信号输入端133_2、……、第N-1个第一信号输入端133_{N-1}和第N个第一信号输入端133_N顺次与第一信号输出端132电连接;对应地,可以使得第二N选一选择电路140中沿第一方向D1的正方向(例如,沿从左到右方向)的第N个第二信号输入端143_N、第N-1个第二信号输入端143_{N-1}、……、第二个第二信号输入端143_2和第一个第二信号输入端143_1顺次与第二信号输出端142连接。此种情况下,在与第X个被选择的第一信号输入端133连接的第一感测线123以及与第X个被选择的第二信号输入端143连接的第二感测线124之间设置的部分第一感测线123和部分第二感测线124的总数等于 $2 \times (N-X)$,也即,在与第X个被选择的第一信号输入端133电连接的第一像素电路113以及与第X个被选择的第二信号输入端143电连接的第二像素电路114之间设置的部分第一像素电路113和部分第二像素电路114的总数等于 $2 \times (N-X)$,此处,X大于等于1且小于等于N;例如,在与第X个被选择的第一信号输入端133连接的第一感测线123以及与第X个被选择的第二信号输入端143连接的第二感测线124之间设置的第一感测线123的数目(N-X),等于在与第X个被选择的第一信号输入端133连接的第一感测线123以及与第X个被选择的第二信号输入端143连接的第二感测线124之间设置的第二感测线124的数目(N-X)。例如,在与最后被选择的第一信号输入端133连接的第一感测线123以及与最后被选择的第二信号输入端143连接的第二感测线124之间设置的部分第一感测线123和部分第二感测线124的总数等于0。

[0079] 在另一个示例中,可以使得第一N选一选择电路130中沿第一方向D1的正方向(例如,沿从左到右方向)的第N个第一信号输入端133_N、第N-1个第一信号输入端133_{N-1}、……、第二个第一信号输入端133_2和第一个第一信号输入端133_1顺次与第一信号输出端132电连接;对应地,可以使得第二N选一选择电路140中沿第一方向D1的正方向(例如,沿从左到右方向)的第一个第二信号输入端143_1、第二个第二信号输入端143_2、……、第N-1个第二信号输入端143_{N-1}和第N个第二信号输入端143_N顺次与第二信号输出端142连接。

此种情况下,在与第X个被选择的第一信号输入端133连接的第一感测线123以及与第X个被选择的第二信号输入端143连接的第二感测线124之间设置的部分第一感测线123和部分第二感测线124的总数等于 $2 \times (X-1)$,也即,在与第X个被选择的第一信号输入端133电连接的第一像素电路113以及与第X个被选择的第二信号输入端143电连接的第二像素电路114之间设置的部分第一像素电路113和部分第二像素电路114的总数等于 $2 \times (X-1)$,此处,X大于等于1且小于等于N。例如,在与第X个被选择的第一信号输入端133连接的第一感测线123以及与第X个被选择的第二信号输入端143连接的第二感测线124之间设置的第一感测线123的数目 $(X-1)$,等于在与第X个被选择的第一信号输入端133连接的第一感测线123以及与第X个被选择的第二信号输入端143连接的第二感测线124之间设置的第二感测线124的数目 $(X-1)$ 。例如,在与最后被选择的第一信号输入端133连接的第一感测线123以及与最后被选择的第二信号输入端143连接的第二感测线124之间设置的部分第一感测线123和部分第二感测线124的总数等于 $2N-2$ 。

[0080] 需要说明的是,“依序选择”不限于以上两个示例,根据实际应用需求,还可以选用其它适用的预定顺序,只要在与最后被选择的第一信号输入端133连接的第一感测线123以及与最先被选择的第二信号输入端143连接的第二感测线124之间设置的部分第一感测线123和部分第二感测线124的总数大于等于1(例如,大于等于1小于等于 $N-1$);此种情况下,在与最后被选择的第一信号输入端133电连接的第一像素电路113以及与最先被选择的第二信号输入端143连接的第二像素电路114之间设置的部分第一像素电路113和部分第二像素电路114的总数大于等于1(例如,大于等于1小于等于 $N-1$)。

[0081] 例如,通过使得在与最后被选择的第一信号输入端133电连接的第一像素电路113以及与最先被选择的第二信号输入端143电连接的第二像素电路114之间设置的部分第一像素电路113和部分第二像素电路114的总数大于等于1(例如,大于等于1小于等于 $N-1$),与最后被选择的第一信号输入端133电连接的第一像素电路113以及与最先被选择的第二信号输入端143连接的第二像素电路114不相邻,此种情况下,尽管第一像素单元组111中第一像素电路113输出的具有最大系统误差的感测信号的系统误差以及第二像素单元中第二像素电路114输出的具有最小系统误差的感测信号的系统误差之间的差值例如保持不变,但是第一像素单元组111中输出了具有最大系统误差的感测信号的第一像素电路113与第二像素单元中输出了具有最小系统误差的第二像素电路114不相邻,由此可以降低相邻的像素电路驱动的发光元件的亮度的系统误差的差值的最大值。例如,在待显示的图像的各个图像子像素的灰阶彼此相同的情况下,本公开的至少一个实施例提供的显示面板可以降低相邻的第一像素电路113和第二像素电路114驱动的发光元件的亮度差异的最大值。

[0082] 例如,第一信号转换电路152和第二信号转换电路153分别为模数转换电路,并分别被配置为将所接收的模拟信号转换为数字信号,以用于后续处理(例如,计算各个像素电路的驱动晶体管的阈值电压)。例如,如图3A所示,第一信号转换电路152的信号接收端与第一信号输出端132连接,第二信号转换电路153的信号接收端与第二信号输出端142连接。例如,在显示区域的某一行像素电路被扫描(被选择)时,第一信号转换电路152可以经由对应的第一感测线123依序接收第一像素单元组111中N个第一像素电路113的感测信号输出端输出的N个第一感测信号,并例如依序将所接收的N个第一感测信号转换的对应的第一数字信号;第二信号转换电路153可以经由对应的第二感测线124依序接收第二像素单元组112

中N个第二像素电路114的感测信号输出端输出的N个第二感测信号,并例如依序将所接收的N个第二感测信号转换的对应的第二数字信号。

[0083] 例如,根据实际应用需求,每根感测线和信号转换电路之间还可以设置检测电路(图中未示出),也即,检测电路的一端与感测线相连,另一端与信号转换电路相连;检测电路可以基于采样信号获取特定时刻的感测线上的电压(模拟信号),并将所获得的模拟信号提供给信号转换电路。例如,根据实际应用需求,检测电路的输出端还连接放大电路,检测电路输出的模拟信号经过放大之后,再提供给信号转换电路。例如,检测电路的两端可以分别与感测线和N选一选择电路之间相连,也可以分别与N选一选择电路和信号转换电路相连。

[0084] 例如,显示面板还可以包括信号调整电路154。例如,在N个第一信号输入端133顺次与第一信号输出端132连接所依照的位置排列顺序与N个第二信号输入端143顺次与第二信号输出端142连接所依照的位置排列顺序相反的情况下,信号调整电路配置为将第二信号转换电路输出的信号或第一信号转换电路输出的信号在时间上逆序。例如,信号调整电路154可以基于FPGA(现场可编程门阵列)或其它使用的可编程电路实现。例如,通过设置信号调整电路154,可以简化后续信号处理、信号存储和信号读取的至少一个的难度。

[0085] 在一个示例中,信号调整电路154被配置为与第二信号转换电路153的信号输出端相连,并被配置为将第二信号转换电路153接收的信号(数字信号)在时间上逆序,以使得信号调整电路154输出的N个第二感测信号在时间上的排序与对应的N个第二像素电路114的位置排列顺序一致。例如,第二信号转换电路153可以将将在时间上按照下述第一排列顺序的信号转换成按照下述第二排列顺序的信号,此处,第一排列顺序是指:沿第一方向D1的正方向(例如,沿从左到右方向)的第N个第二像素电路114输出的第二感测信号,第N-1个第二像素电路114输出的第二感测信号、……、第二个第二像素电路114输出的第二感测信号以及第一个第二像素电路114输出的第二感测信号在时间上由先向后排布;第二排列顺序是指:沿第一方向D1的正方向(例如,沿从左到右方向)的第一个第二像素电路114输出的第二感测信号,第二个第二像素电路114输出的第二感测信号、……、第N-1个第二像素电路114输出的第二感测信号以及第一个第二像素电路114输出的第N感测信号在时间上由先向后排布。

[0086] 在另一个示例中,信号调整电路154被配置为与第一信号转换电路152的信号输出端相连,并被配置为将第一信号转换电路152接收的信号(数字信号)在时间上逆序,以使得信号调整电路154输出的N个第一感测信号在时间上的排序与对应的N个第一像素电路113的位置排列顺序一致。

[0087] 需要说明的是,在“依序选择”对应于其它适用的预定顺序的情况下,信号调整电路154还配置为使得第一像素单元组中的位于同一行的多个第一像素电路输出的第一感测信号在时间上的排布顺序与该第一像素单元组中的位于同一行的多个第一像素电路在第一方向上的排布顺序一致;信号调整电路154还配置为使得第二像素单元组中的位于同一行的多个第二像素电路输出的第二感测信号在时间上的排布顺序与该第二像素单元组中的位于同一行的多个第二像素电路在第一方向上的排布顺序一致。

[0088] 例如,如图3A所示,显示面板还可以包括运算电路155,运算电路155被配置为与第一信号转换电路152、第二信号转换电路153和信号调整电路154中的两个相连(例如,与第

一信号转换电路152和第二信号转换电路153相连或者与第一信号转换电路152和信号调整电路154相连),以接收第一感测信号和第二感测信号,并基于第一感测信号获取第一像素单元组111中各个第一像素电路113的阈值电压,以及基于第二感测信号获取第二像素单元组112中各个第二像素电路114的阈值电压。例如,各个第一像素电路113的阈值电压和各个第二像素电路114的阈值电压可以分别用于对各个第一像素电路113和各个第二像素电路114的阈值补偿中。例如,各个第一像素电路113的阈值电压和各个第二像素电路114的阈值电压可以存储在存储器中。

[0089] 在另一个示例中,存储器被配置为存储第一感测信号和第二感测信号,此种情况下,存储器与第一信号转换电路152、第二信号转换电路153和信号调整电路154中的两个相连。

[0090] 例如,在对各个第一像素电路113和各个第二像素电路114的阈值补偿中,控制器(例如,时序控制器)配置为接收各个第一像素电路113的第一数据信号和阈值电压以及各个第二像素电路114的第二数据信号和阈值电压,并配置为基于第一数据信号和第一像素电路113的阈值电压获取补偿后的第一数据信号,基于第二数据信号和第二像素电路114的阈值电压获取补偿后的第二数据信号,上述补偿后的第一数据信号和补偿后的第二数据信号被配置为提供给数据驱动电路,数据驱动电路被配置为将上述补偿后的第一数据信号和补偿后的第二数据信号转换为对应的模拟数字信号,并将上述对应的模拟数字信号提供给显示面板的各个第一像素电路113和第二像素电路114。

[0091] 在一些示例中,上述运算电路155、第一信号转换电路152、第二信号转换电路153、信号调整电路154、存储器、控制器和数据驱动电路例如可以集成在一个集成电路中,该集成电路可以直接设置在显示面板上或者通过邦定与显示面板电连接。

[0092] 图4A是图3A所示的显示面板的一个示例的示意图,图4B示出了图4A所示的第一N选一选择电路130的示意图,图4C示出了图4B所示的第二N选一选择电路140的示意图。

[0093] 例如,如图4A和图4B所示,第一控制端131包括N个依次相邻的第一选择信号端134;如图4A和图4C所示,第二控制端141包括N个依次相邻的第二选择信号端144。

[0094] 例如,如图4A-图4C所示,显示面板还包括N条选择控制线151;对应于第X个被选择的第一信号输入端133的第一选择信号端134以及对应于第X个被选择的第二信号输入端143的第二选择信号端144与相同的选择控制线151相连。此种情况下,选择信号包括N个选择子信号;对应于第X个被选择的第一信号输入端133的第一控制端131以及对应于第X个被选择的第二信号输入端143的第二控制端141接收相同的选择子信号。

[0095] 需要说明的是,本公开的实施例提供对应于第X个被选择的第一信号输入端133的第一选择信号端134以及对应于第X个被选择的第二信号输入端143的第二选择信号端144与相同的选择控制线151不限于设置为与同一选择控制线相连的形式,根据实际应用需求,两者还可以与不同的选择控制线相连,只要保证对应于第X个被选择的第一信号输入端133的第一控制端131以及对应于第X个被选择的第二信号输入端143的第二控制端141接收相同的选择子信号即可。

[0096] 例如,如图4A-图4C所示,第一N选一选择电路130包括N个依次相邻的第一选择子电路135,第二N选一选择电路包括N个依次相邻的第二选择子电路145;N个第一选择子电路135的每个包括控制端、第一端和第二端,N个第一选择子电路135的每个的控制端与N个第

一选择信号端134的对应的一个相连,N个第一选择子电路135的每个的第一端与N个第一信号输入端133中对应的一个相连,N个第一选择子电路135的每个的第二端与第一信号输出端132相连;N个第二选择子电路145的每个包括控制端、第一端和第二端,N个第二选择子电路145的每个的控制端与N个第二选择信号端144的对应的一个相连,N个第二选择子电路145的每个的第一端与N个第二信号输入端143中对应的一个相连,N个第二选择子电路145的每个的第二端与第二信号输出端142相连。

[0097] 需要说明的是,本公开的至少一个实施例提供的显示面板不限于采用图4B所示的第一N选一选择电路,根据实际应用需求,还可以采用图4D所示的第一N选一选择电路1。图4D示出了本公开的至少一个实施例提供的另一种第一N选一选择电路130的示意图。

[0098] 如图4D所示,第一N选一选择电路130还包括第一解码电路170,第一解码电路170包括C个信号输入端171和N个信号输出端172,在C个信号输入端171接收二进制信号时, $C = \text{ceil}(\log_2(N))$, $\text{ceil}(\log_2(N))$ 表示对 $\log_2(N)$ 进行向下取整。例如,在 $N=5-8$ 时, $C=3$;在 $N=9-16$ 时, $C=4$ 。此种情况下,如图4D所示,第一控制端131包括C个第一选择信号端134,选择信号包括C个选择子信号;第一解码电路170的C个信号输入端171分别与C个第一选择控制端134的相连,第一解码电路170的N个信号输出端172分别与N个选择子电路的控制端相连;第一解码电路170配置为基于所接收的信号使得第一解码电路170的对应的一个信号输出端172输出有效信号,并使得第一解码电路170的其它信号输出端172输出无效信号,由此使得第一N选一选择电路130可以依序选择N个第一信号输入端133之一与第一信号输出端132连接。对应地,第二N选一选择电路140还包括第二解码电路(图中未示出),第二解码电路包括C个信号输入端和N个信号输出端,此处不再赘述。

[0099] 需要说明的是,信号输入端171不限于接收二进制信号,还可以根据M进制信号(例如,十进制信号或者十六进制信号),此种情况下, $C = \text{ceil}(\log_M(N))$, $\text{ceil}(\log_M(N))$ 表示对 $\log_M(N)$ 进行向下取整。

[0100] 例如,如图4A所示,每个选择子电路(例如,N个第一选择子电路135和N个第二选择子电路145的每个)可以实现为晶体管,晶体管的栅极、第一极和第二极分别被配置为选择子电路的控制端、第一端和第二端。需要说明的是,每个选择子电路不限于包括图4A所述的一个晶体管,根据实际应用需求,每个选择子电路还可以包括两个或多个晶体管的组合或者可以包括其它适用的电路结构。例如,多个选择子电路选用的晶体管具有相同的导通特性,多个选择子电路选用的晶体管例如均为N型晶体管或者均为P型晶体管。

[0101] 例如,如图4A所示,第X个被选择的第一信号输入端133对应的第一选择子电路135以及第X个被选择的第二信号输入端143对应的第二选择子电路145位于同一行;对应地,第X个被选择的第一信号输入端133对应的第一控制端131以及第X个被选择的第二信号输入端143对应的第一控制端131位于同一行。

[0102] 需要说明的是,N选一电路(第一N选一电路和第二N选一电路)不限于图4A所示的示例,N选一电路还可以采用其它适用的电路结构,此处不再赘述。

[0103] 需要说明的是,本公开的实施例中采用的晶体管可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除作为控制端的栅极,直接描述了其中一极为第一端,另一极为第二端,所以本公开实施例中全部

或部分晶体管的第一端和第二端根据需要是可以互换的。例如,本公开实施例的晶体管的第一端可以为源极,第二端可以为漏极;或者,晶体管的第一端为漏极,第二端为源极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管,本公开的实施例对晶体管的类型不作限定,本领域技术人员可以根据实际需要利用N型和/或P型晶体管实现本公开中的实施例。

[0104] 本公开的至少一个实施例还提供了一种用于本公开任一实施例提供的显示面板的信号读取方法,其包括:通过第一N选一选择电路依序选择N个第一信号输入端之一与第一信号输出端连接;通过第二N选一选择电路依序选择N个第二信号输入端之一与第二信号输出端连接。

[0105] 图5是本公开的至少一个实施例提供的显示面板的信号读取方法的示意性流程图,该信号读取方法包括以下的步骤S100和S200。

[0106] 步骤S100:通过第一N选一选择电路依序选择N个第一信号输入端之一与第一信号输出端连接。

[0107] 步骤S200:通过第二N选一选择电路依序选择N个第二信号输入端之一与第二信号输出端连接。

[0108] 例如,在与第X个被选择的第一信号输入端连接的第一感测线以及与第X个被选择的第二信号输入端连接的第二感测线之间设置的部分第一感测线和部分第二感测线的总数等于 $2 \times (N-X)$ 或者 $2 \times (X-1)$;也即,在与第X个被选择的第一信号输入端电连接的第一像素电路以及与第X个被选择的第二信号输入端电连接的第二像素电路之间设置的部分第一像素电路和部分第二像素电路的总数等于 $2 \times (N-X)$ 或者 $2 \times (X-1)$ 此处,X大于等于1且小于等于N。例如,上述显示面板的信号读取方法可参见显示面板的实施例,在此不再赘述。

[0109] 例如,步骤S100在多个第一像素的驱动晶体管的第一极的电压较为稳定,且多个第一像素的驱动晶体管截止之前执行。例如,每个第一像素的驱动晶体管的第一极的电压与该第一像素的驱动晶体管截止后的第一极的电压(源极电压)的比值大于90%(例如,大于95%、大于98%、大于99%或者大于99.5%)。

[0110] 例如,步骤S200在多个第二像素的驱动晶体管的第一极的电压较为稳定,且多个第二像素的驱动晶体管截止之前执行。例如,每个第二像素的驱动晶体管的第一极的电压与该第二像素的驱动晶体管截止后的第一极的电压(源极电压)的比值大于90%(例如,大于95%、大于98%、大于99%或者大于99.5%)。

[0111] 本公开的至少一个实施例还提供了一种显示装置,其包括本公开任一实施例提供的显示面板。

[0112] 图6是本公开的至少一个实施例提供的显示装置10的示例性框图。例如,如图6所示,该显示装置10包括显示面板100。

[0113] 例如,图7示出了图6所示的显示装置10的示意图。例如,如图7所示,该显示装置10包括显示面板100的像素电路、信号转换器ADC、数据线DL、感测线SEN1和控制装置120,显示装置10具有显示区域和围绕显示区域设置的周边区域;显示装置10的显示区域包括多个像素单元,每个像素单元可以包括像素电路,显示装置10所包括的像素单元例如可以排布成阵列,相应地像素电路例如可以排布成阵列。需要说明的是,为清楚起见,显示装置10仅示出了一个像素电路,但本公开的实施例不限于此。

[0114] 如图7所示,控制装置120设置在位于显示区域之外的周边区域。例如,显示装置10还可以包括也设置在周边区域的数据驱动电路130、检测电路140和扫描驱动电路(未示出)。

[0115] 例如,像素电路可以采用图3B所示的像素电路、图1A所示的像素电路、图1B所示的像素电路或其它适用的像素电路或其它适用的像素电路,像素电路的具体结构此处不再赘述。如图7所示,像素电路包括驱动晶体管T3、感测开关晶体管T2(其控制端为G2)和选通晶体管T1(其控制端为G1),该驱动晶体管包括第一极,该感测线SENL与驱动晶体管T3的第一极电连接。

[0116] 例如,检测电路140配置为从感测线SENL读取第一感测电压。例如,检测电路140可以为采样电路,采样电路可提供采样信号SAMP,并可经由感测开关晶体管T2从驱动晶体管T3的第一极获取第一感测电压。

[0117] 显示装置10例如还包括选择信号生成器(图中未示出),该选择信号生成器被配置为响应控制装置120的控制信号生成选择信号。

[0118] 例如,控制装置120配置为基于信号转换器ADC提供的感测信号或者利用基于信号转换器ADC获取的感测信号获取的阈值信号(阈值电压)对显示面板的各个像素电路进行阈值补偿(例如,生成用于显示面板的各个像素电路的补偿后的信号)。

[0119] 例如,控制装置120还配置为控制数据驱动电路130和检测电路140。例如,数据驱动电路130配置为根据实际应用需求在不同的时刻提供补偿后的数据电压。扫描驱动电路用于提供感测开关晶体管T2和选通晶体管T1的扫描信号,以控制感测开关晶体管T2和选通晶体管T1的导通状态(例如,导通或截止)。

[0120] 需要说明的是,为描述方便,本公开的一些实施例引入了信号输入端、信号输出端等,但本领域技术人员可以理解,信号输入端、信号输出端等是信号传输所经由的路径,并不要求在显示面板中存在例如焊盘结构作为信号输入端、信号输出端等。在一些示例中,如图4A所示,信号输入端、信号输出端等可以与感测线一体化形成,不再赘述。

[0121] 虽然上文中已经用一般性说明及具体实施方式,对本公开作了详尽的描述,但在本公开实施例基础上,可以对之作一些修改或改进,这对本领域技术人员而言是显而易见的。因此,在不偏离本公开精神的基础上所做的这些修改或改进,均属于本公开要求保护的

范围。

[0122] 以上所述仅是本公开的示范性实施方式,而非用于限制本公开的保护范围,本公开的保护范围由所附的权利要求确定。

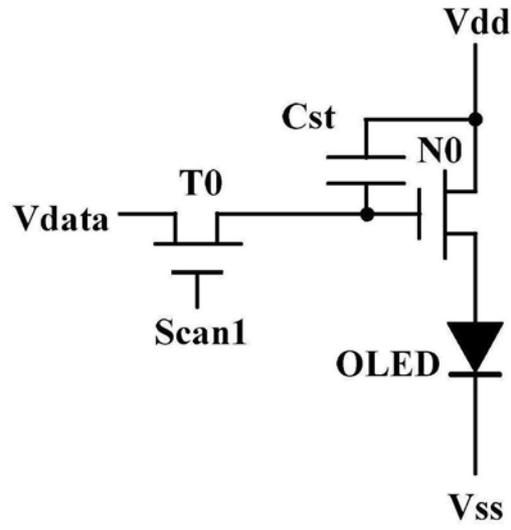


图1A

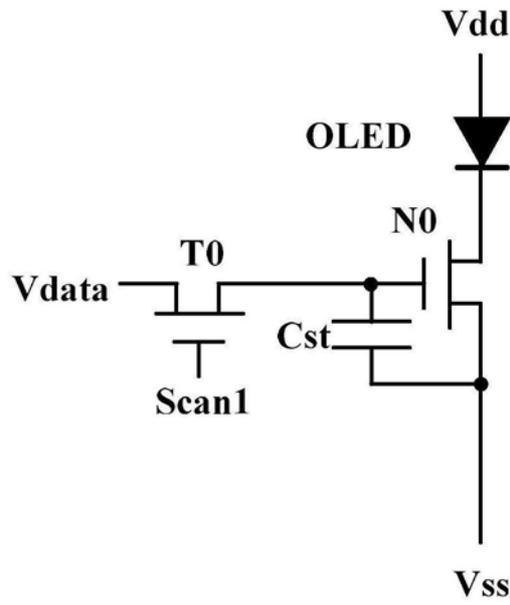


图1B

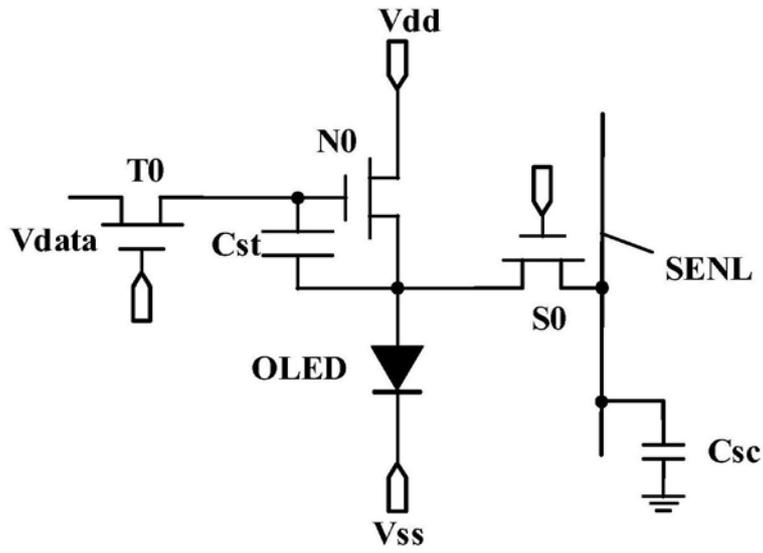


图1C

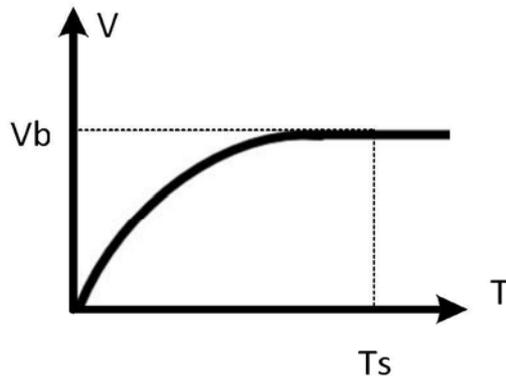


图1D

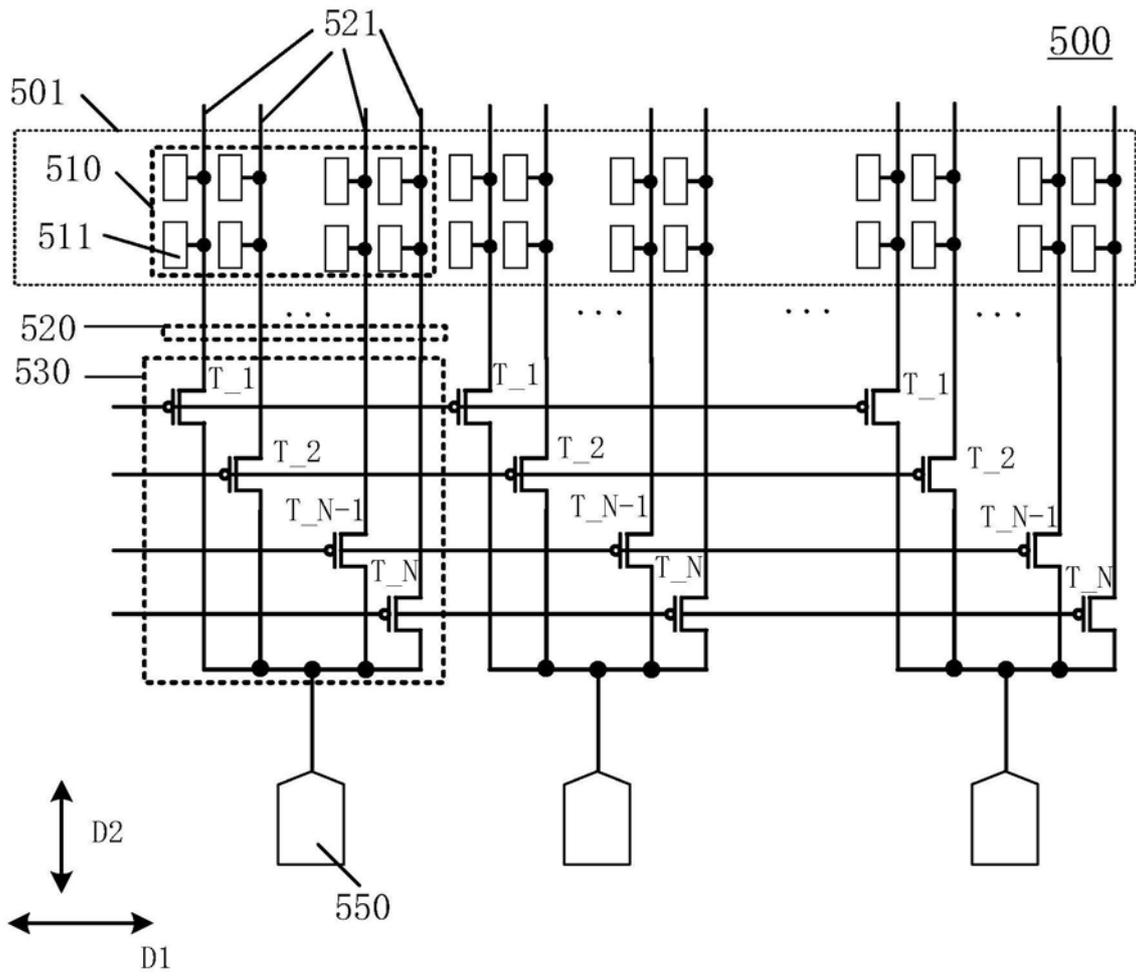


图2A

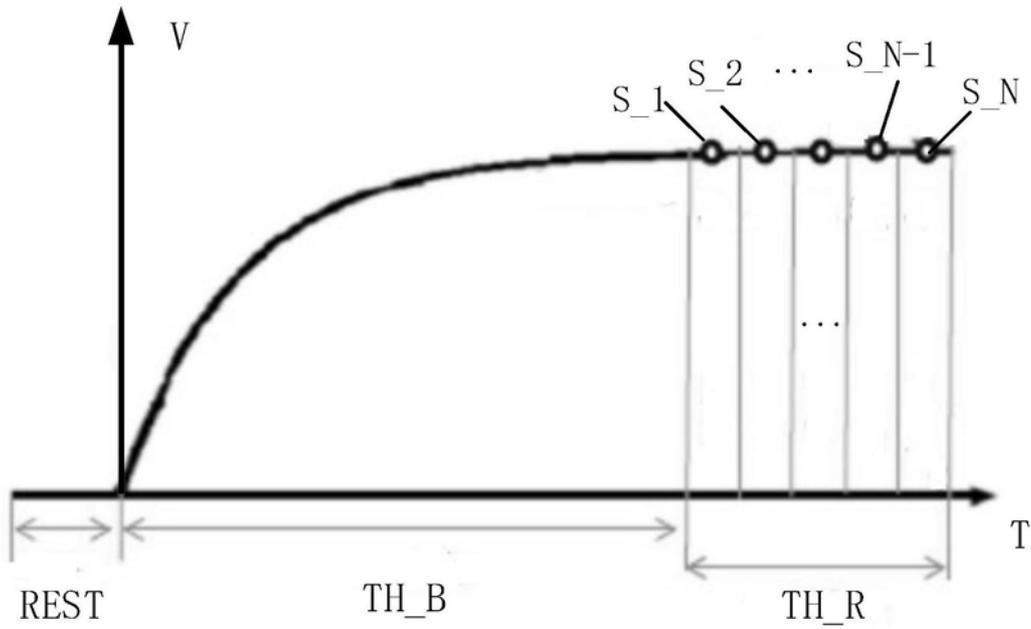


图2B

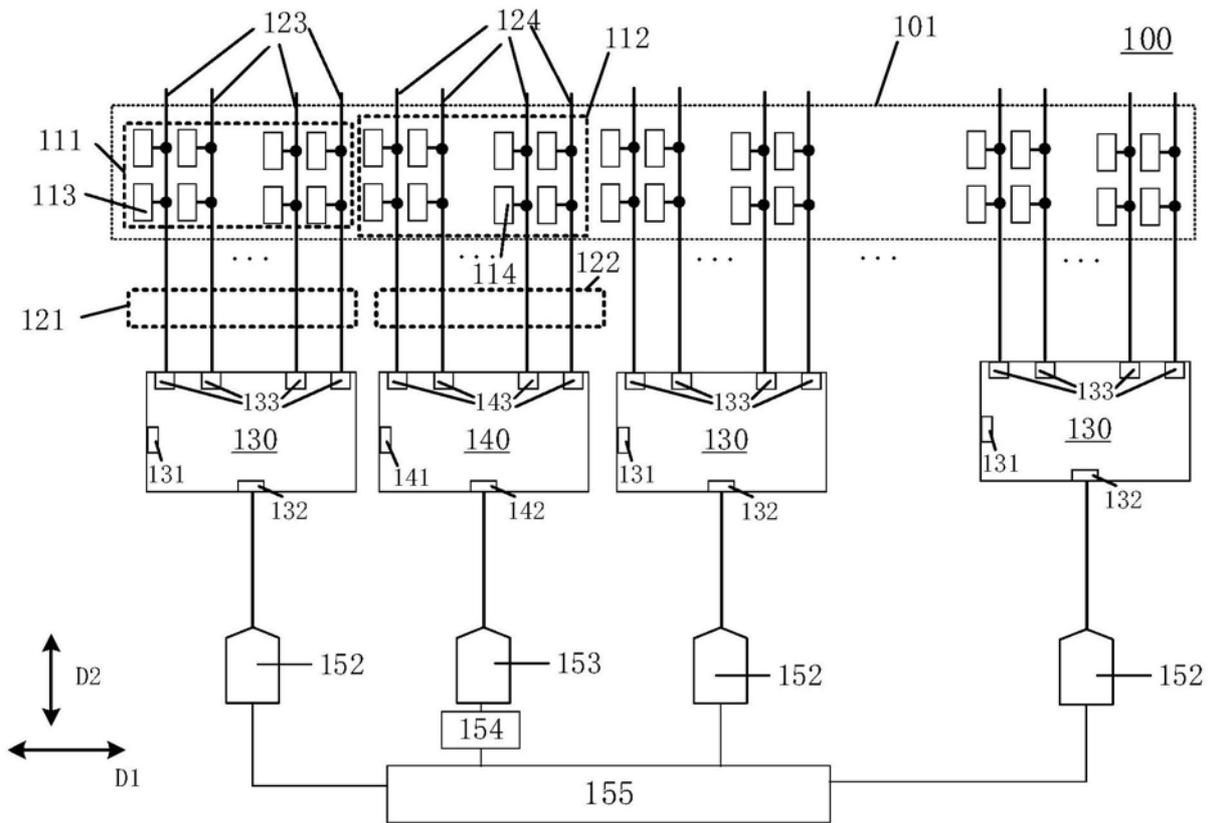


图3A

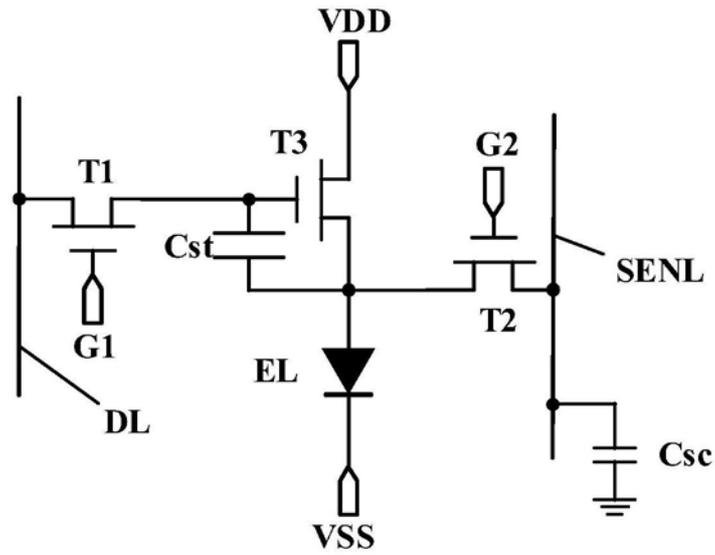


图3B

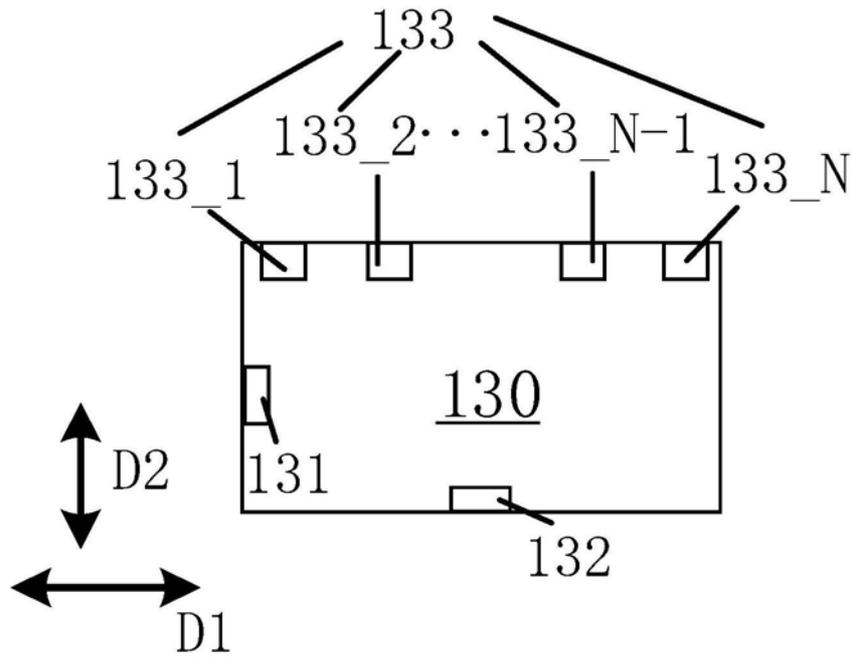


图3C

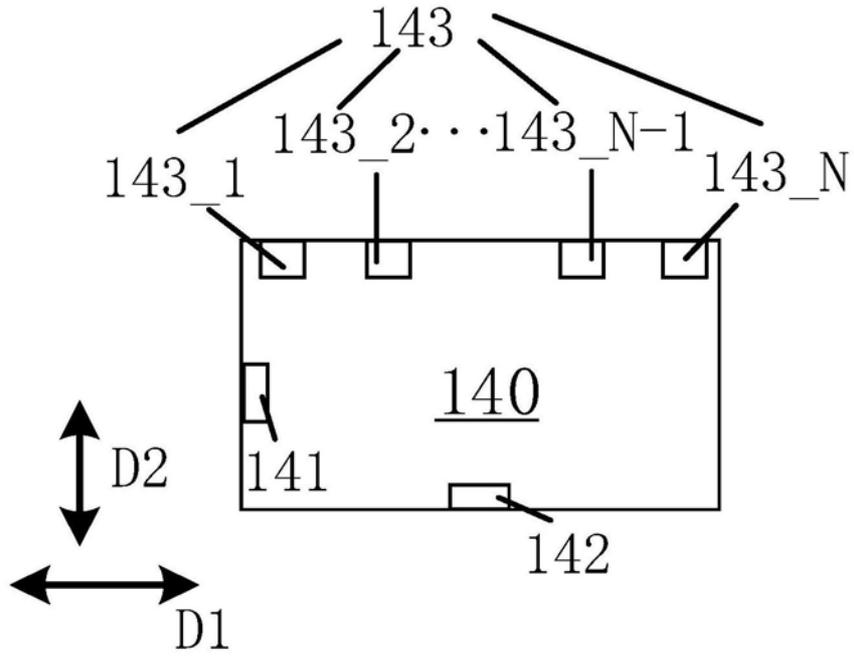


图3D

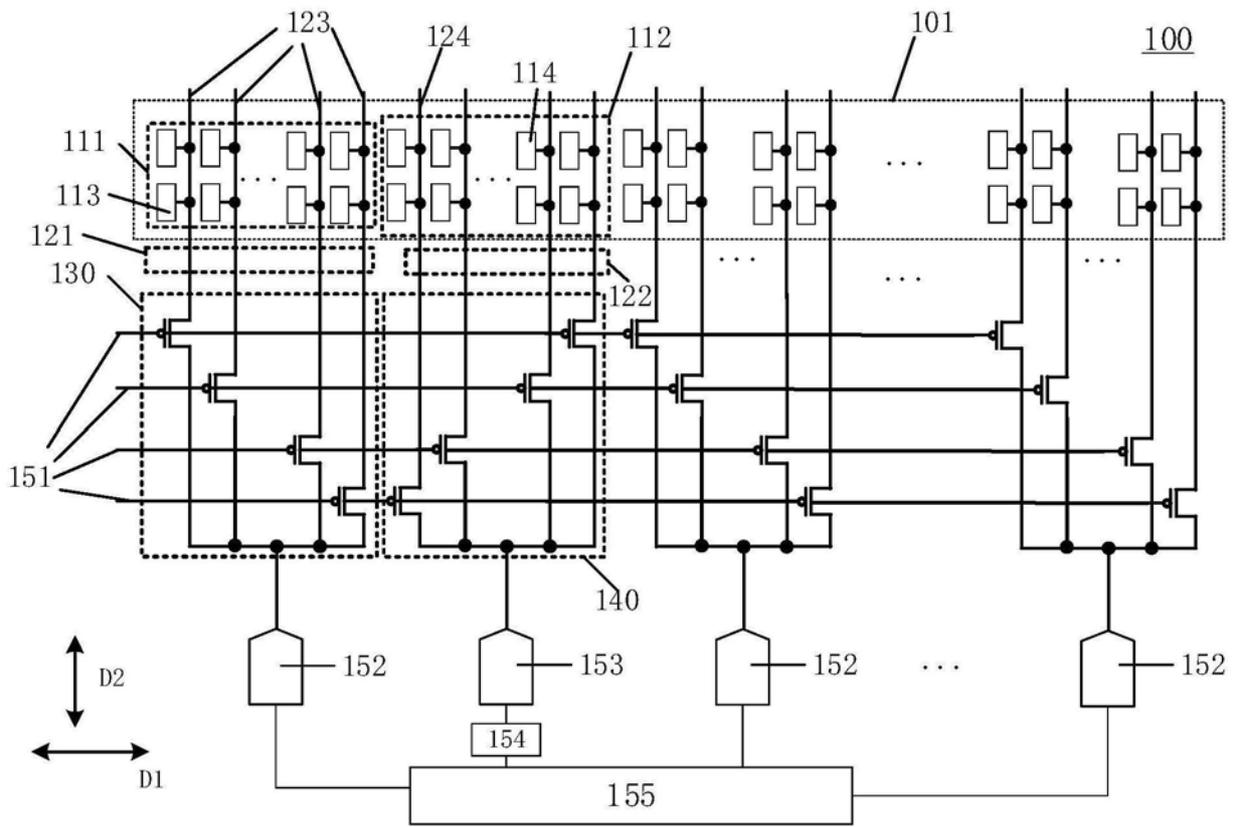


图4A

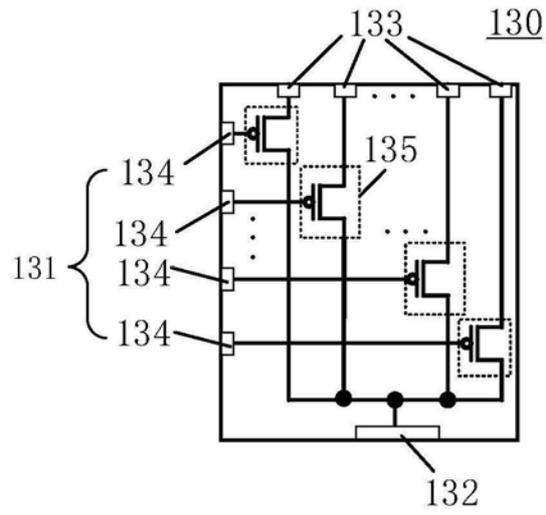


图4B

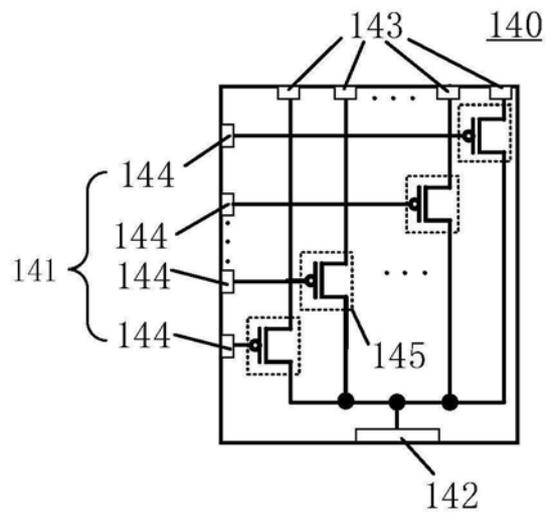


图4C

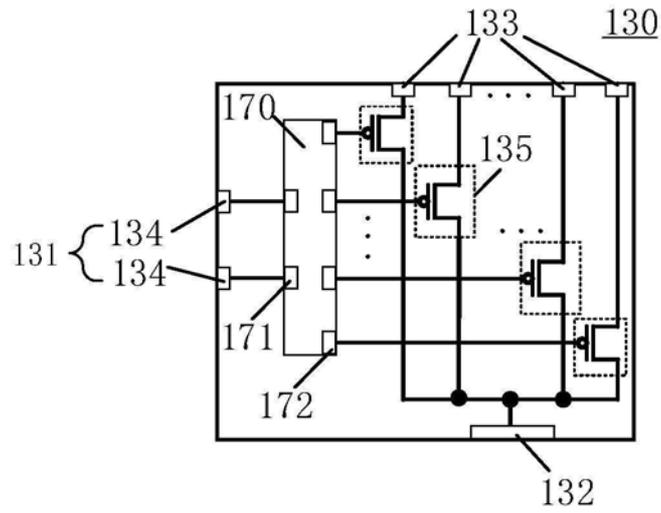


图4D

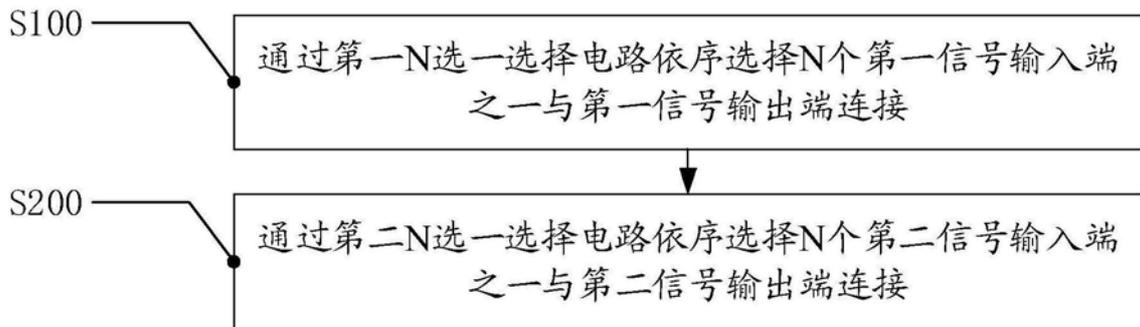


图5



图6

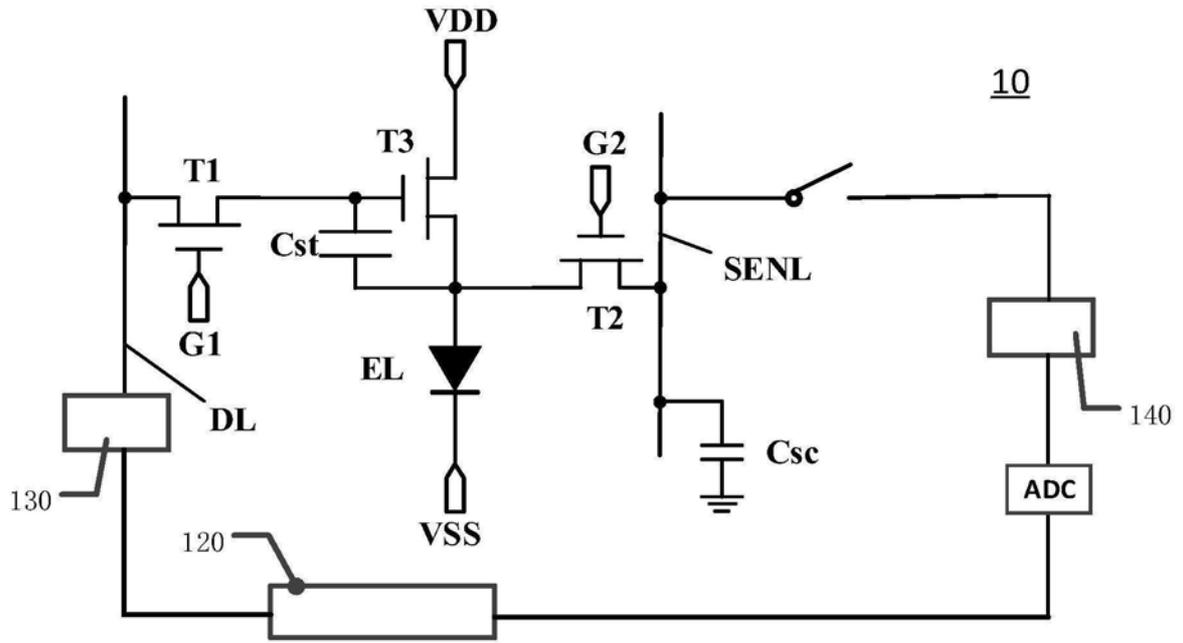


图7