

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 30 日(30.10.2014)



(10) 国際公開番号

WO 2014/174937 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2014/057314
- (22) 国際出願日: 2014 年 3 月 18 日(18.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-091373 2013 年 4 月 24 日(24.04.2013) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 林 豊(HAYASHI Yutaka); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 池上 敬一(IKEGAMI Keiichi); 〒3058568 茨城県つくば市梅園 1-1-1 中央第 2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 大野 恭秀(OHNO Yasuhide); 〒5620032 大阪府箕面市小野原西 1-3-5-308 Osaka (JP). 上村 崇史(KAMIMURA Takafumi); 〒1870013 東京都小平市

回田町 2 8 2-3 Tokyo (JP). 松本 和彦(MATSUMOTO Kazuhiko); 〒6110002 京都府宇治市木幡御蔵山 3 9-4 0 5 Kyoto (JP).

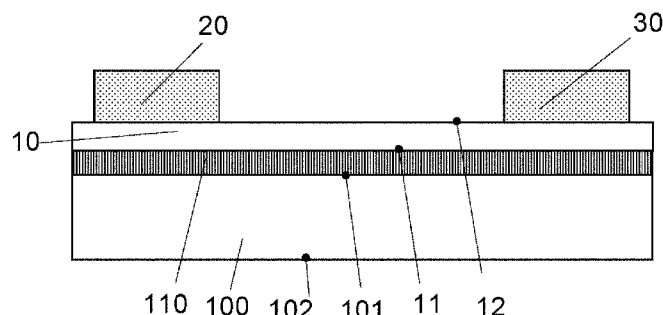
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE HAVING HETEROGENEOUS MATERIAL CONNECTION

(54) 発明の名称: 異種材料接合を有する半導体デバイス



(57) Abstract: A high-temperature production step cannot be used when producing a semiconductor device on a glass substrate or an organic sheet, or when providing a heavy metal positioning mark of platinum, gold, or the like on a device production substrate in the case of using electron beam lithography. By providing a connection such that a first conductive region, a first insulating film, a first semiconductor thin film, and a second or third region are laminated in the given order, and a space charge region is formed between the first insulating film and the second or third region within the first semiconductor thin film at the section at which the second or third region contacts the first semiconductor thin film, a semiconductor device connection or a semiconductor device is provided such that the second or third region can be produced at a low temperature.

(57) 要約: 電子ビームリソグラフィを使用する場合に白金、金などの重金属の位置合わせマークをデバイス製造基板上に設けた場合、またガラス基板、有機物シート上に半導体デバイスを製造するとき、高温製造工程は使用できない。第 1 導電性領域、第 1 絶縁膜、第 1 半導体薄膜、第 2 または第 3 領域を順に積層し、該第 2 または第 3 領域が該第 1 半導体薄膜に接する部分で該第 1 半導体薄膜内に該第 2 または第 3 領域と該第 1 絶縁膜との間に空間電荷領域を形成されている接合を提供することにより、該第 2 または第 3 領域を低温で製造できる半導体デバイス接合または半導体デバイスを提供する。



WO 2014/174937 A1

明 細 書

発明の名称：異種材料接合を有する半導体デバイス

技術分野

[0001] 本発明は低温形成異種材料接合と該異種材料接合を有する半導体デバイスに関する。

背景技術

[0002] 化合物半導体デバイスの分野ではキャリア閉じ込めなどのために原子組成の異なる化合物半導体同士の接合、すなわちヘテロ接合が使われてきた。しかし、そのヘテロ接合の生成にはエピタキシャル成長等の高温製造工程が使用されてきた。

また結晶シリコンデバイスではソース、ドレイン等のトランジスタのp n接合はシリコン基板にイオン注入と高温熱処理、またはエピタキシャル成長等の800℃以上の高温製造技術が適用されてきた。

[0003] 最近ではLSI用微細MIS電界効果トランジスタの性能を向上するために金属シリサイドをMIS電界効果トランジスタのソースに適用する技術が開発されている(非特許文献1)。この技術では、金属ニッケルとシリコンをゲートに自動整合(self-align)してシリサイド反応を起こすために、ニッケルを結晶シリコン薄膜上に製膜してのち、シリコン基板を500℃程度の温度で加熱する必要がある。この過程でニッケルシリサイド(NiSi₂)は結晶シリコン薄膜の表面から裏面まで到達し、結晶シリコン薄膜裏面が接している裏面のシリコン酸化膜まで到達している。ニッケルシリサイドとシリコンとが作るバリアの高さはホウ素等の不純物のイオン注入で低下させ、シリサイド・シリコンが作るソース接合のエネルギーバリアを等価的に下げている。

[0004] しかし、電子ビームリソグラフィを使用する場合に白金、金などの重金属の位置合わせマークをデバイス製造基板上に設けてしまうとこのような高温製造工程は使用できない。またガラス基板、有機物シート上に半導体デバイスを製造するときも同様に高温製造工程は使用できない。

先行技術文献

非特許文献

- [0005] 非特許文献1: W. Mizubayashi, et al., “Exact Control of Junction Position and Schottky Barrier Height in Dopant-Segregated Epitaxial NiSi₂ for High Performance Metal Source/Drain MOSFETs”, 5A-3, 2011 Symposium on VLSI Technology

発明の概要

発明が解決しようとする課題

- [0006] 重金属位置合わせマークが設けられたシリコン基板、ガラス上、有機物シート上の半導体デバイス用接合としても適用可能な、低温で形成できる半導体デバイスの接合の構成が必要である。

課題を解決するための手段

- [0007] このために本発明では低温形成可能で半導体デバイス接合として動作する異種材料接合と該異種材料接合を有する半導体デバイスを提供する。

具体的には以下(1)～(9)の手段による。

- [0008] (1) 第1導電性領域と、該第1導電性領域に接して設けられた第1絶縁膜と、第1表面と第2表面を有する第1半導体薄膜と、該第1半導体薄膜と異種材料の第2領域と、該第1半導体薄膜と異種材料の第3領域と、から少なくとも構成され、該第1半導体薄膜は該第1表面で該第1絶縁膜と接して設けられ、該第2領域と該第3領域は互いに離間して該第2表面で該第1半導体薄膜と接して設けられ、該第2表面と該第2領域が接する部分でまたは該第2表面と該第3領域が接する部分で該第2表面は該第1表面と対向し該第1表面と該第2表面間の該第1半導体薄膜に空間電荷層が形成されていることを特徴とする半導体デバイス。
- [0009] 本発明では「導電性領域」とは金属材料から構成される領域だけでなく、絶縁材料と比較して導電性を有する半導体から構成される領域も含む。絶縁材料から構成される領域、例えば絶縁膜と対照されて使用される。

異種材料とは第1半導体薄膜を構成する材料とが同じ原子で構成される場合でも異種材料と言うことがある。例えば同じシリコン原子から構成される結晶シリコンと水素化アモルファスシリコン(aSi:H)とは本発明では異種材料と分類される。原子結合様態が異なりエネルギーバンド等電子構造が異なるので材料としての電気特性が同一ではないからである。

ここで空間電荷層とは価電子制御不純物から電子、正孔が離脱して価電子制御不純物が荷電状態になっている層、電子または正孔が半導体の中性状態より不足して存在するまたは過剰に存在する層を言う。この空間電荷層が前記第1表面と前記第2表面間に広がるための第1半導体薄膜の膜厚 d は、
[数1]

$$d < 2(\kappa \epsilon_0 \phi_f / qN)^{1/2} \quad \cdots (1)$$

である必要がある。ここで、

ϵ_0 : 真空の誘電率

κ : 第1半導体薄膜の比有電率

ϕ_f : 第1半導体薄膜のエネルギーギャップの中央から測定したフェルミレベル

q : 電子電荷

N : 第1半導体薄膜の(価電子制御)不純物濃度。

[0010] 第1半導体薄膜が中性状態の時に異種材料との間で高いバリアが形成されていても、第1半導体薄膜内に空間電荷層が形成されていると、この空間電荷層により形成された電界でこのバリア高さが低下する。このバリア高さの低下によりキャリアがこのバリアを越え易くなり、第1半導体薄膜と異種材料で形成された第2領域または第3領域との間で電流が流れやすくなる。この空間電荷層の電界に更に第1導電性領域の電位による電界が重畳して、このバリア高さが調節され接合の抵抗が更に変化する。

この空間電荷層が形成される第1導電領域の電位は、該第1導電領域の仕事関数と該異種材料の仕事関数差、前記第1絶縁膜中に存在する電荷の量で変化する。例えば、該半導体薄膜がp形半導体の場合、該電荷が正電荷の場合

は、該空間電荷層が形成される第1導電領域の電位は負方向へシフトする。

前記第2領域と前記第3領域間を前記第1半導体薄膜内または前記第1表面または前記第2表面を通して流れる電流は、前記第1導電性領域の電位により変化する。言い換えれば前記第2領域と第3領域間の抵抗値は第1導電性領域の電位により調節可能である。

したがって、第2領域と第3領域間の第1半導体薄膜に電界効果トランジスタなどのトランジスタ要素を組み込めば、第2領域、第3領域から該トランジスタ要素の電流を取り出すことが出来る。たとえば下記(2)の構成が提供できる。

[0011] (2)(1)記載の半導体デバイスにおいて、前記第2領域と前記第3領域間の前記第1半導体薄膜の前記第2表面に設けられた第2絶縁膜と、該第2絶縁膜に接して、かつ前記第2領域、前記第3領域と離間して設けられた第2導電膜とから、更に構成されたことを特徴とする(1)記載の半導体デバイス。

該第2絶縁膜は、第1半導体薄膜が結晶シリコンの時、シリコン酸化膜、シリコン窒化膜、第1半導体薄膜がInGaAsの時、酸化アルミニウムなどが使われる。

[0012] (3) 前記第2表面と前記第2絶縁膜と前記第2導電膜は前記第1半導体薄膜の延在する第1方向を軸として前記第1半導体薄膜を前記第2領域と前記第3領域間で少なくとも一部囲む形状を有し、その部分での前記第1半導体薄膜の前記第1方向と直交する断面の外周は外に凸の形状を有することを特徴とする(2)記載の半導体デバイス。

ここで凸の形状とは円形、楕円形、多角形等、外側に凸部分を有する閉図形の一部である。

(4) 前記断面外周のうち前記第2絶縁膜に覆われない部分の幅が前記第1半導体薄膜の厚さの2倍以下であることを特徴とする(3)記載の半導体デバイス。

前記断面の外周が前記第2絶縁膜および第2導電膜に覆われている前記第

1 半導体薄膜の凸形状の部分では、それ以外の部分より、前記第1半導体薄膜を通る電流の前記第2導電膜の電位による制御能力が向上する。したがって、それ以外の部分での前記第1半導体薄膜の抵抗値を第1導電性領域の電位により低く設定し、第2導電膜の電位による凸形状の部分の第1半導体薄膜の制御特性をより精度よくデバイス外部へ取り出すことができる。前記断面外周のうち前記第2絶縁膜に覆われない部分の幅は図11において「}14」で示されている。

[0013] (5) 前記第2絶縁膜を第2多層膜としたことを特徴とする(2)記載の半導体デバイス。

第2多層膜は例えば第2導電膜側からシリコン酸化膜/シリコン窒化膜/シリコン酸化膜、酸化アルミニウム膜/シリコン窒化膜/シリコン酸化膜、シリコン酸化膜/シリコン窒化膜などからなり、第2導電膜と第1半導体膜との間に電圧を印加することにより電子情報を記憶させることが出来る。

第2多層膜は2層膜でも記憶機能を発現させることが出来る。

[0014] (6) 前記第1導電性領域は半導体基板であることを特徴とする(1)記載の半導体デバイス。

(7) 更に支持基板が設けられ、前記第1導電性領域は該支持基板上に電氣的に分離されて設けられていることを特徴とする(1)記載の半導体デバイス。

「電氣的に分離」とは該支持基板が半導体基板の場合は該支持基板と整流接合を形成して、該整流接合が逆バイアスされる電位関係では前記第1導電性領域は該整流接合の耐圧の範囲で任意の電位をとりうる状態を言う。更に該支持基板上に第3絶縁膜を設け絶縁性支持基板とし、該第3絶縁膜上に接して前記第1導電性領域が設けられ、該第3絶縁膜の耐圧の範囲で第1導電性領域は任意の電位をとることが出来る。

(8) 前記第2領域および前記第3領域はアルミニウム薄膜であることを特徴とする(1)記載の半導体デバイス。

(9) 前記第2領域および前記第3領域は金属と水素化アモルファスシリ

コンの２層膜で、該水素化アモルファスシリコンが第１半導体薄膜に接していることを特徴とする(１)記載の半導体デバイス。

発明の効果

[0015] 本発明の異種材料接合、半導体デバイスは低温製造工程に好適である。たとえば第２領域、第３領域がアルミニウム薄膜である場合は製造工程の温度は４５０℃以下室温まで可能である。したがって、たとえば、白金、金などの重金属のアラインメントマークの必要な電子ビーム露光技術によりデバイスを作成するときには望ましい接合、半導体デバイスである。第１半導体薄膜が結晶シリコンである場合は、白金は６９５℃以上で、金は３７０℃以上で結晶シリコンと合金を作ってしまうので、それ以下の温度の製造工程が必要である。またガラス、有機フィルムへ低温形成半導体デバイスによる電子回路、ディスプレイ、センサなどの製造を行うことが出来る。

[0016] 第２領域、第３領域と第１半導体薄膜との間に形成される電子障壁高さまたは障壁厚は、第１絶縁膜を通して第１導電性領域から供給される電界により低くまたは薄く制御出来るので、非特許文献１で電子障壁高さを低くするために使われているイオン注入工程は必ずしも必要としない。

第２領域、第３領域間の第１半導体薄膜に形成されたトランジスタ要素は、第２領域または第３領域と該トランジスタ要素間の第１半導体薄膜に誘起された電子層または正孔層で第２領域、第３領域まで結合されるので、従来のpn接合等の作成に伴う欠陥、ストレスなどが無いためリーク電流が小さく、微細化に伴う耐圧の劣化を防ぐことが出来る。

図面の簡単な説明

[0017] [図１]本発明の半導体デバイスの第１実施形態の断面図

[図２]本発明の半導体デバイスの第１実施形態にかかわる第１実施例の電流電圧特性

[図３]本発明の半導体デバイスの第１実施形態にかかわる第２実施例の電流電圧特性

[図４]本発明の半導体デバイスの第１実施形態にかかわる第３実施例の電流電

圧特性

[図5]本発明の半導体デバイスの第2実施形態の断面図

[図6]本発明の半導体デバイスの第2実施形態にかかわる第4実施例の電流電圧特性

[図7]本発明の半導体デバイスの第2実施形態にかかわる第4実施例の第2または第3領域と同じ材料を第1半導体薄膜と同様な抵抗率、面指数の半導体基板上に設けた場合の接合の電流電圧特性

[図8]本発明の半導体デバイスの第3実施形態の断面図

[図9]本発明の半導体デバイスの第3実施形態にかかわる第5実施例の電流電圧特性

[図10]本発明の半導体デバイスの第4実施形態の断面図

[図11]本発明の半導体デバイスの第5実施形態の断面図

[図12]本発明の半導体デバイスの第6実施形態の断面図

[図13]本発明の半導体デバイスの第7実施形態の断面図

発明を実施するための形態

[0018] 本発明の記憶素子の実施形態例、実施例を以下に示す。

図1は本発明の第1実施形態例の断面図である。10は第1半導体薄膜、11は該第1半導体薄膜の第1表面、12は該第1半導体薄膜の第2表面、20は第2領域、30は第3領域、100は第1導電性領域、101は該第1導電性領域の第1表面、102は該第1導電性領域の第2表面、110は該第1導電性領域の該第1表面に設けた第1絶縁膜で、該第1絶縁膜に該第1半導体薄膜がその第1表面で接して設けられている。

[0019] 第1導電性領域100は金属シート、ガラス基板上に設けられた金属薄膜または不純物をドーピングした半導体薄膜などの導電性薄膜、半導体シートまたは半導体基板などから構成される。第1絶縁膜110はシリコン酸化膜、シリコン窒化膜などで構成される。第1半導体薄膜10は結晶シリコン薄膜、結晶ゲルマニウム薄膜、化合物半導体薄膜たとえばInGaAs薄膜、有機半導体薄膜などで構成される。第2および第3領域にはアルミニウム、ニッ

ケル、ニッケル/クロム、モリブデンなどの金属薄膜が用いられる。金属薄膜はシリコン添加アルミニウムなど、第1半導体薄膜との望ましくない反応を防止する添加物、シリコンおよびホウ素添加ニッケルなど等価的な仕事関数を調節する添加物を加える場合がある。また、第2および第3領域にはニッケル/クロム、金属薄膜/水素化アモルファスシリコン系薄膜などの2層膜が用いられる。この場合、/の右側の材料が該第1半導体薄膜に接する。更にアルミニウム添加、またはチタン添加酸化亜鉛を第2および第3領域の材料としても用いることも出来る。

これらの第2および第3領域材料は電子ビーム蒸着、低温CVD、スパッタなど低温で第1半導体薄膜上に形成することが出来る。

[0020] 図1の第1実施形態例において、第1導電性領域100としてp形 $5\Omega\text{-cm}$ 、(100)面の結晶シリコン基板を、第1絶縁膜110として145nm厚のシリコン酸化膜を、第1半導体薄膜10として25nm厚(第1表面と第2表面間の距離)のp形 $10\Omega\text{-cm}$ 、(100)面の結晶シリコン薄膜を、第2、第3領域として電子ビーム蒸着で形成した140nm厚のアルミニウム薄膜を用いて試作した半導体デバイスの第1実施例を試作した。第2領域と第3領域の間隔は約 $300\mu\text{m}$ 、この方向に直交する方向の第2領域、第3領域の各幅は約2.4mmである。図2は第2領域20-第3領域30間に流れる電流 I_{23} を第2領域20-第3領域30間電圧 V_{23} に対してプロットしたこのデバイスの電流電圧特性である。この特性は第1導電性領域100の電位 V_1 (この場合第3領域の電位をレファレンスとしている)をパラメータとしてあらわされている。 V_1 が変化しても電流 I_{23} が飽和を始める電圧 V_{23s} の値は0.5V程度とほぼ一定値である。

[0021] このデバイスを、第1導電性領域をゲート、第2領域をドレイン、第3領域をソースとした絶縁ゲート電界効果トランジスタと見れば、電流 I_{23} が飽和を始める電圧 V_{23s} は $(V_1 - V_{th})$ に比例するはずである。ここで、 V_{th} はこの絶縁ゲート電界効果トランジスタのゲート閾値電圧である。

この比例関係は第1導電性領域100の電位 V_1 により増減された電流通

路(第1半導体薄膜10内または表面の)のキャリア数が電流電圧特性を決めている場合に現れるが、本実施例1の半導体デバイスはこの原理により動作していないことがわかる。とすると、図2の電流電圧特性から、第3領域と第1半導体薄膜との接合のバリア高さまたはバリア厚を V_1 が変化させた結果電流が V_1 の値により増減していると考えられる。このためには第1半導体薄膜の第1表面から第3領域の接する第2表面にいたる部分で第1半導体薄膜が空間電荷層を形成している必要があり、ハードウェア構造は類似であるが、電子構造は従来のいわゆる絶縁ゲート電界効果トランジスタとは異なるトランジスタである。

上記半導体薄膜の材料の誘電率(この場合、シリコンで誘電率は 1.06×10^{-12} (Farad/cm))、導電形、抵抗率を用いて(1)式から d の上限を計算すると500nmとなるので、25nm厚の第1半導体薄膜は第1半導体薄膜内全体に空間電荷層が作られる条件を満たしている。したがって第1導電領域の電位 V_1 または第1絶縁膜内の電荷量により第1表面に形成されたバリアの高さを制御することが出来る。

[0022] 図3は第1実施例の第1半導体薄膜の厚さを35nmとした場合の第2実施例の電流電圧特性である。第2領域20-第3領域30間電流 I_{23} を第2領域20-第3領域30間電圧 V_{23} に対して、第1導電性領域の電位 V_1 をパラメータとしてプロットしてある。他の材料、寸法は同一である。第2領域20-第3領域30間電流 I_{23} が飽和を始める電圧 V_{23s} はわずかに $(V_1 - V_{th})$ にしたがって増加しているがその比例定数は1よりはるかに小さい。

上記半導体薄膜の材料の誘電率(この場合、シリコンで誘電率は 1.06×10^{-12} (Farad/cm))、導電形、抵抗率を用いて(1)式から d の上限を計算すると500nmとなるので、35nm厚の第1半導体薄膜は第1半導体薄膜内全体に空間電荷層が作られる条件を満たしている。したがって第1導電領域の電位 V_1 または第1絶縁膜内の電荷量により第1表面に形成されたバリアの高さを制御することが出来る。

[0023] 図4は第1実施例の第1半導体薄膜の厚さを70nmとした場合の第3実

施例の電流電圧特性である。第2領域20-第3領域30間電流 I_{23} を第2領域20-第3領域30間電圧 V_{23} に対して、第1導電性領域の電位 V_1 をパラメータとしてプロットしてある。他の材料、寸法は同一である。第2領域20-第3領域30間電流 I_{23} が飽和を始める電圧 V_{23s} はわずかに $(V_1 - V_{th})$ にしたがって増加しているがその比例定数は1よりはるかに小さい。

上記半導体薄膜の材料の誘電率(この場合、シリコンで誘電率は $1.06E-12$ (Farad/cm))、導電形、抵抗率を用いて(1)式から d の上限を計算すると500nmとなるので、70nm厚の第1半導体薄膜は第1半導体薄膜内全体に空間電荷層が作られる条件を満たしている。したがって第1導電領域の電位 V_1 または第1絶縁膜内の電荷量により第1表面に形成されたバリアの高さを制御することが出来る。

[0024] 図5は図1で、第2領域20、第3領域30がそれぞれ21、22および31、32と2層構造になっている場合の第2実施様態である。さらに図5では該第1半導体薄膜の該第2表面にパッシベーション膜15を設けた例も示してある。

22/21、32/31の構造としてニッケル/クロム、アルミニウム/水素化アモルファスシリコンなどの材料の組み合わせを用いることが出来る。

パッシベーション膜15には水素化アモルファスシリコン系薄膜、シリコン酸化膜、シリコン窒化膜、酸化アルミニウムなどを用いることが出来る。

[0025] 図6は第1実施例の第1半導体薄膜の厚さは変更せず、第1半導体薄膜上に水素化アモルファスシリコン薄膜をパッシベーション膜15として設け、第2領域、第3領域の構成を140nm厚のアルミニウム薄膜/10nm厚の水素化アモルファスシリコン薄膜の2層構造とした、第4実施例の電流電圧特性である。第2領域20-第3領域30間電流 I_{23} を第2領域20-第3領域30間電圧 V_{23} に対して、第1導電性領域の電位 V_1 をパラメータとしてプロットしてある。他の材料、寸法は同一である。第2領域20-第3領域30間電流 I_{23} が飽和を始める電圧 V_{23s} はわずかに $(V_1 - V_{th})$ にしたがって増加しているがその比例定数は1よりはるかに小さい。

水素化アモルファスシリコン薄膜は荷電子制御用不純物の添加をせず、室温に近い温度で製膜した。

[0026] アルミニウム薄膜/水素化アモルファスシリコンと p 形 $10\ \Omega\text{-cm}$ (100) 面結晶シリコンとの接合の電流電圧特性を確認するために、図 6 の第 4 実施例の第 2 領域および第 3 領域と同じ材料構成、厚みを有する電極を p 形 $10\ \Omega\text{-cm}$ (100) 面結晶シリコン基板上に設けてその電流電圧特性を測定した。図 7 にこの接合の電流電圧特性を示す。明確な整流性を示す。図 7 の電圧軸の符号は該電極の符号と同じである。電極が負のときに順方向特性を示し、アルミニウムの仕事関数 ($(-)\ 4.08 \sim 4.3\ \text{eV}$) と p 形結晶シリコン ($(-)\ 4.9\ \text{eV}$) のフェルミレベルの位置関係をよく反映している。この実験結果は第 4 実施例の第 2 領域、第 3 領域と第 1 半導体薄膜とはその接合面で電子障壁が形成されていることが示唆されている。

[0027] 図 8 は前記第 2 領域と第 3 領域間の前記第 1 半導体薄膜にトランジスタ要素を組み込んだ場合の第 3 実施様態の断面図を示す。図 8 において、120 は第 1 半導体薄膜 10 の第 2 表面 12 に接して設けられた第 2 絶縁膜、130 は該第 2 絶縁膜に接して設けられた第 2 導電膜である。これらは少なくとも前記第 2 領域と第 3 領域の間の第 1 半導体薄膜上に設けられ、電界効果トランジスタのゲート絶縁膜、ゲートに対応するトランジスタ要素を構成している。前記第 1 半導体薄膜は該トランジスタ要素のチャネル構成領域としても機能する。

第 2 絶縁膜としては酸化アルミニウム、シリコン酸化膜、シリコン窒化膜、酸化ハフニウムなど高誘電率膜が用いられる。必要に応じて第 1 半導体薄膜との界面にバッファ層を設ける。

第 2 導電膜はアルミニウム、TiN などが用いられる。

[0028] 第 5 実施例として図 8 の第 3 実施様態の構成を有する第 5 実施例の半導体デバイスを試作した。第 1 導電性領域 100、第 1 絶縁膜 110、第 1 半導体薄膜、第 2 領域、第 3 領域の材料および厚さ方向の寸法は第 1 実施例と同じである。第 2 絶縁膜 120 は $20\ \text{nm}$ 厚の酸化アルミニウムとバッファ

層、第2導電膜130は140nm厚のアルミニウム薄膜である。第2領域、第3領域間隔は10.5 μ m、第2領域20と第2導電膜130との距離は4.5 μ m、第3領域と第2導電膜との距離は4 μ m、第2導電膜の第2領域と第3領域を結ぶ方向の長さ(ゲート長に相当)は2 μ m、第2領域と第3領域を結ぶ方向に直角方向の長さ(ゲート幅に相当)は2.9mmである。

図9はこの第5実施例の半導体デバイスの電流電圧特性である。電流 I_{23} 、電圧 V_{23} は第2領域、第3領域から取り出されているが、第2導電膜の電位 V_2 が変化するにしたがって、電流が変化している。この電流変化は第2導電膜下のトランジスタ要素の特性が現れている。なお、第1導電性領域の電位 V_1 は0V一定としている。

[0029] 図10は図8の第2絶縁膜を第1層121、第2層122、第3層123と3層構造の第2多層膜120とした場合の第4実施様態を示し、第1半導体薄膜に接する第1層121をシリコン酸化膜、その上の第2層122をシリコン窒化膜、さらにその上の第3層を酸化アルミニウムとするなど記憶要素を第2領域、第3領域の間の第1半導体薄膜の上に作りこみ、記憶機能を有する半導体デバイスを実現することが出来る。なお、該第2多層膜は2層構造でも記憶機構を実現することは出来る。

[0030] 図11は本発明の第5実施様態を示す。図8記載の番号は図11でも同様な構成要素を示す。図11では1で示される矢印は第1半導体薄膜の延在する第1方向を示す。

第2表面12は、図11において点線の囲み13で示される部分で該第1方向を軸として前記第1半導体薄膜10の一部を囲む形状を有する。図11には2-2と記された二点鎖線で点線の囲み13で示される部分が切断された断面図も同時に示されている。その部分での前記第1半導体薄膜の第1方向と直交する断面の外周は外に凸の形状を有している。図11ではこの断面形状は台形であるが、該凸の形状は円形、楕円形、多角形等任意の閉図形の一部である。第2表面12は該点線の囲み13で示される部分で第1半導体薄膜をすべて囲んだ構造でもよい。図11の実施様態の場合は、「14」で

示されている台形の底面は第2表面が第1半導体薄膜を囲んでいないので「一部を囲む」と記述しているが、該点線の囲み部分13で第1半導体薄膜10を第1絶縁膜110、第1導電性領域100と離間させ、第2表面で第1半導体薄膜のすべてを囲む構造とすることも出来る。

[0031] 上記断面の外周を第2導電膜130で囲む割合が大きいほど第1導電性領域の電位の影響を受けることなく、13部分の電流電圧特性はより第2導電膜の電位で制御されるようになり、半導体デバイスの設計が単純化される。すなわち、前記第2領域と第3領域間の前記第1半導体薄膜に組み込んだトランジスタ要素の設計と該トランジスタ要素の電流電圧特性を引き出す部分---該トランジスタ要素部分から第2領域、第3領域まで---の電流電圧特性とを独立して最適設計が可能となる。

[0032] 前記第1導電性領域への電位を支持基板から独立して与えるために前記第1導電性領域を絶縁性支持基板200上に設けた第6実施形態を図12に示す。図では該絶縁性支持基板200は導電性支持基板220上に絶縁膜210を設けて構成されている。

[0033] 同様に前記第1導電性領域への電位を支持基板から独立して与えるために前記第1導電性領域を半導体基板230表面領域にpn接合103を形成して電氣的に分離して設けた第7実施形態を図13に示す。この場合、前記第1導電性領域は該半導体基板230とは逆導電形の半導体であり、与えられる電位は接合103が逆バイアスされる極性の電位のみ可能である。

産業上の利用可能性

[0034] 本発明の技術により、LSIの多層配線の上に低温でメモリブロックなど機能ブロックが搭載できるので、信号処理にフレキシビリティを与えることが出来、電子機器の高機能化が促進される。

また、本発明の低温技術により、ガラス基板、有機フレキシブル基板上のディスプレイ回路またはセンサ回路に制御、メモリ機能を搭載することが出来る。

符号の説明

- [0035] 1 第1方向を表す矢印
- 2 ←→ 2 上記第1方向と直交する方向で、第1半導体薄膜を切断する線
- 1 0 第1半導体薄膜
- 1 1 第1半導体薄膜の第1表面
- 1 2 第1半導体薄膜の第2表面
- 1 3 第1半導体薄膜の閉図形の一部の断面を有する部分
- 1 5 パッシベーション膜
- 2 0 第2領域
- 2 1 第2領域の一部
- 2 2 第2領域の一部
- 3 0 第3領域
- 3 1 第3領域の一部
- 3 2 第3領域の一部
- 1 0 0 第1導電性領域
- 1 0 1 第1導電性領域の第1表面
- 1 0 2 第1導電性領域の第2表面
- 1 0 3 第1導電性領域と半導体基板の接合
- 1 1 0 第1絶縁膜
- 1 2 0 第2絶縁膜
- 1 2 0 第2多層膜
- 1 2 1 第2多層膜の第1層
- 1 2 2 第2多層膜の第2層
- 1 2 3 第2多層膜の第3層
- 1 3 0 第2導電膜
- 2 0 0 絶縁性支持基板
- 2 0 1 導電性基板の第1表面
- 2 1 0 第3絶縁膜
- 2 2 0 導電性支持基板

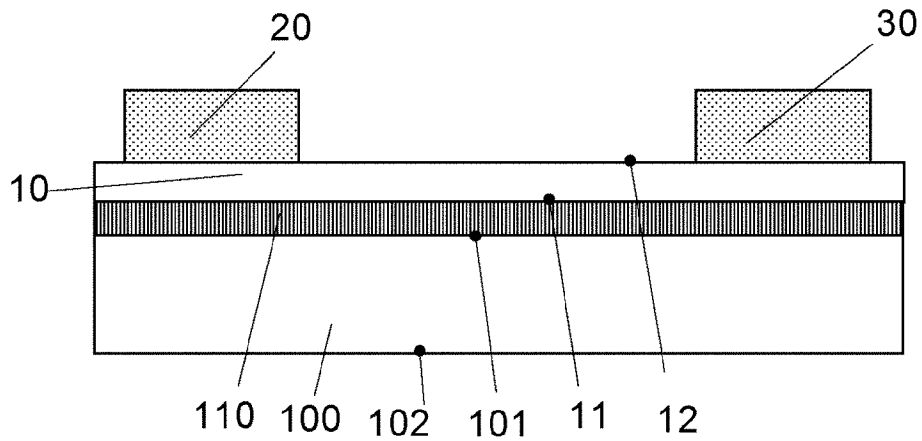
2 3 0 半導体基板

請求の範囲

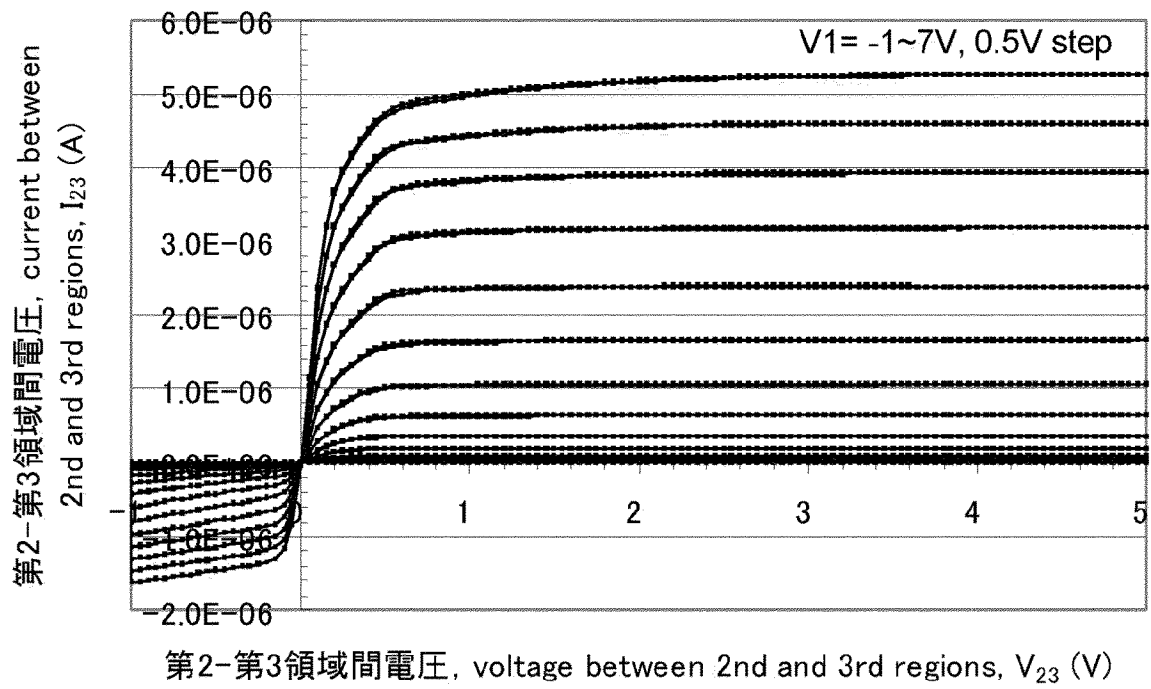
- [請求項1] 第1導電性領域と、該第1導電性領域に接して設けられた第1絶縁膜と、第1表面と第2表面を有する第1半導体薄膜と、該第1半導体薄膜と異種材料の第2領域と、該第1半導体薄膜と異種材料の第3領域と、から少なくとも構成され、該第1半導体薄膜は該第1表面で該第1絶縁膜と接して設けられ、該第2領域と該第3領域は互いに離間して該第2表面で該第1半導体薄膜と接して設けられ、該第2表面と該第2領域が接する部分でまたは該第2表面と該第3領域が接する部分で該第2表面は該第1表面と対向し該第1表面と該第2表面間の該第1半導体薄膜に空間電荷層が形成されていることを特徴とする半導体デバイス。
- [請求項2] 請求項1記載の半導体デバイスにおいて、前記第2領域と前記第3領域間の前記第1半導体薄膜の前記第2表面に設けられた第2絶縁膜と、該第2絶縁膜に接して、かつ前記第2領域、前記第3領域と離間して設けられた第2導電膜とから、更に構成されたことを特徴とする請求項1記載の半導体デバイス。
- [請求項3] 前記第2表面と前記第2絶縁膜と前記第2導電膜は前記第1半導体薄膜の延在する第1方向を軸として前記第1半導体薄膜を前記第2領域と前記第3領域間で少なくとも一部囲む形状を有し、その部分での前記第1半導体薄膜の前記第1方向と直交する断面の外周は外に凸の形状を有することを特徴とする請求項2記載の半導体デバイス。
- [請求項4] 前記断面外周のうち前記第2絶縁膜に覆われない部分の幅が前記第1半導体薄膜の厚さの2倍以下であることを特徴とする請求項3記載の半導体デバイス。
- [請求項5] 前記第2絶縁膜を第2多層膜としたことを特徴とする請求項2記載の半導体デバイス。
- [請求項6] 前記第1導電性領域は半導体基板であることを特徴とする請求項1記載の半導体デバイス。

- [請求項7] 更に支持基板が設けられ、前記第1導電性領域は該支持基板上に電氣的に分離されて設けられていることを特徴とする請求項1記載の半導体デバイス。
- [請求項8] 前記第2領域および前記第3領域はアルミニウム薄膜であることを特徴とする請求項1記載の半導体デバイス。
- [請求項9] 前記第2領域および前記第3領域は金属と水素化アモルファスシリコンの2層膜で、該水素化アモルファスシリコンが第1半導体薄膜に接していることを特徴とする請求項1記載の半導体デバイス。

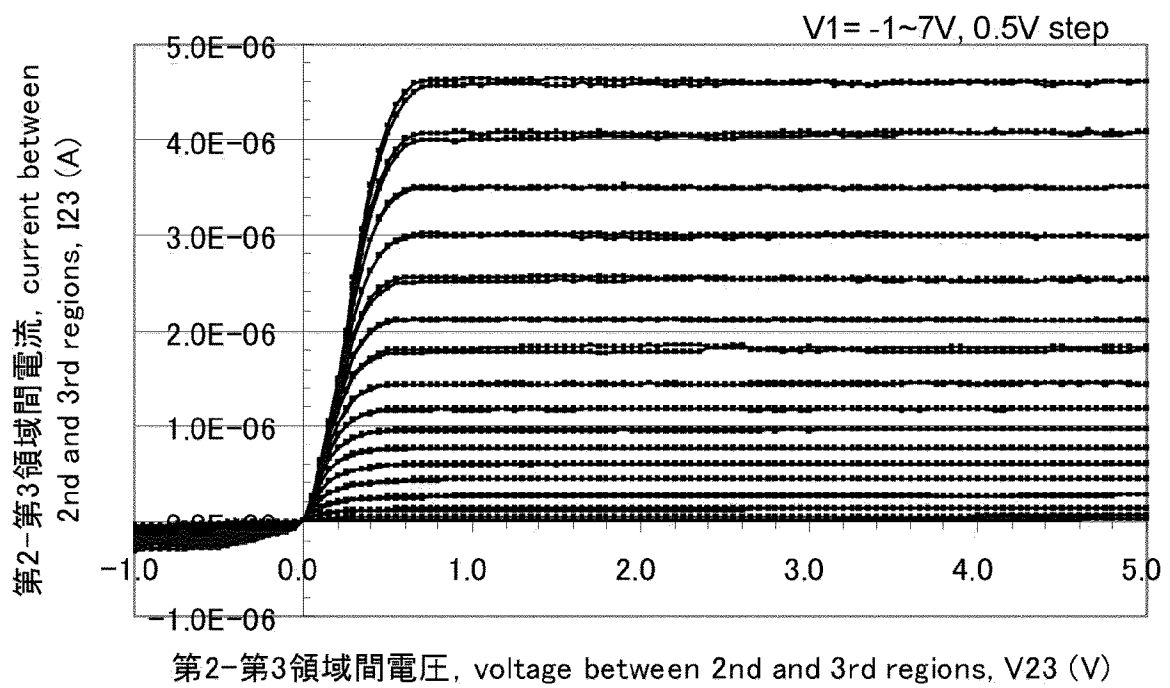
[図1]



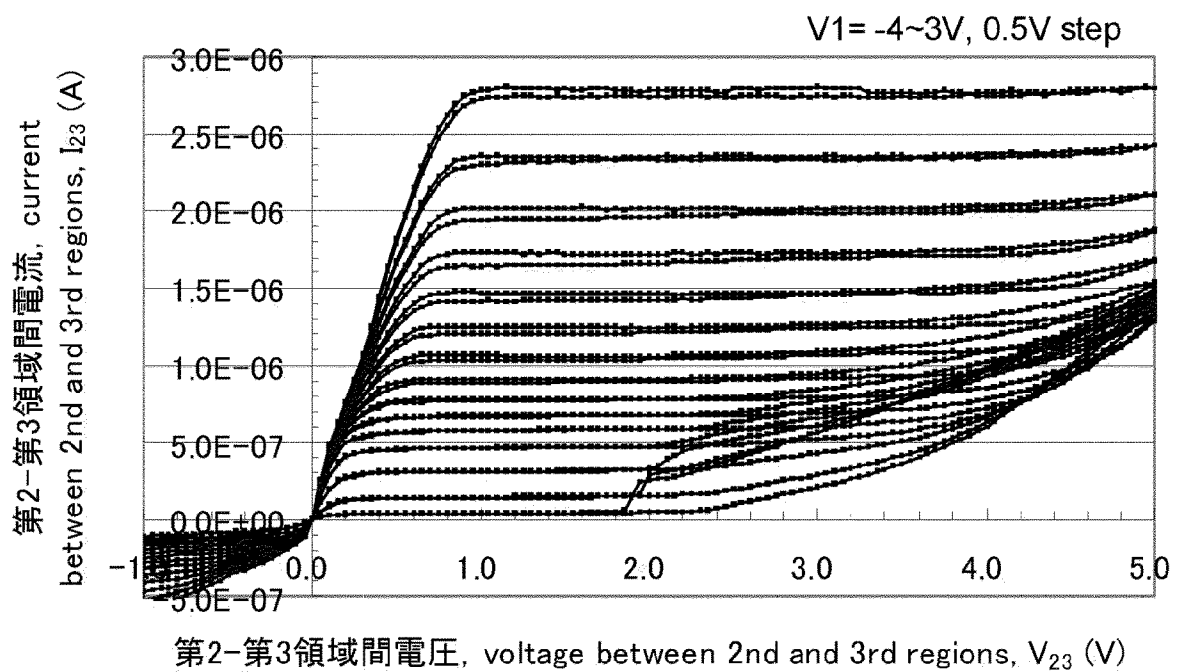
[図2]



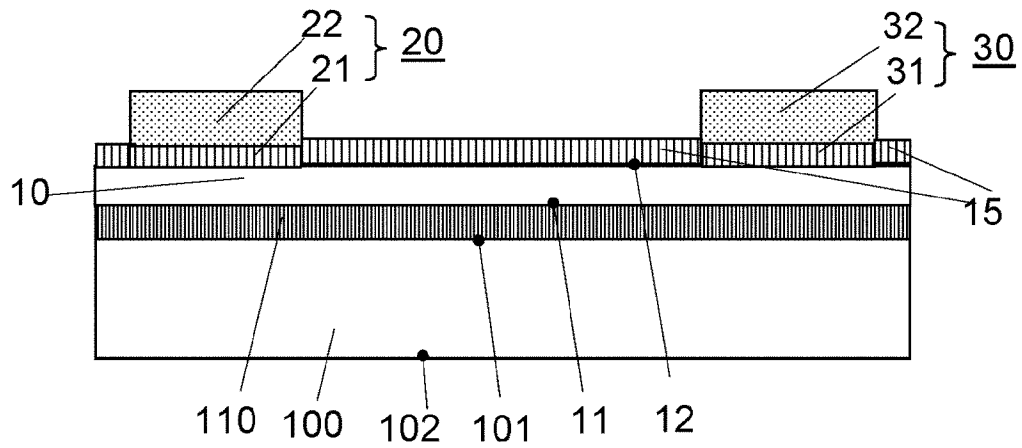
[図3]



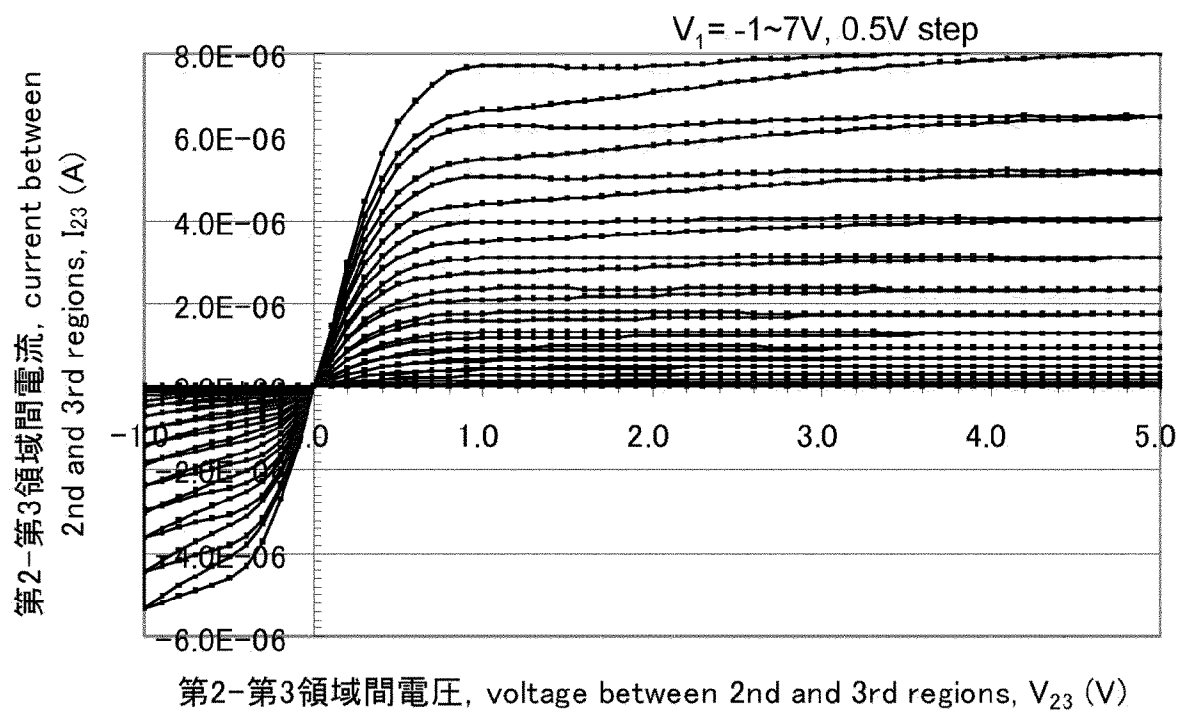
[図4]



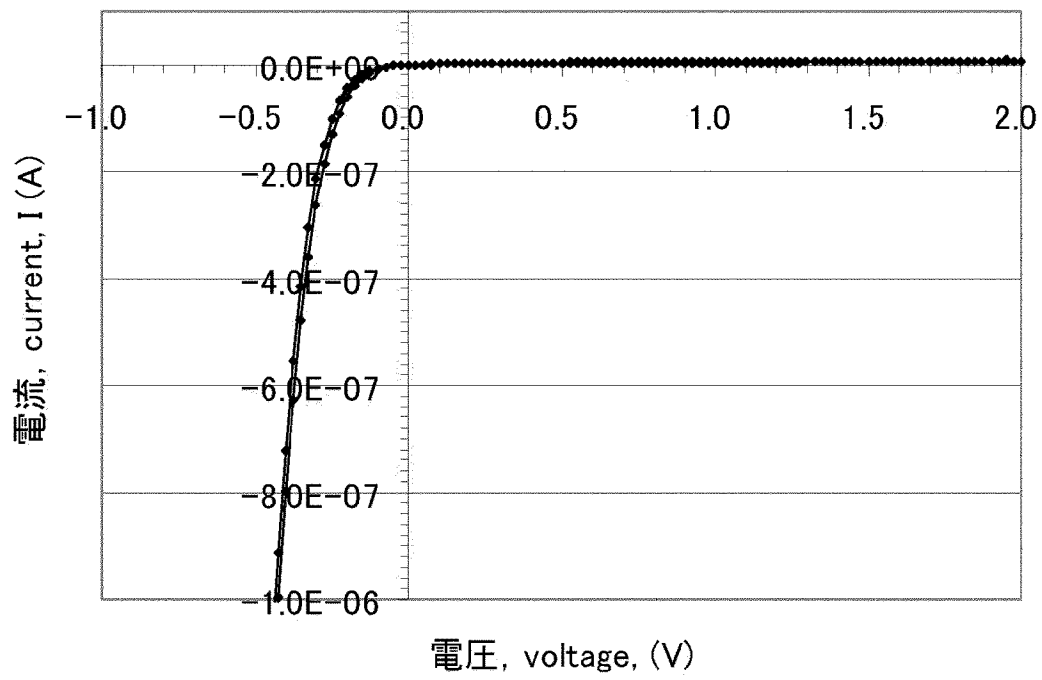
[図5]



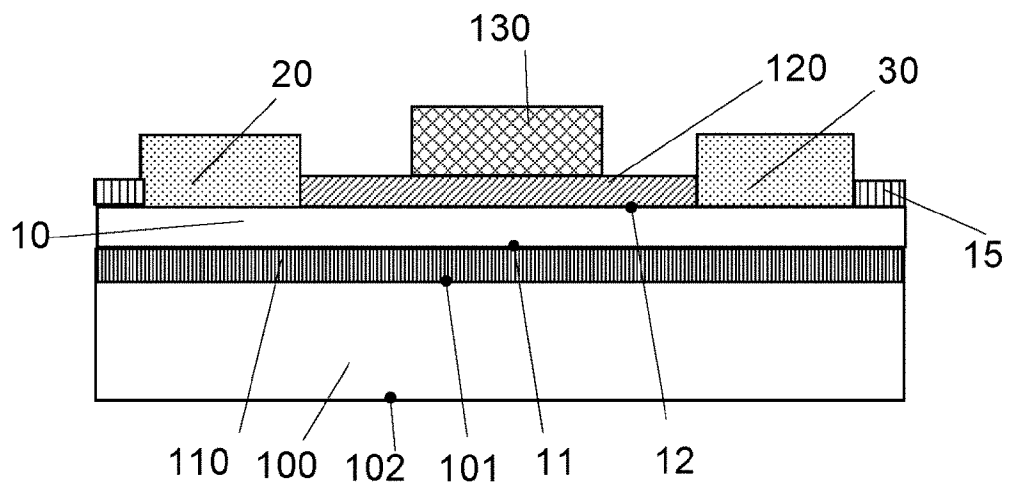
[図6]



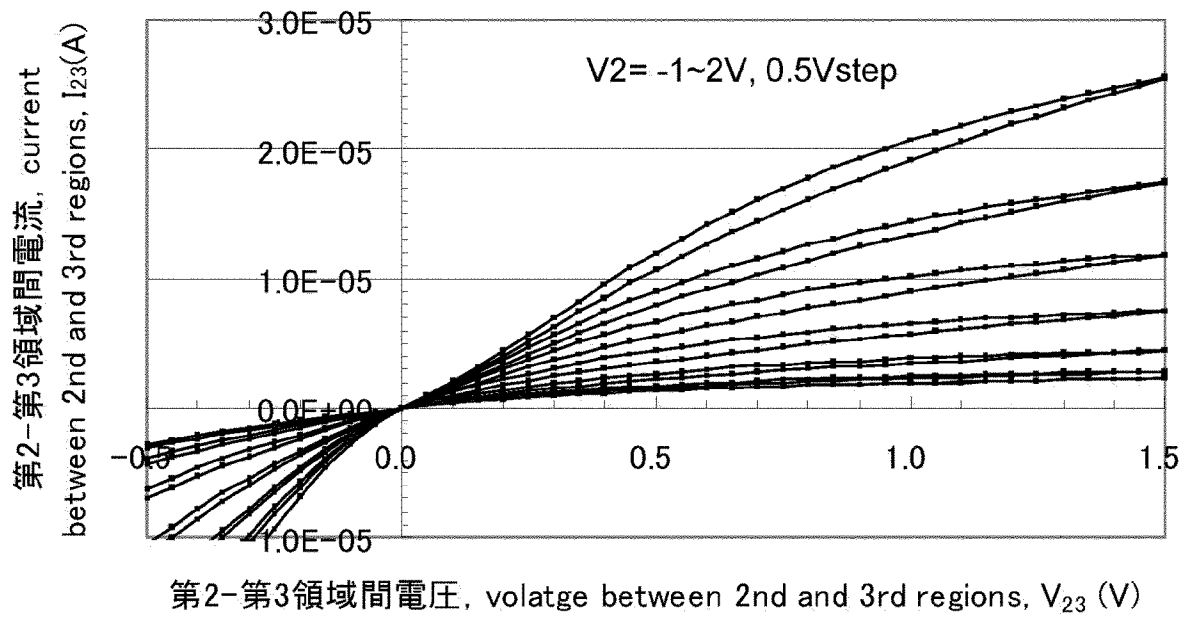
[図7]



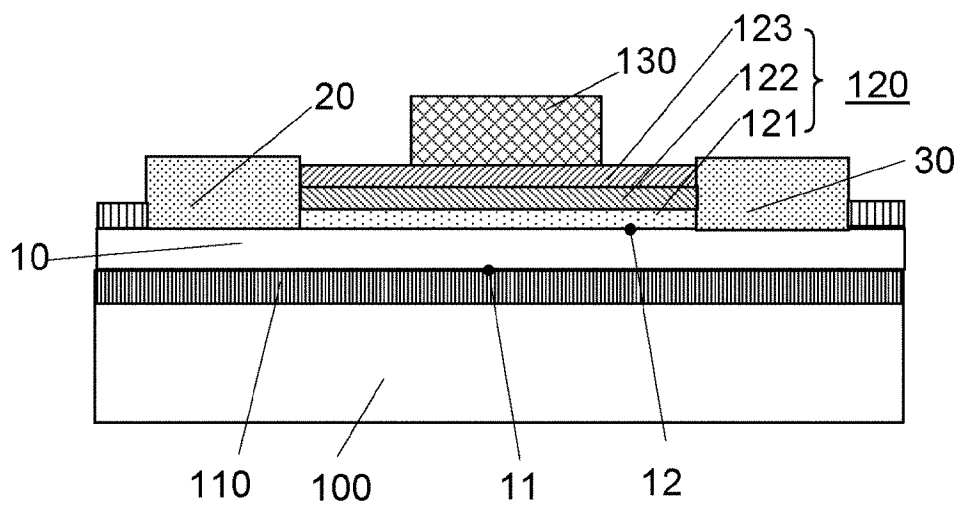
[図8]



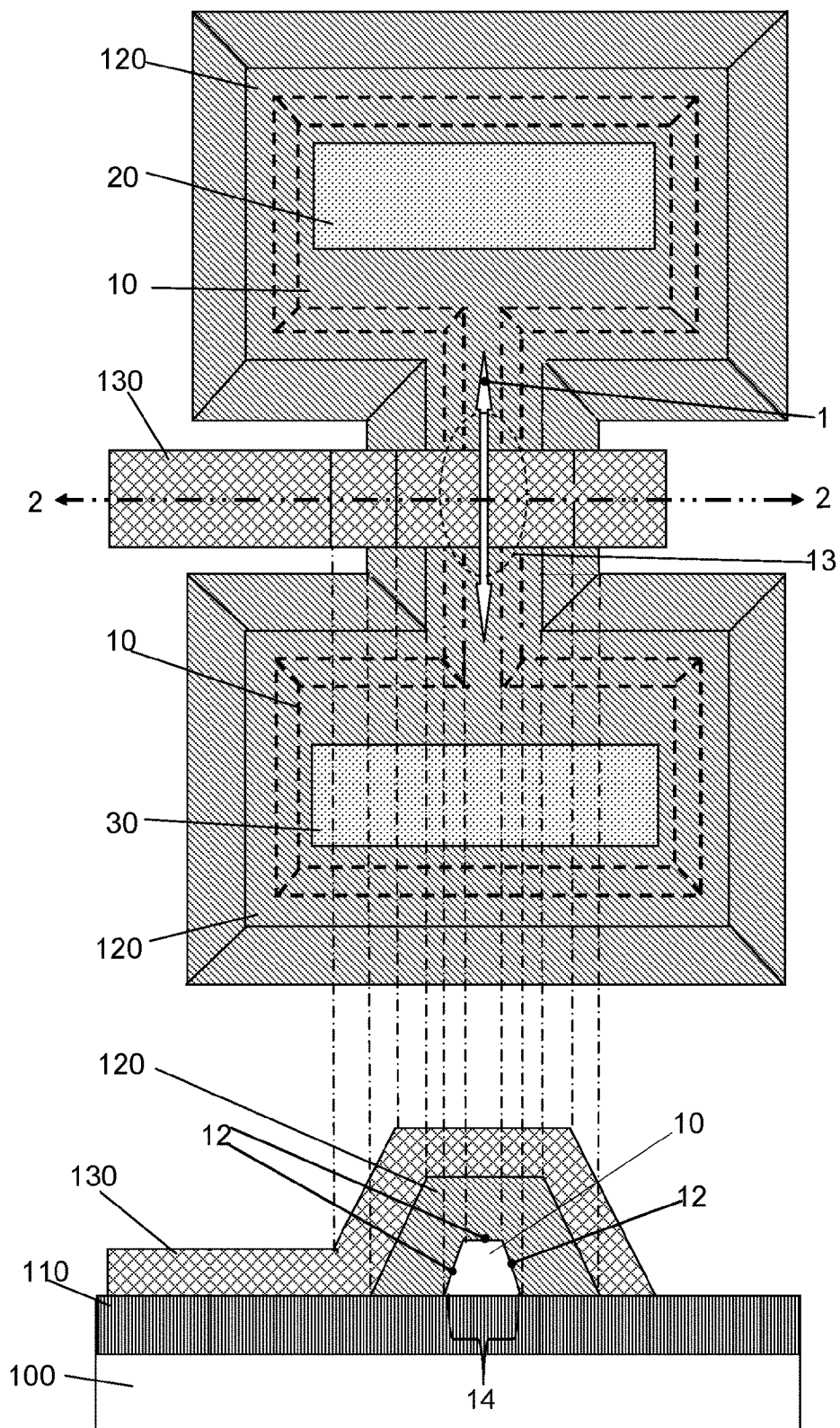
[図9]



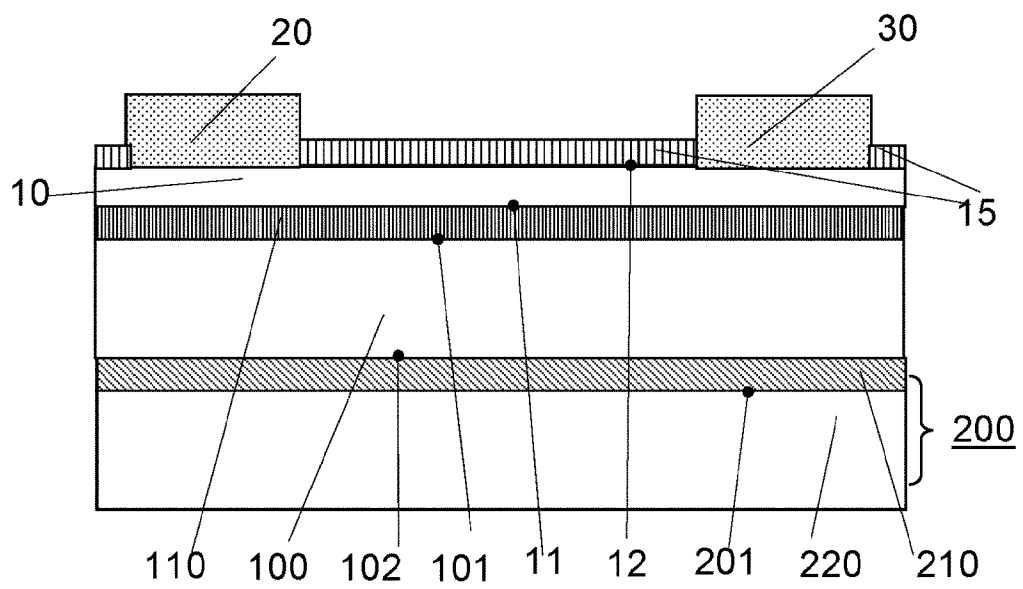
[図10]



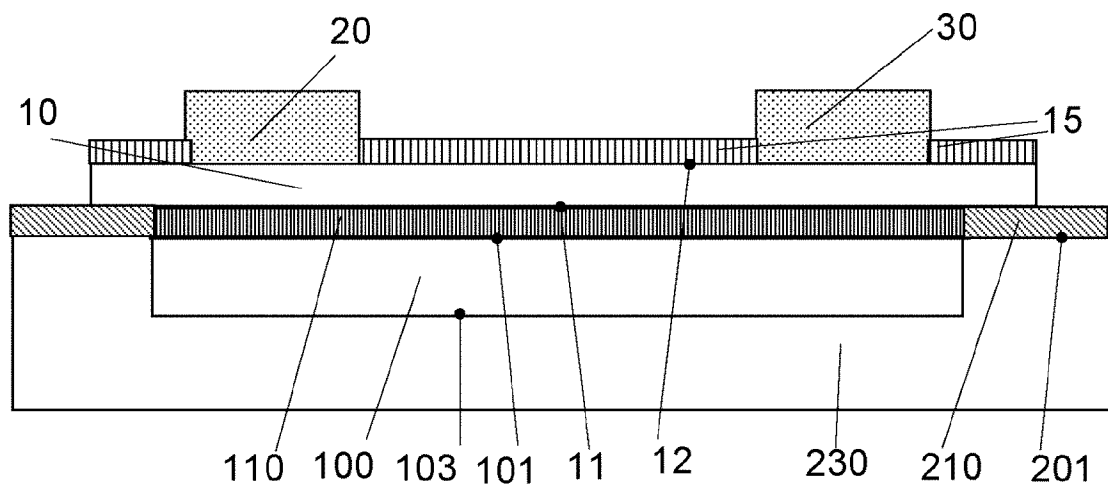
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/057314

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i,
H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/8247, H01L27/115, H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-51425 A (Semiconductor Energy Laboratory Co., Ltd.), 14 March 2013 (14.03.2013), paragraphs [0023] to [0055]; fig. 1 to 3 & US 2007/0228452 A1 & KR 10-2007-0098582 A & CN 101047190 A	1, 2, 6, 8 3-5, 7, 9
Y	JP 2013-55348 A (Semiconductor Energy Laboratory Co., Ltd.), 21 March 2013 (21.03.2013), paragraphs [0028] to [0059]; fig. 1 (Family: none)	3, 4
Y	JP 2007-287859 A (Toshiba Corp.), 01 November 2007 (01.11.2007), paragraphs [0011], [0071] to [0073]; fig. 1, 19 & US 2008/0014745 A1 & KR 10-2007-0102423 A	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 June, 2014 (12.06.14)

Date of mailing of the international search report
24 June, 2014 (24.06.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/057314

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-530820 A (Micron Technology, Inc.), 27 August 2009 (27.08.2009), paragraphs [0012] to [0031]; fig. 1 to 3 & US 2007/0215954 A1 & WO 2007/109068 A2 & KR 10-2008-0114806 A & CN 101405849 A	7
Y	JP 2009-16756 A (NEC LCD Technologies, Ltd.), 22 January 2009 (22.01.2009), paragraphs [0010] to [0013]; fig. 1 & US 2009/0014722 A1 & CN 101345246 A	9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/8247, H01L27/115, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-51425 A（株式会社半導体エネルギー研究所）2013.03.14, 段落【0023】－【0055】, 図1－3 & US 2007/0228452 A1 & KR 10-2007-0098582 A & CN 101047190 A	1, 2, 6, 8 3-5, 7, 9
Y	JP 2013-55348 A（株式会社半導体エネルギー研究所）2013.03.21, 段落【0028】－【0059】, 図1（ファミリーなし）	3, 4
Y	JP 2007-287859 A（株式会社東芝）2007.11.01, 段落【0011】, 【0071】－【0073】, 図1, 19	5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 6 . 2 0 1 4

国際調査報告の発送日

2 4 . 0 6 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

外山 毅

5 O

3 9 8 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	& US 2008/0014745 A1 & KR 10-2007-0102423 A JP 2009-530820 A (マイクロン テクノロジー, インク.) 2009.08.27, 段落【0012】－【0031】, 図1－3 & US 2007/0215954 A1 & WO 2007/109068 A2 & KR 10-2008-0114806 A & CN 101405849 A	7
Y	JP 2009-16756 A (NEC液晶テクノロジー株式会社) 2009.01.22, 段落【0010】－【0013】, 図1 & US 2009/0014722 A1 & CN 101345246 A	9