

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.⁷
G06K 19/07



[12] 发明专利说明书

[21] ZL 专利号 97122966. X

[43] 授权公告日 2003 年 5 月 14 日

[11] 授权公告号 CN 1108588C

[22] 申请日 1997. 11. 28 [21] 申请号 97122966. X

[30] 优先权

[32] 1997. 5. 8 [33] JP [31] 118094/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

共同专利权人 三菱电机半导体软件株式会社

[72] 发明人 藤冈宗三

审查员 王晓光

[74] 专利代理机构 中国专利代理(香港)有限公司

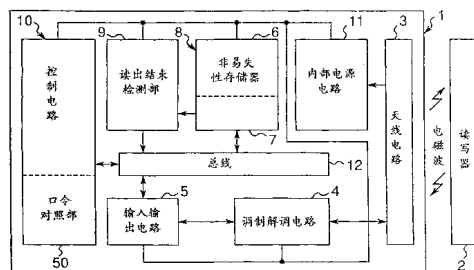
代理人 程天正 叶恺东

权利要求书 2 页 说明书 14 页 附图 8 页

[54] 发明名称 集成电路卡

[57] 摘要

一种可以提高数据保密性的 IC 卡, 具有: 接口部; 存储指定口令的存储器部; 读出数据的读出放大电路; 检查是否已完成数据读出、结束时输出读出结束信号的读出结束检测部; 对存储器部和读出放大电路的动作进行控制的控制电路。当口令与存储在存储器部的口令进行对照时, 在还没有读出结束信号的情况下, 该控制电路不理睬数据读出/写入装置来的命令, 同时进行错误处理。



- 1、一种对数据读出/写入装置进行数据存取的 IC 卡，
具有与数据读出/写入装置接口的接口部，
5 由多个存储器单元形成、并存储有指定口令的存储器部，
读出放大电路，读出该存储器部的已选中的存储器单元的数据，
其特征在于：

具有：读出结束检测部，检查该读出放大电路是否已完成从存储器部的数据读出，当检测到该数据读出结束时，则输出表示读出结束的读出结束信号，
10

按照从数据读出/写入装置来的、经上述接口部输入的命令对上述存储器部和读出放大电路的动作进行控制的控制电路；

当将从数据读出/写入装置来的、与命令一起输出的口令与存储在存储器部的口令进行对照时，在还没有从读出结束检测部输出口令读出结束信号的情况下，该控制电路不理睬数据读出/写入装置来的命令，同时进行规定的错误处理。
15

2、权利要求 1 记载的 IC 卡，其特征在于，上述控制电路在还没有从读出结束检测部输出读出结束信号的情况下停止工作，同时，只要不进行规定的处理便不恢复工作。

20 3、权利要求 1 记载的 IC 卡，其特征在于，上述控制电路在还没有从读出结束检测部输出读出结束信号的情况下进行复位，并返回初始状态。

4、权利要求 1 记载的 IC 卡，其特征在于：

上述读出放大电路具有：

25 电容比与已选中的存储器单元连接的位线的寄生电容还大的电容器，

当从上述存储器部读出数据时、向该电容器和与已选中的存储器单元连接的位线同时供给电流的电流供给部，

30 差动放大器，在与已选中的存储器单元连接的位线和上述电容器中，伴随从电流供给部供给电流，各自的电位上升，比较该各自的电位上升，根据该比较的结果，对从所选中的存储器单元中读出的数据进行确定；

一旦由该差动放大器对读出的数据进行确定后，上述读出结束检测部便输出规定的读出结束信号。

- 5、一种对数据读出/写入装置进行数据存取的 IC 卡，其特征在于：
具有与数据读出/写入装置接口的接口部，
5 由多个存储器单元形成并存储有指定口令的存储器部，
读出该存储器部的已选中的存储器单元的数据的读出放大电路，
其特征在于，还具有：
按照从数据读出/写入装置来的、经上述接口部输入的命令，对上述存储器部和读出放大电路的动作进行控制的控制电路；
10 上述控制电路形成为使其工作电源电压的下限值比读出放大电路还高。

- 6、权利要求 5 记载的 IC 卡，其特征在于，上述控制电路具有生成时钟信号的时钟生成部，按照该时钟生成部生成的时钟信号动作，时钟生成部形成为使其工作电源电压的下限值比上述读出放大电路还高。
15

7、权利要求 5 记载的 IC 卡，其特征在于，上述控制电路由具有掩膜 ROM 的微处理器形成，按照存储在该掩膜 ROM 中的程序动作，掩膜 ROM 形成为使其工作电源电压的下限值比上述读出放大电路还高。

集成电路卡

本发明涉及对数据读出/写入装置进行数据存取的集成电路
5 (IC) 卡。

作为对数据读出/写入装置进行数据存取的 IC 卡, 有与数据读出/写入装置电连接来进行数据存取的接触型 IC 卡和使用电磁波等非接触媒体对数据读出/写入装置进行数据存取的非接触型 IC 卡。图 7 是表示先有的非接触型 IC 卡的一例的概略框图。

10 在图 7 中, 非接触型 IC 卡(以下, 简单地称为 IC 卡) 100 具有: 与数据读出/写入装置(下称读写器) 之间进行电磁波接收发送的天线电路 102; 对数据进行调制解调的调制解调电路 103; 进行数据的串—并转换和并—串转换的输入输出电路 104; 备有由 E²PROM 形成的非易失性存储器 105 和读出放大器电路 106 的存储器电路 107。IC 卡 100
15 进而还具有: 对输入输出电路 104 和存储器电路 107 进行控制的控制电路 108; 对由天线电路 102 接收的电磁波进行整流并作为电源供给各个电路的内部电源电路 109; 连接输入输出电路 104、存储器电路 107 和控制电路 108 的总线 110。

图 8 是表示读出放大器 106 的电路例子的图, 图 8 所示的电路是本
20 发明的申请人不久前在特愿平 7 — 1304 号的说明书中所提案的电路。在图 8 中, 向已与非易失性存储器 105 的存储器单元 121 连接的位线 122 的寄生电容 123 充电的速度, 在存储器单元 121 存储着电荷和未存储着电荷的情况下是不同的。

因此, 设置具有规定容量的电容器 123, 在读出时, 对从电流供给
25 部 125 的 n 沟道 MOS 晶体管 126 和 127 供给的电流, 将寄生电容 123 与电容器 124 的充电速度进行比较, 由此, 可以检测并读出存储器单元 121 有没有存储着电荷、即检测并读出存储器单元 121 存储的数据的 2 值电平。再有, 当非易失性存储器 105 是 8 位的结构时, 上述读出放大器电路 106 具有 8 个与各位对应的、图 8 所示的读出放大器电路, 在图
30 8 中, 示出了其中的 1 个。

在上述构成中, 当读写器 101 向非易失性存储器 105 进行存取时, 控制电路 108 将从读写器 101 输入的口令与预先在非易失性存储器 105

存储的口令进行比较。当口令一致时，控制电路 108 按照从读写器 101 输入的命令对非易失性存储器 105 进行存取，当口令不一致时，则不对非易失性存储器 105 进行存取，而是进行规定的错误处理。这样，读写器 101 在口令不一致时，便不会对非易失性存储器 105 进行存取。

5 在此，读出放大电路 106 因其工作电源电压的范围比其它各电路小、即读出放大电路 106 的工作电源电压的下限值比其它电路高，故当内部电源电路 109 供给的电源电压下降时，呈现只有读出放大电路 106 不工作而其它电路都工作的状态。这时，读出放大电路 106 的输出呈‘H’电平，例如，当非易失性存储器 105 为 8 位结构时，读出放大电路 106 中的各读出放大电路的输出都变成‘H’电平。在这样的状态下，
10 当进行了读写器 101 来的口令对照时，因读出放大电路 106 的输出都是‘H’电平，故口令变成 FF，与预先存储在非易失性存储器 105 中的口令无关。

IC 卡 100 的电源由内部电源电路 109 将外部来的电磁波整流后提供，例如，通过使 IC 卡 100 靠近或远离读写器 101，可以容易地改变 IC 卡内的电源电压。因此，降低电源电压，使其处于只有读出放大电路 106 不工作的状态，在由口令 FF 完成口令对照之后，通过使电源电压上升到各读出放大电路 106 能够工作的范围，就可以对非易失性存储器 105 进行存取。因此，存在即使不知道口令也能对非易失性存储器 105 进行
20 存取、从而不能对数据进行保密的问题。

这样的问题不仅发生在非接触型 IC 卡中，对于接触型 IC 卡，若降低供给 IC 卡的电源电压，使其处于只有读出放大电路不工作的状态，也会引起同样的问题。

本发明是为了解决上述问题而提出的，其目的在于获得一种能够提高存储在存储器中的数据的数据的保密性能的 IC 卡。
25

与本发明的第 1 方面有关的 IC 卡是对数据读出/写入装置进行数据存取的 IC 卡，具有：与数据读出/写入装置接口的接口部；由多个存储器单元形成并存储有指定口令的存储器部；读出该存储器部的已选中的存储器单元的数据的读出放大电路；读出结束检测部，检查该读出放大电路是否已完成从存储器部的数据读出，当检测该数据读出结束时，则
30 输出表示读出结束的读出结束信号；按照从数据读出/写入装置来的、经上述接口部输入的命令，对上述存储器部和读出放大电路的动作进行控

制的控制电路；当将从数据读出/写入装置来的、与命令一起输出的口令与存储在存储器部的口令进行对照时，在还没有从读出结束检测部输出读出结束信号的情况下，该控制电路不理睬数据读出/写入装置来的命令，同时进行规定的错误处理。

- 5 与本发明的第2方面有关的IC卡，在本发明的第1方面中，上述控制电路在还没有从读出结束检测部输出读出结束信号的情况下停止工作，同时，只要不进行规定的处理便不恢复工作。

与本发明的第3方面有关的IC卡，在本发明的第1方面中，上述控制电路在还没有从读出结束检测部输出读出结束信号的情况下进行
10 复位，并返回初始状态。

与本发明的第4方面有关的IC卡，在本发明的第1~第3方面中，上述读出放大电路具有：容量比与已选中的存储器单元连接的位线的寄生容量还大的电容器；当从上述存储器部读出数据时，向该电容器和与已选中的存储器单元连接的位线同时供给电流的电流供给部；差动放
15 大器，在与已选中的存储器单元连接的位线和上述电容器中，伴随从电流供给部供给电流，各自的电位上升，比较该各自的电位上升，根据该比较的结果，对从所选中的存储器单元中读出的数据进行确定，一旦由该差动放大器对读出的数据进行确定后，上述读出结束检测部便输出规定的读出结束信号。

20 与本发明的第5方面有关的IC卡是对数据读出/写入装置进行数据存取的IC卡，具有：与数据读出/写入装置接口的接口部；由多个存储器单元形成并存储有指定口令的存储器部；读出放大电路，读出该存储器部的已选中的存储器单元的数据；按照从数据读出/写入装置来的、经上述接口部输入的命令对上述存储器部和读出放大电路的动作进行控
25 制的控制电路；上述控制电路形成为使其工作电源电压的下限值比读出放大电路还高。

与本发明的第6方面有关的IC卡，在本发明的第5方面中，上述控制电路具有生成时钟信号的时钟生成部，按照该时钟生成部生成的时钟信号动作，时钟生成部形成为使其工作电源电压的下限值比上述读出
30 放大电路还高。

与本发明的第7方面有关的IC卡，在本发明的第5方面中，上述控制电路由具有掩膜ROM的微处理器形成，按照存储在该掩膜ROM

中的程序动作，掩膜 ROM 形成为使其工作电源电压的下限值比上述读出放大电路还高。

图 1 是表示本发明实施形态 1 的 IC 卡的例子的概略框图。

图 2 是表示读出放大电路 7 和读出结束检测部 9 的例子的电路图。

5 图 3 是表示在 IC 卡 1 和读写器 2 之间进行数据存取的例子的图。

图 4 是表示口令对照部 50 的例子的概略电路图。

图 5 是表示当在图 4 的口令对照电路 51 中口令一致时的动作例子的时序图。

图 6 是表示本发明实施形态 2 的 IC 卡的例子的概略框图。

10 图 7 是表示非接触型 IC 卡的先有的例子的概略框图。

图 8 是表示图 7 的读出放大电路 106 的例子的电路图。

下面，根据附图所表示的实施形态详细说明本发明。

实施形态 1

图 1 是表示本发明实施形态 1 的 IC 卡的例子的概略框图。

15 在图 1 中，非接触型 IC 卡（以下简称 IC 卡）1 具有：与数据读出/写入装置（以下简称读写器）2 之间进行电磁波接收发送的天线电路 3；对数据进行调制解调的调制解调电路 4；进行数据的串—并转换和并—串转换的输入输出电路 5；备有由 E²PROM 形成的非易失性存储器 6 和读出放大器电路 7 的存储器电路 8。

20 IC 卡 100 进而还具有：检测读出放大电路 7 是否已从非易失性存储器 6 中读完了数据的读出结束检测部 9；对输入输出电路 5 和存储器电路 8 进行控制的控制电路 10；对由天线电路 3 接收的电磁波进行整流并作为电源供给各个电路的内部电源电路 11；连接输入输出电路 5、存储器电路 8、读出结束检测部 9 和控制电路 10 的总线 12。再有，天
25 线电路 3、调制解调电路 4 和输入输出电路 5 构成接口部，非易失性存储器 6 构成存储器部。

天线电路 3、调制解调电路 4 和内部电源电路 11 分别连接在一起，调制解调电路 4 与输入输出电路 5 连接。此外，输入输出电路 5、存储器电路 8、读出结束检测部 9 和控制电路 10 与总线 12 连接，内部电源
30 电路 11 分别与调制解调电路 4、输入输出电路 5、存储器电路 8、读出结束检测部 9 和控制电路 10 连接。

在这样的构成中，读写器 2 平时发送电磁波，天线电路 3 接收从读

写器 2 来的电磁波，将该接收的电磁波转换成电信号，并输出到调制解调电路 4 和内部电源电路 11。内部电源电路 11 对输入的电信号进行整流并输出到各个电路，进行电源供给。读写器 2 在不向 IC 卡 1 发送数据时，发送未经调制的电磁波，在发送数据时，将该数据调制在载波上，再作为电磁波发送出去。

当从读写器 2 向 IC 卡发送数据时，调制解调部 4 对从天线电路 3 输入的电信号进行解调和数据的抽出，将抽出的数据输出到输入输出电路 5。输入输出电路 5 将从调制解调电路 4 输入的串行数据转换成并行数据并输出给总线 12。控制电路 10 按照从读写器 2 发送来的命令动作，对存储器电路 8 的动作进行控制。

此外，当将存储在存储电路 8 中的数据发送给读写器 2 时，控制电路 10 对存储器电路 8 进行所要数据的读出动作，通过总线 12 以并行数据的形式将该读出的数据输出给输入输出电路 5，输入输出电路 5 将输入的并行数据转换成串行数据并输出给调制解调电路 4。调制解调电路 4 在进行了将输入的串行数据调制在载波上的调制动作之后，将该调制了的信号输出给天线电路 3，天线电路 3 将输入的调制信号作为电磁波发送出去。

其次，图 2 是表示读出放大电路 7 和读出结束检测部 9 的例子的电路图。再有，图 2 示出多个读出放大器中的一个。在图 2 中，读出放大电路 7 具有由 p 沟道 MOS 晶体管（以下称 pMOS 晶体管）21 ~ 23、n 沟道 MOS 晶体管（以下称 nMOS 晶体管）24 ~ 29、反相电路 30、31 和电容器 32 形成的读出放大器 20。此外，读出结束检测部 9 分别具有与读出放大电路 7 的各读出放大器对应的 2 输入端的 NOR 电路，图 2 示出与读出放大器 20 对应的 2 输入端的 NOR 电路 40。

在读出放大器 20 中，由 pMOS 晶体管 21 及 nMOS 晶体管 24 形成反相电路 33，由 pMOS 晶体管 22 及 nMOS 晶体管 25 形成反相电路 34。在反相电路 33 中，PMOS 晶体管 21 及 nMOS 晶体管 24 的各漏极连在一起作为输出，同时，pMOS 晶体管 21 及 nMOS 晶体管 24 的各栅极连在一起作为输入，nMOS 晶体管 24 的源极接地。同样，在反相电路 34 中，PMOS 晶体管 22 及 nMOS 晶体管 25 的各漏极连在一起作为输出，同时，pMOS 晶体管 22 及 nMOS 晶体管 25 的各栅极连在一起作为输入，nMOS 晶体管 25 的源极接地。

反相电路 33 的输出与反相电路 34 的输入连接，并将该连接部作为 a，同时，反相电路 33 的输入与反相电路 34 的输出连接并将该连接部作为 b，由反相电路 33 和反相电路 34 构成差动放大器 35。pMOS 晶体管 21 及 22 的各源极分别与 pMOS 晶体管 23 的漏极连接。此外，数据读出时，从控制电路 10 输入‘H’电平信号的驱动信号输入端子 36 经反相电路 30 与 pMOS 晶体管 23、nMOS 晶体管 26 及 27 的各栅极连接，同时，nMOS 晶体管 28 及 29 的各栅极分别连在一起。

nMOS 晶体管 26 及 28 的各漏极与连接部 a 连接，nMOS 晶体管 26 的源极接地。nMOS 晶体管 28 的源极经数据输入端子 37 与非易失性存储器 6 的位线 45 连接，同时，在非易失性存储器中，位线 45 与 E²PROM 的多个存储器单元连接，但在此，以其中 1 个存储器单元 46 作为代表示出。存储器单元 46 的漏极与位线 45 连接，存储器单元 46 的源极接地，位线 45 中存在寄生电容 47。

此外，nMOS 晶体管 27 及 29 的各漏极与连接部 b 连接，nMOS 晶体管 27 的源极接地，nMOS 晶体管 29 的源极经电容器 32 接地。进而，连接部 a 与读出结束检测部 9 中的 NOR 电路 40 的 1 个输入端连接，连接部 b 与 NOR 电路 40 的另一个输入端连接，同时与反相电路 31 的输入端连接，反相电路 31 的输出与输出端子 38 连接，该输出端子 38 作为读出放大器 20 的输出，同时作为读出放大电路 7 的输出。此外，NOR 电路 40 的输出作为读出结束检测部 9 的输出，经总线 12 与控制电路 10 连接。再有，nMOS 晶体管 28 及 29 形成电流供给部。

下面，说明读出放大电路 7 的动作。控制电路 10 在不需要读出放大电路 7 动作时，向驱动信号输入端子 36 输出‘L’电平的信号，pMOS 晶体管 23 截止，同时，nMOS 晶体管 26 及 27 导通，故连接部 a 及 b 同时为‘L’电平。因此，读出结束检测部 9 中的 NOR 电路 40 的输出成为‘L’电平。其次，当向驱动信号输入端子 36 输入‘H’电平的信号时，nMOS 晶体管 26 及 27 截止，故连接部 a 及 b 同时处于悬浮状态。进而，因 pMOS 晶体管 23、nMOS 晶体管 28 及 29 导通，故 pMOS 晶体管 21 及 22 导通，开始向电容器 32 和寄生电容 47 充电。

这里，当存储器单元 46 的悬浮栅极上存在电荷时，即存储器单元 46 中存储‘L’电平的数据时，与数据输入端子 37 连接的、已选中的存储器单元 46 流过存储器单元电流 I₀，所以，存储器单元 46 成为导通

状态。因此，电容器 32 的充电速度比寄生电容 47 的充电速度快，当电容器 32 充电结束时，因连接部 b 先前是‘H’电平，故 pMOS 晶体管 21 截止，同时，nMOS 晶体管 24 导通。

结果，因连接部 a 被固定在‘L’电平，故 pMOS 晶体管 22 导通、
5 nMOS 晶体管 25 截止，将连接部 b 固定在‘H’电平。因连接部 a 被固定在‘L’电平，同时连接部 b 被固定在‘H’电平，故读出结束检测部 9 中的 NOR 电路 40 的输出成为‘H’电平，输出端子 38 成为‘L’电平。

其次，当存储器单元 46 的悬浮栅极不存在电荷、即存储器单元 46
10 中存储‘H’电平的数据时，与数据输入端子 37 连接的已选中的存储器单元 46 流过存储器单元电流 I_e ，所以，存储器单元 46 成为非导通状态。进而，电容器 32 的电容比寄生电容 47 的电容大，因此，寄生电容 47 的充电速度比电容器 32 的充电速度快，当寄生电容 47 充电结束时，因连接部 a 先前是‘H’电平，故 pMOS 晶体管 22 截止，同时，nMOS
15 晶体管 25 导通。

结果，因连接部 b 被固定在‘L’电平，故 pMOS 晶体管 21 导通、nMOS 晶体管 24 截止，将连接部 a 固定在‘H’电平。因连接部 a 被固定在‘H’电平，同时连接部 b 被固定在‘L’电平，故读出结束检测部 9 的异或（NOR）电路 40 的输出成为‘H’电平，输出端子 38
20 成为‘H’电平。

从上述可知，当读出存储在非易失性存储器 6 中的数据时，驱动信号输入端子 36 因控制电路 10 的控制而成为‘H’电平，从输出端子 38 读出存储在存储器单元 46 中的数据，同时读出结束检测部 9 的 NOR 电路 40 的输出成为‘H’电平，表示读出已经结束，该‘H’电平的信号成为读出结束信号。此外，当 NOR 电路 40 的输出是‘L’电平时，
25 表示读出还没有结束。控制电路 10 根据读出结束检测部 9 中的 NOR 电路 40 的输出电平来判断读出放大电路 7 是否已将数据读完了。

图 3 是表示 IC 卡 1 和读写器 2 之间进行数据存取的例子的图。在图 3 中，当从 IC 卡 1 读出数据时，读写器 2 在读命令 RCMD 之后将附加了口令的数据发送给 IC 卡。IC 卡 1 将从读写器 2 发送的口令与预先
30 存储在非易失性存储器 6 中的口令进行对照，若一致时则执行读命令 RCMD、将从非易失性存储器 6 读出的数据发送给读写器 2。

其次，当向 IC 卡 1 写入数据时，读写器 2 将在写命令 WCMD 之后附加口令、进而将在口令之后附加了写入数据的数据发送给 IC 卡 1。IC 卡 1 将读写器 2 发送来的口令与预先存储在非易失性存储器 6 中的口令进行对照，若一致时则执行写命令 WCMD、将从读写器 2 发送来的写入数据写入非易失性存储器 6，然后向读写器 2 输出写入结束信号。

这样，读写器 2 在对 IC 卡 1 发送读出和写入数据的命令时，必须在该命令之后附加口令再发送，只有当从读写器 2 发送的口令与预先存储在非易失性存储器 6 中的口令一致时，IC 卡 1 才按照从读写器 2 来的命令对非易失性存储器 6 进行数据的读出和写入。上述口令的对照由设在控制电路 10 内的口令对照部 50 进行。

图 4 是表示口令对照部 50 的例子的概略电路图。再有，图 4 是以非易失性存储器 6 为 8 位结构的情况为例来表示的。

在图 4 中，口令对照部 50 由口令对照电路 51 ~ 58 和 8 输入端的 NOR 电路 59 形成，各口令对照电路 51 ~ 58 的结构相同，故以口令对照电路 51 为例进行说明。再有，在图 4 中省略了口令对照电路 53 ~ 56。口令对照电路 51 由比较电路 61、二输入端的 NOR 电路 62、63 和 D 触发器 64 形成。

NOR 电路 62 的一个输入端是反相输入，另一个输入端是非反相输入。NOR 电路 62 的反相输入端与读出放大电路 7 的 NOR 电路 40 的输出连接，非反相输入端与比较电路 61 的输出连接。在 NOR 电路 63 中，其一个输入端与 NOR 电路 62 的输出相连，另一个输入端与 D 触发器 64 的非反相输出 Q 相连，其输出与 D 触发器 64 的 D 输入端相连。

此外，D 触发器 64 的时钟脉冲输入端 T 是反相输入，表示从非易失性存储器 6 进行数据的读出，例如，这里，进行数据的读出的期间为‘H’电平、除此以外为‘L’电平的读出信号由控制电路 10 输入。D 触发器 64 的复位输入端 R 也是反相输入，在进行口令对照的期间，其‘H’电平的信号由控制电路 10 输入，D 触发器 64 非反相输出 Q 与 NOR 电路 59 的输入端中的一个连接。再有，在图 4 中，将输入给 NOR 电路 62 的反相输入端的信号作为 e、在 D 触发器 64 中将输入给时钟脉冲输入端 T 的信号作为 f、将输入给复位输入端 R 的信号作为 g、将 NOR 电路 59 输出的信号作为 h 来表示。

比较电路 61 的一个输入端输入 1 位的数据，该 1 位的数据形成从

非易失性存储器 6 读出的口令，比较电路 61 的另一个输入端也输入 1 位的数据，该 1 位的数据形成从读写器 2 发送来的口令。例如，从非易失性存储器 6 读出的口令是由 8 位的数据 D0 ~ D7 形成的，若设定与该数据 D0 ~ D7 对应的从读写器 2 输入的口令的 8 位数据为 Da0 ~ Da7，
5 则比较电路 61 的一个输入端输入 1 位数据 D0，比较电路 61 的另一个输入端输入 1 位数据 Da0。比较电路 61 将数据 D0 和数据 Da0 进行比较，只有当不一致时才输出‘H’电平的不一致信号，其余的情况其输出为‘L’电平。

图 5 是表示当口令对照电路 51 中口令一致时的动作例子的时序图，参照图 5 说明口令对照部 50 的动作。再有，在图 5 中，设非易失性存储器 6 存储的口令为 PW，从读写器 2 输入的口令为 PWa，口令 PW 和 PWa 分别由多字节数据构成，将 8 位数据作为 1 个字节数据。以下，以口令 PW 的 1 字节的数据为 D0 ~ D7、口令 PWa 的 1 字节数据为 Da0 ~ Da7 为例进行说明。
10

当读出放大电路 7 结束了数据的读出时，读出结束检测部 9 中的 NOR 电路 40 的输出成为‘H’电平，因 NOR 电路 62 的反相输入端输入了‘H’电平的信号，故 NOR 电路 62 的输出电平随着比较电路 61 的比较结果、即比较电路 61 的输出电平变化。当比较电路 61 的比较结果是一致时，比较电路 61 的输出成为‘L’电平，NOR 电路 62 的输出也成为‘L’电平。
15
20

这里，当进行口令的读出、时钟脉冲输入端 T 上升成‘H’电平时，D 触发器 64 的非反相输出 Q 变成‘L’电平。同样，由口令对照电路 52 ~ 58 的各比较电路将 1 组数据 D1 ~ D8 和 Da1 ~ Da8 进行比较，若口令对照电路 52 ~ 58 的各 D 触发器的非反相输出 Q 全为‘L’电平，NOR 电路 59 的输出就变成‘L’电平，表示未发生对照错误、情况正常，控制电路 10 按照从读写器 2 和口令一起发送来的命令进行动作。
25

此外，当比较电路 61 的比较结果不一致时，比较电路 61 的输出成为‘H’电平，NOR 电路 62 的输出也成为‘H’电平，D 触发器 64 的非反相输出 Q 变成‘H’电平。结果，NOR 电路 59 的输出成为‘H’电平、表示发生了对照错误。这样，当口令对照电路 51 ~ 58 的各 D 触发器的任何一个非反相输出都为‘H’电平，则 NOR 电路 59 的输出就
30

变成‘H’电平，表示发生了对照错误。

这样一来，控制电路 10 不进行规定的对照错误处理、例如不执行与口令一起发送来的读出或写入等命令，并向总线输出规定的对照错误信号，向读写器 2 表示已发生了对照错误。输出给总线 12 的对照错误信号由输入输出电路 5 转换成串行数据之后，在调制解调电路 4 中进行调制，并从天线电路 3 发送出去。再有，作为规定的对照错误处理，也可以不向读写器 2 输出对照错误信号，而是不执行与口令一起发送来的读出或写入等命令，并等待从读写器 2 发出新的命令。

另一方面，当读出放大电路 7 未结束数据的读出时，读出结束检测部 9 中的 NOR 电路 40 的输出成为‘L’电平，因 NOR 电路 62 的反相输入端输入了‘L’电平的信号，故 NOR 电路 62 的输出与比较电路 61 的比较结果无关、成为‘H’电平，NOR 电路 63 的输出也成为‘H’电平，D 触发器 64 的非反相输出 Q 变成‘H’电平。结果，NOR 电路 59 的输出成为‘H’电平，表示发生了对照错误。控制电路 10 进行规定的对照错误处理。

在此，内部电源电路 11 来的电源电压降低，在只停止读出放大电路 7 的动作的状态下，当控制电路 10 为了进行口令的对照而读出存储在非易失性存储器 6 中的口令时，从控制电路 10 向驱动信号输入端子 36 输入‘H’电平的信号，因 nMOS 晶体管 28 及 29 都导通，故读出放大器 20 的连接部 a 及 b 分别变成‘L’电平。因此，读出结束检测部 9 中的 NOR 电路 40 的输出成为‘L’电平，表示读出尚未结束，控制电路 10 进行与上述口令不一致相同的对照错误处理。

如上所述，控制电路 10 处于不执行作为对照错误处理、从读写器 2 与口令一起发送来的命令的处理、并等待从读写器 2 发出新的命令的状态，但作为对照错误处理，也可以是停止控制电路 10 的动作、只要不进行规定的复位动作就不恢复工作。这样一来，可以更可靠地防止从外部来的、对 IC 卡 1 的非易失性存储器 6 的非法存取，可以更加提高 IC 卡的安全性能。

此外，也可以将 NOR 电路 59 的输出信号作为控制电路 10 的复位信号来使用，当发生对照错误、NOR 电路 59 的输出变成‘H’电平时，对控制电路 10 复位，使控制电路 10 强制性地返回初始状态并等待命令。这样一来，就很难知道 IC 卡 1 究竟怎样做才能进行对照错误处理，

可以进一步提高 IC 卡 1 的安全性能。

这样，本发明实施形态 1 的 IC 卡 1 在由控制电路 10 进行口令对照时，可以检测读出放大电路不工作的状态、特别是因内部电源电路 11 供给的电源电压降低而引起的读出放大电路的动作停止状态，可以检测
5 预先存储在非易失性存储器 6 中的口令是否已被正常读出。因此，当检测预先存储在非易失性存储器 6 中的口令未被正常读出时，可以防止进行规定的错误处理、对非易失性存储器 6 进行非法存取。所以，在电源电压降低、只有读出放大电路不工作的状态下，可以防止进行非法的口令对照，可以提高 IC 卡的安全性能，可以提高存储在 IC 卡中的数据的
10 保密性。

实施形态 2

在实施形态 1 中，采取了在因内部电源电路 11 供给的电源电压降低而只使读出放大电路 7 停止工作的状态下进行规定的错误处理、使其不能进行口令对照的措施。但是，也可以使控制电路 10 的工作电源电压的范围比读出放大电路 7 小、即控制电路 10 的工作电源电压的下限
15 值比读出放大电路 7 高，当内部电源电路 11 供给的电源电压降低时，使控制电路 10 在读出放大电路 7 之前先不工作，这就是本发明实施形态 2 所采取的措施。

图 6 是表示本发明实施形态 2 的 IC 卡的例子的概略框图。在图 6
20 中，与图 1 相同的部件标以相同的符号，在此省略其说明，只说明与图 1 的不同点。

图 6 与图 1 的不同点在于，没有图 1 的读出结束检测部 9，改变了图 1 的控制电路 10 的电路结构，故将图 1 的控制电路 10 改为控制电路 71，随之，将图 1 的 IC 卡 1 改为 IC 卡 75。

在图 6 中，IC 卡 75 包括天线电路 3、调制解调电路 4、输入输出
25 电路 5 和具有非易失性存储器 7 的存储器电路 8。IC 卡 75 进而还包括对输入输出电路 5 及存储器电路 8 进行控制的控制电路 71、内部电源电路 11、输入输出电路 5、存储器电路 8 及与控制电路 71 连接的总线 12。天线电路 3 分别与调制解调电路 4 和内部电源电路 11 相连，调制
30 解调电路 4 和输入输出电路 5 相连。此外，输入输出电路 5、存储器电路 8 及控制电路 71 由总线 12 连接，内部电源电路 11 分别与调制解调电路 4、输入输出电路 5、存储器电路 8 及控制电路 71 连接。

在这样的构成中，当从读写器 2 向 IC 卡 1 发送数据时，控制电路 71 按照读写器 2 发送来的命令动作，对存储器电路的动作进行控制。此外，当将存储在存储器电路 8 中的数据发送给读写器 2 时，控制电路 71 对存储器电路 8 进行所要数据的读出动作，并将该读出的数据经总线 12、以并行数据的形式输出给输入输出电路。

控制电路 71 在内部具有生成时钟信号并输出的时钟生成部 8，按照该时钟生成部 81 生成的时钟信号动作。时钟生成部 81 由生成时钟信号的时钟生成电路 82 和缓冲电路 83 构成，时钟生成电路 82 生成的时钟信号经缓冲电路 83 输出给控制电路 71。当时钟生成部 81 不输出时钟信号时，控制电路 71 停止工作。

这里，控制电路 71 的工作电源电压的范围比读出放大电路 7 小，即，控制电路 71 构成其工作电源电压的下限值比读出放大电路 7 高。具体地说，时钟生成部 81 中的缓冲电路 83 构成其工作电源电压的下限值比读出放大电路 7 高。这样一来，当内部电源电路 11 供给的电源电压降低时，IC 卡 75 内的缓冲电路 83 因工作电源电压最高而停止工作，随之，控制电路 71 亦停止工作。

此外，当控制电路 71 由微处理器形成时，该微处理器按照存储在内部掩膜 ROM 中的程序动作。因而，当掩膜 ROM 不工作时，微处理器停止工作，控制电路 71 也停止工作。这里，微处理器内部的掩膜 ROM 构成使其工作电源电压的范围比读出放大电路 7 小、即工作电源电压的下限值比读出放大电路 7 高。这样一来，当内部电源电路 11 供给的电源电压降低时，IC 卡 75 内的掩膜 ROM 因工作电源电压最高而停止工作，随之，微处理器停止工作，控制电路 71 亦停止工作。

这样，在本发明实施形态 2 中的 IC 卡中，控制电路 71 的工作电源电压的范围小且工作电源电压的下限值比读出放大电路 7 高。因此，当内部电源电路 11 供给的电源电压降低时，不存在只有读出放大电路 7 停止工作的状态，可以使其不能进行非法的口令对照。所以，可以防止因电源电压降低时只有读出放大电路 7 停止工作而能够进行非法的口令对照，可以提高 IC 卡的安全性能，可以提高存储在 IC 卡中的数据的保密性。

再有，在上述实施形态 1 及实施形态 2 中，虽然以非接触型 IC 卡为例进行了说明，但本发明并不局限与此，也能够适用于接触型 IC 卡。

在接触型 IC 卡的情况下，将天线电路 3 替换成用于与读写器 2 电连接的连接器，将调制解调电路 4 及输入输出电路 5 替换成与读写器 2 进行接口的接口电路，没有内部电源电路 11，直接从读写器 2 供给电源，除此以外，与实施形态 1 及实施形态 2 所示的非接触型 IC 卡一样，故
5 省略其说明。再有，在这样的接触型 IC 卡中，上述连接器及接口电路构成接口部。

与本发明第 1 方面有关的 IC 卡在由控制电路进行口令对照时，可以由读出结束检测部检测读出放大电路未工作的状态、特别是因电源电压降低而引起的读出放大电路的工作停止状态，可以检测存储器预先存
10 储的口令是否已被正常读出。因此，可以防止对当检测到存储器预先存储的口令未被正常读出时就进行规定的错误处理的存储器进行非法存取。所以，可以防止在电源电压降低时只有读出放大电路不工作的状态下进行非法的口令对照、提高 IC 卡的安全性能、提高存储在 IC 卡中的数据的保密性。

与本发明第 2 方面有关的 IC 卡，在本发明的第 1 方面中，具体地说，当没有从读出结束检测部输出读出结束信号时，上述控制电路停止工作，而且，只要不进行规定的处理就不恢复工作。这样一来，可以可靠地防止从外部对 IC 卡的存储器进行非法存取，可以提高 IC 卡的保密性能。
15

与本发明第 3 方面有关的 IC 卡，在本发明的第 1 方面中，具体地说，当没有从读出结束检测部输出读出结束信号时，上述控制电路行复位并返回初始状态。这样一来，很难知道 IC 卡究竟要进行怎样做才能进行对照错误处理，可以进一步提高 IC 卡的安全性能。
20

与本发明第 4 方面有关的 IC 卡，在本发明的第 1 至第 3 方面中，具体地说，读出放大电路具有差动放大器，在与已选中的存储器单元连接的位线和电容量比该位线的寄生电容大的电容器中，比较它们伴随从电流供给部来的电流供给的电位上升，根据该比较结果对从已选中的存储器单元中读出的数据进行确定，当由该差动放大器对读出的数据进行确定之后，读出结束检测部输出规定的读出结束检测信号。这样一来，
25 当由控制电路进行口令对照时，可以检测读出放大电路不工作的状态、特别是因电源电压降低而引起的读出放大电路的工作停止状态，可以检测预先存储在存储器中的口令是否已被正常地读出。因此，当检测预先
30

存储在存储器中的口令没有被正常地读出时，可以防止进行规定的错误处理并对存储器进行非法的数据存取。所以，可以防止在电源电压降低时只有读出放大电路不工作的状态下进行非法的口令对照，可以提高 IC 卡的保密性能，可以提高存储在 IC 卡中的数据的安全性。

- 5 与本发明第 5 方面有关的 IC 卡，使控制电路的工作电源电压的范围小且工作电源电压 的下限值比读出放大电路高。这样一来，当电源电压降低时，不存在只有读出放大电路停止工作的状态，可以使其不能进行非法的口令对照。所以，可以防止因电源电压降低时只有读出放大电路停止工作而能够进行非法的口令对照，可以提高 IC 卡的保密性能，
10 可以提高存储在 IC 卡中的数据的安全性。

- 与本发明第 6 方面有关的 IC 卡，在本发明第 5 方面中，具体地说，上述控制电路具有生成时钟信号的时钟生成部，按照该时钟生成部生成的时钟信号动作，时钟生成部构成为使其工作电源电压的下限值比读出放大电路高。这样一来，当电源电压降低时，不存在只有读出放大电路
15 停止工作的状态，可以使其不能进行非法的口令对照。所以，可以防止因电源电压降低时只有读出放大电路停止工作而能够进行非法的口令对照，可以提高 IC 卡的安全性，可以提高存储在 IC 卡中的数据的安全性。

- 与本发明第 7 方面有关的 IC 卡，在本发明第 5 方面中，具体地说，
20 上述控制电路由具有掩膜 ROM 的微处理器形成，同时按照存储在该掩膜 ROM 中的程序动作，掩膜 ROM 构成为使其工作电源电压比上述读出放大电路高。这样一来，当电源电压降低时，不存在只有读出放大电路停止工作的状态，可以使其不能进行非法的口令对照。所以，可以防止因电源电压降低时只有读出放大电路停止工作而能够进行非法的口令对照，可以提高 IC 卡的安全性，可以提高存储在 IC 卡中的数据的安全性。
25 可以提高存储在 IC 卡中的数据的安全性。

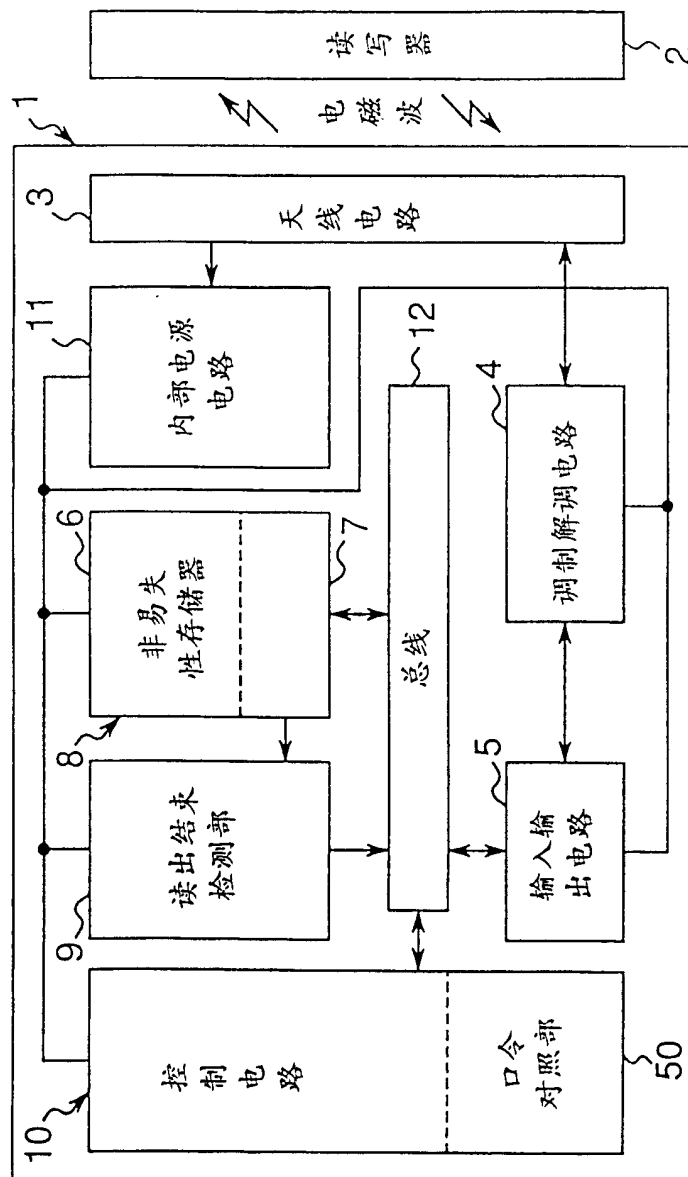


图1

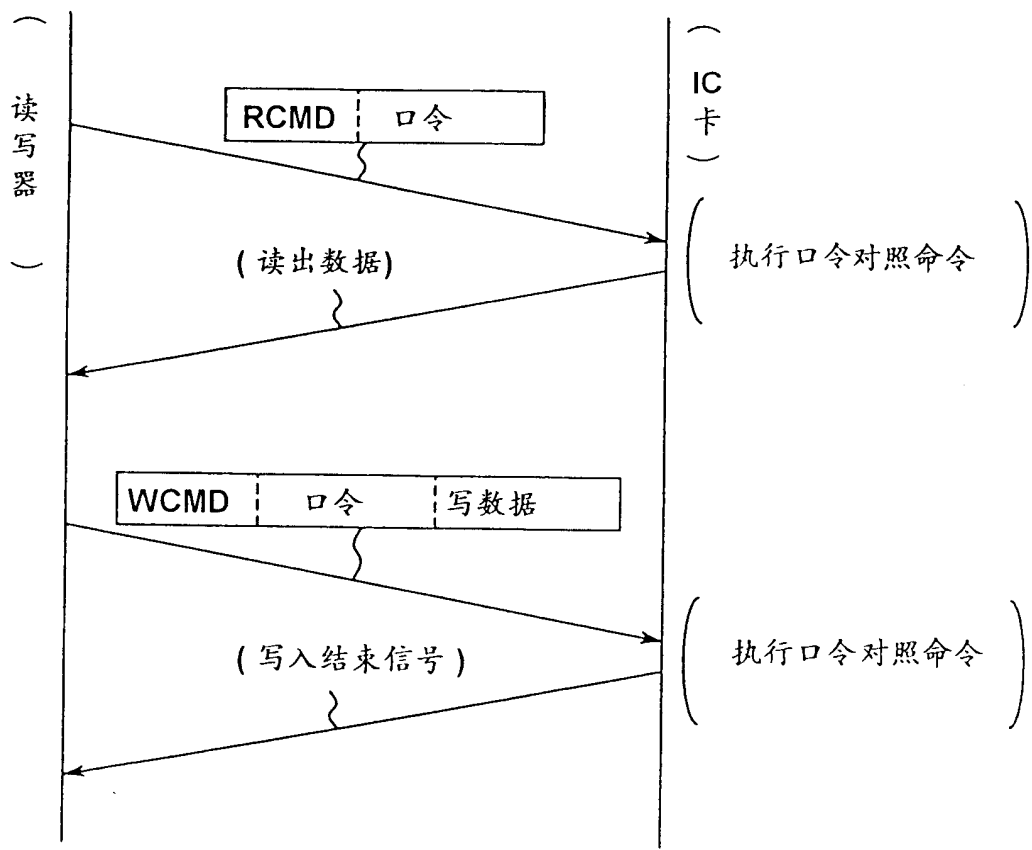


图 3

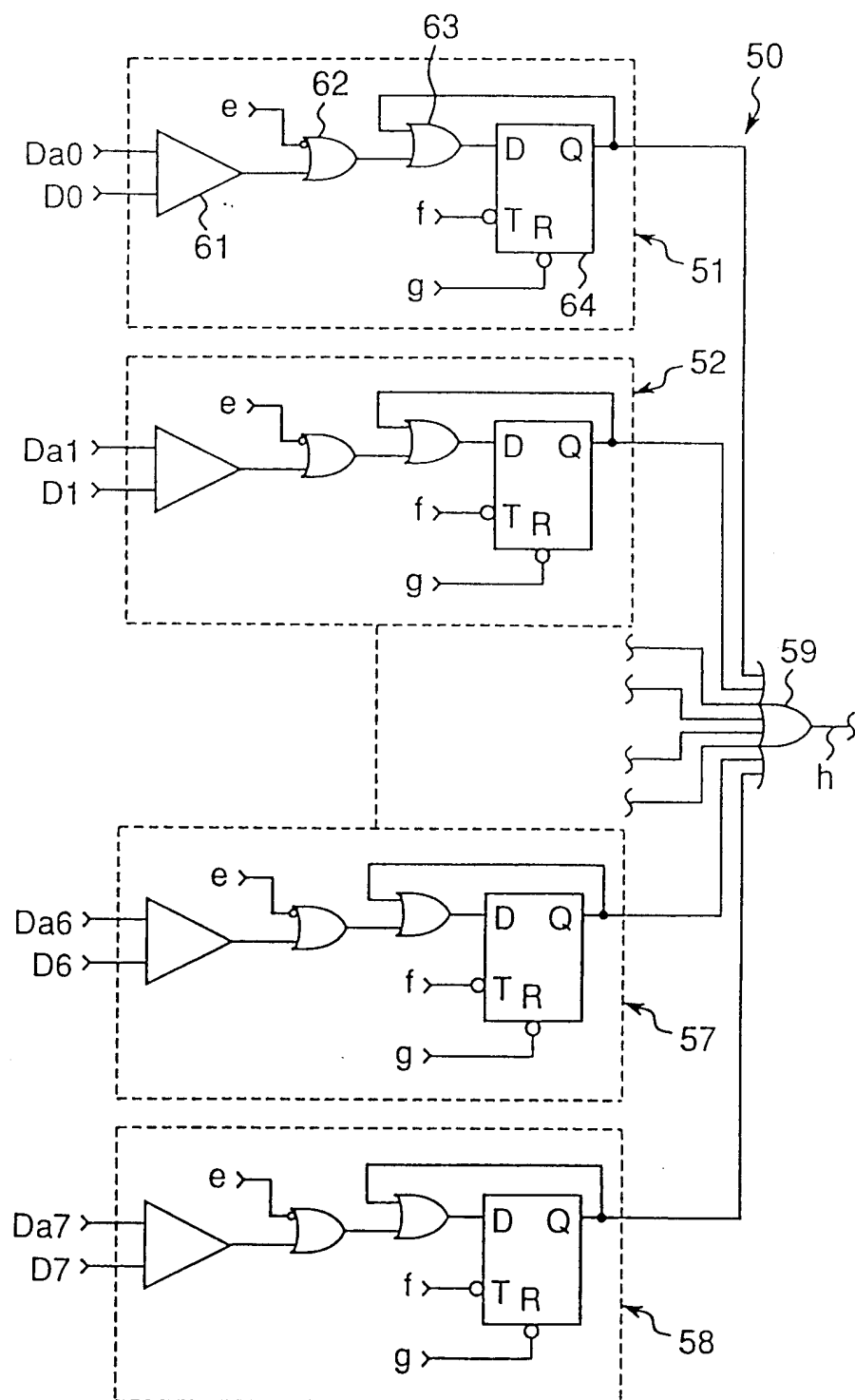


图 4

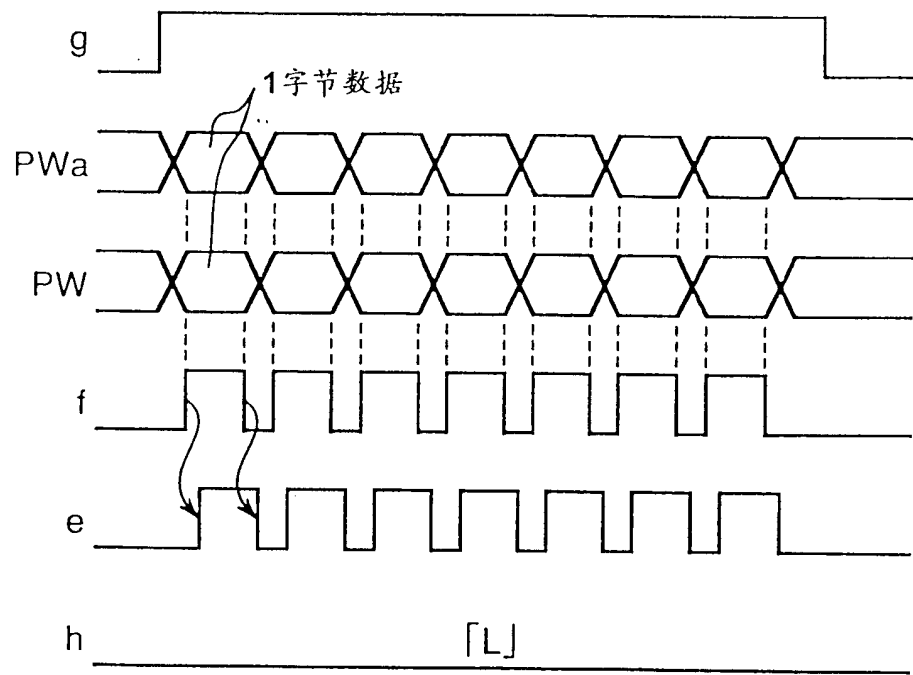


图 5

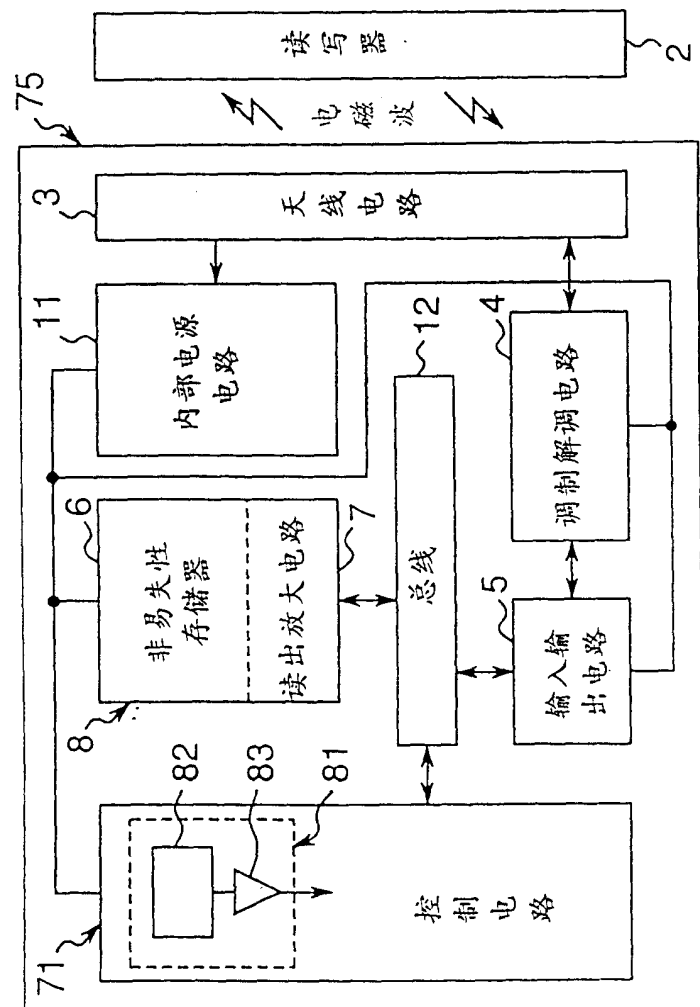


图 6

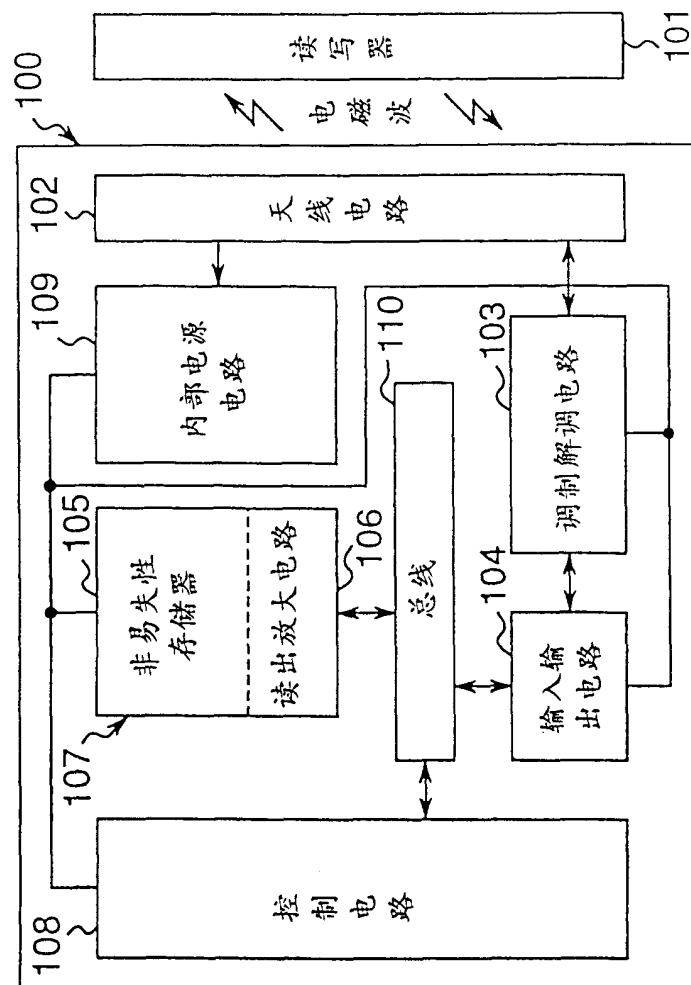


图 7

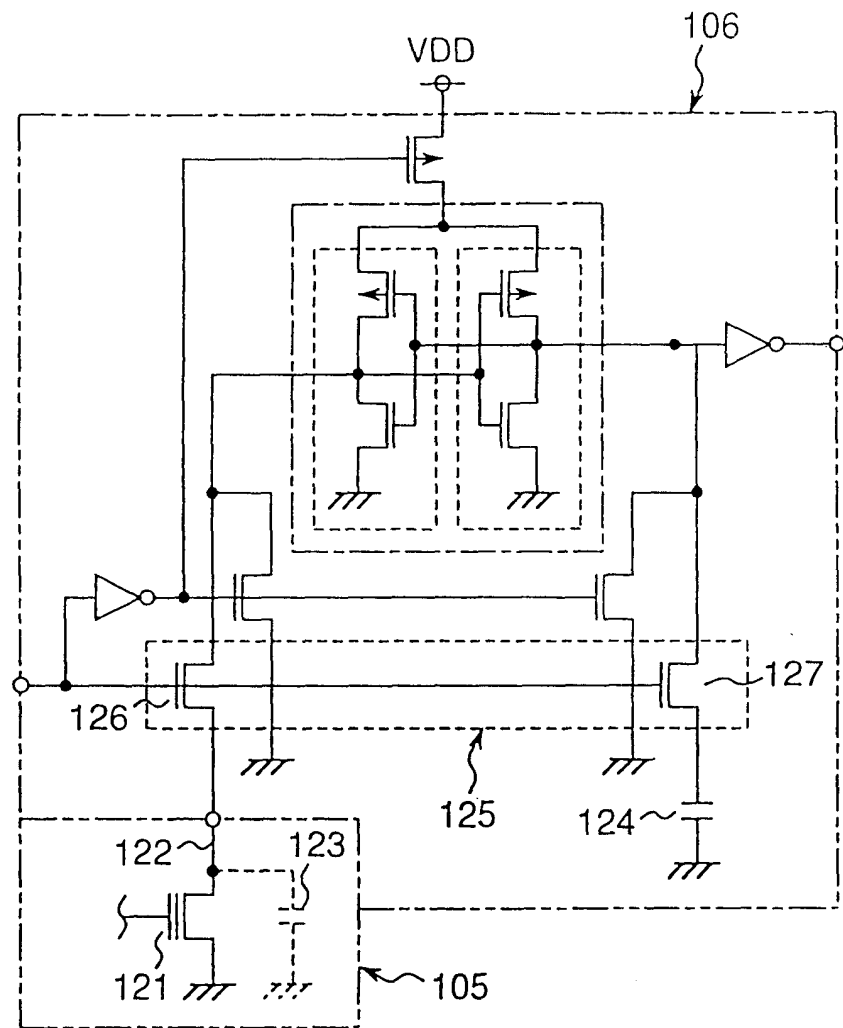


图 8