



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월22일
(11) 등록번호 10-2035347
(24) 등록일자 2019년10월16일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 출원번호 10-2013-0010077
(22) 출원일자 2013년01월29일
심사청구일자 2018년01월18일
- (65) 공개번호 10-2013-0089595
(43) 공개일자 2013년08월12일
- (30) 우선권주장
JP-P-2012-020510 2012년02월02일 일본(JP)
- (56) 선행기술조사문헌
KR1020100061359 A
KR1020110126071 A
- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 15 항

심사관 : 최정민

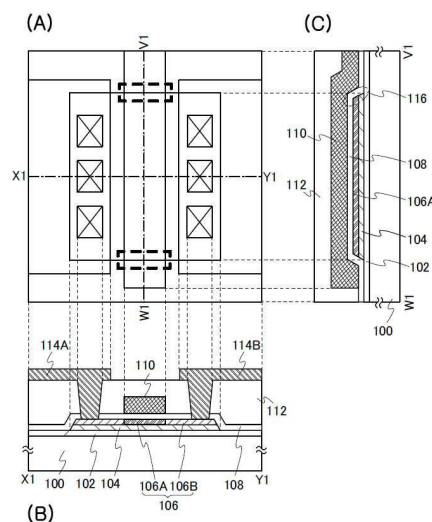
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 c축으로 배향된 결정부를 포함한 산화물 반도체막의 측면으로부터 산소가 이탈되는 것을 방지할 수 있는 반도체 장치를 제공한다.

상기 반도체 장치는 제 1 산화물 반도체막과, c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막과, c축으로 배향된 결정부를 포함한 산화물막을 가지며, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 산화물막은 IGZO 막으로 구성되고, 제 2 산화물 반도체막이 갖는 인듐의 함유량은 제 1 산화물 반도체막이 갖는 인듐의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 인듐의 함유량은 산화물막이 갖는 인듐의 함유량보다 많고, 산화물막이 갖는 갈륨의 함유량은 제 1 산화물 반도체막이 갖는 갈륨의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 갈륨의 함유량은 제 2 산화물 반도체막이 갖는 갈륨의 함유량보다 많은 구성으로 한다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서,

제 1 산화물 반도체막과, c축으로 배향된 결정부를 포함하는 제 2 산화물 반도체막을 포함하는, 섬 형상의 반도체막;

상기 제 2 산화물 반도체막에 인접하고 c축으로 배향된 결정부를 포함하는 산화물막으로서, 상기 제 2 산화물 반도체막이 상기 제 1 산화물 반도체막과 상기 산화물막 사이에 개재되는, 상기 산화물막;

상기 산화물막에 인접하는 게이트 전극으로서, 상기 산화물막이 상기 섬 형상의 반도체막과 상기 게이트 전극 사이에 개재되는, 상기 게이트 전극; 및

상기 섬 형상의 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하고,

상기 제 1 산화물 반도체막, 상기 제 2 산화물 반도체막, 및 상기 산화물막 각각은 인듐, 갈륨, 및 아연을 함유하는 산화물을 포함하고,

상기 제 2 산화물 반도체막 내의 인듐 함유량은 상기 제 1 산화물 반도체막 내의 인듐 함유량보다 많고,

상기 제 1 산화물 반도체막 내의 상기 인듐 함유량은 상기 산화물막 내의 인듐 함유량보다 많고,

상기 산화물막 내의 갈륨 함유량은 상기 제 1 산화물 반도체막 내의 갈륨 함유량보다 많고,

상기 제 1 산화물 반도체막 내의 상기 갈륨 함유량은 상기 제 2 산화물 반도체막 내의 갈륨 함유량보다 많은, 반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 게이트 전극은 상기 섬 형상의 반도체막 위에 있고,

상기 소스 전극 및 상기 드레인 전극은 상기 섬 형상의 반도체막 위에 있는, 반도체 장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

산화막을 더 포함하고,

상기 섬 형상의 반도체막은 상기 산화막 위에 있는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 섬 형상의 반도체막의 표면에 수직인 방향으로의 상기 산화물막의 산소 투과성은 상기 섬 형상의 반도체막의 상기 표면에 수평인 방향으로의 상기 산화물막의 산소 투과성보다 낮은, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 산화물 반도체막 내의 In, Ga, 및 Zn의 원자수비가 1: 1: 1인, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 제 2 산화물 반도체막 내의 In, Ga, 및 Zn의 원자수비가 3: 1: 2인, 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 산화물막 내의 In, Ga, 및 Zn의 원자수비가 1: 3: 2인, 반도체 장치.

청구항 10

제 1 항에 있어서,

상기 산화물막은 In, Ga, 및 Zn을 함유하는 산화물을 포함하는 막 위에 절연막이 적층된 구조를 갖는, 반도체 장치.

청구항 11

제 1 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극 위에 절연막이 제공되는, 반도체 장치.

청구항 12

제 1 항에 있어서,

상기 제 2 산화물 반도체막의 상기 c축으로 배향된 결정부 내에서, 상기 제 2 산화물 반도체막이 형성되는 표면의 법선 벡터에 평행한 c축 방향을 따라 층상으로 복수의 금속 원자들 및 산소 원자들이 배열되고,

상기 산화물막의 상기 c축으로 배향된 결정부 내에서, 상기 산화물막이 형성되는 표면의 법선 벡터에 평행한 c축 방향을 따라 층상으로 복수의 금속 원자들 및 산소 원자들이 배열되는, 반도체 장치.

청구항 13

반도체 장치로서,

제 1 산화물 반도체막과, 상기 제 1 산화물 반도체막 위에 있으며 c축으로 배향된 결정부를 포함하는 제 2 산화물 반도체막을 포함하는, 섬 형상의 반도체막;

상기 섬 형상의 반도체막 위에 있고, c축으로 배향된 결정부를 포함하는 산화물막;

상기 산화물막 위의 게이트 전극; 및

상기 섬 형상의 반도체막 위에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하고,

상기 제 1 산화물 반도체막, 상기 제 2 산화물 반도체막, 및 상기 산화물막 각각은 인듐, 갈륨, 및 아연을 함유하는 산화물을 포함하고,

상기 제 2 산화물 반도체막 내의 인듐 함유량은 상기 제 1 산화물 반도체막 내의 인듐 함유량보다 많고,

상기 제 1 산화물 반도체막 내의 상기 인듐 함유량은 상기 산화물막 내의 인듐 함유량보다 많고,

상기 산화물막 내의 갈륨 함유량은 상기 제 1 산화물 반도체막 내의 갈륨 함유량보다 많고,

상기 제 1 산화물 반도체막 내의 상기 갈륨 함유량은 상기 제 2 산화물 반도체막 내의 갈륨 함유량보다 많은, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

반도체 장치로서,

제 1 산화물 반도체막과, 상기 제 1 산화물 반도체막 위에 있으며 c축으로 배향된 결정부를 포함하는 제 2 산화물 반도체막을 포함하는, 섬 형상의 반도체막;

상기 섬 형상의 반도체막 위에 있고, c축으로 배향된 결정부를 포함하는 산화물막;

상기 산화물막 위의 게이트 전극;

적어도 상기 섬 형상의 반도체막의 측면들에 접촉하는 제 1 소스 전극 및 제 1 드레인 전극; 및

상기 섬 형상의 반도체막 위의 제 2 소스 전극 및 제 2 드레인 전극을 포함하고, 상기 제 2 소스 전극과 상기 제 2 드레인 전극은 상기 제 1 소스 전극과 상기 제 1 드레인 전극에 각각 전기적으로 접속되고,

상기 제 1 산화물 반도체막, 상기 제 2 산화물 반도체막, 및 상기 산화물막 각각은 인듐, 갈륨, 및 아연을 함유하는 산화물을 포함하고,

상기 제 2 산화물 반도체막 내의 인듐 함유량은 상기 제 1 산화물 반도체막 내의 인듐 함유량보다 많고,

상기 제 1 산화물 반도체막 내의 상기 인듐 함유량은 상기 산화물막 내의 인듐 함유량보다 많고,

상기 산화물막 내의 갈륨 함유량은 상기 제 1 산화물 반도체막 내의 갈륨 함유량보다 많고,

상기 제 1 산화물 반도체막 내의 상기 갈륨 함유량은 상기 제 2 산화물 반도체막 내의 갈륨 함유량보다 많은, 반도체 장치.

청구항 18

제 1 항, 제 13 항, 및 제 17 항 중 어느 한 항에 있어서,

상기 산화물막은 절연성을 갖는, 반도체 장치.

청구항 19

제 1 항, 제 13 항, 및 제 17 항 중 어느 한 항에 있어서,

상기 산화물막은 적어도 채널 길이 방향으로 상기 섬 형상의 반도체막의 측면들을 덮는, 반도체 장치.

청구항 20

제 13 항 또는 제 17 항에 있어서,

상기 게이트 전극의 측면들에 접촉하는 측벽을 더 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체를 사용한 반도체 장치에 관한 것이다.

[0002] 또한, 본 명세서에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기

광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경 기술

- [0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다.
- [0004] 예를 들어, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 비정질 산화물 반도체막을 사용한 트랜지스터가 개시(開示)되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개2006-165528호 공보

발명의 내용

해결하려는 과제

- [0006] 산화물 반도체막을 사용한 트랜지스터는 비정질 실리콘막을 사용한 트랜지스터보다 동작이 빠르고('전계 효과 이동도가 높다'라고도 함), 다결정 실리콘막을 사용한 트랜지스터보다 제조하기 쉽다는 특징을 갖는다.
- [0007] 그러나, 산화물 반도체막을 사용한 트랜지스터는 몇 가지 문제가 지적되어 있으며, 그 중 하나는 트랜지스터의 전기적 특성의 불안정성이다. 구체적으로 말하면, 가시광 또는 자외광의 조사나 바이어스-열 스트레스 시험(BT 시험이라고도 함)을 수행하였을 때, 트랜지스터의 임계값 전압이 음 측으로 이동하여 트랜지스터가 노멀리 온(normally-on)의 경향을 나타내는 것이 지적되어 있다. 이 문제의 원인 중 하나로서 산화물 반도체막 내의 산소 결손 등을 들 수 있다.
- [0008] 예를 들어, 산화물 반도체막이 비정질(어모퍼스(amorphous))인 경우, 산화물 반도체막 내의 금속 원자와 산소 원자의 결합 상태는 질서화되어 있지 않으며 산소 결손이 발생하기 쉬운 상태라고 할 수 있다. 그러므로, 산화물 반도체막의 전기적 특성(예를 들어, 전기 전도도)가 변화될 우려가 있다. 그래서, 이러한 변화는 산화물 반도체막을 사용한 트랜지스터에서 트랜지스터의 전기적 특성의 변동 요인이 되어, 상기 트랜지스터를 사용한 반도체 장치의 신뢰성을 저하시키게 된다.
- [0009] 또한, 산화물 반도체막은 상술한 바와 같은 비정질 상태 외에, 단결정, 다결정(폴리크리스탈이라고도 함) 등의 상태를 가질 수 있다. 또한, 트랜지스터의 전기적 특성이 변동되는 요인이 되는 산소 결손을 저감할 수 있는 상태로서, 산화물 반도체막은 CAAC 산화물 반도체(C Axis Aligned Crystalline Oxide Semiconductor: CAAC-OS라고도 함)막이라는 상태를 가질 수 있다.
- [0010] 여기서, CAAC 산화물 반도체막에 대해서 자세히 설명한다.
- [0011] CAAC 산화물 반도체막은 완전한 비정질이 아니다. CAAC 산화물 반도체막은 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체를 갖는다. 또한, 상기 결정부는 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는 CAAC 산화물 반도체막에 포함된 비정질부와 결정부의 경계, 결정부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의한 관찰상에서는 CAAC 산화물 반도체막에 명확한 입계(그레인 바운더리(grain boundary)라고도 함)가 확인되지 않는다. 그러므로, CAAC 산화물 반도체막은 입계에 기인한 전자 이동도의 저하가 억제된다.
- [0012] CAAC 산화물 반도체막에 포함된 결정부는 예를 들어, c축이 CAAC 산화물 반도체막의 피형성면(CAAC 산화물 반도체막이 형성되는 면)의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또 ab면에 수직인 방향

으로부터 보아 금속 원자가 삼각형 또는 육각형으로 배열되며, c축에 수직인 방향으로부터 보아 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부 간에서 a축 및 b축의 방향이 각각 상이하어도 좋다.

[0013] 또한 본 명세서에서, 단순히 '수직'이라고 기재된 경우에는 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 포함된다. 또한, 단순히 '평행'이라고 기재된 경우에는 -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 포함된다.

[0014] 또한, CAAC 산화물 반도체막에서 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC 산화물 반도체막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시킬 때, 산화물 반도체막의 피형성면 근방보다 표면 근방에서 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC 산화물 반도체막에 불순물을 첨가함으로써, 상기 불순물 첨가 영역에서 결정부가 비정질화되는 경우도 있다.

[0015] CAAC 산화물 반도체막에 포함된 결정부의 c축은 CAAC 산화물 반도체막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC 산화물 반도체막의 형상(CAAC 산화물 반도체막의 피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향할 수 있다. 또한, 막을 형성하였을 때, 또는 막 형성 후에 열처리 등의 결정화 처리를 수행하였을 때, 결정부가 형성된다. 따라서, 결정부의 c축은 CAAC 산화물 반도체막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된다.

[0016] 여기까지 설명한 CAAC 산화물 반도체막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기적 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0017] 또한, c축이 피형성면의 법선 벡터에 평행 방향으로 정렬되고, 또 ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열되어 있는 결정부를 포함한 CAAC 산화물 반도체막을 본 명세서에 있어서 'c축으로 배향된 결정부를 포함한 산화물 반도체막'이라고 한다.

[0018] 한편, c축으로 배향된 결정부를 포함한 산화물 반도체막의 일레인 In-Ga-Zn계 산화물(이하에서 IGZO라고 함)막에서는 c축 방향으로 산소가 움직이기 어려워 산소 결손이 발생하기 어렵지만, a축 및 b축을 갖는 평면에서는 산소가 움직이기 쉽다는 것이 밀도 범함수 이론(density functional theory)에 기초한 컴퓨터의 계산에 의해 판명되어 있다. 구체적으로는 IGZO막에서는 In-O층, Ga-O층, Zn-O층이 c축에 수직인 방향으로부터 보아 층상으로 배열되어 있는 상태에서, 산소는 In-O층을 가로지르도록 움직이기보다 In-O층을 따라 움직이기 쉽다. 즉 c축으로 배향된 결정부를 포함한 산화물 반도체막에서는 상기 막의 피형성면 또는 표면에 평행한 방향을 따라 이동하기 쉽다.

[0019] 산소가 어느 방향으로 움직이기 쉬운지를 고려하면, c축으로 배향된 결정부를 포함한 산화물 반도체막에서는 상기 막의 측면으로부터 산소가 이탈되어 산소 결손이 발생하기 쉬운 상태가 되어 있다. 이러한 산화물 반도체막을 사용한 트랜지스터에서는 c축으로 배향된 결정부를 포함한 산화물 반도체막을 섬 형상으로 가공하는 경우, 그 측면이 노출된 상태가 되어 산소 결손이 발생하기 쉬워진다. 산소 결손이 발생하기 쉬운 상태가 계속되면, 트랜지스터의 전기적 특성의 변동 요인이 되어, 상기 트랜지스터를 사용한 반도체 장치의 신뢰성이 저하된다.

[0020] 그러므로, 본 발명의 일 형태는 c축으로 배향된 결정부를 포함한 산화물 반도체막의 측면으로부터 산소가 이탈되는 것을 방지하고, 또 c축으로 배향된 결정부를 포함한 산화물 반도체막에 충분한 산소를 함유시킬 수 있는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터로 구성되는 반도체 장치의 신뢰성을 향상시키는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0021] 본 발명의 일 형태는 제 1 산화물 반도체막 및 상기 제 1 산화물 반도체막 위에 적층되어 제공되며 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막을 갖는 섬 형상의 반도체막과, 섬 형상의 반도체막의 측면에 접촉하여 제공되며 c축으로 배향된 결정부를 포함한 산화물막을 구비하고, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 산화물막은 인듐, 갈륨, 및 아연을 함유한 산화물로 구성되고, 제 2 산화물 반도체막이 갖는 인듐의 함유량은 제 1 산화물 반도체막이 갖는 인듐의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 인듐의 함유량은

산화물막이 갖는 인듐의 함유량보다 많고, 산화물막이 갖는 갈륨의 함유량은 제 1 산화물 반도체막이 갖는 갈륨의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 갈륨의 함유량은 제 2 산화물 반도체막이 갖는 갈륨의 함유량보다 많은, 반도체 장치이다.

[0022] 본 발명의 다른 일 형태는 제 1 산화물 반도체막 및 상기 제 1 산화물 반도체막 위에 적층되어 제공되며 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막을 갖는 섬 형상의 반도체막과, 섬 형상의 반도체막의 측면에 접촉하여 제공되며 c축으로 배향된 결정부를 포함한 산화물막과, 산화물막 위에 제공된 게이트 전극을 구비하고, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 산화물막은 인듐, 갈륨, 및 아연을 함유한 산화물로 구성되고, 제 2 산화물 반도체막이 갖는 인듐의 함유량은 제 1 산화물 반도체막이 갖는 인듐의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 인듐의 함유량은 산화물막이 갖는 인듐의 함유량보다 많고, 산화물막이 갖는 갈륨의 함유량은 제 1 산화물 반도체막이 갖는 갈륨의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 갈륨의 함유량은 제 2 산화물 반도체막이 갖는 갈륨의 함유량보다 많은, 반도체 장치이다.

[0023] 본 발명의 다른 일 형태는 제 1 산화물 반도체막 및 상기 제 1 산화물 반도체막 위에 적층되어 제공되며 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막을 갖는 섬 형상의 반도체막과, 섬 형상의 반도체막의 채널 길이 방향의 측면에 접촉하여 제공된 소스 전극 및 드레인 전극과, 섬 형상의 반도체막의 채널 폭 방향의 측면에 접촉하여 제공되며 c축으로 배향된 결정부를 포함한 산화물막과, 산화물막 위에 제공된 게이트 전극을 구비하고, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 및 산화물막은 인듐, 갈륨, 및 아연을 함유한 산화물로 구성되고, 제 2 산화물 반도체막이 갖는 인듐의 함유량은 제 1 산화물 반도체막이 갖는 인듐의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 인듐의 함유량은 산화물막이 갖는 인듐의 함유량보다 많고, 산화물막이 갖는 갈륨의 함유량은 제 1 산화물 반도체막이 갖는 갈륨의 함유량보다 많고, 제 1 산화물 반도체막이 갖는 갈륨의 함유량은 제 2 산화물 반도체막이 갖는 갈륨의 함유량보다 많은, 반도체 장치이다.

[0024] 본 발명의 일 형태에 있어서, 게이트 전극의 측면에는 측벽(sidewall)이 제공되어 있는 것이 바람직하다.

[0025] 본 발명의 일 형태에 있어서, 산화물막은 인듐, 갈륨, 및 아연을 함유한 산화물로 구성된 막 위에 무기 절연막이 적층된 구조인 것이 바람직하다.

[0026] 본 발명의 일 형태에 있어서, 게이트 전극 위, 소스 전극 위, 및 드레인 전극 위에는 산화 알루미늄막이 제공되어 있는 것이 바람직하다.

[0027] 본 발명의 일 형태에 있어서, 제 1 산화물 반도체막은 원자수비가 In:Ga:Zn=1:1:1인 산화물을 포함한 막인 것이 바람직하다.

[0028] 본 발명의 일 형태에 있어서, 제 2 산화물 반도체막은 원자수비가 In:Ga:Zn=3:1:2인 산화물을 포함한 막인 것이 바람직하다.

[0029] 본 발명의 일 형태에 있어서, 산화물막은 원자수비가 In:Ga:Zn=1:3:2인 산화물을 포함한 막인 것이 바람직하다.

[0030] 본 발명의 일 형태에 있어서, 제 2 산화물 반도체막 및 산화물막의 결정부에서는 제 2 산화물 반도체막 및 산화물막의 피형성면의 법선 벡터에 평행한 c축 방향을 따라, 제 2 산화물 반도체막 및 산화물막에 함유되는 복수의 금속 원자 및 산소 원자가 층상으로 배열되어 있는 것이 바람직하다.

발명의 효과

[0031] 본 발명의 일 형태에 따르면, c축으로 배향된 결정부를 포함한 산화물 반도체막의 측면으로부터 산소가 이탈되는 것을 방지하고, 또 c축으로 배향된 결정부를 포함한 산화물 반도체막에 충분한 산소를 함유시킬 수 있다. 또한, 본 발명의 일 형태에 따르면, c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터로 구성되는 반도체 장치의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0032] 도 1(A)는 반도체 장치의 일 형태를 도시한 평면도이고, 도 1(B) 및 도 1(C)는 그 단면도.

도 2(A) 및 도 2(B)는 실시형태 1의 반도체 장치를 설명하기 위한 단면도.

도 3(A)는 반도체 장치의 일 형태를 도시한 평면도이고, 도 3(B) 및 도 3(C)는 그 단면도.

도 4(A1) 내지 도 4(A3)은 반도체 장치의 제작 공정의 일례를 도시한 평면도이고, 도 4(B1) 내지 도 4(B3) 및 도 4(C1) 내지 도 4(C3)은 그 단면도.

도 5(A1) 내지 도 5(A3)은 반도체 장치의 제작 공정의 일례를 도시한 평면도이고, 도 5(B1) 내지 도 5(B3) 및 도 5(C1) 내지 도 5(C3)은 그 단면도.

도 6(A1) 및 도 6(A2)는 반도체 장치의 제작 공정의 일례를 도시한 평면도이고, 도 6(B1), 도 6(B2), 도 6(C1), 및 도 6(C2)는 그 단면도.

도 7(A) 및 도 7(B)는 반도체 장치의 일 형태를 도시한 단면도.

도 8(A) 및 도 8(B)는 반도체 장치를 사용한 회로 구성의 일례를 도시한 회로도.

도 9(A) 및 도 9(B)는 반도체 장치를 사용한 CPU의 블록도.

도 10(A)는 반도체 장치의 일 형태를 도시한 평면도이고, 도 10(B) 및 도 10(C)는 그 단면도.

도 11(A) 내지 도 11(C)는 실시예의 구성을 설명하기 위한 도면.

도 12는 실시예의 구성을 설명하기 위한 도면.

도 13(A) 내지 도 13(C)는 실시예의 구성을 설명하기 위한 도면.

도 14는 실시예의 구성을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0033] 이하에서는 본 명세서에 개시되는 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시되는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0034] 또한, 도면 등에 나타난 각 구성의 위치, 크기, 형상 등은 이해하기 쉽게 하기 위해서, 실제의 위치, 크기, 형상 등을 나타내지 않은 경우가 있다. 그러므로, 본 발명은 반드시 도면 등에 나타난 위치, 크기, 형상 등에 한정되는 것은 아니다.

[0035] 또한, 본 명세서에 있어서 '제 1', '제 2' '제 3' 등의 서수사는 구성 요소의 혼동을 피하기 위해서 붙인 것이며, 수적으로 한정하는 것이 아님을 부기한다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는 반도체 장치에 있어서 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터의 구성에 대해서 설명한다.

[0038] 도 1(A) 내지 도 1(C)에 본 발명의 일 형태인 트랜지스터를 도시하였다. 도 1(A)에는 트랜지스터의 평면도를 도시하였다. 도 1(B)는 도 1(A)의 채널 길이 방향인 X1-Y1 부분의 단면도를 도시한 것이고, 도 1(C)는 도 1(A)의 채널 폭 방향인 V1-W1 부분의 단면도를 도시한 것이다.

[0039] 도 1(A) 내지 도 1(C)에 도시한 트랜지스터는 기판(100) 위에 제공된 산화막(102)과, 산화막(102) 위에 제공된 제 1 산화물 반도체막(104)과, 제 1 산화물 반도체막(104) 위에 제공된 제 2 산화물 반도체막(106)과, 섬 형상으로 형성된 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106) 각각의 적어도 측면을 덮도록 제공된 산화물막(108)과, 산화물막(108) 위에 제공된 게이트 전극(110)과, 게이트 전극(110)을 덮도록 제공된 층간 절연막(112)과, 층간 절연막(112) 위에 제공되며 제 2 산화물 반도체막(106)에 접속된 소스 전극(114A) 및 드레인 전극(114B)을 갖는다. 또한, 제 2 산화물 반도체막(106)은 게이트 전극(110)과 중첩된 영역에 채널 영역(106A)을 갖고, 소스 전극(114A) 및 드레인 전극(114B)과 접속된 영역에 채널 영역보다 저항이 낮은 저저항 영역(106B)을 갖는다.

[0040] 또한, 섬 형상으로 형성된 막의 측면이란, 측면이 기판면에 대해 수직으로 노출되는 경우 이외에, 상기 측면이 기판면에 대해 비스듬하게 노출되어 테이퍼 형상을 이루는 경우도 포함한다.

- [0041] 도 1(A) 내지 도 1(C)에는 섬 형상으로 형성된 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)을 적층하여 제공하는 구성을 갖는 트랜지스터를 도시하였다. 본 발명의 일 형태에서는 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)은 적어도 인듐, 아연, 및 갈륨을 함유한 산화물을 포함하며, 제 2 산화물 반도체막(106)은 제 1 산화물 반도체막(104)보다 막 내의 인듐 함유량을 많게 한다. 제 2 산화물 반도체막(106) 내의 인듐 함유량을 많게 함으로써, 제 2 산화물 반도체막(106)의 결정성을 향상시킬 수 있다.
- [0042] 또한, 본 발명의 일 형태에 있어서는 제 1 산화물 반도체막(104)은 막 내의 갈륨 함유량과 인듐 함유량을 동일하게 하고, 제 2 산화물 반도체막(106)보다 막 내의 갈륨 함유량을 많게 한다. 제 1 산화물 반도체막(104)은 제 2 산화물 반도체막(106)을 형성할 때 산화막(102)으로부터 방출되는 산소나 실리콘 등의 확산을 억제할 수 있다. 그러므로, 제 1 산화물 반도체막(104)을 제공함으로써, 제 2 산화물 반도체막(106)에 실리콘 등의 불순물이 혼입되는 것을 저감하여, 제 2 산화물 반도체막(106)의 결정성을 향상시킬 수 있다.
- [0043] 예를 들어, 제 1 산화물 반도체막(104)을 형성하지 않는 구성으로 한 경우를 생각하면, 400℃ 정도의 가열 막 형성(thermal film formation)으로 산화막(102) 위에 제 2 산화물 반도체막(106)을 직접 형성하게 된다. 이 경우에는 제 2 산화물 반도체막(106)을 형성하기 전에 산화막(102)으로부터 산소가 방출된다. 이로써, 이 후의 공정에서 제 2 산화물 반도체막(106)에 산화막(102)으로부터 산소를 공급할 수 없다.
- [0044] 그러나, 본 실시형태에 제시하는 구성으로 함으로써, 제 1 산화물 반도체막(104)은 산화막(102)의 형성 후에 낮은 온도(예를 들어, 실온 이상 200℃ 이하)에서 형성하고, 제 2 산화물 반도체막(106)은 높은 온도(예를 들어, 250℃ 이상 500℃ 이하, 바람직하게는 300℃ 이상 400℃ 이하)에서 형성할 수 있어, 산화막(102)으로부터 방출되는 산소를 제 1 산화물 반도체막(104)에 의해 억제할 수 있다.
- [0045] 또한, 제 2 산화물 반도체막(106)은 같은 종류의 재료인 제 1 산화물 반도체막(104) 위에 형성되기 때문에, 제 1 산화물 반도체막(104)과의 계면으로부터 성장되는 c축으로 배향된 결정부를 포함한 막으로 할 수 있다.
- [0046] 즉 제 1 산화물 반도체막(104)은 공정중에 산화막(102)으로부터 방출되는 산소를 억제하면서 제 2 산화물 반도체막(106)의 하지막으로서 기능할 수 있다. 그러므로, 제 2 산화물 반도체막(106)의 결정성을 높일 수 있다. 또한, 산화막(102)으로부터 방출되는 산소는 제 2 산화물 반도체막(106) 형성 후의 열처리 등으로 방출시켜, 제 1 산화물 반도체막(104)을 통과하고 제 2 산화물 반도체막(106)에 공급할 수 있다.
- [0047] 이와 같이 제 1 산화물 반도체막(104)과 제 2 산화물 반도체막(106)을 적층하는 구성으로 함으로써, 제 2 산화물 반도체막(106)의 산소 결손을 억제하면서 제 2 산화물 반도체막(106)의 결정성을 향상시킨다는, 뛰어난 효과를 나타낸다.
- [0048] 제 2 산화물 반도체막(106)의 결정성이 향상됨으로써, 제 2 산화물 반도체막(106) 내의 금속 원자와 산소 원자의 결합 상태가 질서화되어, 산소 결손의 발생을 억제할 수 있다. 또한, 산소 결손이 발생하더라도 산화막(102)으로부터의 산소의 공급에 의해, 산소 결손을 보전할 수 있다.
- [0049] 또한, 상술한 제 1 산화물 반도체막(104)과 제 2 산화물 반도체막(106)을 적층하는 구성에 더하여, 본 발명의 일 형태인 도 1(A) 내지 도 1(C)에 도시한 트랜지스터에서는 섬 형상으로 형성된 제 1 산화물 반도체막(104)의 측면 및 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막(106)의 측면을 덮도록 산화물막(108)이 제공되어 있다. 본 발명의 일 형태에 있어서, 산화물막(108)은 제 2 산화물 반도체막(106)과 마찬가지로 c축으로 배향된 결정부를 포함한 막이며, 막의 피형성면에 수평인 방향보다 수직인 방향으로 산소 투과성이 낮은 막으로 할 수 있다.
- [0050] 본 발명의 일 형태에 있어서는 산소 투과성이 낮은 막은 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)과 같은 원소를 갖는 막이다. 즉 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)이 IGZO막인 경우에는 산화물막(108)도 인듐, 갈륨, 및 아연을 갖는 IGZO막이다. 특히 산화물막(108)은 막 내의 갈륨 함유량이 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)의 갈륨 함유량보다 많고, 인듐 함유량이 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)의 인듐 함유량보다 적은 막이다.
- [0051] 산화물막(108)은 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)과 같은 원소를 갖는 막으로 함으로써, 산화물막(108)과, 섬 형상으로 형성된 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)과의 계면의 상태를 양호하게 할 수 있다. 그리고 산화물막(108)은 제 2 산화물 반도체막(106)과 마찬가지로 c축으로 배향된 결정부를 포함한 막으로 할 수 있다.
- [0052] 또한, 산화물막(108)은 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)보다 갈륨 함유량을 많게 하고

인듐 함유량을 적게 함으로써, 에너지갭이 큰 막으로서 사용할 수 있다.

- [0053] 또한, 산화물막(108)은 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)과 같이 인듐을 함유함으로써, 제 2 산화물 반도체막(106)과 마찬가지로 c축으로 배향된 결정부를 포함한 막으로 할 수 있다.
- [0054] 또한, 산화물막(108)은 인듐을 함유한 제 2 산화물 반도체막(106)과 마찬가지로 c축으로 배향된 결정부를 포함한 막으로 함으로써, c축으로 산소가 움직이기 어려워 산소 결손이 발생하기 어려우면서도 a축 및 b축을 갖는 평면에서는 산소가 움직이기 쉬운 막으로 할 수 있다. 그리고 상기 막은 In-O층, Ga-O층, Zn-O층이 c축에 수직인 방향으로부터 보아 층상으로 배열되어 있는 상태에서, 산소가 In-O층을 가로지르도록 움직이기보다 In-O층을 따라 움직이기 쉬운 막으로 할 수 있다. 이 In-O층에서 산소가 In-O층을 가로지르도록 움직이기 어려운 성질을 이용하여, 산화물막(108)은 제 2 산화물 반도체막(106) 및 산화물막(108)의 피형성면의 법선 벡터에 평행한 c축 방향으로 산소 투과성이 낮은 막으로 할 수 있다.
- [0055] c축 방향으로 산소 투과성이 낮은 막으로 한 산화물막(108)은 제 2 산화물 반도체막(106)의 측면에 제공함으로써, 상기 막으로부터 산소가 이탈되어 산소 결손이 발생하기 쉬운 상태를 억제할 수 있다.
- [0056] 도 1(A)에서 굵은 점선으로 도시한 부분에서는 산소 결손으로 인하여 도전성이 높아지면 기생 채널이 발생한다. 이 기생 채널은 스위칭 특성의 저하 및 신호 지연의 원인이 된다. c축 방향으로 산소 투과성이 낮은 산화물막(108)을 도 1(A)에서의 굵은 점선으로 도시한 부분에 제공함으로써, 이 부분이 저저항화되는 것을 억제할 수 있다. 즉 도 1(C)에 도시한 채널 폭 방향의 단면도에 대해 말하면, 제 2 산화물 반도체막(106)의 측면에 상당하는 영역(116)에서의 산소 이탈을 억제하여, 기생 채널의 발생을 억제할 수 있다.
- [0057] 산화물막(108) 내에서 갈륨은 스테빌라이저(stabilizer)로서 기능한다. 그러므로, 갈륨의 일부 또는 모두를 다른 스테빌라이저로 바꿀 수 있다. 갈륨의 다른 스테빌라이저로서는 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr)을 예시할 수 있다. 또한, 다른 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종류 또는 복수 종류를 가져도 좋다.
- [0058] 또한, 도 2(A) 및 도 2(B)는 산화막(102), 제 1 산화물 반도체막(104), 제 2 산화물 반도체막(106), 및 산화물막(108)을 추출하여 도시한 단면도이다.
- [0059] 상술한 바와 같이, 산화물막(108)은 막의 피형성면의 법선 벡터에 평행한 c축 방향으로 산소가 In-O층을 가로지르도록 움직이기 어려운 성질을 이용하여 산소 투과성이 낮은 막으로 할 수 있다. In-O층은 상기 막의 피형성면 또는 표면에 평행한 방향을 따라 형성되기 때문에, 도 2(A)에서의 점선(118)으로 도시된 바와 같은 층으로 할 수 있다. 점선(118)으로 도시된 In-O층은 섬 형상으로 형성된 제 2 산화물 반도체막(106)의 측면을 덮도록 제공된다. In-O층은 산소가 In-O층을 가로지르도록 움직이기 어렵기 때문에, 피형성면 또는 표면에 평행한 방향으로 In-O층을 갖는 산화물막(108)은 제 2 산화물 반도체막(106)의 측면으로부터 산소가 이탈되는 것을 억제할 수 있다.
- [0060] 또한, 도 2(A)와는 다른 구성으로서 산화막(102), 제 1 산화물 반도체막(104), 제 2 산화물 반도체막(106), 및 산화물막(108)을 추출하여 도시한 단면도를 도 2(B)에 도시하였다. 도 2(A)와 다른 점은 산화막(102), 제 1 산화물 반도체막(104), 및 제 2 산화물 반도체막(106)이 제공된 층에, 산화막(102)에 도달하는 홈(120)을 형성하고, 홈(120)의 측면을 덮도록 산화물막(108)이 형성되어 있다는 점이다.
- [0061] 도 2(B)에 도시한 산화물막(108)이 갖는 점선(118)은 도 2(A)와 마찬가지로 산화물막(108)의 피형성면 또는 표면에 평행한 방향을 따라 형성된 In-O층을 나타낸 것이다. In-O층은 산소가 In-O층을 가로지르도록 움직이기 어렵기 때문에, 피형성면 또는 표면에 평행한 방향으로 In-O층을 갖는 산화물막(108)은 산화막(102), 제 1 산화물 반도체막(104), 및 제 2 산화물 반도체막(106)으로부터 산소가 이탈되는 것을 억제할 수 있다.
- [0062] 또한, 홈(120)의 측면을 덮도록 산화물막(108)을 형성한 후, 홈이 아직도 잔존한 경우에는 홈을 매우도록 다른 절연막(122)을 형성하면 좋다. 예를 들어, 산화 실리콘 등의 절연막을 형성하여 홈을 매우면 좋다. 또한, 그 표면의 평탄성을 향상시키고 산화물막(108)을 표면에 노출시키는 목적으로 연마 처리(예를 들어, 화학적 기계연마(Chemical Mechanical Polishing: CMP) 처리)를 수행하여도 좋다.
- [0063] 여기까지 설명한 본 발명의 일 형태에 따른 제 1 산화물 반도체막(104), 제 2 산화물 반도체막(106), 및 산화물막(108)이 갖는 인듐, 갈륨, 및 아연의 함유량의 상대 관계는 제 2 산화물 반도체막(106)이 갖는 인듐의 함유량은 제 1 산화물 반도체막(104)이 갖는 인듐의 함유량보다 많고, 제 1 산화물 반도체막(104)이 갖는 인듐의 함유

량은 산화물막(108)이 갖는 인듐의 함유량보다 많고, 산화물막(108)이 갖는 갈륨의 함유량은 제 1 산화물 반도체막(104)이 갖는 갈륨의 함유량보다 많고, 제 1 산화물 반도체막(104)이 갖는 갈륨의 함유량은 제 2 산화물 반도체막(106)이 갖는 갈륨의 함유량보다 많다.

[0064] 그리고, 함유량을 상기 관계로 한 제 1 산화물 반도체막(104), 제 2 산화물 반도체막(106), 및 산화물막(108)은 제 2 산화물 반도체막(106)의 결정성을 향상시킬 수 있음과 함께, c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막(106)의 측면으로부터 산소가 이탈되는 것을 방지하면서 제 2 산화물 반도체막(106)에 충분한 산소를 함유시킬 수 있다.

[0065] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0066] (실시형태 2)

[0067] 본 실시형태에서는 반도체 장치에 있어서 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터의 구성에 대해서, 실시형태 1과 다른 단면도를 도시하고, 그 제작 방법을 함께 설명한다.

[0068] 도 3(A) 내지 도 3(C)에 본 발명의 일 형태인 트랜지스터를 도시하였다. 도 3(A)에는 트랜지스터의 평면도를 도시하였다. 도 3(B)는 도 3(A)의 채널 길이 방향인 X2-Y2 부분의 단면도를 도시한 것이고, 도 3(C)는 도 3(A)의 채널 폭 방향인 V2-W2 부분의 단면도를 도시한 것이다.

[0069] 도 3(A) 내지 도 3(C)에 도시한 트랜지스터는 기판(200) 위에 제공된 산화막(202)과, 산화막(202) 위에 제공된 제 1 산화물 반도체막(204)과, 제 1 산화물 반도체막(204) 위에 제공된 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막(206)과, 섬 형상으로 형성된 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)의 채널 길이 방향의 측면에 접촉하여 제공된 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)과, 섬 형상으로 형성된 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206) 위의 일부, 채널 폭 방향의 측면에 접촉하여 제공된 산화물막(208)과, 산화물막(208) 위에 제공된 게이트 전극(210)과, 게이트 전극(210)의 측면을 덮도록 제공된 측벽(209)과, 게이트 전극(210) 위를 덮도록 제공된 절연막(211)과, 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B) 위, 제 2 산화물 반도체막(206) 위, 및 측벽(209)의 측면 및 상부를 덮도록 제공된 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)과, 절연막(211) 위, 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B) 위, 및 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B) 위에 제공된 절연막(212)을 갖는다. 또한, 제 2 산화물 반도체막(206)은 게이트 전극(210)과 중첩되는 영역에서 채널 영역(206A)을 갖고, 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B), 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)과 접촉되는 영역에 채널 영역보다 저항이 낮은 저저항 영역(206B)을 갖는다.

[0070] 도 3(A) 내지 도 3(C)에 도시한 트랜지스터에서는 실시형태 1과 마찬가지로, 형성된 제 1 산화물 반도체막(204), 제 2 산화물 반도체막(206), 및 산화물막(208)이 적층되어 제공되는 구조로 한다. 따라서, 제 1 산화물 반도체막(204), 제 2 산화물 반도체막(206), 및 산화물막(208)이 갖는 인듐, 갈륨, 및 아연의 함유량의 상대 관계를 실시형태 1과 같은 구성으로 할 수 있다. 그러므로, 제 2 산화물 반도체막(206)의 채널 폭 방향의 측면에서, 제 2 산화물 반도체막(206)으로부터 산소가 이탈되는 것을 방지하여 제 2 산화물 반도체막(206)에 충분한 산소를 함유시킬 수 있다. 따라서, 도 3(A)에 굵은 점선으로 도시한 부분의 저저항화를 억제하여, 기생 채널의 생성을 억제할 수 있다.

[0071] 또한 본 실시형태에 있어서, 도 3(A) 내지 도 3(C)의 구성에서 절연막(212)으로서 산화 절연막을 사용함으로써, 절연막(212)을 산소 확산 방지막으로서 기능시킬 수 있다. 절연막(212)으로서 산화 절연막이 제공됨으로써, 제 2 산화물 반도체막(206)의 산소 결손을 저감할 수 있다. 또한, 절연막(212)으로서 금속 산화물을 함유한 절연막을 사용할 수 있다. 절연막(212)으로서 금속 산화물을 함유한 절연막이 제공됨으로써, 수소나 물 등의 침입 방지막으로 하여, 외부로부터 트랜지스터의 제 2 산화물 반도체막(206)에 수소나 물 등이 침입하는 것을 억제할 수 있다. 따라서, 트랜지스터의 누설 전류를 저감할 수 있다.

[0072] 다음에, 도 3(A) 내지 도 3(C)에 도시한 트랜지스터의 제작 공정 예에 대해서 도 4(A1) 내지 도 4(A3), 도 4(B1) 내지 도 4(B3), 도 4(C1) 내지 도 4(C3), 도 5(A1) 내지 도 5(A3), 도 5(B1) 내지 도 5(B3), 도 5(C1) 내지 도 5(C3), 도 6(A1), 도 6(A2), 도 6(B1), 도 6(B2), 도 6(C1), 및 도 6(C2)를 참조하여 설명한다. 또한, 도 4(A1) 내지 도 4(A3), 도 5(A1) 내지 도 5(A3), 도 6(A1), 및 도 6(A2)는 도 3(A)에 도시한 트랜지스터의 평면도에 대응한 도면이다. 또한, 도 4(B1) 내지 도 4(B3), 도 5(B1) 내지 도 5(B3), 도 6(B1), 및 도 6(B2)는 도 3(B)에 도시한 X2-Y2 부분의 단면도에 대응한 도면이다. 또한, 도 4(C1) 내지 도 4(C3), 도 5(C1) 내지 도 5(C3), 도 6(C1), 및 도 6(C2)는 도 3(C)에 도시한 V2-W2 부분의 단면도에 대응한 도면이다.

- [0073] 우선 기관(200) 위에 산화막(202)을 형성한다. 산화막(202)은 스퍼터링법 또는 CVD법 등으로 형성하면 좋지만, 수소, 물, 수산기, 및 수소화물 등이 혼입되기 어려운 방법으로 형성하는 것이 바람직하다.
- [0074] 기관(200)은 적어도, 이후에 수행되는 열처리 공정에 견딜 수 있을 정도의 내열성을 가지면 좋다. 기관(200)으로는 유리 기관(바람직하게는 무알칼리(non-alkali) 유리 기관), 석영 기관, 세라믹 기관, 플라스틱 기관, 또는 실리콘 기관 등을 사용할 수 있다.
- [0075] 산화막(202)은 기관(200)으로부터 수소나 수분 등이 확산되는 것을 방지하는 효과를 갖는 막이 바람직하며, 산화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막 중에서 선택된 하나의 막으로 형성, 또는 복수의 막을 적층한 구조로 형성할 수 있다.
- [0076] 또한, 산화막(202)은 그 외의 효과로서, 이후에 형성되는 제 1 산화물 반도체막(204), 및 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막(206)에 산소를 공급하는 효과를 갖는 막이면 바람직하다. 예를 들어, 산화막(202)으로서 산화 실리콘막을 사용한 경우에는 상기 산화막(202)을 가열함으로써 산소의 일부를 이탈시킬 수 있기 때문에, 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)에 산소를 공급하여 상기 막 내의 산소 결손을 보전할 수 있다.
- [0077] 특히 산화막(202) 내에 적어도 화학양론적 조성을 초과하는 양의 산소가 존재하는 것이 바람직하며, 예를 들어, 산화막(202)으로서 $\text{SiO}_{2+\alpha}$ (다만, $\alpha > 0$)로 표기되는 산화 실리콘막을 사용하는 것이 바람직하다. 이와 같은 산화 실리콘막을 산화막(202)으로서 사용함으로써, 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)에 산소를 공급할 수 있다.
- [0078] 또한, 산화막(202)의 표면은 연마 처리, 드라이 에칭 처리, 플라즈마 처리 등을 수행함으로써 평탄성을 향상시키는 것이 바람직하다. 이와 같이 산화막(202)의 표면의 평탄성을 향상시킴으로써, 산화막(202) 위에 제공되는 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)의 결정성을 향상시킬 수 있다.
- [0079] 다음에, 산화막(202) 위에 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 형성하고, 상기 막을 가공하여 섬형상의 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)을 형성한다(도 4(A1), 도 4(B1), 도 4(C1) 참조). 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)은 수소, 물, 수산기, 및 수소화물 등이 혼입되기 어려운 방법으로 형성하면 좋고, 예를 들어 스퍼터링법으로 형성하는 것이 바람직하다.
- [0080] 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)은 적어도 인듐, 갈륨, 및 아연을 함유한 산화물막이며, IGZO막을 사용할 수 있다. 또한, IGZO막은 스테빌라이저인 갈륨의 일부 또는 모두를 다른 스테빌라이저로 바꿀 수도 있다.
- [0081] 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)의 형성 방법으로는 스퍼터링법 외에 ALD(Atomic Layer Deposition)법, 증착법, 도포법 등을 이용할 수 있다.
- [0082] 제 1 산화물 반도체막(204)은 제 2 산화물 반도체막(206)보다 인듐 함유량이 적고 갈륨 함유량이 많은 IGZO막으로 구성된다. 또한, 제 1 산화물 반도체막(204)은 막 내의 갈륨 함유량이 인듐 함유량과 같은 IGZO막으로 구성된다. 예를 들어, 원자수비가 In: Ga: Zn=1: 1: 1인 산화물, 또는 그 근방인 산화물, 또는 원자수비가 실질적으로 In: Ga: Zn=1: 1: 1인 산화물을 사용하면 좋다.
- [0083] 제 1 산화물 반도체막(204)의 막 두께는 5nm보다 크고 200nm 이하로 하고, 바람직하게는 10nm 이상 30nm 이하로 한다. 또한, 제 1 산화물 반도체막(204)은 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 상태를 갖는다.
- [0084] 제 2 산화물 반도체막(206)은 제 1 산화물 반도체막(204)보다 인듐 함유량이 많고 갈륨 함유량이 적은 IGZO막으로 구성된다. 또한, 제 2 산화물 반도체막(206)은 막 내의 인듐 함유량이 갈륨 함유량보다 많은 IGZO막으로 구성된다. 즉 함유량이 In>Ga라는 조성을 갖는 산화물을 사용하면 좋다. 예를 들어, 원자수비가 In: Ga: Zn=3: 1: 2인 산화물, 또는 그 근방인 산화물, 또는 원자수비가 실질적으로 In: Ga: Zn=3: 1: 2인 산화물을 사용하면 좋다.
- [0085] 제 2 산화물 반도체막(206)의 막 두께는 5nm보다 크고 200nm 이하로 하고, 바람직하게는 10nm 이상 30nm 이하로 한다.
- [0086] 또한, 제 2 산화물 반도체막(206)은 c축으로 배향된 결정부를 포함한 막이다. 즉 c축이 제 2 산화물 반도체막(206)의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, ab면에 수직인 방향으로부

터 보아 삼각형 또는 육각형의 원자 배열을 가지며, c축에 수직인 방향으로부터 보아 금속 원자가 층상으로 배열되거나 또는 금속 원자와 산소 원자가 층상으로 배열되어 있는 결정부를 갖는 막이다.

[0087] 제 2 산화물 반도체막(206)에 포함된 결정부의 c축은 제 2 산화물 반도체막(206)의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, 제 2 산화물 반도체막(206)의 형상(제 2 산화물 반도체막(206)의 피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향할 수 있다. 또한, 결정부의 c축의 방향은 제 2 산화물 반도체막(206)의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 막을 형성함으로써, 또는 막 형성 후에 열처리 등의 결정화 처리를 수행함으로써, c축으로 배향된 결정부가 형성된다.

[0088] c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막(206)을 형성하는 방법으로는 3가지 방법을 들 수 있다. 첫 번째 방법은 막 형성 온도를 200℃ 이상 450℃ 이하로 하여 산화물 반도체막을 형성함으로써, 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다. 2번째 방법은 산화물 반도체막을 얇게 형성한 후, 200℃ 이상 700℃ 이하로 열처리함으로써, 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다. 3번째 방법은 제 1 산화물 반도체막을 얇게 형성한 후, 200℃ 이상 700℃ 이하의 열처리를 수행하고, 제 2 산화물 반도체막을 형성함으로써, 제 2 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0089] 또한, 제 2 산화물 반도체막(206)은 에너지갭이 2.8eV 내지 3.2eV이며, 실리콘의 에너지갭 1.1eV에 비해 크다. 또한 제 2 산화물 반도체막(206)의 소수 캐리어 밀도는 10^{-9} cm^{-3} 이며, 실리콘의 진성 캐리어 밀도의 10^{11} cm^{-3} 에 비해 매우 작다.

[0090] 제 2 산화물 반도체막(206)의 다수 캐리어(전자)는 트랜지스터의 소스로부터만 흘러온다. 또한, 채널 영역을 완전히 공핍화된 상태로 할 수 있기 때문에, 트랜지스터의 오프 전류를 극히 작게 할 수 있다.

[0091] 따라서, 제 2 산화물 반도체막(206)을 사용한 트랜지스터는 S값(subthreshold value)이 작아지며 이상적인 값을 얻을 수 있다. 또한, 상기 트랜지스터는 신뢰성이 높다.

[0092] 제 2 산화물 반도체막(206)을 형성한 후, 제 2 산화물 반도체막(206)에 열처리를 수행하여도 좋다. 상기 열처리의 온도는 300℃ 이상 700℃ 이하, 또는 기판의 변형점 미만으로 한다. 상기 열처리를 수행함으로써 제 2 산화물 반도체막(206)으로부터 과잉의 수소(물이나 수산기를 포함함)를 제거할 수 있다. 또한 상기 열처리는 본 명세서 등에서, '탈수화 처리(탈수소화 처리)'라고 기재하는 경우가 있다.

[0093] 상기 열처리는 예를 들어, 저항 발열체 등을 사용한 전기로에 피처리물을 투입하고, 질소 분위기하에서 450℃로 1시간 동안이라는 조건으로 수행할 수 있다. 이 동안에, 제 2 산화물 반도체막(206)은 대기에 노출시키지 않고, 물이나 수소가 혼입되지 않도록 한다.

[0094] 열처리 장치로서는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열 전도나 열 복사에 의해 피처리물을 가열하는 장치를 이용하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로젠 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 방출되는 빛(전자기파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열처리하는 장치이다. 가스로서는 아르곤 등의 희가스(rare gas) 또는 질소 등 열처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0095] 예를 들어, 상기 열처리로서, 가열된 불활성 가스 분위기 중에 피처리물을 투입하고, 몇 분 동안 가열한 후에 상기 불활성 가스 분위기에서 피처리물을 꺼내는 GRTA 처리를 수행하여도 좋다. GRTA 처리를 이용하면 단시간의 고온 열처리가 가능하다. 또한, 피처리물의 내열 온도를 초과하는 온도 조건도 적용할 수 있게 된다. 또한, 처리 중에 불활성 가스를 산소를 함유한 가스로 바꾸어도 좋다.

[0096] 또한, 불활성 가스 분위기는 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 함유한 분위기이며, 물이나 수소 등이 함유되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나 헬륨, 네온, 아르곤 등 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

- [0097] 또한, 상술한 탈수화 처리(탈수소화 처리)를 수행하면, 제 2 산화물 반도체막(206)을 구성하는 주성분 재료인 산소가 동시에 이탈되어 감소될 우려가 있다. 제 2 산화물 반도체막(206)에 있어서 산소가 이탈된 부분에서는 산소 결손이 존재하며, 상기 산소 결손에 기인하여 트랜지스터의 전기적 특성 변화를 초래하는 도너(donor) 준위가 발생하게 된다. 따라서, 탈수화 처리(탈수소화 처리)를 수행한 경우, 제 2 산화물 반도체막(206)에 산소를 공급하는 것이 바람직하다. 제 2 산화물 반도체막(206)에 산소를 공급함으로써, 제 2 산화물 반도체막(206)의 산소 결손을 보전할 수 있다.
- [0098] 제 2 산화물 반도체막(206)의 산소 결손을 보전하는 방법의 일례로서는 예를 들어, 제 2 산화물 반도체막(206)에 탈수화 처리(탈수소화 처리)를 수행한 후, 동일한 노(furnace)에 고순도의 산소 가스, 고순도의 일산화 이질소 가스, 고순도의 아산화질소 가스, 또는 초진조 공기(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하의 공기)를 도입하면 좋다. 산소 가스 또는 일산화 이질소(N_2O) 가스에 물이나 수소 등이 함유되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화 이질소 가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 산소 가스 또는 일산화 이질소 가스 내의 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0099] 또한, 제 2 산화물 반도체막(206)에 산소를 공급하는 방법의 일례로서, 제 2 산화물 반도체막(206)에 산소(적어도 산소 라디칼, 산소 원자, 산소 이온 중 어느 하나를 포함함)를 첨가함으로써 제 2 산화물 반도체막(206)에 산소를 공급하여도 좋다. 산소를 첨가하는 방법으로서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입(plasma immersion ion implantation)법, 플라즈마 처리 등을 이용한다.
- [0100] 또한, 제 2 산화물 반도체막(206) 내에 산소를 공급하는 방법의 일례로서, 산화막(202)을 가열함으로써 산소의 일부를 이탈시켜 제 2 산화물 반도체막(206)에 산소를 공급하여도 좋다. 특히 본 실시형태에서는 산화막(202)으로부터 방출되는 산소를 제 1 산화물 반도체막(204)을 통하여 제 2 산화물 반도체막(206)에 공급하는 것이 적합하다.
- [0101] 상술한 바와 같이 제 2 산화물 반도체막(206)을 형성한 후에 탈수화 처리(탈수소화 처리)를 수행하여, 제 2 산화물 반도체막(206)으로부터 수소 또는 수분을 제거하여 불순물이 최대한 함유되지 않도록 고순도화시키는 경우, 제 2 산화물 반도체막(206)에 다음과 같은 처리를 수행하는 구성이 바람직하다. 구체적인 처리로서는 탈수화 처리(탈수소화 처리)로 인하여 산소가 감소된 것에서 유래하는 산소 결손을, 제 2 산화물 반도체막(206)에 산소를 공급하여 보전하는 가(加)산소화 처리를 들 수 있다. 또는, 제 2 산화물 반도체막(206)에 포함되는 산소의 양이 화학양론적 조성보다 많게 되도록 산소를 공급하는 과(過)산소화 처리를 들 수 있다. 또한, 본 명세서 등에 있어서, 제 2 산화물 반도체막(206)에 산소를 공급하는 것을 '가(加)산소화 처리'라고 기재하는 경우가 있다. 또는 제 2 산화물 반도체막(206)에 포함되는 산소의 양을 화학양론적 조성보다 많게 하는 것을 '과(過)산소화 처리'라고 기재하는 경우가 있다.
- [0102] 또한, 상술한 방법에서는 제 2 산화물 반도체막(206)을 섬 형상으로 가공한 후에 탈수화 처리(탈수소화 처리), 및 가산소화 처리를 수행하는 구성이어도 좋고, 제 2 산화물 반도체막(206)을 섬 형상으로 가공하기 전에 상기 처리를 수행하여도 좋다. 또한, 이후에 형성되는 절연막(212)의 형성 후에 열처리를 수행하여, 산화막(202)으로부터 제 2 산화물 반도체막(206)에 산소를 공급하여도 좋다.
- [0103] 이와 같이, 제 2 산화물 반도체막(206)은 탈수화 처리(탈수소화 처리)에 의해 수소 또는 수분이 제거되고, 가산소화 처리에 의해 산소 결손이 보전됨으로써 i형(진성)화 또는 i형(진성)에 매우 가까운 산화물 반도체막으로 할 수 있다. 이러한 산화물 반도체막 내에는 도너에서 유래하는 캐리어가 매우 적고(0에 가까움), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다.
- [0104] 제 2 산화물 반도체막(206)은 수소 또는 수분을 제거하여 불순물이 최대한 함유되지 않도록 고순도화시키고, 산소를 공급하여 산소 결손을 보전함으로써, i형(진성) 산화물 반도체, 또는 i형(진성)에 매우 가까운 산화물 반도체막으로 할 수 있다. 고순도화된 제 2 산화물 반도체막(206)을 사용한 트랜지스터의 오프 전류는 실온에서는 $10 \text{yA} / \mu\text{m}$ 이하, 85°C 내지 95°C 에서도 $1 \text{zA} / \mu\text{m}$ 이하가 되며, 매우 작다.
- [0105] 다음에, 섬 형상의 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)을 덮도록 도전막을 형성하고, 상기 도전막을 가공하여 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)을 형성한다(도 4(A2), 도 4(B2), 도 4(C2) 참조). 가공은 에칭 등으로 수행하면 좋다.

- [0106] 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)에 사용하는 도전막으로서, 예를 들어, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐 중에서 선택된 원소를 함유한 금속막, 또는 상술한 원소를 성분으로 함유한 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 사용할 수 있다. 또한, 알루미늄, 구리 등의 금속막 하층 및 상층 중 한쪽 또는 양쪽 모두에 티타늄, 몰리브덴, 텅스텐 등의 고용점 금속막, 또는 이들 금속의 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 하여도 좋다. 또한, 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)에 사용하는 도전막은 도전성 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 인듐 주석 산화물($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 인듐 아연 산화물($\text{In}_2\text{O}_3\text{-ZnO}$)을 사용할 수 있다. 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)에 사용하는 도전막은 상기 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 형성 방법에 대해서도 특별히 한정되지 않고, 증착법, PE-CVD법, 스퍼터링법, 스핀코팅법 등의 각종 성막 방법을 이용할 수 있다.
- [0107] 다음에, 섬 형상의 제 2 산화물 반도체막(206), 제 1 소스 전극(214A), 및 제 1 드레인 전극(214B)을 덮도록 산화물막(208)을 형성한다(도 4(A3), 도 4(B3), 도 4(C3) 참조).
- [0108] 산화물막(208)은 인듐을 함유한 제 2 산화물 반도체막(206)과 같은 결정 구조를 갖는 막이며, 여기서는 IGZO막을 사용할 수 있다.
- [0109] 산화물막(208)의 형성 방법으로서 스퍼터링법, ALD(Atomic Layer Deposition)법, 증착법, 도포법 등을 이용할 수 있다.
- [0110] 산화물막(208)은 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)보다 인듐 함유량이 적고 갈륨 함유량이 많은 IGZO막으로 구성된다. 또한, 산화물막(208)은 막 내의 갈륨 함유량이 인듐 함유량보다 많은 IGZO막으로 구성된다. 즉 함유량이 $\text{Ga} > \text{In}$ 이라는 조성을 갖는 산화물을 사용하면 좋다. 예를 들어, 원자수비가 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 인 산화물, 또는 그 근방인 산화물, 또는 원자수비가 실질적으로 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 인 산화물을 사용하면 좋다. 산화물막(208)은 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)보다 갈륨 함유량을 많게 함으로써 에너지갭이 크게 할 수 있으며, 절연성을 갖는 막으로서 사용할 수 있다.
- [0111] 산화물막(208)의 막 두께는 1nm보다 크고 500nm 이하로 하고, 바람직하게는 10nm 이상 30nm 이하로 한다. 또한, 산화물막(208)은 실리콘을 함유한 절연막과 비교하여 유전율이 높기 때문에, 상기 절연막과 비교하여 막 두께를 두껍게 하는 구성, 또는 산화물막(208)에 다른 절연막을 적층하여 제공하는 구성으로 할 수 있다.
- [0112] 또한, 산화물막(208)은 제 2 산화물 반도체막(206)과 마찬가지로 c축으로 배향된 결정부를 포함한 막이다. 즉 산화물막(208)은 인듐을 함유함으로써, 막의 피형성면의 법선 벡터에 평행한 c축 방향으로 산소가 In-O층을 가로지르도록 움직이기 어려운 성질을 이용하여 산소 투과성이 낮은 산화물막으로 할 수 있다.
- [0113] 또한, 산화물막(208)을 제 2 산화물 반도체막(206)과 마찬가지로 c축으로 배향된 결정부를 포함한 막으로 형성하는, 다른 방법도 있다. 첫 번째 방법은 막 형성 온도를 200℃ 이상 450℃ 이하로 하여 산화물막(208)을 형성함으로써, 산화물막(208)에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다. 2번째 방법은 산화물막(208)을 얇게 형성한 후, 200℃ 이상 700℃ 이하로 열처리함으로써, 산화물막(208)에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다. 3번째 방법은 제 1 산화물막(208)을 얇게 형성한 후, 200℃ 이상 700℃ 이하의 열처리를 수행하고, 제 2 산화물막(208)을 형성함으로써, 제 2 산화물막(208)에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.
- [0114] 또한, 상술한 c축으로 배향된 결정부를 포함한 막인 제 1 산화물 반도체막(204), 제 2 산화물 반도체막(206), 및 산화물막(208)을 스퍼터링법으로 형성하는 경우, 다결정인 산화물 반도체 스퍼터링 타깃을 사용하는 것이 바람직하다. 상기 스퍼터링용 타깃에 이온이 충돌하면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)하고, a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자로서 박리되는 경우가 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, c축으로 배향된 결정부를 포함한 막을 형성할 수 있다.
- [0115] 또한, c축으로 배향된 결정부를 포함한 막을 형성하기 위해서, 다음에 든 조건을 적용하는 것이 바람직하다.
- [0116] 막을 형성할 때의 불순물 혼입을 저감시킴으로써, 불순물로 인하여 결정 상태가 흐트러지는 것을 억제할 수 있

다. 예를 들어, 성막실 내에 존재하는 불순물의 농도(수소, 물, 이산화탄소, 및 질소 등)를 저감하면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감하면 좋다. 구체적으로는 노점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 이용한다.

- [0117] 또한, 막을 형성할 때의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 막을 형성한다. 막을 형성할 때의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나, 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0118] 또한, 성막 가스 중의 산소 비율을 높여, 전력을 최적화함으로써, 막을 형성할 때의 플라즈마에 기인한 손상을 경감시키면 바람직하다. 성막 가스 중의 산소 비율은 30vol.% 이상, 바람직하게는 100vol.%로 한다.
- [0119] 스퍼터링용 타겟의 일례로서, In-Ga-Zn-O 화합물 타겟에 대해 이하에 기재한다.
- [0120] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수비로 혼합하고, 가압 처리를 수행한 후, 1000°C 이상 1500°C 이하의 온도로 열처리함으로써, 다결정인 In-Ga-Zn-O 화합물 타겟으로 제작한다. 또한, X, Y 및 Z는 임의의 양수이다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는, 제작하는 스퍼터링용 타겟에 따라 적절히 변경하면 좋다.
- [0121] 다음에, 산화물막(208) 위에 도전막 및 절연막을 형성하고, 상기 도전막 및 절연막을 가공하여 게이트 전극(210) 및 절연막(211)을 형성한다. 그리고, 게이트 전극(210) 및 절연막(211)을 마스크로서 이용하여 제 2 산화물 반도체막(206)에 도펀트를 도입하여, 제 2 산화물 반도체막(206)에 채널 영역(206A) 및 저저항 영역(206B)을 형성한다(도 5(A1), 도 5(B1), 도 5(C1) 참조). 또한, 상기 도펀트는 제 2 산화물 반도체막(206)뿐만 아니라 제 1 산화물 반도체막(204)에도 도입되어 제 1 산화물 반도체막(204) 내에 채널 영역 및 저저항 영역이 형성되어도 좋다.
- [0122] 도펀트는 제 2 산화물 반도체막(206)의 도전율을 변화시키는 불순물이다. 도펀트로서는 15족 원소(대표적으로는 질소(N), 인(P), 비소(As), 및 안티몬(Sb)), 붕소(B), 알루미늄(Al), 아르곤(Ar), 헬륨(He), 네온(Ne), 인듐(In), 불소(F), 염소(Cl), 티타늄(Ti), 및 아연(Zn) 중에서 선택된 하나 이상의 원소를 사용할 수 있다.
- [0123] 본 실시형태에서 제시한 바와 같이, 도펀트는 주입법에 의해 산화물막(208)을 통하여 제 2 산화물 반도체막(206)에 도입할 수 있다. 도펀트의 도입 방법으로서 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등을 이용할 수 있다. 이 때, 도펀트의 단체(單體) 이온, 불화물 이온, 또는 염화물 이온을 사용하면 바람직하다. 또한, 도펀트는 주입법에 의해 다른 막을 통하지 않고 제 2 산화물 반도체막(206)에 도입할 수도 있다.
- [0124] 도펀트의 도입 공정은 가속 전압, 도즈량 등의 주입 조건, 또한 통과시키는 막의 막 두께를 적절히 설정하여 제어하면 좋다. 본 실시형태에서는 도펀트로서 인을 사용하여 이온 주입법으로 인 이온을 주입한다. 또한, 도펀트의 도즈량은 $1 \times 10^{13} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하면 좋다.
- [0125] 저저항 영역(206B) 내의 도펀트의 농도는 $5 \times 10^{18} / \text{cm}^3$ 이상 $1 \times 10^{22} / \text{cm}^3$ 이하인 것이 바람직하다.
- [0126] 또한, 도펀트를 도입할 때 기판(200)을 가열하여도 좋다.
- [0127] 또한, 제 2 산화물 반도체막(206)에 도펀트를 도입하는 처리는 복수회 수행하여도 좋고, 복수 종류의 도펀트를 사용하여도 좋다.
- [0128] 또한 도펀트 도입 처리 후, 열처리하여도 좋다. 가열 조건으로서는 온도를 300°C 이상 700°C 이하, 바람직하게는 300°C 이상 450°C 이하로 하여 산소 분위기하에서 1시간 동안 수행하는 것이 바람직하다. 또한, 질소 분위기하, 감압하, 대기(조건조 공기)하에서 열처리하여도 좋다.
- [0129] 또한, 제 2 산화물 반도체막(206)은 c축으로 배향된 결정부를 포함한 막이기 때문에, 도펀트 도입에 의해 일부가 비정질화되는 경우가 있다. 이 경우에는 도펀트의 도입 후에 열처리를 수행함으로써, 제 2 산화물 반도체막(206)의 결정성을 회복시킬 수 있다.
- [0130] 게이트 전극(210)을 구성하는 도전막으로서 예들 들어, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들을 함유한 합금 재료를 사용할 수 있다. 또한, 게이트 전극(210)은

도전성 금속 산화물을 사용하여 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 인듐 주석 산화물($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기하는 경우가 있음), 인듐 아연 산화물($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들 금속 산화물 재료에 실리콘 또는 산화 실리콘을 함유시킨 것을 사용할 수 있다. 게이트 전극(210)은 상술한 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 형성 방법에 대해서도 특별히 한정되지 않고, 증착법, PE-CVD법, 스퍼터링법, 스펀코팅법 등의 각종 성막 방법을 이용할 수 있다.

[0131] 또한, 절연막(211)을 구성하는 절연막으로서는 무기 절연막을 사용하는 것이 바람직하며, 산화 실리콘막, 산화 질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막을 사용하여 단층 또는 적층 구조로 형성하면 좋다. 또한, 절연막(211)의 제작 방법에 대한 특별한 한정은 없지만, 예를 들어 스퍼터링법, MBE법, PE-CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 이용할 수 있다.

[0132] 다음에, 게이트 전극(210) 및 절연막(211)을 덮도록 절연막을 형성하고, 상기 절연막에 이방성이 높은 에칭을 수행함으로써, 자기정합적으로 측벽(209)을 형성한다(도 5(A2), 도 5(B2), 도 5(C2) 참조). 측벽(209)을 형성하기 위한 절연막은 스퍼터링법 또는 CVD법 등에 의해 형성하면 좋다.

[0133] 또한, 측벽(209)을 형성하기 위한 에칭 방법으로서로는 드라이 에칭법을 이용하면 바람직하다. 또한 드라이 에칭법에 이용하는 에칭 가스로서는, 예를 들어 트라이플루오로메탄(trifluoromethane), 옥타플루오로사이클로부탄(octafluorocyclobutane), 테트라플루오로메탄(tetrafluoromethane) 등 불소를 함유한 가스를 들 수 있다. 에칭 가스에 희가스 또는 수소를 첨가하여도 좋다. 드라이 에칭법은 기관에 고주파 전압을 인가하는, 반응성 이온 에칭법(RIE법: Reactive Ion Etching법)을 이용하면 바람직하다.

[0134] 측벽(209)을 구성하는 절연막으로서는 무기 절연막을 사용하는 것이 바람직하며, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막을 사용하여 단층 또는 적층 구조로 형성하면 좋다.

[0135] 다음에, 절연막(211) 및 측벽(209)을 마스크로서 이용하여 산화물막(208)을 에칭한다(도 5(A3), 도 5(B3), 도 5(C3) 참조). 상기 에칭에 의해 산화물막(208)은 절연막(211) 및 측벽(209)과 중첩된 영역 이외는 제외하게 된다.

[0136] 다음에, 게이트 전극(210), 절연막(211), 측벽(209), 노출된 제 2 산화물 반도체막(206), 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)을 덮는 도전막을 형성하고, 상기 도전막을 가공하여 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)을 형성한다(도 6(A1), 도 6(B1), 도 6(C1) 참조). 상기 가공은 에칭 등에 의해 수행하면 좋다.

[0137] 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)을 구성하는 도전막으로서로는 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)과 같은 재료 및 각종 성막 방법을 이용하여 형성하면 좋다. 또한, 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)을 구성하는 도전막은 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)보다 막 두께를 얇게 하고, 성막 속도 등을 제어하여, 피복성을 양호하게 하는 것이 적합하다.

[0138] 다음에, 절연막(211), 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B), 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)을 덮는 절연막(212)을 형성한다(도 6(A2), 도 6(B2), 도 6(C2) 참조).

[0139] 절연막(212)을 구성하는 재료로서는 무기 절연막을 사용하는 것이 바람직하며, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화 하프늄막 등의 산화물 절연막을 사용하여 단층 구조 또는 적층 구조로 형성하면 좋다. 또한, 상술한 산화물 절연막 위에 추가적으로, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등의 질화물 절연막을 사용하여 단층 구조 또는 적층 구조로 형성하여도 좋다. 또한, 절연막(212)의 제작 방법에 대한 특별한 한정은 없지만, 예를 들어 스퍼터링법, MBE법, PE-CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 이용할 수 있다. 또한, 절연막(212)으로서 금속 산화물의 절연막을 사용하는 경우에는 먼저 금속막을 형성하고 나서, 상기 막에 산소 플라즈마 처리 등을 수행하여 금속 산화물막을 형성하여도 좋다.

[0140] 여기까지 설명한 바와 같이 하여, 도 3(A) 내지 도 3(C)에 도시한 트랜지스터를 제작할 수 있다. 따라서, 측면으로부터 산소가 이탈되는 것을 방지하며 충분한 산소를 함유시킬 수 있는 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터를 구성되는 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0141] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0142] (실시형태 3)

- [0143] 본 실시형태에서는 실시형태 2에 도시한 트랜지스터와, 상기 트랜지스터와 같은 층에 제공할 수 있는 용량 소자의 구성에 대해서 도 7(A)의 단면도를 사용하여 설명한다.
- [0144] 도 7(A)에 도시한 단면도에 있어서 트랜지스터(300)는 실시형태 2에서 설명한 도 3(A) 내지 도 3(C)의 트랜지스터이다. 도 7(A)에 도시한 트랜지스터(300)는 기판(200) 위에 제공된 산화막(202)과, 산화막(202) 위에 제공된 제 1 산화물 반도체막(204)과, 제 1 산화물 반도체막(204) 위에 제공된 제 2 산화물 반도체막(206)과, 섬 형상으로 형성된 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)의 채널 길이 방향의 측면에 접촉하여 제공된 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)과, 섬 형상으로 형성된 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206) 위의 일부, 채널 폭 방향의 측면에 접촉하여 제공된 산화물막(208)과, 산화물막(208) 위에 제공된 게이트 전극(210)과, 게이트 전극(210)의 측면을 덮도록 제공된 측벽(209)과, 게이트 전극(210) 위를 덮도록 제공된 절연막(211)과, 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B) 위, 제 2 산화물 반도체막(206) 위, 및 측벽(209)의 측면 및 상부를 덮도록 제공된 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)과, 절연막(211) 위, 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B) 위, 및 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B) 위에 제공된 절연막(212)을 갖는다. 또한, 제 2 산화물 반도체막(206)은 게이트 전극(210)에 중첩되는 영역에 채널 영역(206A)을 갖고, 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B), 제 2 소스 전극(213A) 및 제 2 드레인 전극(213B)과 접속되는 영역에 채널 영역보다 저항이 낮은 저저항 영역(206B)을 갖는다.
- [0145] 트랜지스터(300)를 구성하는 각 부재에 대해서는 실시형태 2에서 설명한 도 3(A) 내지 도 3(C)의 부재와 마찬가지로 지이다. 즉 측면으로부터 산소가 이탈되는 것을 방지하며 충분한 산소를 함유시킬 수 있는 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용하여 트랜지스터를 구성할 수 있다.
- [0146] 또한, 용량 소자(301)는 트랜지스터(300)의 각 부재를 사용할 수 있다. 구체적으로는 용량 소자(301)의 한쪽 전극을 구성하는 전극층(302)은 제 1 소스 전극(214A) 및 제 1 드레인 전극(214B)과 같은 재료로 형성할 수 있다.
- [0147] 또한, 용량 소자(301)의 절연막(303)은 산화물막(208)과 같은 재료로 형성할 수 있다.
- [0148] 또한, 용량 소자(301)의 다른 쪽 전극을 구성하는 전극층(304)은 게이트 전극(210)과 같은 재료로 형성할 수 있다.
- [0149] 용량 소자(301)의 전극층(304) 위에 형성되는 절연막(305)은 절연막(211)과 같은 재료로 형성할 수 있다.
- [0150] 용량 소자(301)의 전극층(304)의 측면에 형성되는 절연막(306)은 측벽(209)과 같은 재료로 형성할 수 있다.
- [0151] 용량 소자(301)의 절연막(303)은 산화물막(208)과 같은 재료로 형성할 수 있다. 즉 제 1 산화물 반도체막(204) 및 제 2 산화물 반도체막(206)보다 인듐 함유량이 적고 갈륨 함유량이 많다. 또한, 산화물막(208)은 막 내의 갈륨 함유량이 인듐 함유량보다 많은 IGZO막이다. 구체적으로는, 원자수비가 In: Ga: Zn=1: 3: 2인 산화물 또는 그 근방인 산화물을 함유한 막이다. 상기 산화물을 함유한 절연막(303)은 유전율이 15 정도이며, 산화질화 실리콘 등 실리콘을 함유한 절연막에 비해 크게 할 수 있다. 그러므로 용량 소자(301)는 큰 정전 용량을 얻을 수 있으며, 용량 소자(301)의 소형화를 도모할 수 있다.
- [0152] 다음에 도 7(B)에서는 도 7(A)에 도시한 트랜지스터(300) 및 용량 소자(301)를 사용하며, 전력이 공급되지 않는 상황에도 기억 내용을 유지할 수 있고 기록 횟수에도 제한이 없는 기억 장치에 사용할 수 있는 구성에 대해서 설명하기로 한다.
- [0153] 도 7(B)에 도시한 기억 장치에서는 실리콘 재료가 채널 영역에 사용된 n채널 트랜지스터(331) 및 p채널 트랜지스터(332)를 하부 소자층(321)에 갖고, 배선층(322) 및 배선층(323)을 통하여 하부 소자층(321)과 전기적으로 접속된 상부 소자층(324)에 도 7(A)를 사용하여 설명한 트랜지스터(300) 및 용량 소자(301)를 갖는다.
- [0154] 도 7(B)에 있어서 n채널 트랜지스터(331)는 반도체 재료(예를 들어, 실리콘 등)를 포함한 기판(333) 위에 BOX층(334)을 개재하여 제공된 SOI층(335)과, SOI층(335)에 형성된 n형 불순물 영역(336)과, 게이트 절연막(337)과, 게이트 전극(338)을 갖는다. SOI층(335)에는 n형 불순물 영역(336) 이외를 도시하지 않았지만, 금속간 화합물 영역 및 채널 영역이 제공되어 있다. 또한, p채널 트랜지스터(332)는 SOI층(335) 내에 p형 불순물 영역(339)이 형성되어 있다.
- [0155] n채널 트랜지스터(331) 및 p채널 트랜지스터(332)가 각각 갖는 SOI층(335)들 사이에 소자 분리 절연층(342)이 제공되고, n채널 트랜지스터(331) 및 p채널 트랜지스터(332)를 덮도록 절연막(340)이 제공되어 있다. 또한, n

채널 트랜지스터(331) 및 p채널 트랜지스터(332)에 있어서, 게이트 전극의 측면에 제공된 측벽을 사용하여, 불순물 농도가 다른 영역을 각각 포함한 n형 불순물 영역(336) 및 p형 불순물 영역(339)으로 하여도 좋다. 또한, n형 불순물 영역(336) 및 p형 불순물 영역(339) 위의 절연막(340)과, 배선층(322) 및 배선층(323)의 절연막(344)과 절연막(345)에 배선(341)이 제공되어 있다.

[0156] 반도체 재료를 구비하는 SOI층(335)을 사용한 n채널 트랜지스터(331) 및 p채널 트랜지스터(332)는 고속 동작이 가능하다. 따라서, 상기 트랜지스터를 기억 장치의 판독용 트랜지스터로서 사용함으로써 정보를 고속으로 판독할 수 있다. 배선층(323)의 상면에 CMP 처리를 수행하여 배선(341)의 상면을 노출시킨 후, 트랜지스터(300) 및 용량 소자(301)를 형성하면 좋다.

[0157] 여기까지 설명한 바와 같이 본 실시형태에 따른 반도체 장치는 실리콘을 채널 영역에 사용한 트랜지스터와, 실시형태 1에서 설명한 c축으로 배향된 결정부를 포함한 산화물 반도체막을 채널 영역에 사용한 트랜지스터를 적층한 구성으로 형성할 수 있다. 그러므로, 각 소자의 공간 절약화를 도모할 수 있어, 반도체 장치를 소형화할 수 있다.

[0158] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0159] (실시형태 4)

[0160] 본 실시형태에서는 실시형태 1에서 설명한 트랜지스터에 다른 구성을 추가한 형태에 대해서 일례를 제시하여 설명한다.

[0161] 도 10(A) 내지 도 10(C)에 본 발명의 일 형태인 트랜지스터를 도시하였다. 도 10(A)에는 트랜지스터의 평면도를 도시하였다. 도 10(B)는 도 10(A)의 채널 길이 방향인 X3-Y3 부분의 단면도를 도시한 것이고, 도 10(C)는 도 10(A)의 채널 폭 방향인 V3-W3 부분의 단면도를 도시한 것이다.

[0162] 도 10(A) 내지 도 10(C)에 도시한 트랜지스터는 기판(100) 위에 제공된 산화막(102)과, 산화막(102) 위에 제공된 제 1 산화물 반도체막(104)과, 제 1 산화물 반도체막(104) 위에 제공된 제 2 산화물 반도체막(106)과, 섬 형상으로 형성된 제 1 산화물 반도체막(104) 및 제 2 산화물 반도체막(106)을 덮도록 제공된 산화물막(108)과, 산화물막(108) 위에 제공된 절연막(401)과, 절연막(401) 위에 제공된 게이트 전극(110)과, 게이트 전극(110)을 덮도록 제공된 층간 절연막(112)과, 층간 절연막(112) 위에 제공되며 제 2 산화물 반도체막(106)에 접속된 소스 전극(114A) 및 드레인 전극(114B)을 갖는다. 또한, 제 2 산화물 반도체막(106)은 게이트 전극(110)과 중첩된 영역에 채널 영역(106A)을 갖고, 소스 전극(114A) 및 드레인 전극(114B)과 접속되는 영역에 채널 영역보다 저항이 낮은 저저항 영역(106B)을 갖는다.

[0163] 도 10(A) 내지 도 10(C)에 도시한 트랜지스터의 구성이 도 1(A) 내지 도 1(C)에 도시한 트랜지스터와 상이한 점은 절연막(401)을 갖는다는 점이다. 절연막(401)은 제 2 산화물 반도체막(106)에 침입하는 수소나 수분 등의 불순물, 및 산소 양쪽 모두에 대해 막을 통과되지 않도록 하는 차단 효과를 갖는 보호막인 것이 바람직하다.

[0164] 절연막(401)으로서는 무기 절연막을 사용하는 것이 바람직하며, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화 하프늄막 등의 산화물 절연막을 사용하여 단층 구조 또는 적층 구조로 형성하면 좋다. 또한, 상술한 산화물 절연막 위에 추가적으로, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등의 질화물 절연막을 사용하여 단층 구조 또는 적층 구조로 형성하여도 좋다. 예를 들어, 스퍼터링법을 이용하여 게이트 전극(110) 측으로부터 순차적으로 산화 실리콘막 및 산화 알루미늄막의 적층을 형성할 수 있다. 또한, 절연막(401)의 제작 방법에 대한 특별한 한정 없이, 예를 들어 스퍼터링법, MBE법, PE-CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절히 이용할 수 있다.

[0165] 또한, 절연막(401)으로서는 치밀성이 특히 높은 무기 절연막을 형성하면 좋다. 예를 들어, 스퍼터링법에 의해 산화 알루미늄막을 형성할 수 있다. 산화 알루미늄막을 고밀도(막 밀도 3.2g/cm^3 이상, 바람직하게는 3.6g/cm^3 이상)로 함으로써, 제 2 산화물 반도체막(106)에 침입하는 수소나 수분 등의 불순물, 및 산소 양쪽 모두에 대해 막을 통과하지 않도록 하는 차단 효과(블로킹 효과)를 얻을 수 있다. 따라서, 산화 알루미늄막은 제작 공정 중 및 제작 후에, 트랜지스터의 전기적 특성의 변동 요인이 되는 수소나 수분 등의 불순물이 제 2 산화물 반도체막(106)에 혼입하거나, 제 2 산화물 반도체막(106)을 구성하는 주성분 재료인 산소가 제 2 산화물 반도체막(106)으로부터 방출되는 것을 방지하는 보호막으로서 기능한다. 또한, 막 밀도는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나 X선 반사를 측정법(XRR: X-Ray Reflection)에 의해 측정할 수 있다.

- [0166] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0167] (실시형태 5)
- [0168] 본 실시형태에서는 실시형태 1에서 설명한 c축으로 배향된 결정부를 포함한 산화물 반도체막을 채널 영역에 구비하는 트랜지스터를 사용하며, 전력이 공급되지 않는 상황에도 기억 내용을 유지할 수 있고 기록 횟수에도 제한이 없는 기억 장치의 회로 구성의 일례를 도면을 사용하여 설명한다.
- [0169] 도 8(A) 및 도 8(B)는 전력이 공급되지 않는 상황에도 기억 내용을 유지할 수 있고 기록 횟수에도 제한이 없는 회로 구성의 일례이다.
- [0170] 도 8(A)에 있어서, 제 1 배선(1st Line)은 트랜지스터(801)의 소스 전극 및 드레인 전극 중 하나에 접속되어 있다. 제 2 배선(2nd Line)은 트랜지스터(801)의 소스 전극 및 드레인 전극 중 다른 하나에 접속되어 있다. 또한, 제 3 배선(3rd Line)은 트랜지스터(802)의 소스 전극 및 드레인 전극 중 하나에 접속되어 있다. 또한, 제 4 배선(4th Line)은 트랜지스터(802)의 게이트 전극에 접속되어 있다. 그리고, 트랜지스터(801)의 게이트 전극과, 트랜지스터(802)의 소스 전극 및 드레인 전극 중 다른 하나와, 용량 소자(803)의 한쪽 전극은 서로 접속되어 있다. 또한, 제 5 배선(5th Line)은 용량 소자(803)의 다른 쪽 전극에 접속되어 있다.
- [0171] 또한, 도면에 있어서 트랜지스터(802)는 다른 실시형태에서 설명한 c축으로 배향된 결정부를 포함한 산화물 반도체막을 채널 영역에 구비한 트랜지스터인 것을 나타내기 위해서 'OS'라는 부호를 붙였다.
- [0172] 도 8(A)에 도시한 회로 구성에서는 트랜지스터(801)의 게이트 전극의 전위를 유지할 수 있다는 특징을 살림으로써, 다음과 같이, 정보의 기록, 유지, 판독이 가능하다.
- [0173] 정보의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(802)가 온 상태가 되는 전위로 설정하여 트랜지스터(802)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(801)의 게이트 전극, 및 용량 소자(803)에 공급된다. 즉 트랜지스터(801)의 게이트 전극에 소정의 전하가 공급된다(기록). 여기서는, 서로 다른 전위 레벨을 부여하는 2가지 전하(이하에서, Low 레벨 전하, High 레벨 전하라고 함) 중 하나가 공급되는 것으로 한다. 이 후, 제 4 배선의 전위를 트랜지스터(802)가 오프 상태가 되는 전위로 설정하여 트랜지스터(802)를 오프 상태로 함으로써, 트랜지스터(801)의 게이트 전극에 공급된 전하가 유지된다(유지).
- [0174] 트랜지스터(802)의 오프 전류는 매우 작기 때문에, 트랜지스터(801)의 게이트 전극의 전하가 오랫동안 유지된다.
- [0175] 다음에, 정보의 판독에 대해서 설명한다. 제 1 배선에 소정의 전위(정전위)를 공급한 상태로 제 5 배선에 적절한 전위(판독 전위)를 공급함으로써, 트랜지스터(801)의 게이트 전극에 유지된 전하량에 따라 제 2 배선의 전위가 변동된다. 일반적으로, 트랜지스터(801)가 n채널 트랜지스터라고 가정하면, 트랜지스터(801)의 게이트 전극에 High 레벨 전하가 공급된 경우의 외견상 임계값 전압 $V_{th,H}$ 은 트랜지스터(801)의 게이트 전극에 Low 레벨 전하가 공급된 경우의 외견상 임계값 전압 $V_{th,L}$ 보다 낮기 때문이다. 여기서 외견상 임계값 전압이란, 트랜지스터(801)를 '온 상태'로 하는 데에 필요한 제 5 배선의 전위를 가리킨다. 따라서, 제 5 배선의 전위를 $V_{th,H}$ 과 $V_{th,L}$ 사이의 전위 V_0 으로 설정함으로써, 트랜지스터(801)의 게이트 전극에 공급된 전하를 판별할 수 있다. 예를 들어, 기록에 있어서 High 레벨 전하가 공급된 경우에는, 제 5 배선의 전위가 $V_0(>V_{th,H})$ 이 되면 트랜지스터(801)는 '온 상태'가 된다. Low 레벨 전하가 공급된 경우에는 제 5 배선의 전위가 $V_0(<V_{th,L})$ 이 되어도 트랜지스터(801)는 그대로 '오프 상태'이다. 따라서 제 2 배선의 전위를 보면, 유지된 정보를 판독할 수 있다.
- [0176] 또한, 메모리 셀을 어레이 형태로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독할 수 있을 필요가 있다. 정보를 판독하지 않는 메모리 셀에서는 게이트 전극의 상태에 상관없이 트랜지스터(801)가 '오프 상태'가 되는 전위, 즉 $V_{th,H}$ 보다 작은 전위를 제 5 배선에 공급하면 좋다. 또는, 게이트 전극의 상태에 상관없이 트랜지스터(801)가 '온 상태'가 되는 전위, 즉 $V_{th,L}$ 보다 큰 전위를 제 5 배선에 공급하면 좋다.
- [0177] 본 실시형태에 제시된 회로 구성을 갖는 기억 장치에서는 채널 영역에 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써, 매우 오랫동안 기억 내용을 유지할 수 있다. 즉 리프레시 동작을 수행할 필요가 없거나, 또는 리프레시 동작의 빈도를 극히 낮게 할 수 있기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되는 것이 바람직함)에도 오랫동안 기억 내용을 유지할 수 있다.

- [0178] 또한, 본 실시형태에 제시된 회로 구성의 기억 장치에서는 정보의 기록에 높은 전압이 필요하지 않아 소자의 열화 문제도 없다. 예를 들어, 종래의 비휘발성 메모리와 달리, 부유 게이트에 전자를 주입하거나 부유 게이트로부터 전자를 추출할 필요가 없기 때문에, 게이트 절연층의 열화 문제가 전혀 생기지 않는다. 즉 본 실시형태의 기억 장치에서는, 종래의 비휘발성 메모리에서 문제가 된 재기록 가능 횟수에 제한이 없어 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태와 오프 상태에 따라 정보가 기록되기 때문에, 고속 동작도 용이하게 실현할 수 있다.
- [0179] 또한, 트랜지스터(801)는 실리콘으로 형성된 반도체층을 가지며, 트랜지스터(802)는 c축으로 배향된 결정부를 포함한 제 2 산화물 반도체막(106)을 갖는다. 즉 실시형태 3에서 설명한 바와 같이, 트랜지스터(801) 및 트랜지스터(802)를 적층하여 제공할 수 있다. 그러므로, 트랜지스터(801)와 트랜지스터(802)에 서로 크기가 다른 트랜지스터를 사용한 경우에도 기억 장치의 대형화를 억제할 수 있다.
- [0180] 다음에, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고, 기록 횟수에도 제한이 없는 회로 구성에 대해서 도 8(A)와 다른 예를 도 8(B)에 도시하였다.
- [0181] 도 8(B)에 도시한 메모리 셀(810)의 회로 구성에서, 비트 라인 BL은 트랜지스터(811)의 소스 전극 및 드레인 전극 중 하나에 접속되어 있다. 또한, 워드 라인 WL은 트랜지스터(811)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(811)의 소스 전극 및 드레인 전극 중 다른 하나는 용량 소자(812)의 한쪽 전극에 접속되어 있다.
- [0182] c축으로 배향된 결정부를 포함한 산화물 반도체막을 이용한 트랜지스터(811)는 오프 전류가 매우 작다는 특징을 갖는다. 따라서, 트랜지스터(811)를 오프 상태로 함으로써 용량 소자(812)의 한쪽 전극의 전위(또는 용량 소자(812)에 축적된 전하)를 매우 오랫동안 유지할 수 있다.
- [0183] 다음에, 도 8(B)에 도시한 메모리 셀(810)에 정보의 기록 및 정보의 유지를 수행하는 경우에 대해서 설명한다.
- [0184] 우선, 워드 라인 WL의 전위를 트랜지스터(811)가 온 상태가 되는 전위로 설정하여 트랜지스터(811)를 온 상태로 한다. 이로써, 비트 라인 BL의 전위가 용량 소자(812)의 한쪽 전극에 공급된다(기록). 이 후, 워드 라인 WL의 전위를 트랜지스터(811)가 오프 상태가 되는 전위로 설정하여 트랜지스터(811)를 오프 상태로 함으로써 용량 소자(812)의 한쪽 전극의 전위가 유지된다(유지).
- [0185] 트랜지스터(811)의 오프 전류는 극히 작기 때문에, 용량 소자(812)의 한쪽 전극의 전위(또는 용량 소자(812)에 축적된 전하)를 오랫동안 유지할 수 있다.
- [0186] 다음에, 정보의 판독에 대하여 설명한다. 트랜지스터(811)가 온 상태가 되면, 부유 상태인 비트 라인 BL과, 용량 소자(812)가 도통되어, 비트 라인 BL과 용량 소자(812) 간에서 전하가 재분배된다. 이로써, 비트 라인 BL의 전위가 변화된다. 비트 라인 BL의 전위의 변화량은 용량 소자(812)의 한쪽 전극의 전위(또는 용량 소자(812)에 축적된 전하)에 따라 값이 변동된다.
- [0187] 예를 들어, 용량 소자(812)의 한쪽 전극의 전위를 V, 용량 소자(812)의 용량을 C, 비트 라인 BL이 갖는 용량 성분(이하에서, 비트 라인 용량이라고도 부름)을 CB, 전하가 재분배되기 전의 비트 라인 BL의 전위를 VB0으로 하면, 전하가 재분배된 후의 비트 라인 BL의 전위는 $(CB \cdot VB0 + C \cdot V) / (CB + C)$ 가 된다. 따라서, 메모리 셀(810)의 상태로서, 용량 소자(812)의 한쪽 전극의 전위가 V1과 V0($V1 > V0$)의 2 상태를 취한다고 가정하면, 전위 V1을 보유하고 있는 경우의 비트 라인 BL의 전위($= (CB \cdot VB0 + C \cdot V1) / (CB + C)$)는 전위 V0을 보유하고 있는 경우의 비트 라인 BL의 전위($= (CB \cdot VB0 + C \cdot V0) / (CB + C)$)보다 높은 것을 알 수 있다.
- [0188] 그리고, 비트 라인 BL의 전위를 소정의 전위와 비교함으로써, 정보를 판독할 수 있다.
- [0189] 이와 같이, 도 8(B)에 도시한 회로 구성에서는 트랜지스터(811)의 오프 전류가 매우 작다는 특징 때문에, 용량 소자(812)에 축적된 전하는 오랫동안 유지할 수 있다. 즉 리프래시 동작을 수행할 필요가 없거나, 또는 리프래시 동작의 빈도를 극히 낮게 할 수 있기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력이 공급되지 않는 경우에도 오랫동안 기억 내용을 유지할 수 있다.
- [0190] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다. 그러므로, c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터로 구성되는 기억 장치는 신뢰성이 우수한 기억 장치로 할 수 있다.
- [0191] (실시형태 6)
- [0192] 본 실시형태에서는 실리콘을 채널 영역에 구비하는 트랜지스터로 구성되는 휘발성 기억부와, 실시형태 1에서 설명한 c축으로 배향된 결정부를 포함한 산화물 반도체막을 채널 영역에 구비하는 트랜지스터로 구성되는 비휘발

성 기억부를 한 쌍으로 하여 비휘발성 플립플롭으로 하는 구성예에 대해서 설명한다. 상기 비휘발성 플립플롭을 단수 또는 복수 제공함으로써, 1비트 또는 복수비트의 데이터를 기억할 수 있는 비휘발성 레지스터로 할 수 있다.

- [0193] 도 9(A)에 n비트의 데이터를 유지할 수 있는 비휘발성 레지스터의 블록도의 일례를 도시하였다. 도 9(A)에 도시한 비휘발성 레지스터(900)는 n개의 비휘발성 플립플롭(901)을 갖는다.
- [0194] 비휘발성 플립플롭(901)은 휘발성 기억부(902) 및 비휘발성 기억부(903)를 갖는다.
- [0195] 휘발성 기억부(902)는 플립플롭(904)을 갖는다. 도 9(A)에서는 플립플롭(904)의 일례로서 D-플립플롭을 도시하였다. 휘발성 기억부(902)의 플립플롭(904)은 고전원 전위 VDD 및 저전원 전위 GND에 의해 전원이 공급되고, 클록 신호 CLK, 및 데이터 D₁ 내지 데이터 D_n이 입력된다. 이 외에도 플립플롭(904)의 회로 구성에 따라, 데이터의 입출력이나 초기화 등을 수행하기 위한 신호를 입력하는 구성으로 하여도 좋다. 플립플롭(904)의 단자 D에 입력되는 데이터 D₁ 내지 데이터 D_n은 클록 신호 CLK에 동기되어 유지되고 출력 단자 Q₁ 내지 출력 단자 Q_n으로부터 출력되는 구성이다.
- [0196] 또한, 플립플롭(904)을 구성하는 트랜지스터는 실리콘을 채널 영역에 구비한 복수의 트랜지스터로 구성된다. 플립플롭(904)을 구성하는 트랜지스터는 데이터를 고속으로 판독 또는 기록하기 위해서 미세화된 트랜지스터를 사용한다.
- [0197] 비휘발성 기억부(903)는 산화물 반도체막을 채널 영역에 구비한 트랜지스터(905) 및 용량 소자(906)를 갖는다. 도 9(A)에 도시한 비휘발성 기억부(903)는 제어 신호 WE에 의해 트랜지스터(905)를 도통 상태로 함으로써, 용량 소자(906)에서의 전하의 충방전을 수행할 수 있다. 또는, 도 9(A)에 도시한 비휘발성 기억부(903)는 제어 신호 WE에 의해 트랜지스터(905)를 비도통 상태로 함으로써, 용량 소자(906)에 유지된 전하를 유지한다. 상기 용량 소자(906)에서의 전하 유지는 트랜지스터(905)의 누설 전류가 극히 작은 것을 이용하여, 전원 공급 없이 데이터의 논리 상태에 따라 전하를 유지할 수 있다.
- [0198] 또한, 트랜지스터(905)는 실시형태 1에서 설명한 산화물 반도체막을 채널 영역에 구비한 트랜지스터이다. 그러므로, 트랜지스터(905)는 c축으로 배향된 결정부를 포함한 산화물 반도체막의 측면으로부터 산소가 이탈되는 것을 방지하고, 상기 산화물 반도체막에 충분한 산소를 함유시킬 수 있으며, 비휘발성 레지스터(900)의 신뢰성을 향상시킬 수 있다.
- [0199] 다음에, 비휘발성 레지스터를 CPU에 사용하는 경우의 구체적인 일 형태에 대해서 설명한다. 도 9(B)에 CPU 및 그 주변 회로의 블록도의 일례를 도시하였다.
- [0200] CPU(950)는 제어 장치부(951)와 연산 장치부(952)를 갖는다. 또한, 도 9(B)에 CPU(950)의 주변 회로로서 데이터 버퍼 회로(953), 전원 제어 회로(954), 전원 전환 회로(955), 및 내부 제어 신호 생성 회로(956)를 도시하였다.
- [0201] 제어 장치부(951)는 데이터 래치 회로(957), 명령 레지스터 회로(958), 컨트롤 회로(959), 레지스터군(960), 및 어드레스 버퍼 회로(961)를 갖는다. 컨트롤 회로(959)는 스테이트 머신(state machine)(962)을 갖는다. 또한, 레지스터군(960)은 프로그램 카운터(963), 범용 레지스터 회로(964), 및 연산 레지스터 회로(965)를 갖는다. 또한, 연산 장치부(952)는 ALU(Arithmetic logic unit)(966)를 갖는다.
- [0202] CPU 및 그 주변 회로의 각 회로는 데이터 버스 외에, 어드레스 버스, 컨트롤 버스를 통하여 데이터, 어드레스, 제어 신호의 입출력을 수행한다. 또한, 도 9(B)에서는 데이터 버스를 굵은 선, 컨트롤 버스를 가는 선으로 나타내며, 어드레스 버스는 생략하였다.
- [0203] 데이터 버퍼 회로(953)는 제어 장치부(951)에 입출력되는 명령(프로그램)을 포함하는 데이터를 일시적으로 기억하는 버퍼 기억 회로이다. 전원 제어 회로(954)는 외부로부터 입력되는 제어 신호에 따라 전원 전환 회로(955)에서의 전원 공급의 제어를 수행하며, 제어 장치부(951)의 각 회로가 구비하는 비휘발성 레지스터를 제어하기 위한 제어 신호 WE를 출력하는 회로이다. 전원 전환 회로(955)는 외부로부터 입력되는 전원을 전원 제어 회로(954)의 제어에 따라 공급하는지 여부를 전환하는 회로이다. 내부 제어 신호 생성 회로(956)는 전원 제어 회로(954)의 제어에 따라 제어 장치부(951)의 각 회로가 구비하는 비휘발성 레지스터를 제어하기 위한 클록 신호 CLK를 출력하는 회로이다.
- [0204] 데이터 래치 회로(957)는 제어 장치부(951)에 입출력되는 명령(프로그램)을 포함하는 데이터를 일시적으로 기억하고, 데이터 버스를 통하여 선택적으로 제어 장치부(951)의 각 회로에 공급하는 회로이다. 명령 레지스터 회

로(958)는 제어 장치부(951)에 공급되는 명령 데이터를 일시적으로 기억하는 회로이다. 컨트롤 회로(959)는 입력된 명령을 디코드(decode)하여 제어 장치부(951)의 각 회로가 명령을 실행하게 하는 기능을 갖는다. 또한, 컨트롤 회로(959)의 스테이트 머신(962)은 제어 장치부(951)의 상태를 일시적으로 기억하는 회로이다. 레지스터군(960)의 프로그램 카운터(963)는 다음에 실행하는 명령의 어드레스를 기억하는 회로이다. 레지스터군(960)의 범용 레지스터 회로(964)는 외부의 주기억 장치로부터 판독된 데이터를 일시적으로 기억하는 회로이다. 레지스터군(960)의 연산 레지스터 회로(965)는 ALU(966)의 연산 처리의 도중에 얻어진 데이터를 일시적으로 기억하는 회로이다. 어드레스 버퍼 회로(961)는 다음에 실행하는 명령의 어드레스를 일시적으로 기억하여 외부의 주기억 장치에 출력하는 회로이다. 연산 장치부(952)의 ALU(966)는 사칙 연산이나 논리 연산 등 각종 연산 처리를 수행하는 기능을 갖는다.

- [0205] 다음에, CPU(950)의 동작에 대해서 설명한다.
- [0206] CPU(950)는 실행하는 명령의 어드레스에 따라, 주기억 장치의 대응하는 어드레스에 어드레스 버퍼 회로(961)를 통하여 액세스(access)한다. 그리고, 외부의 주기억 장치로부터 명령을 판독하여 명령 레지스터 회로(958)에 기억시킨다.
- [0207] CPU(950)는 명령 레지스터 회로(958)에 기억된 명령을 디코드하여 명령을 실행한다. 구체적으로는 디코드된 명령이 연산 처리를 수행하는 명령이면, 컨트롤 회로(959)가 디코드된 명령에 따라 ALU(966)의 동작을 제어하기 위한 각종 신호를 생성한다. ALU(966)는 범용 레지스터 회로(964)에 기억된 데이터를 사용하여 연산 처리를 수행하고, 연산 처리로 얻어진 데이터를 범용 레지스터 회로(964) 또는 연산 레지스터 회로(965)에 일시적으로 기억한다. 데이터의 저장이나 판독을 수행하는 경우에는 CPU(950)는 디코드된 명령에 따라 외부의 주기억 장치나 레지스터군(960)의 각 회로에 적절히 액세스하여, 데이터를 입출력한다.
- [0208] 또한, 도 9(B)에 도시한 CPU(950)에서는 제어 장치부(951)의 명령 레지스터 회로(958), 컨트롤 회로(959), 레지스터군(960), 및 어드레스 버퍼 회로(961)의 데이터를 일시적으로 기억하는 회로 내에 상술한 비휘발성 레지스터를 갖는다. 즉 제어 장치부(951)의 명령 레지스터 회로(958), 컨트롤 회로(959), 레지스터군(960), 및 어드레스 버퍼 회로(961)의 데이터는 전원의 공급이 정지되어도 소거되지 않고 전원을 다시 공급하였을 때, 데이터를 복원한 상태로 할 수 있다. 그러므로, CPU(950) 내에서 데이터를 다시 판독하거나 전원을 공급할 필요가 없는 경우에 소비 전력을 저감할 수 있다.
- [0209] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다. 그러므로, 본 실시형태에서 설명한 CPU는 c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 트랜지스터로 구성할 수 있어, 신뢰성이 우수한 CPU로 할 수 있다.
- [0210] (실시에 1)
- [0211] 본 실시예에서는 c축으로 배향된 결정부를 포함한 산화물 반도체막의 일례로서, 3원계 금속의 산화물인 IGZO막에서의 과잉 산소 원자(화학양론비를 초과하여 존재하는 산소 원자) 및 산소 결손의 움직임성을 컴퓨터에 의해 계산한 결과에 대해서 설명한다.
- [0212] 또한, 계산은 IGZO(312)면의 하나인 In-O면에 과잉 산소 원자 또는 산소 결손이 하나 존재하는 모델을 구조 최적화에 의해 제작(도 11(A) 내지 도 11(C), 및 도 13(A) 내지 도 13(C) 참조)하여, NEB(Nudged Elastic Band)법을 이용하여 최소 에너지 경로를 따른 중간 구조에 대한 에너지를 각각 산출하였다.
- [0213] 계산은 밀도 범함수 이론(DFT)에 의거한 계산 프로그램 소프트웨어 'OpenMX'를 이용하여 수행하였다. 파라미터에 대해서 이하에서 설명한다.
- [0214] 기저 함수에는 의사 원자 궤도 기저 함수(pseudoatom local basis function)를 이용하였다. 이 기저 함수는 분극 기저계(polarization basis set)의 STO(Slater Type Orbital)로 분류된다.
- [0215] 범함수에는 GGA/PBE(Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof)를 이용하였다.
- [0216] 컷-오프 에너지는 200Ry로 설정하였다.
- [0217] 샘플링 k점은 $5 \times 5 \times 3$ 으로 하였다.
- [0218] 과잉 산소 원자의 움직임성을 계산할 때는 계산 모델 내에 존재하는 원자의 개수를 85개로 하고, 산소 결손의 움직임성을 계산할 때는 계산 모델 내에 존재하는 원자의 개수를 83개로 하였다.

- [0219] 과잉 산소 원자 또는 산소 결손의 움직임성은 과잉 산소 원자 또는 산소 결손이 각각의 사이트(site)로 이동할 때 뛰어넘어야 되는 에너지 장벽(energy barrier)의 높이 E_b 를 계산함으로써 평가된다. 즉 이동할 때 뛰어넘는 에너지 장벽의 높이 E_b 가 높으면 이동하기 어렵고, 에너지 장벽의 높이 E_b 가 낮으면 이동하기 쉽다.
- [0220] 우선, 과잉 산소 원자의 이동에 대해서 설명한다. 과잉 산소 원자의 이동을 계산하는 데 사용한 모델을 도 11(A) 내지 도 11(C)에 도시하였다. 계산은 이하에 제시한 2개의 전이 형태에 대하여 수행하여, 계산 결과를 도 12에 도시하였다. 도 12에서는 가로축을 (과잉 산소 원자의 이동의) 경로 길이로 하고, 세로축을 도 11(A)에 도시된 모델 A의 상태의 에너지에 대한 (이동에 필요한) 에너지로 하였다.
- [0221] 과잉 산소 원자의 이동에 대해서 상기 2개의 전이 형태 중 제 1 전이는 모델 A로부터 모델 B로의 전이이다. 제 2 전이는 모델 A로부터 모델 C로의 전이이다.
- [0222] 또한, 도 11(A) 내지 도 11(C)에서 '1'이라고 표기된 산소 원자를 모델 A의 제 1 산소 원자라고 부른다. 도 11(A) 내지 도 11(C)에서 '2'라고 표기된 산소 원자를 모델 A의 제 2 산소 원자라고 부른다. 도 11(A) 내지 도 11(C)에서 '3'이라고 표기된 산소 원자를 모델 A의 제 3 산소 원자라고 부른다.
- [0223] 도 12에 있어서, 제 1 전이의 에너지 장벽의 높이 E_b 의 최대값($E_{b_{max}}$)은 0.53eV이고, 제 2 전이의 에너지 장벽의 높이 E_b 의 최대값($E_{b_{max}}$)은 2.38eV인 것을 알 수 있다. 그러므로, 제 1 전이에서는 제 2 전이보다 에너지 장벽의 높이 E_b 의 최대값($E_{b_{max}}$)이 낮다. 따라서, 제 1 전이에 필요한 에너지는 제 2 전이에 필요한 에너지보다 작으며, 제 1 전이는 제 2 전이보다 일어나기 쉽다고 할 수 있다.
- [0224] 즉 모델 A의 제 1 산소 원자는 모델 A의 제 3 산소 원자를 밀어내는 방향보다 모델 A의 제 2 산소 원자를 밀어내는 방향으로 이동하기 쉽다고 할 수 있다. 따라서, 산소 원자는 인듐 원자의 층을 가로지르도록 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다.
- [0225] 다음에, 산소 결손의 이동에 대해서 설명한다. 산소 결손의 이동을 계산하는 데 사용한 모델을 도 13(A) 내지 도 13(C)에 도시하였다. 계산은 이하에 제시한 2개의 전이 형태에 대해서 수행하여, 계산 결과를 도 14에 도시하였다. 도 14에서는 가로축을 (산소 결손의 이동의) 경로 길이로 하고, 세로축을 도 13(A)에 도시된 모델 A의 상태의 에너지에 대한 (이동에 필요한) 에너지로 하였다.
- [0226] 산소 결손의 이동에 대해서 상기 2개의 전이 형태 중 제 1 전이는 모델 A로부터 모델 B로의 전이이다. 제 2 전이는 모델 A로부터 모델 C로의 전이이다.
- [0227] 또한, 도 13(A) 내지 도 13(C)에서 점선으로 표기된 동그라미는 산소 결손을 나타낸다.
- [0228] 도 14에 있어서, 제 1 전이의 에너지 장벽의 높이 E_b 의 최대값($E_{b_{max}}$)은 1.81eV이고, 제 2 전이의 에너지 장벽의 높이 E_b 의 최대값($E_{b_{max}}$)은 4.10eV인 것을 알 수 있다. 그러므로, 제 1 전이에서는 제 2 전이보다 에너지 장벽의 높이 E_b 의 최대값($E_{b_{max}}$)이 낮다. 따라서, 제 1 전이에 필요한 에너지는 제 2 전이에 필요한 에너지보다 작으며, 제 1 전이는 제 2 전이보다 일어나기 쉽다고 할 수 있다.
- [0229] 즉 모델 A의 산소 결손은 모델 C의 산소 결손의 위치로 이동하기보다 모델 B의 산소 결손의 위치로 이동하기 쉽다고 할 수 있다. 따라서, 산소 결손도 인듐 원자의 층을 가로지르도록 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다.
- [0230] 다음에, 상술한 4개의 전이 형태가 어느 정도 일어나기 쉬운지를, 다른 관점에 의해 비교하기 위해서 이들 전이의 온도 의존성에 대해서 설명한다. 상술한 4개의 전이 형태란 (1)과잉 산소 원자의 제 1 전이, (2)과잉 산소 원자의 제 2 전이, (3)산소 결손의 제 1 전이, (4)산소 결손의 제 2 전이이다.
- [0231] 이들 전이의 온도 의존성은 단위 시간당 이동 빈도에 의해 비교한다. 여기서, 어느 임의의 온도 $T(K)$ 에서의 이동 빈도 $Z(/초)$ 는 화학적으로 안정된 위치에서의 산소 원자의 진동수 $Z_0(/초)$ 를 이용하면 다음 수학적 식 1로 표현된다.

[0232] [수학식 1]

$$Z = Z_0 \cdot \exp\left(-\frac{E_{b_{\max}}}{kT}\right)$$

[0233]

[0234] 또한, 수학식 1에서 $E_{b_{\max}}$ 는 각 전이에서의 에너지 장벽의 높이 E_b 의 최대값이며, k 는 볼츠만 상수(Boltzmann constant)이다. 또한, $Z_0 = 1.0 \times 10^{13}$ (/초)를 계산에 사용하였다.

[0235] 과잉 산소 원자 또는 산소 결손이 1초간당 1번만 에너지 장벽의 높이 E_b 의 최대값($E_{b_{\max}}$)을 초과하여 이동하는 경우($Z = 1$ (/초)의 경우), 상기 수학식 1을 T 에 대해서 계산하면 다음과 같다.

[0236] (1)과잉 산소 원자의 제 1 전이 $Z = 1$ 에서 $T = 206K (-67^\circ C)$

[0237] (2)과잉 산소 원자의 제 2 전이 $Z = 1$ 에서 $T = 923K (650^\circ C)$

[0238] (3)산소 결손의 제 1 전이 $Z = 1$ 에서 $T = 701K (428^\circ C)$

[0239] (4)산소 결손의 제 2 전이 $Z = 1$ 에서 $T = 1590K (1317^\circ C)$

[0240] 한편, $T = 300K (27^\circ C)$ 의 경우의 Z 는 다음과 같다.

[0241] (1)과잉 산소 원자의 제 1 전이 $T = 300K$ 에서 $Z = 1.2 \times 10^4$ (/초)

[0242] (2)과잉 산소 원자의 제 2 전이 $T = 300K$ 에서 $Z = 1.0 \times 10^{-27}$ (/초)

[0243] (3)산소 결손의 제 1 전이 $T = 300K$ 에서 $Z = 4.3 \times 10^{-18}$ (/초)

[0244] (4)산소 결손의 제 2 전이 $T = 300K$ 에서 $Z = 1.4 \times 10^{-56}$ (/초)

[0245] 또한, $T = 723K (450^\circ C)$ 의 경우의 Z 는 다음과 같다.

[0246] (1)과잉 산소 원자의 제 1 전이 $T = 723K$ 에서 $Z = 2.0 \times 10^9$ (/초)

[0247] (2)과잉 산소 원자의 제 2 전이 $T = 723K$ 에서 $Z = 2.5 \times 10^{-4}$ (/초)

[0248] (3)산소 결손의 제 1 전이 $T = 723K$ 에서 $Z = 2.5$ (/초)

[0249] (4)산소 결손의 제 2 전이 $T = 723K$ 에서 $Z = 2.5 \times 10^{-16}$ (/초)

[0250] 상기 계산 결과를 보면, 과잉 산소 원자는 $T = 300K$ 의 경우에도 $T = 723K$ 의 경우에도 인듐 원자의 층을 가로지르도록 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다. 또한, 산소 결손도 $T = 300K$ 의 경우에도 $T = 723K$ 의 경우에도 인듐 원자의 층을 가로지르도록 이동하기보다 인듐 원자의 층을 따라 이동하기 쉽다고 할 수 있다.

[0251] 또한, $T = 300K$ 에서, 인듐 원자의 층을 따른 과잉 산소 원자의 이동은 매우 쉽게 일어나지만, 다른 전이 형태는 일어나기 어렵다. $T = 723K$ 에서는 인듐 원자의 층을 따른 과잉 산소 원자의 이동뿐만 아니라 인듐 원자의 층을 따른 산소 결손의 이동도 쉽게 일어나지만, 과잉 산소 원자 및 산소 결손은 양쪽 모두 인듐 원자의 층을 가로지르도록 이동하기 어렵다.

[0252] 따라서, 예를 들어 c 축으로 배향된 결정부를 포함한 산화물 반도체막과 같이, 인듐 원자의 층이 상기 막의 피형성면 또는 표면에 평행한 면 위에 존재하는 경우에는 과잉 산소 원자 및 산소 결손 양쪽 모두가 상기 막의 피형성면 또는 표면을 따라 이동하기 쉽다고 할 수 있다.

[0253] 여기까지 설명한 바와 같이, 본 실시예에 따른 컴퓨터 계산으로부터, c 축으로 배향된 결정부를 포함한 산화물 반도체막에서는 상기 막의 피형성면 또는 표면을 따라 과잉 산소 원자 및 산소 결손이 이동하기 쉬운 것을 알았다. 산소가 이와 같이 움직이기 쉬운 것을 고려하면, c 축으로 배향된 결정부를 포함한 산화물 반도체막에서는

상기 막의 측면으로부터 산소가 이탈되어 산소 결손이 발생하기 쉬운 상태가 되어 있는 것을 알았다. 그러므로, 상기 막의 측면으로부터 산소가 빠지기 쉬운 것을 알았다. 이와 같은 산화물 반도체막을 사용한 트랜지스터에서는 c축으로 배향된 결정부를 포함한 산화물 반도체막을 섬 형상으로 가공하는 경우, 그 측면이 노출된 상태가 되어 산소 결손이 발생하기 쉽다. 상술한 실시형태에서 설명한 바와 같이, 본 발명의 일 형태에서는 상술한 산소 결손을 저감하여, c축으로 배향된 결정부를 포함한 산화물 반도체막을 사용한 반도체 장치의 신뢰성이 저하되는 것을 억제할 수 있다.

[0254] 또한, 본 실시예의 설명에서는 과잉 산소 원자 또는 산소 결손이 인듐 원자의 층을 가로지르는 경우에 대해서 설명하였지만, 본 발명은 이것에 한정되지 않으며, 산화물 반도체막에 함유된 인듐 이외의 금속에 대해서도 마찬가지로이다.

부호의 설명

[0255]

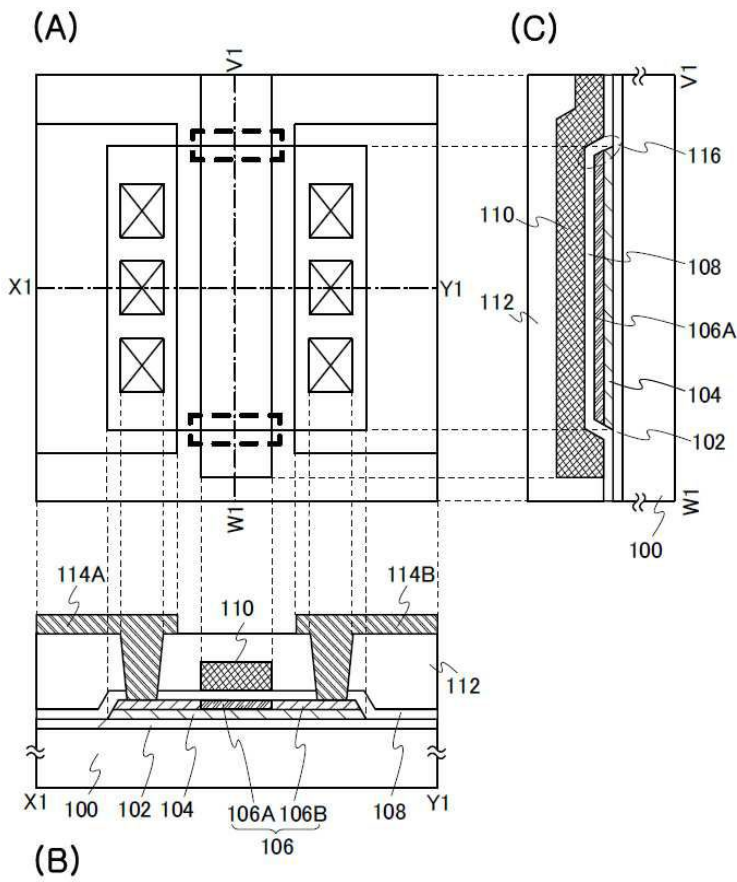
- 100: 기판
- 102: 산화막
- 104: 제 1 산화물 반도체막
- 106: 제 2 산화물 반도체막
- 106A: 채널 영역
- 106B: 저저항 영역
- 108: 산화물막
- 110: 게이트 전극
- 112: 층간 절연막
- 114A: 소스 전극
- 114B: 드레인 전극
- 116: 영역
- 118: 접선
- 120: 홈
- 122: 절연막
- 200: 기판
- 202: 산화막
- 204: 제 1 산화물 반도체막
- 206: 제 2 산화물 반도체막
- 206A: 채널 영역
- 206B: 저저항 영역
- 208: 산화물막
- 209: 측벽
- 210: 게이트 전극
- 211: 절연막
- 212: 절연막

213A: 소스 전극
213B: 드레인 전극
214A: 소스 전극
214B: 드레인 전극
300: 트랜지스터
301: 용량 소자
302: 전극층
303: 절연막
304: 전극층
305: 절연막
306: 절연막
321: 하부 소자층
322: 배선층
323: 배선층
324: 상부 소자층
331: n채널 트랜지스터
332: p채널 트랜지스터
333: 기판
334: BOX층
335: SOI층
336: n형 불순물 영역
337: 게이트 절연막
338: 게이트 전극
339: p형 불순물 영역
340: 절연막
341: 배선
342: 소자 분리 절연층
344: 절연막
345: 절연막
401: 절연막
801: 트랜지스터
802: 트랜지스터
803: 용량 소자
810: 메모리 셀
811: 트랜지스터
812: 용량 소자

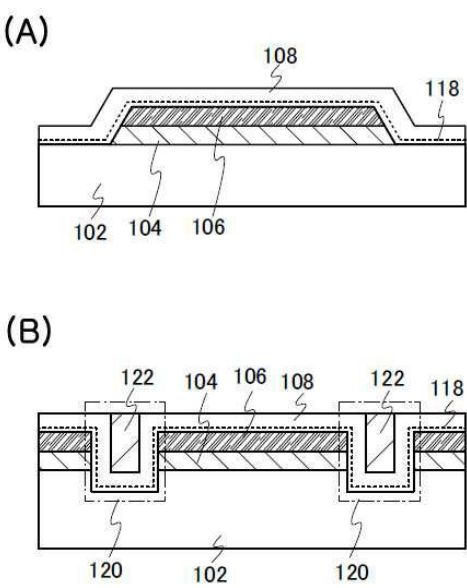
900: 비휘발성 레지스터
901: 비휘발성 플립플롭
902: 휘발성 기억부
903: 비휘발성 기억부
904: 플립플롭
905: 트랜지스터
906: 용량 소자
950: CPU
951: 제어 장치부
952: 연산 장치부
953: 데이터 버퍼 회로
954: 전원 제어 회로
955: 회로
956: 내부 제어 신호 생성 회로
957: 데이터 래치 회로
958: 명령 레지스터 회로
959: 컨트롤 회로
960: 레지스터군
961: 어드레스 버퍼 회로
962: 스테이트 머신
963: 프로그램 카운터
964: 범용 레지스터 회로
965: 연산 레지스터 회로
966: ALU

도면

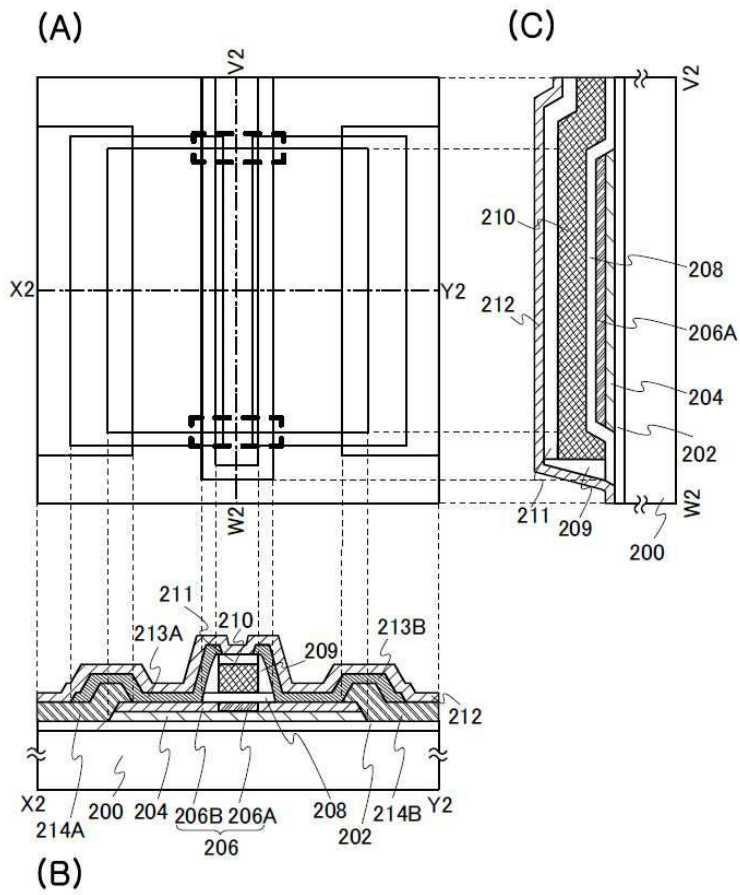
도면1



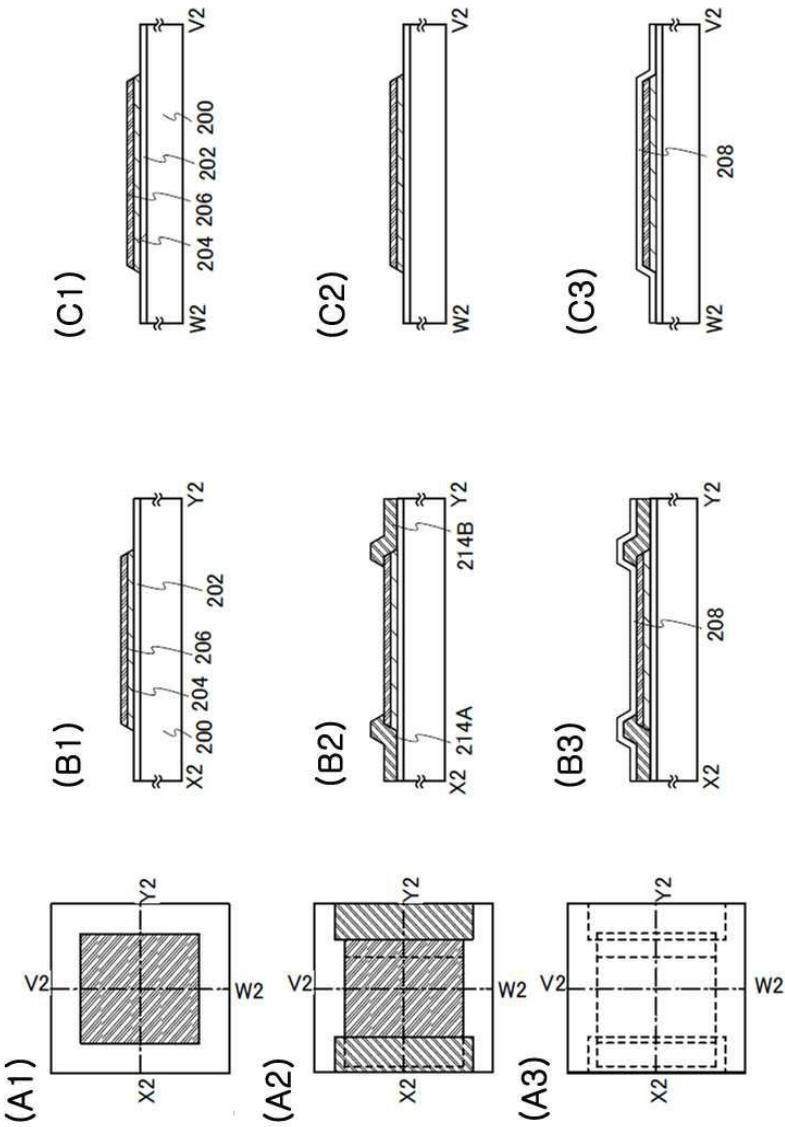
도면2



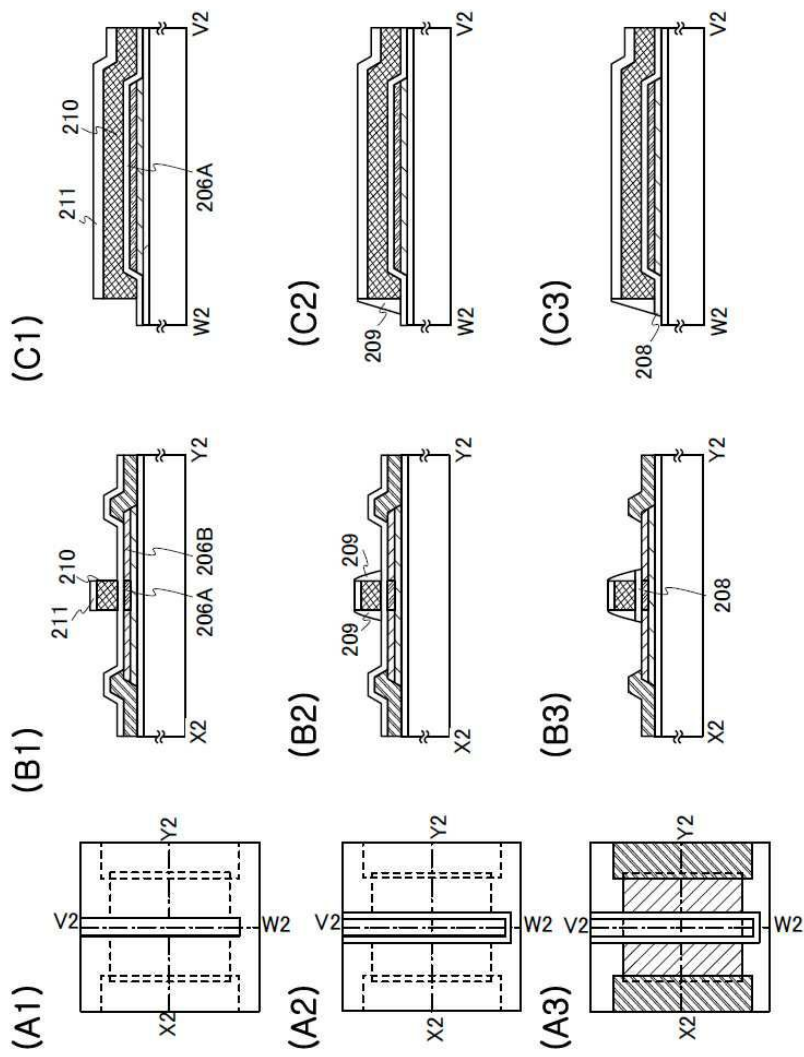
도면3



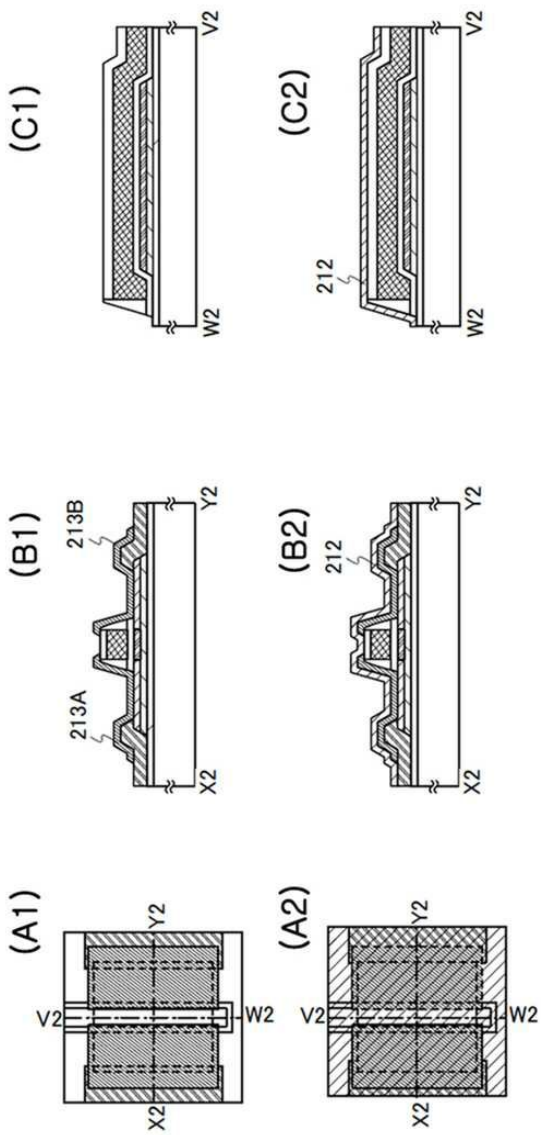
도면4



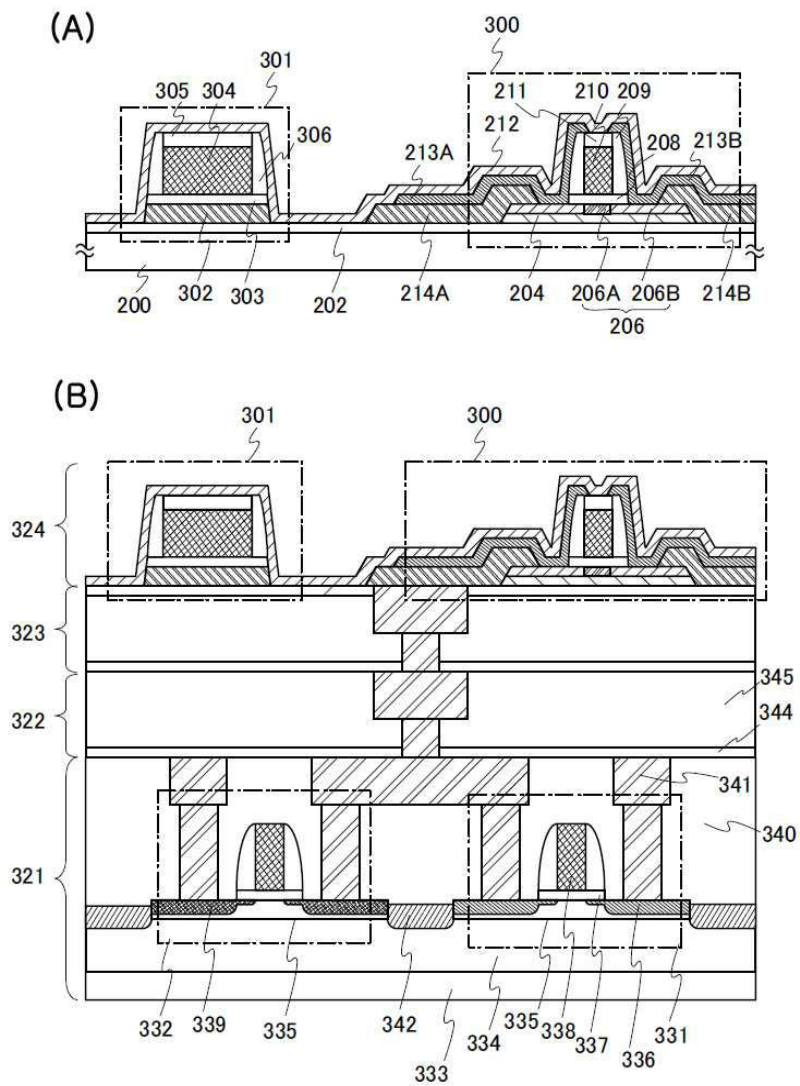
도면5



도면6

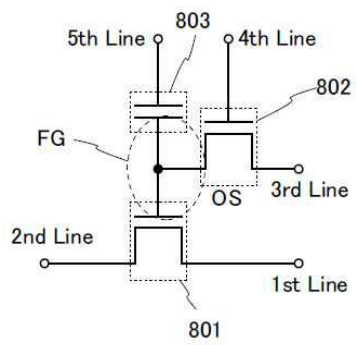


도면7

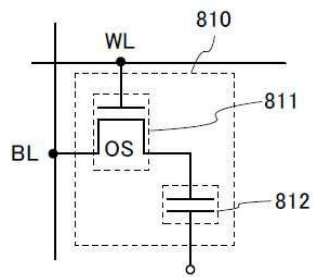


도면8

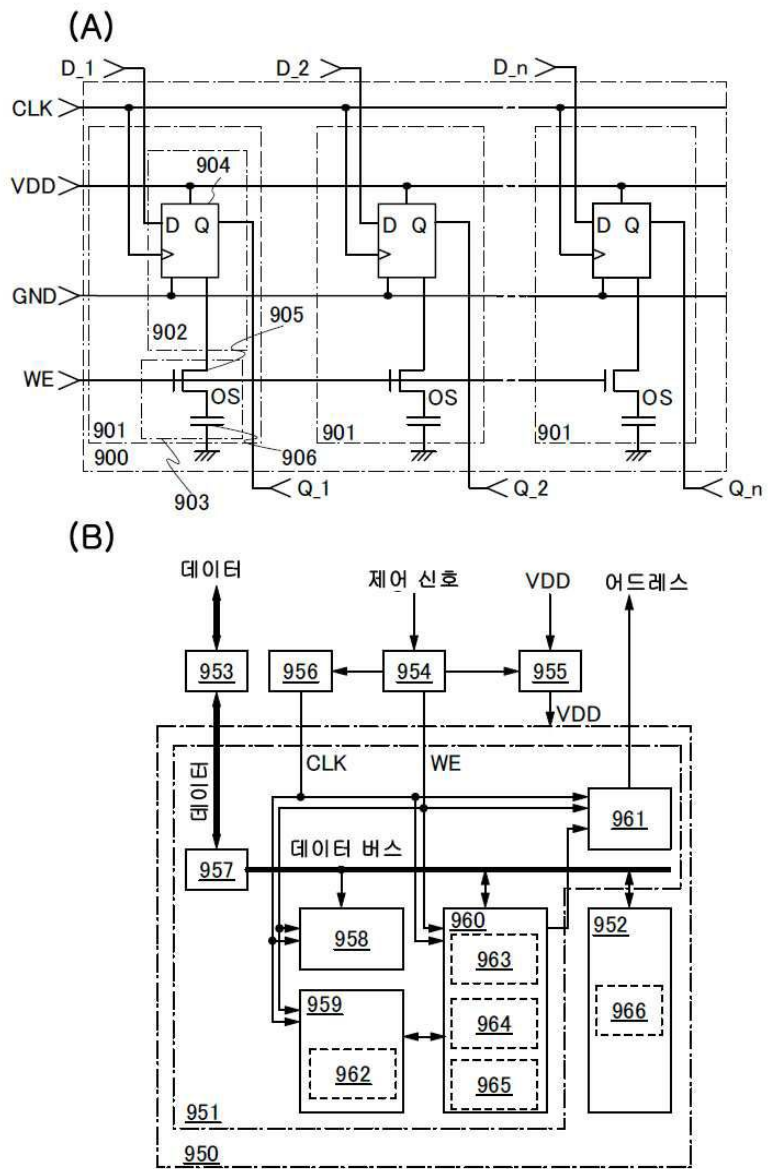
(A)



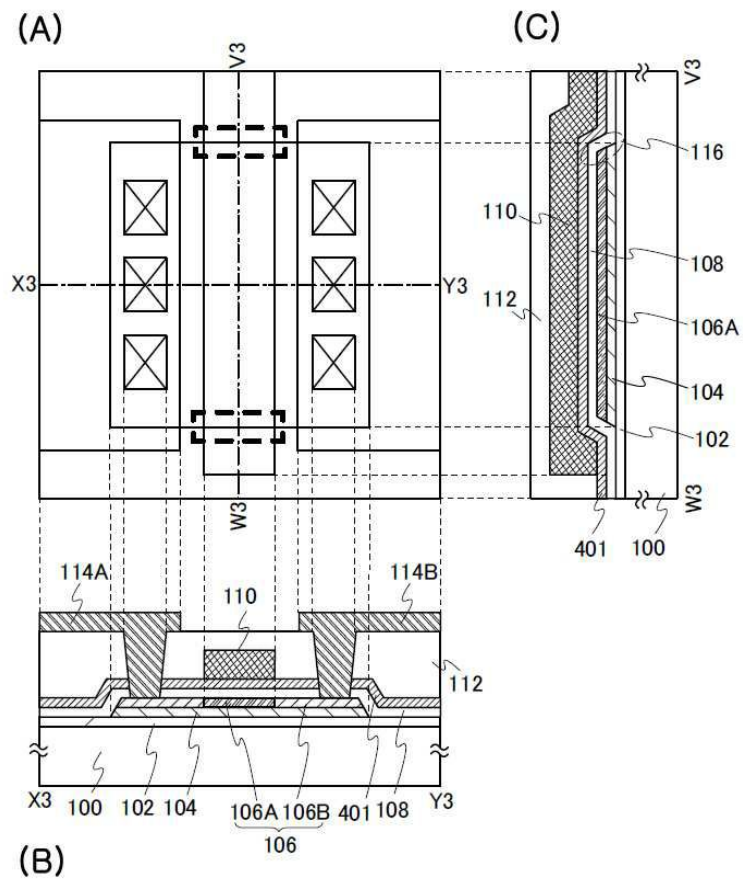
(B)



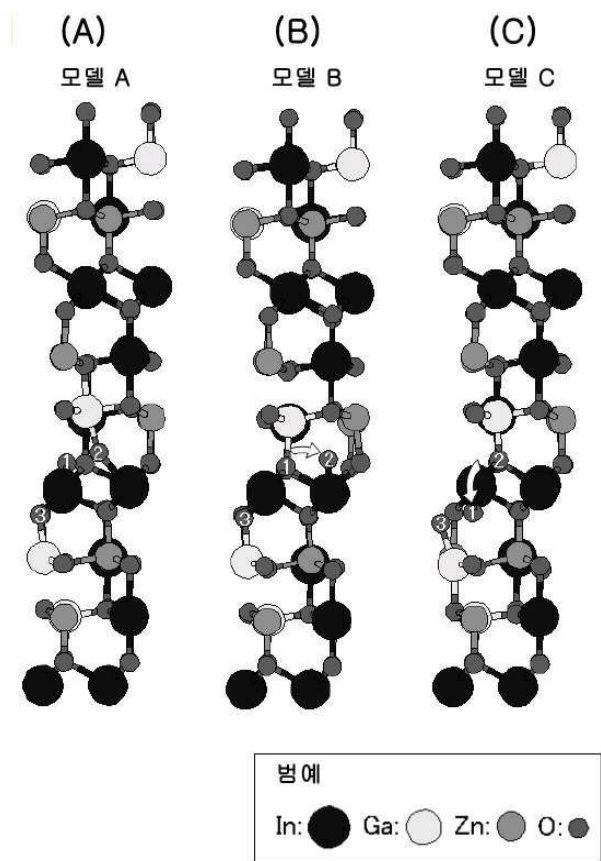
도면9



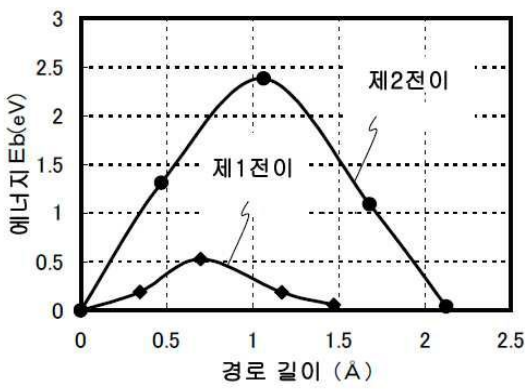
도면10



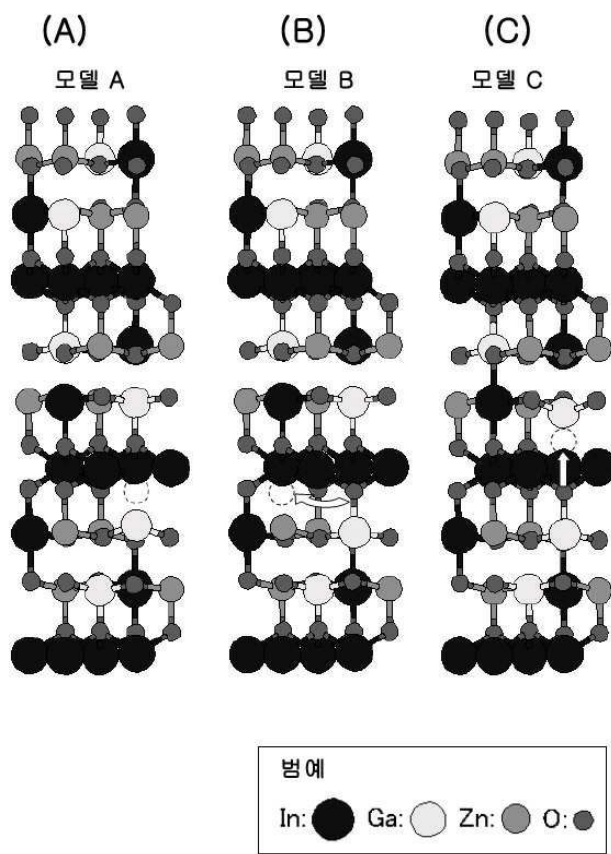
도면11



도면12



도면13



도면14

