

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成23年5月6日(2011.5.6)

【公開番号】特開2010-176702(P2010-176702A)

【公開日】平成22年8月12日(2010.8.12)

【年通号数】公開・登録公報2010-032

【出願番号】特願2010-102697(P2010-102697)

【国際特許分類】

G 06 F	12/02	(2006.01)
G 06 F	12/00	(2006.01)
G 06 F	12/06	(2006.01)
G 06 F	12/08	(2006.01)
G 06 F	3/06	(2006.01)

【F I】

G 06 F	12/02	5 3 0 C
G 06 F	12/00	5 9 7 U
G 06 F	12/06	5 2 2 A
G 06 F	12/06	5 2 5 C
G 06 F	12/08	5 0 1 B
G 06 F	3/06	3 0 1 T

【手続補正書】

【提出日】平成23年3月16日(2011.3.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ消去単位であるブロックを複数備え、各々の前記ブロックはデータ書き込み及び読み出し単位であるページを複数含む不揮発性半導体メモリと、

前記不揮発性半導体メモリが備える複数のブロックを、セクタ単位の自然数倍である第1の管理単位でデータが管理される第1の記憶領域と、前記第1の管理単位の2以上の自然数倍である第2の管理単位でデータが管理される第2の記憶領域とに割り当てるコントローラと、を具備し、

前記コントローラは、

前記第1の管理単位の有効データを前記第1の記憶領域から探し出し、当該有効データを前記第2の管理単位のデータに統合して、前記第2の記憶領域に記憶する第1の手段と、

前記第1の記憶領域内における前記第1の管理単位の有効データを複数選択して、前記第1の記憶領域内の新たなブロックに書き直す第2の手段と、を備え、

前記第2の手段を実行する前に、少なくとも1回、前記第1の手段を実行することを特徴とするメモリシステム。

【請求項2】

前記コントローラは、前記第1の記憶領域に割り当てられたブロックの個数が上限値を超えた場合に、前記第1の手段を実行した後、前記第2の手段を実行することを特徴とする請求項1に記載のメモリシステム。

【請求項3】

前記コントローラは、前記第1の手段を実行した後、前記第1の記憶領域内における前記第1の管理単位の有効データの合計容量が所定値以上である場合、再度前記第1の手段を実行することを特徴とする請求項2に記載のメモリシステム。

【請求項4】

前記コントローラは、前記第1の手段を実行した後、前記第1の記憶領域内における前記第1の管理単位の有効データの合計容量が所定値未満である場合、前記第2の手段を実行することを特徴とする請求項2に記載のメモリシステム。

【請求項5】

前記所定値は、1ブロック分の記憶容量に等しいことを特徴とする請求項3または請求項4に記載にメモリシステム。

【請求項6】

前記コントローラは、前記第1の手段を実行する際に、複数ブロックの記憶容量に対応する前記第2の管理単位のアドレス範囲を選択し、選択された前記第2の管理単位のアドレス範囲内に含まれる前記第1の管理単位の有効データを追い出すことを特徴とする請求項1に記載のメモリシステム。

【請求項7】

前記コントローラは、前記第2の手段を実行する際に、前記第1の管理単位の有効データの個数が少ない方から順にブロック選択し、選択されたブロックに含まれる前記第1の管理単位の有効データを書き直すことを特徴とする請求項1に記載のメモリシステム。

【請求項8】

前記コントローラは、前記第1の手段を実行する際に、前記第2の管理単位のアドレス範囲内に含まれる前記第1の管理単位の有効データの個数に基づいて、前記第1の記憶領域から前記第2の記憶領域に追い出す有効データを選択することを特徴とする請求項1に記載のメモリシステム。

【請求項9】

前記コントローラは、前記第1の手段を実行する際に、前記有効データの個数が多い方から順に前記第2の管理単位のアドレス範囲を選択し、選択された前記第2の管理単位のアドレス範囲内に含まれる前記第1の管理単位の有効データを追い出すことを特徴とする請求項8に記載のメモリシステム。

【請求項10】

前記コントローラは、前記第1の手段を実行する際に、前記第1の記憶領域内において前記第1の管理単位の有効データを含む前記第2の管理単位のアドレス範囲に対応する前記第2の管理単位の有効データが、前記第2の記憶領域内において前記第2の管理単位の無効データを含むブロック内に記憶されているか否かに基づいて、前記第1の記憶領域から前記第2の記憶領域に追い出すデータを選択することを特徴とする請求項8に記載のメモリシステム。

【請求項11】

前記コントローラは、前記第1の手段を実行する際に、前記無効データの個数が多いブロックに記憶されている前記第2の管理単位の有効データに対応する前記第2の管理単位のアドレス範囲を優先的に選択し、選択された前記第2の管理単位のアドレス範囲内に含まれる前記第1の管理単位の有効データを追い出すことを特徴とする請求項10に記載のメモリシステム。

【請求項12】

前記コントローラは、前記第1の手段を実行する際に、前記第2の記憶領域に追い出された前記第1の管理単位の有効データを前記第1の記憶領域内において無効化し、有効データが存在しないブロックを前記第1の記憶領域から解放することを特徴とする請求項1に記載のメモリシステム。

【請求項13】

前記コントローラは、前記第2の手段を実行する際に、第1の記憶領域内の新たなブロックに書き直された前記第1の管理単位の有効データを前記第1の記憶領域内において無

効化し、有効データが存在しないブロックを前記第1の記憶領域から解放することを特徴とする請求項1に記載のメモリシステム。

【請求項14】

前記コントローラは、前記第1の手段を実行する際に、前記第1の記憶領域から追い出される前記第1の管理単位の有効データと、前記第1の記憶領域及び前記第2の記憶領域の少なくとも一方から読み出されたデータとを、前記第2の管理単位のデータに統合することを特徴とする請求項1に記載のメモリシステム。

【請求項15】

前記不揮発性半導体メモリに転送するデータを保持可能な半導体メモリを更に具備し、前記コントローラは、

前記半導体メモリに前記セクタ単位のデータを記憶する第3の手段と、

前記半導体メモリから追い出されたデータを、前記第1の管理単位のデータに統合して前記第1の記憶領域に記憶する第4の手段と、

前記半導体メモリから追い出されたデータを、前記第2の管理単位のデータに統合して前記第2の記憶領域に記憶する第5の手段と、

を備えることを特徴とする請求項1に記載のメモリシステム。

【請求項16】

前記半導体メモリは、揮発性ランダムアクセスメモリであることを特徴とする請求項15に記載のメモリシステム。

【請求項17】

前記半導体メモリは、不揮発性ランダムアクセスメモリであることを特徴とする請求項15に記載のメモリシステム。

【請求項18】

前記ページ単位は、前記第1の管理単位の2以上の自然数倍であり、かつ、前記第1の管理単位は、前記ブロック単位よりも小さいことを特徴とする請求項1に記載のメモリシステム。

【請求項19】

前記ブロック単位は、前記第2の管理単位の2以上の自然数倍であり、かつ、前記第2の管理単位は、前記ページ単位よりも大きいことを特徴とする請求項1に記載のメモリシステム。

【請求項20】

前記不揮発性半導体メモリは、NAND型フラッシュメモリであることを特徴とする請求項1に記載のメモリシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0217

【補正方法】削除

【補正の内容】