(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023 년 4 월 20 일 (20.04.2023)

WIPO | PCT

(10) 국제공개번호
WO 2023/063732 A1

(51) 국제특허분류:
H01L 29/808 (2006.01) *H01L 27/098* (2006.01)
H01L 29/66 (2006.01)

(21) 국제출원번호: PCT/KR2022/015457

(22) 국제출원일: 2022 년 10 월 13 일 (13.10.2022)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2021-0136713 2021 년 10 월 14 일 (14.10.2021) KR

(71) 출원인: 고려대학교 산학협력단 (**KOREA UNIVERSITY RESEARCH AND BUSINESS**) [KR/KR]; 02841 서울특별시 성북구 안암로 145, Seoul (KR).

(72) 발명자: 김상식 (**KIM, Sang Sig**); 06630 서울특별시 서초구 효령로 391, 103동 501호, Seoul (KR). 조경아 (**CHO, Kyoung Ah**); 04989 서울특별시 광진구 천호대로 110길 72, Seoul (KR). 백은우 (**BAEK, Eun Woo**); 02842 서울특별시 성북구 고려대로27길 52, 303호, Seoul (KR). 전주희 (**JEON, Ju Hee**); 03773 서울특별시 서대문구 북아현로1길 17, 202동 305호, Seoul (KR). 손재민 (**SON, Jae Min**); 13641 경기도 수정구 위례순환로 150, 3403동 502호, Gyeonggi-do (KR). 김택함 (**KIM, Taek Ham**); 17873 경기도 평택시 중앙로 335, 104동 501호, Gyeonggi-do (KR). 양예진 (**YANG, Ye Jin**); 15017 경기도 시흥시 함송로 29번길 37, 1203동 202호, Gyeonggi-do (KR).

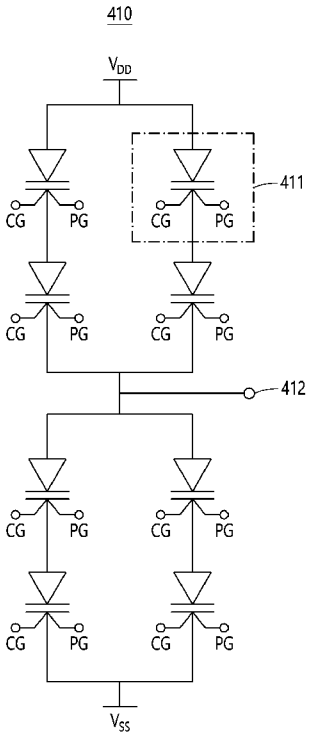
(74) 대리인: 김연권 (**KIM, Youn Gwon**); 05836 서울특별시 송파구 법원로 127 문정대명벨리온 15층 1501호 및 1502호, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

(54) **Title:** VARIABLE LOGIC IN MEMORY CELL

(54) **발명의 명칭:** 가변형 로직 인 메모리 셀



(57) **Abstract:** The present invention relates to a variable logic in memory cell composed of a triple gate feedback memory device. The variable logic in memory cell according to an embodiment of the present invention, includes a plurality of triple gate feedback memory devices. Each of the triple gate feedback memory devices includes a drain region, a channel region, and a source region, and includes a gate region in which first and second programming gate electrodes and a control gate electrode are formed on the channel region.

(57) **요약서:** 본 발명은 트리플 게이트 피드백 메모리 소자로 구성된 가변형 로직 인 메모리 셀에 관한 것으로, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀은 드레인 영역, 채널 영역, 소스 영역을 포함하고, 상기 채널 영역 상에서 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성된 게이트 영역을 포함하는 트리플 게이트 피드백 메모리 소자를 복수로 포함한다.

WO 2023/063732 A1

[다음 쪽 계속]

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 가변형 로직 인 메모리 셀

기술분야

[1] 본 발명은 트리플 게이트 피드백 메모리 소자로 구성된 가변형 로직 인 메모리 셀에 관한 것으로, 보다 상세하게는, 양성 피드백 루프(positive feedback loop)로 구동하는 트리플 게이트 피드백 메모리 소자를 이용하여 논리 연산 기능 및 메모리 기능을 제공하는 가변형 로직 인 메모리 셀을 구현하는 기술에 관한 것이다.

배경기술

[2] 기존 폰 노이만(von Neumann) 기반의 컴퓨터 시스템은 프로세서와 메모리가 분리되어 버스(bus)를 통해 데이터의 전송이 이루어진다.

[3] 하지만 컴퓨팅 성능의 증가에 따라 프로세서와 메모리간 데이터 처리속도 차이로 인해 병목 현상이 발생하게 되었고, 대용량 데이터 처리에 한계를 드러내기 시작했다.

[4] 다시 말해, 반도체 산업의 혁명적인 발전인 폰 노이만 기반의 시스템은 현대 컴퓨터의 통합 밀도와 성능을 향상시켰지만 프로세서와 메모리 계층 구조 간의 물리적인 분리에 따라 에너지를 많이 소모하고 데이터 전송과 대기 시간이 길다는 단점이 있다.

[5] 4 차 산업 혁명 이후 5G 통신 표준, 사물 인터넷(IoT), 인공 지능(AI)과 같은 데이터 집약적인 애플리케이션의 증가를 고려할 때, 새로운 컴퓨팅 패러다임은 대규모 데이터 처리 요구 사항에 필수적이다.

[6] 상술한 문제를 해결하기 위해 연산과 기억 기능을 융합한 로직 인 메모리(logic in memory, LIM)기술에 대한 연구가 집중 및 가속화되고 있다.

[7] 로직 인 메모리 기술은 프로세서의 연산 기능과 메모리의 기억 기능을 동일한 공간에서 수행하기 때문에 데이터 전송 시 발생하는 지연 시간과 전력 소모를 줄이고 시스템의 집적도를 크게 향상시킬 수 있다.

[8] 종래 로직 인 메모리 기술은 휘발성 메모리 소자에 해당하는 SRAM(static random access memory), DRAM(dynamic RAM)와 비휘발성 메모리 소자에 해당하는 ReRAM(resistive RAM), MRAM(magnetoresistive RAM), PCRAM(phase-change RAM) 등을 기반으로 활발히 연구되어 왔다.

[9] 휘발성 메모리 소자 기반 로직 인 메모리 기술의 경우 안정적인 동작을 위해 많은 수의 트랜지스터가 필요하여 전체 면적과 전력 소모가 높다는 한계가 존재한다.

[10] 또한, 비휘발성 메모리 소자 기반의 로직 인 메모리 기술의 경우 비실리콘 물질을 사용하여 복잡한 공정 과정이 요구되며, 낮은 소자 균일성과 안정성으로 인해 실용화가 되기 어렵다.

[11] 또한, 기 연구 된 로직 인 메모리 기술들은 하나의 셀에서 모든 기본 CMOS 논리 연산을 구현할 수 없고 논리 연산에 따라 개별적인 회로 및 배선이 요구됨에 따라 낮은 집적도를 가진다.

[12] 따라서, 실리콘 기반 CMOS 공정을 활용하여 제작이 가능하며 한 개의 셀 내에서 모든 기본 로직 연산을 수행하고 그 값을 저장하는 가변형 로직 인 메모리 셀 기술 개발이 필요한 상황이다.

발명의 상세한 설명

기술적 과제

[13] 본 발명은 양성 피드백 루프(positive feedback loop)로 구동하는 트리플 게이트 피드백 메모리 소자를 이용하여 논리 연산 기능 및 메모리 기능을 제공하는 가변형 로직 인 메모리 셀을 구현하는 것을 목적으로 한다.

[14] 본 발명은 기존 CMOS 공정을 적용한 실리콘 기반 피드백 메모리 소자인 트리플 게이트 피드백 메모리 소자를 활용하여 가변형 로직 인 메모리 셀을 구현하는 것을 목적으로 한다.

[15] 본 발명은 채널 유형 가변 특성을 가진 트리플 게이트 피드백 메모리 소자를 이용하여 모든 기본 논리 연산을 수행하고, 수행된 논리 연산 결과를 기억하는 가변형 로직 인 메모리 셀을 구현하는 것을 목적으로 한다.

[16] 본 발명은 논리 연산과 저장 기능의 융합을 통해 데이터 병목 현상에 따른 처리 속도 및 집적화 한계를 개선하는 것을 목적으로 한다.

[17] 본 발명은 채널 유형 가변 특성을 이용하여 구조 변경 및 외부 바이어스 없이 논리 연산 값을 유지하는 우수한 메모리 특성으로 대기 전력 효율을 향상시키는 것을 목적으로 한다.

과제 해결 수단

[18] 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀은 드레인 영역, 채널 영역, 소스 영역을 포함하고, 상기 채널 영역 상에서 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성된 게이트 영역을 포함하는 트리플 게이트 피드백 메모리 소자를 복수로 포함하고, 상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 제1 및 제2 프로그래밍 게이트 전극을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 제1 채널 동작 및 제2 채널 동작 중 어느 하나의 채널 동작을 수행하고, 상기 컨트롤 게이트 전극을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정되며, 상기 수행된 어느 하나의 채널 동작에서 상기 어느 하나의 상태에 따라 변화되는 출력 전압(V_{OUT})의 레벨에 기반하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[19] 상기 드레인 영역은 p 도핑 상태이고, 상기 소스 영역은 n 도핑 상태이며, 상기 채널 영역은 진성(intrinsic) 상태이고, 상기 채널 영역에서 상기 제1 및 제2

프로그래밍 게이트 전극 아래의 채널 영역은 상기 프로그램 전압(V_{PG})의 레벨이 하이 레벨인 경우에 상기 제1 채널 동작에 해당하는 n 채널로 동작하고, 상기 프로그램 전압(V_{PG})의 레벨이 로우 레벨인 경우에 상기 제2 채널 동작에 해당하는 p 채널로 동작할 수 있다.

[20] 상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 온 상태로 결정되고, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 오프 상태로 결정될 수 있다.

[21] 상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 제로 레벨에서 하이 레벨로 증가되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 소오스 영역에 인접한 상기 제2 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 소오스 영역으로부터 전자가 주입되는 제1 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 될 수 있다.

[22] 상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 오프 상태로 결정되고, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 온 상태로 결정될 수 있다.

[23] 상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 제로 레벨에서 로우 레벨로 감소되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 드레인 영역에 인접한 상기 제1 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 드레인 영역으로부터 정공이 주입되는 제2 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 될 수 있다.

[24] 상기 가변형 로직 인 메모리 셀은 상기 복수의 트리플 게이트 피드백 메모리 소자 중 두 개의 트리플 게이트 피드백 메모리 소자의 드레인 영역 끼리 연결되고 소오스 영역 끼리 연결되는 복수의 제1 병렬 연결부로 구성되는 제1 회로 구조 및 상기 복수의 트리플 게이트 피드백 메모리 소자 중 네 개의 트리플 게이트 피드백 메모리 소자 중 두 개의 트리플 게이트 피드백 메모리 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제1 직렬 연결부와 나머지 두개의 트리플 게이트 피드백 메모리 소장의 드레인 영역과 소오스 영역이 직렬로 연결된 제2 직렬 연결부 간의 공통 드레인 영역과 공통 소오스 영역이 연결되는

복수의 제2 병렬 연결부로 구성되는 제2 회로 구조 중 어느 하나의 회로 구조로 구성될 수 있다.

[25] 상기 가변형 로직 인 메모리 셀은, 상기 제1 회로 구조로 구성되는 경우, 상기 복수의 제1 병렬 연결부 중 첫번째 제1 병렬 연결부의 드레인단에 드레인 전압(V_{DD})를 인가하고, 상기 복수의 제1 병렬 연결부 중 마지막 제1 병렬 연결부의 소오스단에 소스 전압(V_{SS})를 인가하고, 상기 제2 회로 구조로 구성되는 경우, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부의 드레인단에 드레인 전압(V_{DD})를 인가하고, 상기 복수의 제2 병렬 연결부 중 마지막 제2 병렬 연결부의 소오스단에 소스 전압(V_{SS})를 인가할 수 있다.

[26] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하며 상기 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[27] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하며 상기 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[28] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 좌측 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 우측 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨만 하이 레벨이거나 모두 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[29] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 상측 및 상기 마지막 제2 병렬 연결부의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 하측 및 상기 마지막 제2 병렬 연결부의 우측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨만 로우 레벨이거나 모두 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[30] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 상측 및 상기 마지막 제2 병렬 연결부의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 하측 및 상기 마지막 제2 병렬 연결부의 우측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨이 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[31] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 좌측 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 우측 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨이 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[32] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의

제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측은 상기 제1 채널 동작을 수행하고, 우측은 상기 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 상좌측은 상기 제2 채널 동작을 수행하고, 상우측은 상기 제1 채널 동작을 수행하며, 하좌측은 상기 제1 채널 동작을 수행하고, 하우측은 상기 제2 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 같은 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 다른 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[33] 상기 가변형 로직 인 메모리 셀은, 상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 상좌측은 상기 제2 채널 동작을 수행하고, 상우측은 상기 제1 채널 동작을 수행하며, 하좌측은 상기 제1 채널 동작을 수행하고, 하우측은 상기 제2 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측은 상기 제1 채널 동작을 수행하고, 우측은 상기 제2 채널 동작을 수행하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 같은 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 다른 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행할 수 있다.

[34] 상기 가변형 로직 인 메모리 셀은, 상기 드레인 전압(V_{DD}), 상기 소스 전압(V_{SS}), 상기 프로그램 전압(V_{PG}) 및 상기 컨트롤 전압(V_{CG})이 제로 레벨로 인가되는 경우에 상기 출력 전압(V_{OUT})의 레벨을 유지하여 상기 메모리 기능을 수행할 수 있다.

발명의 효과

[35] 본 발명은 양성 피드백 루프(positive feedback loop)로 구동하는 트리플 게이트 피드백 메모리 소자를 이용하여 논리 연산 기능 및 메모리 기능을 제공하는 가변형 로직 인 메모리 셀을 구현할 수 있다.

[36] 본 발명은 기존 CMOS 공정을 적용한 실리콘 기반 피드백 메모리 소자인 트리플 게이트 피드백 메모리 소자를 활용하여 가변형 로직 인 메모리 셀을

구현할 수 있다.

[37] 본 발명은 채널 유형 가변 특성을 가진 트리플 게이트 피드백 메모리 소자를 이용하여 모든 기본 논리 연산을 수행하고, 수행된 논리 연산 결과를 기억하는 가변형 로직 인 메모리 셀을 구현할 수 있다.

[38] 본 발명은 논리 연산과 저장 기능의 융합을 통해 데이터 병목 현상에 따른 처리 속도 및 집적화 한계를 개선할 수 있다.

[39] 본 발명은 채널 유형 가변 특성을 이용하여 구조 변경 및 외부 바이어스 없이 논리 연산 값을 유지하는 우수한 메모리 특성으로 대기 전력 효율을 향상시킬 수 있다.

도면의 간단한 설명

[40] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀을 구성하는 트리플 게이트 피드백 메모리 소자를 설명하는 도면이다.

[41] 도 2a 및 도 2b는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자의 회로 기호를 설명하는 도면이다.

[42] 도 3a 내지 도 3f는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자의 동작 원리를 설명하는 도면이다.

[43] 도 4a 및 도 4b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 회로도를 설명하는 도면이다.

[44] 도 5a 및 도 5b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NOT 게이트 동작을 설명하는 도면이다.

[45] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 YES 게이트 동작을 설명하는 도면이다.

[46] 도 7a 및 도 7b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 NAND 게이트 동작을 설명하는 도면이다.

[47] 도 8a 및 도 8b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 NOR 게이트 동작을 설명하는 도면이다.

[48] 도 9a 및 도 9b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 AND 게이트 동작을 설명하는 도면이다.

[49] 도 10a 및 도 10b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 OR 게이트 동작을 설명하는 도면이다.

[50] 도 11a 및 도 11b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 XNOR 게이트 동작을 설명하는 도면이다.

[51] 도 12a 및 도 12b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 XOR 게이트 동작을 설명하는 도면이다.

발명의 실시를 위한 형태

[52] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[53] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에

대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[54] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[55] 그리고 후술되는 용어들은 다양한 실시예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[56] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[57] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[58] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[59] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[60] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[61] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[62] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[63] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

[64] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or'를 의미한다.

[65] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[66] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을

처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[67] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀을 구성하는 트리플 게이트 피드백 메모리 소자를 설명하는 도면이다.

[68] 도 1a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀을 구성하는 트리플 게이트 피드백 메모리 소자의 단면도를 예시하고, 도 1b는 트리플 게이트 피드백 메모리 소자의 입체도를 예시한다.

[69] 도 1a를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자(100)는 드레인 영역(101), 채널 영역(102), 소스 영역(103) 및 게이트 영역을 포함하고, 게이트 영역은 게이트 절연막(104) 상에 형성되는 제1 및 제2 프로그래밍 게이트 전극(108) 및 컨트롤 게이트 전극(107)을 포함한다.

[70] 일례로, 드레인 영역(101)에는 드레인 전극(105)이 형성되고, 소스 영역(103)에는 소스 전극(106)이 형성될 수 있다.

[71] 본 발명의 일실시예에 따르면 트리플 게이트 피드백 메모리 소자(100)는 p-i-n 나노 구조체인 드레인 영역(101), 채널 영역(102) 및 소스 영역(103)을 포함한다.

[72] 일례로, 드레인 영역(101)은 p 도핑 상태이고, 소스 영역(103)은 n 도핑 상태이며, 채널 영역(102)은 진성(intrinsic) 상태일 수 있다.

[73] 채널 영역(102)에서 제1 및 제2 프로그래밍 게이트 전극(108) 아래의 채널 영역은 프로그램 전압(V_{PG})의 레벨이 하이 레벨인 경우에 제1 채널 동작에 해당하는 n 채널로 동작하고, 프로그램 전압(V_{PG})의 레벨이 로우 레벨인 경우에 제2 채널 동작에 해당하는 p 채널로 동작할 수 있다.

[74] 트리플 게이트 피드백 메모리 소자(100)는 복수로 구성되어 가변형 로직 인 메모리 셀을 이룰 수 있다.

[75] 트리플 게이트 피드백 메모리 소자(100)는 제1 및 제2 프로그래밍 게이트 전극(108)을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 제1 채널 동작 및 제2 채널 동작 중 어느 하나의 채널 동작을 수행할 수 있다.

[76] 또한, 트리플 게이트 피드백 메모리 소자(100)는 컨트롤 게이트 전극(107)을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정될 수 있다.

[77] 따라서, 가변형 로직 인 메모리 셀은 기 수행된 어느 하나의 채널 동작에서 어느 하나의 상태에 따라 변화되는 출력 전압(V_{OUT})의 레벨에 기반하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[78] 도 1b를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자(110)는 드레인 영역(111), 채널 영역(112), 소스 영역(113) 및 게이트 영역을 포함하고, 게이트 영역은 게이트 절연막(114) 상에 형성되는 제1 및 제2 프로그래밍 게이트 전극(118) 및 컨트롤 게이트 전극(117)을 포함한다.

[79] 본 발명의 일실시예에 따르면 트리플 게이트 피드백 메모리 소자(110)는 p-i-n

나노 구조체인 드레인 영역(111), 채널 영역(112) 및 소스 영역(113)을 포함한다.

[80] 일례로, 드레인 영역(111)은 p 도핑 상태이고, 소스 영역(113)은 n 도핑 상태이며, 채널 영역(112)은 진성(intrinsic) 상태일 수 있다.

[81] 채널 영역(112)에서 제1 및 제2 프로그래밍 게이트 전극(118) 아래의 채널 영역은 프로그램 전압(V_{PG})의 레벨이 하이 레벨인 경우에 제1 채널 동작에 해당하는 n 채널로 동작하고, 프로그램 전압(V_{PG})의 레벨이 로우 레벨인 경우에 제2 채널 동작에 해당하는 p 채널로 동작할 수 있다.

[82] 트리플 게이트 피드백 메모리 소자(110)는 복수로 구성되어 가변형 로직 인 메모리 셀을 이룰 수 있다.

[83] 도 2a 및 도 2b는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자의 회로 기호를 설명하는 도면이다.

[84] 도 2a는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자의 채널 영역이 제1 채널 동작을 수행하여 n 채널로 동작하는 경우에 회로 기호를 예시한다.

[85] 한편, 도 2b는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자의 채널 영역이 제2 채널 동작을 수행하여 p 채널로 동작하는 경우에 회로 기호를 예시한다.

[86] 도 2a를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자(200)는 드레인 영역, 채널 영역, 소오스 영역 및 게이트 영역을 포함하는 나노 구조체(201)에서 게이트 영역에 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성되어 프로그래밍 게이트 단자(PG) 및 컨트롤 게이트 단자(CG)가 연결되고, 드레인 영역에 드레인 전극이 형성되어 드레인 단자(D)가 연결되며, 소오스 영역에 소오스 전극이 형성되어 소오스 단자(S)가 연결된다.

[87] 또한, 트리플 게이트 피드백 메모리 소자(200)의 기호는 채널 동작 상태 영역(202)을 통해 트리플 게이트 피드백 메모리 소자(200)가 제1 채널 동작 상태임을 나타낸다.

[88] 다시 말해, 트리플 게이트 피드백 메모리 소자(200)의 기호는 채널 동작 상태 영역(202)을 솔리드(solid) 형태로 나타내어 트리플 게이트 피드백 메모리 소자(200)가 n 채널로 동작 중임을 나타낼 수 있다.

[89] 도 2b를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자(210)는 드레인 영역, 채널 영역, 소오스 영역 및 게이트 영역을 포함하는 나노 구조체(211)에서 게이트 영역에 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성되어 프로그래밍 게이트 단자(PG) 및 컨트롤 게이트 단자(CG)가 연결되고, 드레인 영역에 드레인 전극이 형성되어 드레인 단자(D)가 연결되며, 소오스 영역에 소오스 전극이 형성되어 소오스 단자(S)가 연결된다.

[90] 또한, 트리플 게이트 피드백 메모리 소자(210)의 기호는 채널 동작 상태 영역(212)을 통해 트리플 게이트 피드백 메모리 소자(210)가 제2 채널 동작 상태임을 나타낸다.

[91] 다시 말해, 트리플 게이트 피드백 메모리 소자(210)의 기호는 채널 동작 상태 영역(212)을 빈(empty) 형태로 나타내어 트리플 게이트 피드백 메모리 소자(200)가 p 채널로 동작 중임을 나타낼 수 있다.

[92] 도 3a 내지 도 3f는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자의 동작 원리를 설명하는 도면이다.

[93] 도 3a 내지 도 3c는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자가 p 채널로 동작하는 경우의 동작 원리를 예시한다.

[94] 도 3a를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자(300)는 드레인 단자(301)를 통해 양의 전압을 인가 받고, 프로그래밍 게이트 단자(302)에서 프로그램 전압의 레벨이 로우 레벨에 해당하는 음의 전압을 인가 받은 경우에 채널 영역(303) 중 프로그래밍 게이트 전극(PG) 아래의 채널 영역은 p 채널로 프로그램되어서 p 채널로 동작한다.

[95] 일례로, 트리플 게이트 피드백 메모리 소자(300)는 컨트롤 게이트 단자(304)를 통해 인가되는 컨트롤 전압의 레벨에 기반하여 온 상태 또는 오프 상태로 결정된다.

[96] 트리플 게이트 피드백 메모리 소자(300)의 온 및 오프 동작 상태는 도 3b 및 도 3c를 통해 설명한다.

[97] 도 3b를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자가 p 채널로 동작할 경우에 동작 상태(310)는 컨트롤 게이트 단자를 통해 인가되는 컨트롤 전압의 레벨이 로우 레벨인 경우에 온 상태이고, 하이 레벨인 경우에는 오프 상태로 결정된다.

[98] 도 3c를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자가 p 채널로 동작할 경우에 컨트롤 전압의 레벨에 기반하여 오프 상태일 시 에너지 밴드(320)를 예시하고, 온 상태일 시 에너지 밴드(321)를 예시한다.

[99] 에너지 밴드(320)와 에너지 밴드(321)를 참고하면, 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 p 채널 동작에 해당하는 제2 채널 동작을 수행할 경우, 컨트롤 전압(V_{CG})의 레벨이 제로 레벨에서 로우 레벨로 감소되면 채널 영역에서 컨트롤 게이트 전극 아래 채널 영역과 드레인 영역에 인접한 제1 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 낮아진 포텐셜 장벽으로 인해 드레인 영역으로부터 정공이 주입되는 제2 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 온 상태가 된다.

[100] 즉, 트리플 게이트 피드백 메모리 소자는 제2 양성 피드백 루프가 발생하여 에너지 밴드(320)에서 에너지 밴드(321)로 전환된다.

[101] 예를 들어, 제2 양성 피드백 루프는 채널 영역에서 정공이 다수 캐리어(majority carrier)가 되는 양성 피드백 루프일 수 있다.

[102] 도 3d 내지 도 3f는 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자가 n 채널로 동작하는 경우의 동작 원리를 예시한다.

[103] 도 3d를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자(330)는 소오스 단자(331)를 통해 음의 전압을 인가 받고, 프로그래밍 게이트 단자(332)에서 프로그램 전압의 레벨이 하이 레벨에 해당하는 양의 전압을 인가 받은 경우에 채널 영역(333) 중 프로그래밍 게이트 전극(PG) 아래의 채널 영역은 n 채널로 프로그램되어서 n 채널로 동작한다.

[104] 일례로, 트리플 게이트 피드백 메모리 소자(330)는 컨트롤 게이트 단자(334)를 통해 인가되는 컨트롤 전압의 레벨에 기반하여 온 상태 또는 오프 상태로 결정된다.

[105] 트리플 게이트 피드백 메모리 소자(330)의 온 및 오프 동작 상태는 도 3e 및 도 3f를 통해 설명한다.

[106] 도 3e를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자가 n 채널로 동작할 경우에 동작 상태(340)는 컨트롤 게이트 단자를 통해 인가되는 컨트롤 전압의 레벨이 하이 레벨인 경우에 온 상태이고, 로우 레벨인 경우에는 오프 상태로 결정된다.

[107] 도 3f를 참고하면, 본 발명의 일실시예에 따른 트리플 게이트 피드백 메모리 소자가 n 채널로 동작할 경우에 컨트롤 전압의 레벨에 기반하여 오프 상태일 시 에너지 밴드(350)를 예시하고, 온 상태일 시 에너지 밴드(351)를 예시한다.

[108] 에너지 밴드(350)와 에너지 밴드(351)를 참고하면, 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 n 채널 동작에 해당하는 제1 채널 동작을 수행할 경우, 컨트롤 전압(V_{CG})의 레벨이 제로 레벨에서 하이 레벨로 증가되면 채널 영역에서 컨트롤 게이트 전극 아래 채널 영역과 소오스 영역에 인접한 제2 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 낮아진 포텐셜 장벽으로 인해 소오스 영역으로부터 전자가 주입되는 제1 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 온 상태가 된다.

[109] 즉, 트리플 게이트 피드백 메모리 소자는 제1 양성 피드백 루프가 발생하여 에너지 밴드(320)에서 에너지 밴드(321)로 전환된다.

[110] 예를 들어, 제1 양성 피드백 루프는 채널 영역에서 전자가 다수 캐리어(majority carrier)가 되는 양성 피드백 루프일 수 있다.

[111] 본 발명의 일실시예에 따르면 트리플 게이트 피드백 메모리 소자는 게이트 영역에 인가되는 컨트롤 전압의 레벨에 따라 제1 양성 피드백 루프 또는 제2 양성 피드백 루프가 형성되고, 그와 함께 제1 채널 동작 및 제2 채널 동작에서 온 또는 오프 상태가 가변적으로 제어되는 소자일 수 있다.

[112] 또한, 트리플 게이트 피드백 메모리 소자는 채널 영역의 포텐셜 우물에 전하 캐리어들이 축적되면서 양성 피드백 루프를 형성하면서 턴온이 되는데, 이는 채널 영역에서 데이터를 보존하는 메모리 기능으로 활용될 수 있다.

[113] 도 4a 및 도 4b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 회로도를 설명하는 도면이다.

[114] 도 4a 및 도 4b는 본 발명의 일실시예에 따른 복수의 트리플 게이트 피드백 메모리 소자들을 이용하여 구성된 가변형 로직 인 메모리 셀의 회로도를 예시한다.

[115] 도 4a 및 도 4b를 참고하면, 가변형 로직 인 메모리 셀은 두 가지 형태의 회로로 구현이 가능하다.

[116] 도 4a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(400)은 트리플 게이트 피드백 메모리 소자(401) 두 개가 드레인 영역 및 소오스 영역 끼리 연결된 병렬 연결부를 기반으로 구성되고, 네 개의 병렬 연결부가 차례로 소오스와 드레인이 연결된 형태를 가진다.

[117] 다시 말해, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(400)은 복수의 트리플 게이트 피드백 메모리 소자 중 두 개의 트리플 게이트 피드백 메모리 소자의 드레인 영역 끼리 연결되고 소오스 영역 끼리 연결되는 복수의 제1 병렬 연결부로 구성되는 제1 회로 구조를 나타낸다.

[118] 일례로, 가변형 로직 인 메모리 셀(400)은 제1 회로 구조로 구성되는 경우, 복수의 제1 병렬 연결부 중 첫번째 제1 병렬 연결부의 드레인단에 드레인 전압(V_{DD})를 인가하고, 복수의 제1 병렬 연결부 중 마지막 제1 병렬 연결부의 소오스단에 소스 전압(V_{SS})를 인가하여 공급 전압을 인가하고 각 트리플 게이트 피드백 메모리 소자(401)에 컨트롤 게이트 단자를 통해 인가되는 입력 전압에 따른 출력 단자(402)에서의 출력 전압의 레벨에 기반하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[119] 도 4b를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(410)은 트리플 게이트 피드백 메모리 소자(411) 네 개 중 두 개의 트리플 게이트 피드백 메모리 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제1 직렬 연결부와 나머지 두개의 트리플 게이트 피드백 메모리 소장의 드레인 영역과 소오스 영역이 직렬로 연결된 제2 직렬 연결부 간의 공통 드레인 영역과 공통 소오스 영역이 연결되는 복수의 제2 병렬 연결부로 구성되는 제2 회로 구조를 가진다.

[120] 일례로, 가변형 로직 인 메모리 셀(410)은 제2 회로 구조로 구성되는 경우, 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부의 드레인단에 드레인 전압(V_{DD})를 인가하고, 복수의 제2 병렬 연결부 중 마지막 제2 병렬 연결부의 소오스단에 소스 전압(V_{SS})를 인가하여 공급 전압을 인가하고 각 트리플 게이트 피드백 메모리 소자(411)에 컨트롤 게이트 단자를 통해 인가되는 입력 전압에 따른 출력 단자(412)에서의 출력 전압의 레벨에 기반하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[121] 도 5a 및 도 5b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NOT 게이트 동작을 설명하는 도면이다.

[122] 도 5a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NOT 게이트 동작에서의 회로도를 예시한다.

[123] 도 5a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(500)은

도 4b에서 설명된 제2 회로 구조로 구성된다.

[124] 또한, 가변형 로직 인 메모리 셀(500)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부(501)를 구성하는 트리플 게이트 피드백 메모리 소자들이 제2 채널 동작을 수행하고, 마지막 제2 병렬 연결부(502)를 구성하는 트리플 게이트 피드백 메모리 소자들이 제1 채널 동작을 수행한다.

[125] 이때, 가변형 로직 인 메모리 셀(500)은 컨트롤 게이트 단자(CG)를 통해 인가되는 입력 전압(A)인 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 출력 단자를 통해 측정되는 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨로 NOT 게이트 동작에 해당하는 논리 연산 기능을 수행할 수 있다.

[126] 도 5b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NOT 게이트 동작에서의 타이밍도를 예시한다.

[127] 도 5b를 참고하면, 타이밍도(510)는 '0'에 해당하는 로우 레벨의 입력 전압 (V_A)이 인가 되었을 때 '1'에 해당하는 하이 레벨의 출력 전압(V_{OUT})이 연산되고, '1'에 해당하는 하이 레벨의 입력 전압 (V_A)이 인가 되었을 때 '0'에 해당하는 로우 레벨의 출력 전압(V_{OUT})이 연산됨을 나타낸다.

[128] 또한 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[129] 도 6a 및 도 6b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 YES 게이트 동작을 설명하는 도면이다.

[130] 도 6a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 YES 게이트 동작에서의 회로도를 예시한다.

[131] 도 6a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(600)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[132] 또한, 가변형 로직 인 메모리 셀(600)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부(601)를 구성하는 트리플 게이트 피드백 메모리 소자들이 제1 채널 동작을 수행하고, 마지막 제2 병렬 연결부(602)를 구성하는 트리플 게이트 피드백 메모리 소자들이 제2 채널 동작을 수행한다.

[133] 이때, 가변형 로직 인 메모리 셀(600)은 컨트롤 게이트 단자(CG)를 통해 인가되는 입력 전압(A)인 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 출력 단자를 통해 측정되는 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨로 YES 게이트 동작에 해당하는 논리 연산 기능을 수행할 수 있다.

[134] 도 6b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 YES 게이트 동작에서의 타이밍도를 예시한다.

[135] 도 6b를 참고하면, 타이밍도(610)는 '0'에 해당하는 로우 레벨의 입력 전압 (V_A)

이 인가 되었을 때 '0'에 해당하는 로우 레벨의 출력 전압(V_{OUT})이 연산되고, '1'에 해당하는 하이 레벨의 입력 전압 (V_A)이 인가 되었을 때 '1'에 해당하는 하이 레벨의 출력 전압(V_{OUT})이 연산됨을 나타낸다.

[136] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[137] 도 7a 및 도 7b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 NAND 게이트 동작을 설명하는 도면이다.

[138] 도 7a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NAND 게이트 동작에서의 회로도를 예시한다.

[139] 도 7a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(700)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[140] 일례로, 가변형 로직 인 메모리 셀(700)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제1 채널 동작을 수행한다.

[141] 또한, 가변형 로직 인 메모리 셀(700)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 첫번째 제2 병렬 연결부의 좌측(701) 및 마지막 제2 병렬 연결부의 상측(703)에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 첫번째 제2 병렬 연결부의 우측(702) 및 마지막 제2 병렬 연결부의 하측(704)에 인가된다.

[142] 이에 따라, 가변형 로직 인 메모리 셀(700)은 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨만 하이 레벨이거나 모두 로우 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 모두 하이 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨로 결정하는 NAND 게이트의 논리 연산 기능을 수행할 수 있다.

[143] 도 7b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NAND 게이트 동작에서의 타이밍도를 예시한다.

[144] 도 7b를 참고하면, 타이밍도(710)는 두 개의 입력 전압(V_A, V_B)에 '00', '01', '10', '11'에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 '1', '1', '1', '0'에 해당하는 값이 연산됨을 나타낸다.

[145] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[146] 도 8a 및 도 8b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 NOR 게이트 동작을 설명하는 도면이다.

[147] 도 8a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NOR 게이트 동작에서의 회로도를 예시한다.

[148] 도 8a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(800)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[149] 일례로, 가변형 로직 인 메모리 셀(800)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제1 채널 동작을 수행한다.

[150] 또한, 가변형 로직 인 메모리 셀(800)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 첫번째 제2 병렬 연결부의 상측(801) 및 마지막 제2 병렬 연결부의 좌측(803)에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 첫번째 제2 병렬 연결부의 하측(802) 및 마지막 제2 병렬 연결부의 우측(804)에 인가된다.

[151] 이에 따라, 가변형 로직 인 메모리 셀(800)은 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨만 로우 레벨이거나 모두 하이 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 모두 로우 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 하이 레벨로 결정하는 NOR 게이트의 논리 연산 기능을 수행할 수 있다.

[152] 도 8b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NOR 게이트 동작에서의 타이밍도를 예시한다.

[153] 도 8b를 참고하면, 타이밍도(810)는 두 개의 입력 전압(V_A, V_B)에 '00', '01', '10', '11'에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 '1', '0', '0', '0'에 해당하는 값이 연산됨을 나타낸다.

[154] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[155] 도 9a 및 도 9b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 AND 게이트 동작을 설명하는 도면이다.

[156] 도 9a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 AND 게이트 동작에서의 회로도를 예시한다.

[157] 도 9a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(900)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[158] 일례로, 가변형 로직 인 메모리 셀(900)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제1 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제2 채널 동작을 수행한다.

[159] 또한, 가변형 로직 인 메모리 셀(900)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 첫번째 제2 병렬 연결부의 상측(901) 및 마지막 제2 병렬 연결부의 좌측(903)에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 첫번째 제2 병렬 연결부의 하측(902) 및 마지막 제2 병렬 연결부의 우측(704)에 인가된다.

[160] 이에 따라, 가변형 로직 인 메모리 셀(900)은 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨이 로우 레벨인 경우에 출력 전압(V_{OUT})의

레벨이 로우 레벨이고, 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 모두 하이 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 하이 레벨로 결정하는 AND 게이트의 논리 연산 기능을 수행할 수 있다.

[161] 도 9b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 NAND 게이트 동작에서의 타이밍도를 예시한다.

[162] 도 9b를 참고하면, 타이밍도(910)는 두 개의 입력 전압(V_A, V_B)에 '00', '01', '10', '11'에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 '0', '0', '0', '1'에 해당하는 값이 연산됨을 나타낸다.

[163] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[164] 도 10a 및 도 10b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 OR 게이트 동작을 설명하는 도면이다.

[165] 도 10a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 OR 게이트 동작에서의 회로도를 예시한다.

[166] 도 10a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(1000)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[167] 일례로, 가변형 로직 인 메모리 셀(1000)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제1 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 제2 채널 동작을 수행한다.

[168] 또한, 가변형 로직 인 메모리 셀(1000)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 첫번째 제2 병렬 연결부의 우측(1001) 및 마지막 제2 병렬 연결부의 상측(1003)에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 첫번째 제2 병렬 연결부의 우측(1002) 및 마지막 제2 병렬 연결부의 하측(1004)에 인가된다.

[169] 이에 따라, 가변형 로직 인 메모리 셀(1000)은 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨이 하이 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 모두 로우 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨로 결정하는 OR 게이트의 논리 연산 기능을 수행할 수 있다.

[170] 도 10b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 OR 게이트 동작에서의 타이밍도를 예시한다.

[171] 도 10b를 참고하면, 타이밍도(1010)는 두 개의 입력 전압(V_A, V_B)에 '00', '01', '10', '11'에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 '0', '1', '1', '1'에 해당하는 값이 연산됨을 나타낸다.

[172] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[173] 도 11a 및 도 11b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의

XNOR 게이트 동작을 설명하는 도면이다.

[174] 도 11a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 XNOR 게이트 동작에서의 회로도를 예시한다.

[175] 도 11a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(1100)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[176] 가변형 로직 인 메모리 셀(1100)은 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측은 제1 채널 동작을 수행하고, 우측은 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 상좌측은 제2 채널 동작을 수행하고, 상우측은 제1 채널 동작을 수행하며, 하좌측은 제1 채널 동작을 수행하고, 하우측은 제2 채널 동작을 수행한다.

[177] 첫번째 제2 병렬 연결부는 제1 트리플 게이트 피드백 메모리 소자(1101), 제2 트리플 게이트 피드백 메모리 소자(1102)를 포함하고, 제1 트리플 게이트 피드백 메모리 소자(1101), 제2 트리플 게이트 피드백 메모리 소자(1102)는 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측에 포함될 수 있다.

[178] 또한, 첫번째 제2 병렬 연결부는 제3 트리플 게이트 피드백 메모리 소자(1103), 제4 트리플 게이트 피드백 메모리 소자(1104)를 포함하고, 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 우측에 포함될 수 있다.

[179] 또한, 가변형 로직 인 메모리 셀(1100)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 첫번째 제2 병렬 연결부 및 마지막 제2 병렬 연결부의 상측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 첫번째 제2 병렬 연결부 및 마지막 제2 병렬 연결부의 하측에 인가된다.

[180] 마지막 제2 병렬 연결부는 제5 트리플 게이트 피드백 메모리 소자(1105), 제6 트리플 게이트 피드백 메모리 소자(1106)를 포함하고, 제5 트리플 게이트 피드백 메모리 소자(1105), 제6 트리플 게이트 피드백 메모리 소자(1106)는 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측에 포함될 수 있다.

[181] 또한, 마지막 제2 병렬 연결부는 제7 트리플 게이트 피드백 메모리 소자(1107), 제8 트리플 게이트 피드백 메모리 소자(1108)를 포함하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 우측에 포함될 수 있다.

[182] 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(1100)은 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 같은 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 다른 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨로 결정하는 XNOR 게이트의 논리 연산 기능을 수행할 수 있다.

[183] 도 11b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 XNOR 게이트 동작에서의 타이밍도를 예시한다.

[184] 도 11b를 참고하면, 타이밍도(1110)는 두 개의 입력 전압(V_A, V_B)에 '00', '01', '10', '11'에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 '1', '0', '0', '1'에 해당하는 값이 연산됨을 나타낸다.

[185] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[186] 도 12a 및 도 12b는 본 발명의 일시예에 따른 가변형 로직 인 메모리 셀의 XOR 게이트 동작을 설명하는 도면이다.

[187] 도 12a는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 XOR 게이트 동작에서의 회로도를 예시한다.

[188] 도 12a를 참고하면, 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(1200)은 도 4b에서 설명된 제2 회로 구조로 구성된다.

[189] 가변형 로직 인 메모리 셀(1200)은 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 상좌측은 제2 채널 동작을 수행하고, 상우측은 제1 채널 동작을 수행하며, 하좌측은 제1 채널 동작을 수행하고, 하우측은 제2 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측은 제1 채널 동작을 수행하고, 우측은 제2 채널 동작을 수행한다.

[190] 첫번째 제2 병렬 연결부는 제1 트리플 게이트 피드백 메모리 소자(1201), 제2 트리플 게이트 피드백 메모리 소자(1202)를 포함하고, 제1 트리플 게이트 피드백 메모리 소자(1201), 제2 트리플 게이트 피드백 메모리 소자(1202)는 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측에 포함될 수 있다.

[191] 또한, 첫번째 제2 병렬 연결부는 제3 트리플 게이트 피드백 메모리 소자(1203), 제4 트리플 게이트 피드백 메모리 소자(1204)를 포함하고, 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 우측에 포함될 수 있다.

[192] 또한, 가변형 로직 인 메모리 셀(1200)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 첫번째 제2 병렬 연결부 및 마지막 제2 병렬 연결부의 상측에 인가될 수 있다.

[193] 또한, 가변형 로직 인 메모리 셀(1200)은 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)이 첫번째 제2 병렬 연결부 및 마지막 제2 병렬 연결부의 하측에 인가될 수 있다.

[194] 마지막 제2 병렬 연결부는 제5 트리플 게이트 피드백 메모리 소자(1205), 제6 트리플 게이트 피드백 메모리 소자(1206)를 포함하고, 제5 트리플 게이트 피드백 메모리 소자(1205), 제6 트리플 게이트 피드백 메모리 소자(1206)는 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측에 포함될

수 있다.

[195] 또한, 마지막 제2 병렬 연결부는 제7 트리플 게이트 피드백 메모리 소자(1207), 제8 트리플 게이트 피드백 메모리 소자(1208)를 포함하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 우측에 포함될 수 있다.

[196] 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀(1200)은 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 같은 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 제1 컨트롤 전압(V_A) 및 제2 컨트롤 전압(V_B)의 레벨이 다른 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 하이 레벨로 결정하는 XOR 게이트의 논리 연산 기능을 수행할 수 있다.

[197] 도 12b는 본 발명의 일실시예에 따른 가변형 로직 인 메모리 셀의 XOR 게이트 동작에서의 타이밍도를 예시한다.

[198] 도 12b를 참고하면, 타이밍도(1210)는 두 개의 입력 전압(V_A, V_B)에 '00', '01', '10', '11'에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 '0', '1', '1', '0'에 해당하는 값이 연산됨을 나타낸다.

[199] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_A)이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[200] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[201] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[202] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[203] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

청구범위

[청구항 1] 드레인 영역, 채널 영역, 소스 영역을 포함하고, 상기 채널 영역 상에서 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성된 게이트 영역을 포함하는 트리플 게이트 피드백 메모리 소자를 복수로 포함하고,
상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 제1 및 제2 프로그래밍 게이트 전극을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 제1 채널 동작 및 제2 채널 동작 중 어느 하나의 채널 동작을 수행하고, 상기 컨트롤 게이트 전극을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정되며, 상기 수행된 어느 하나의 채널 동작에서 상기 어느 하나의 상태에 따라 변화되는 출력 전압(V_{OUT})의 레벨에 기반하여 논리 연산 기능 및 메모리 기능을 수행하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 2] 제1항에 있어서,
상기 드레인 영역은 p 도핑 상태이고,
상기 소스 영역은 n 도핑 상태이며,
상기 채널 영역은 진성(intrinsic) 상태이고,
상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역은 상기 프로그램 전압(V_{PG})의 레벨이 하이 레벨인 경우에 상기 제1 채널 동작에 해당하는 n 채널로 동작하고, 상기 프로그램 전압(V_{PG})의 레벨이 로우 레벨인 경우에 상기 제2 채널 동작에 해당하는 p 채널로 동작하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 3] 제1항에 있어서,
상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 온 상태로 결정되고, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 오프 상태로 결정되는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 4] 제3항에 있어서,
상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의

레벨이 제로 레벨에서 하이 레벨로 증가되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 소오스 영역에 인접한 상기 제2 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 소오스 영역으로부터 전자가 주입되는 제1 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 되는 것을 특징으로 하는 가변형 로직 인 메모리 셀.

[청구항 5] 제1항에 있어서,
상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 오프 상태로 결정되고, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 온 상태로 결정되는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 6] 제5항에 있어서,
상기 복수의 트리플 게이트 피드백 메모리 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 동작을 수행할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 제로 레벨에서 로우 레벨로 감소되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 드레인 영역에 인접한 상기 제1 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 드레인 영역으로부터 정공이 주입되는 제2 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 되는 것을 특징으로 하는 가변형 로직 인 메모리 셀.

[청구항 7] 제1항에 있어서,
상기 가변형 로직 인 메모리 셀은 상기 복수의 트리플 게이트 피드백 메모리 소자 중 두 개의 트리플 게이트 피드백 메모리 소자의 드레인 영역끼리 연결되고 소오스 영역 끼리 연결되는 복수의 제1 병렬 연결부로 구성되는 제1 회로 구조; 및
상기 복수의 트리플 게이트 피드백 메모리 소자 중 네 개의 트리플 게이트 피드백 메모리 소자 중 두 개의 트리플 게이트 피드백 메모리 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제1 직렬 연결부와 나머지 두개의 트리플 게이트 피드백 메모리 소장의 드레인 영역과 소오스 영역이 직렬로 연결된 제2 직렬 연결부 간의 공통 드레인 영역과 공통 소오스 영역이 연결되는 복수의 제2 병렬 연결부로 구성되는 제2 회로 구조 중 어느 하나의 회로 구조로 구성되는 것을 특징으로 하는

가변형 로직 인 메모리 셀.

[청구항 8] 제7항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제1 회로 구조로 구성되는 경우, 상기 복수의 제1 병렬 연결부 중 첫번째 제1 병렬 연결부의 드레인단에 드레인 전압(V_{DD})를 인가하고,
상기 복수의 제1 병렬 연결부 중 마지막 제1 병렬 연결부의 소오스단에 소스 전압(V_{SS})를 인가하고,
상기 제2 회로 구조로 구성되는 경우, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부의 드레인단에 드레인 전압(V_{DD})를 인가하고,
상기 복수의 제2 병렬 연결부 중 마지막 제2 병렬 연결부의 소오스단에 소스 전압(V_{SS})를 인가하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 9] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하며 상기 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 10] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하며 상기 컨트롤 전압(V_{CG})의 레벨이 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 컨트롤 전압(V_{CG})의 레벨이 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 11] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기

제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 좌측 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 우측 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨만 하이 레벨이거나 모두 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는 가변형 로직 인 메모리 셀.

[청구항 12] 제8항에 있어서,

상기 가변형 로직 인 메모리 셀은,

상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 상측 및 상기 마지막 제2 병렬 연결부의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 하측 및 상기 마지막 제2 병렬 연결부의 우측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨만 로우 레벨이거나 모두 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는 가변형 로직 인 메모리 셀.

[청구항 13] 제8항에 있어서,

상기 가변형 로직 인 메모리 셀은,

상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 상측 및 상기 마지막 제2 병렬 연결부의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 하측 및 상기 마지막 제2 병렬 연결부의 우측에 인가되고, 상기

제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨이 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는 가변형 로직 인 메모리 셀.

[청구항 14] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제1 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들이 상기 제2 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부의 좌측 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부의 우측 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨 중 어느 하나의 레벨이 하이 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 모두 로우 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는 가변형 로직 인 메모리 셀.

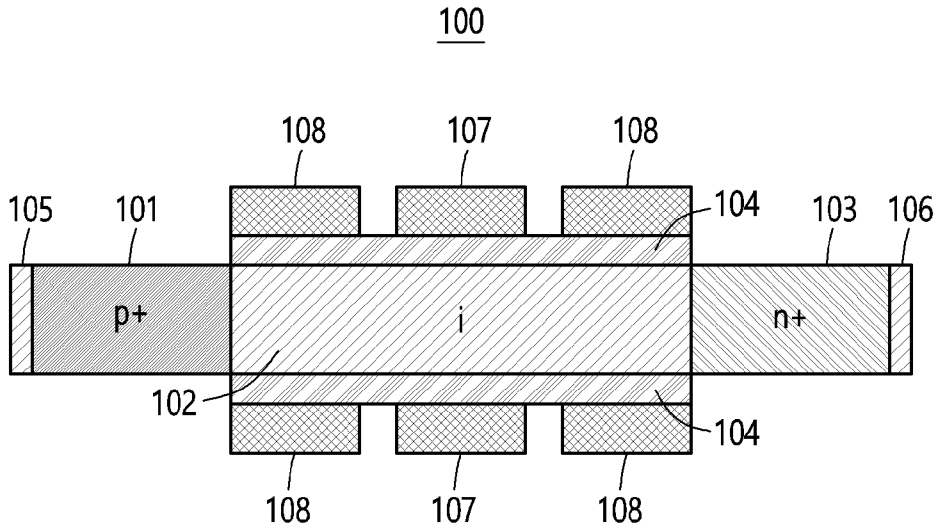
[청구항 15] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측은 상기 제1 채널 동작을 수행하고, 우측은 상기 제2 채널 동작을 수행하며, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 상좌측은 상기 제2 채널 동작을 수행하고, 상우측은 상기 제1 채널 동작을 수행하며, 하좌측은 상기 제1 채널 동작을 수행하고, 하우측은 상기 제2 채널 동작을 수행하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 같은 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 다른 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이

로우 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

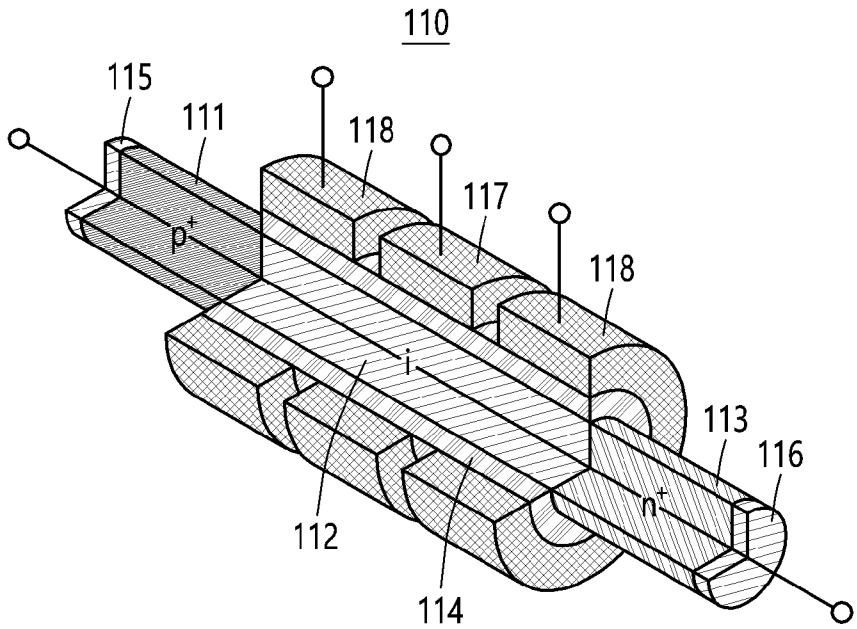
[청구항 16] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 제2 회로 구조로 구성되고, 상기 복수의 제2 병렬 연결부 중 첫번째 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 상좌측은 상기 제2 채널 동작을 수행하고, 상우측은 상기 제1 채널 동작을 수행하며, 하좌측은 상기 제1 채널 동작을 수행하고, 하우측은 상기 제2 채널 동작을 수행하고, 마지막 제2 병렬 연결부를 구성하는 트리플 게이트 피드백 메모리 소자들 중 좌측은 상기 제1 채널 동작을 수행하고, 우측은 상기 제2 채널 동작을 수행하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_A)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_B)은 상기 첫번째 제2 병렬 연결부 및 상기 마지막 제2 병렬 연결부의 하측에 인가되고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 같은 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 로우 레벨이고, 상기 제1 컨트롤 전압(V_A) 및 상기 제2 컨트롤 전압(V_B)의 레벨이 다른 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 하이 레벨로 상기 논리 연산 기능을 수행하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

[청구항 17] 제8항에 있어서,
상기 가변형 로직 인 메모리 셀은,
상기 드레인 전압(V_{DD}), 상기 소스 전압(V_{SS}), 상기 프로그램 전압(V_{PG}) 및 상기 컨트롤 전압(V_{CG})이 제로 레벨로 인가되는 경우에 상기 출력 전압(V_{OUT})의 레벨을 유지하여 상기 메모리 기능을 수행하는 것을 특징으로 하는
가변형 로직 인 메모리 셀.

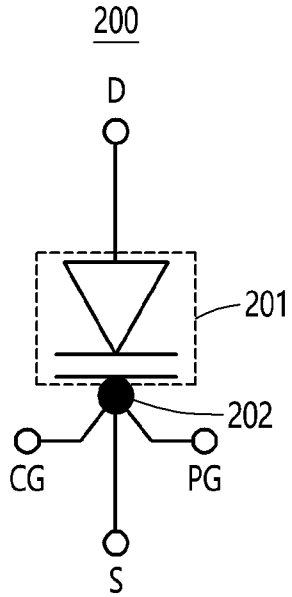
[도1a]


100
108
107
108
105
101
104
103
106
p+
i
n+
102
104
108
107
108

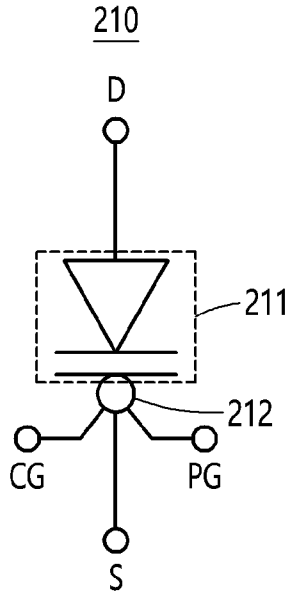
[도1b]


110
115
111
118
117
118
p+
i
113
116
n+
112
114

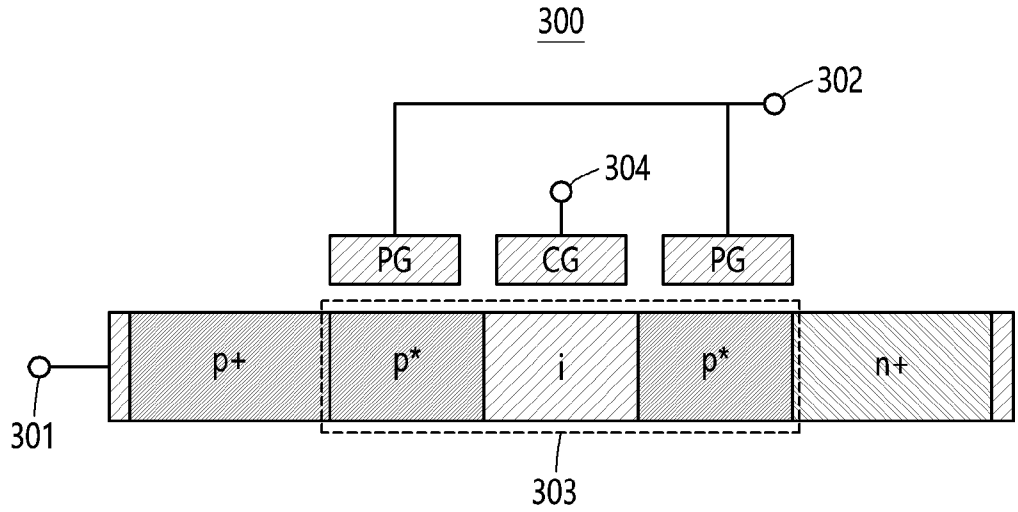
[도2a]


200
D
201
202
CG
PG
S

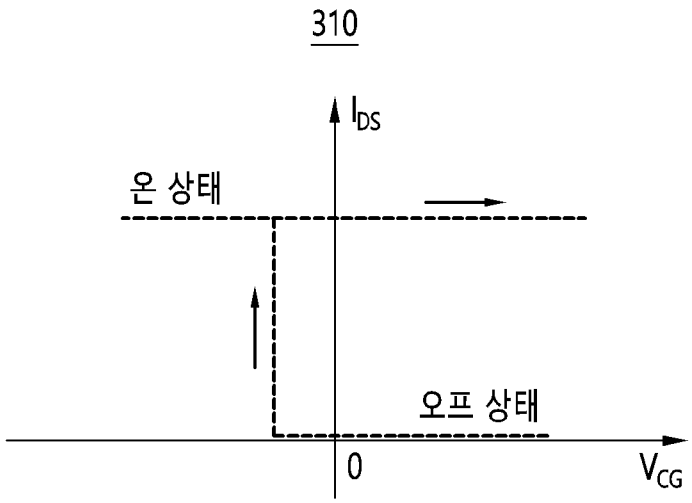
[도2b]


210
D
211
212
CG
PG
S

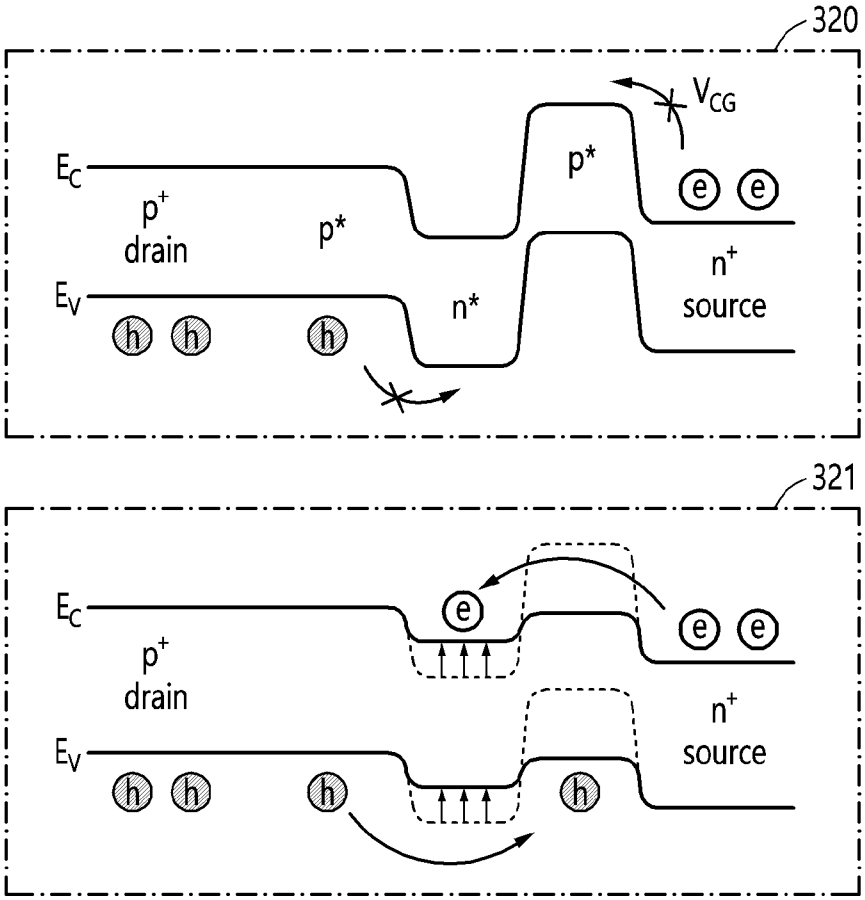
[도3a]


300
302
304
PG
CG
PG
p+
p*
i
p*
n+
301
303

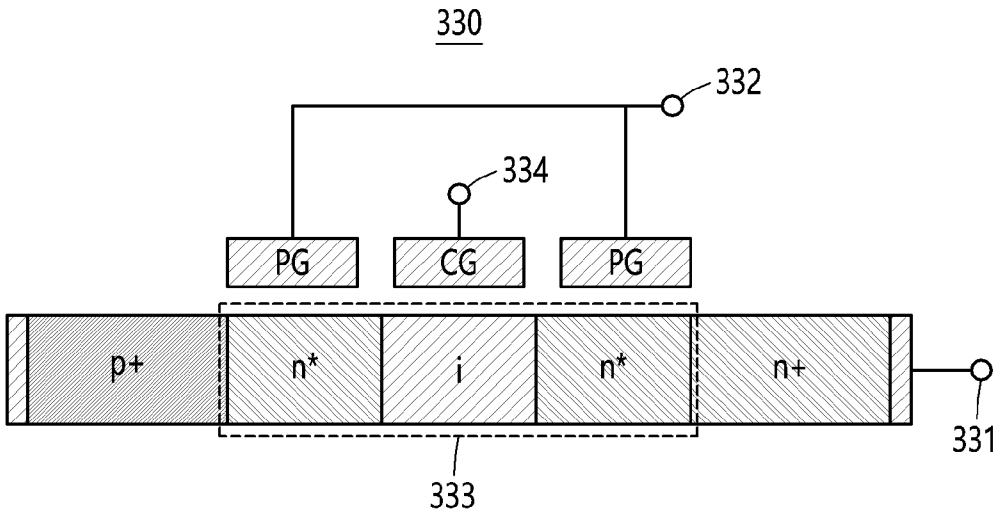
[도3b]


310
I_{DS}
온 상태
오프 상태
0
V_{CG}

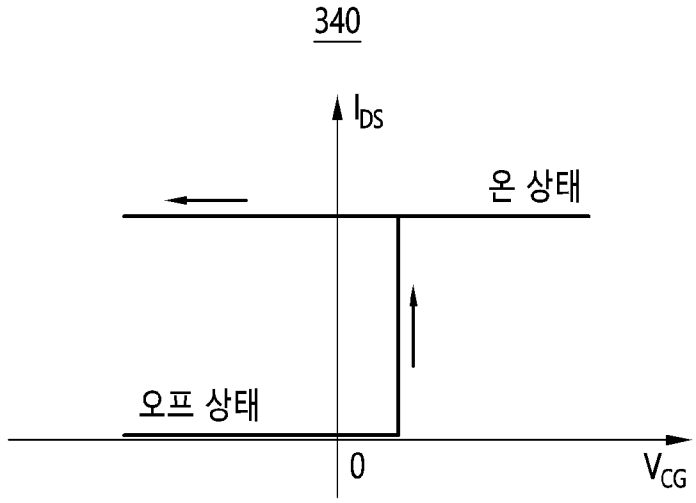
[도3c]


320
V_{CG}
E_C
p^+
drain
p*
p*
e e
n^+
source
E_V
n*
h h h
321
E_C
e
e e
p^+
drain
n^+
source
E_V
h h h h

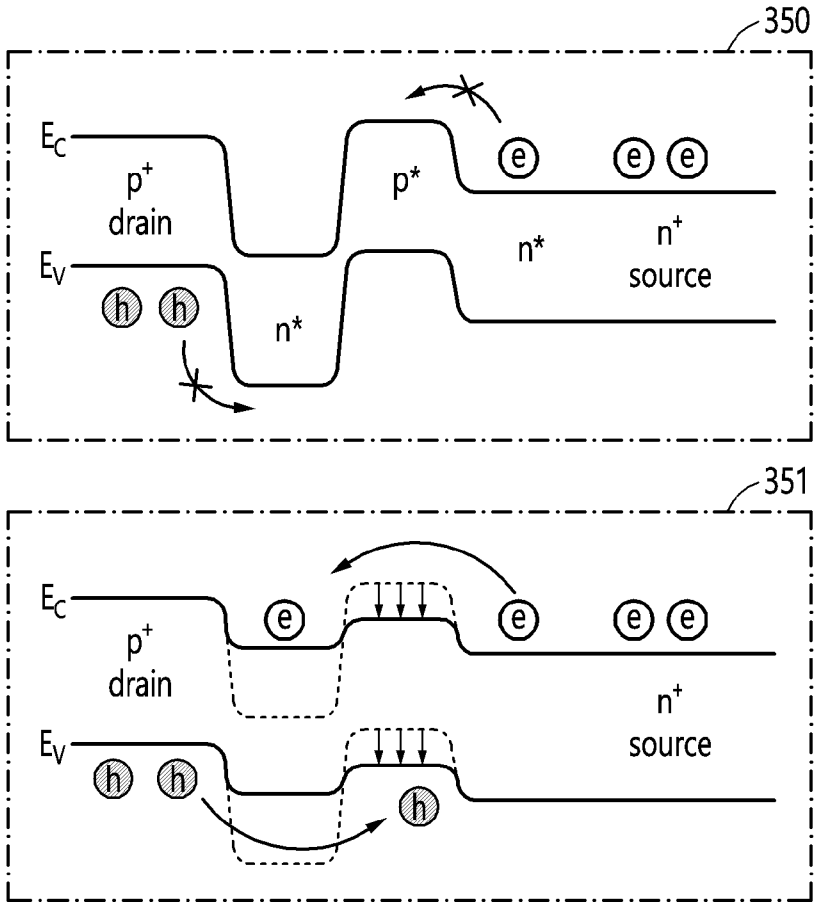
[도3d]


330
332
334
PG
CG
PG
p+
n*
i
n*
n+
331
333

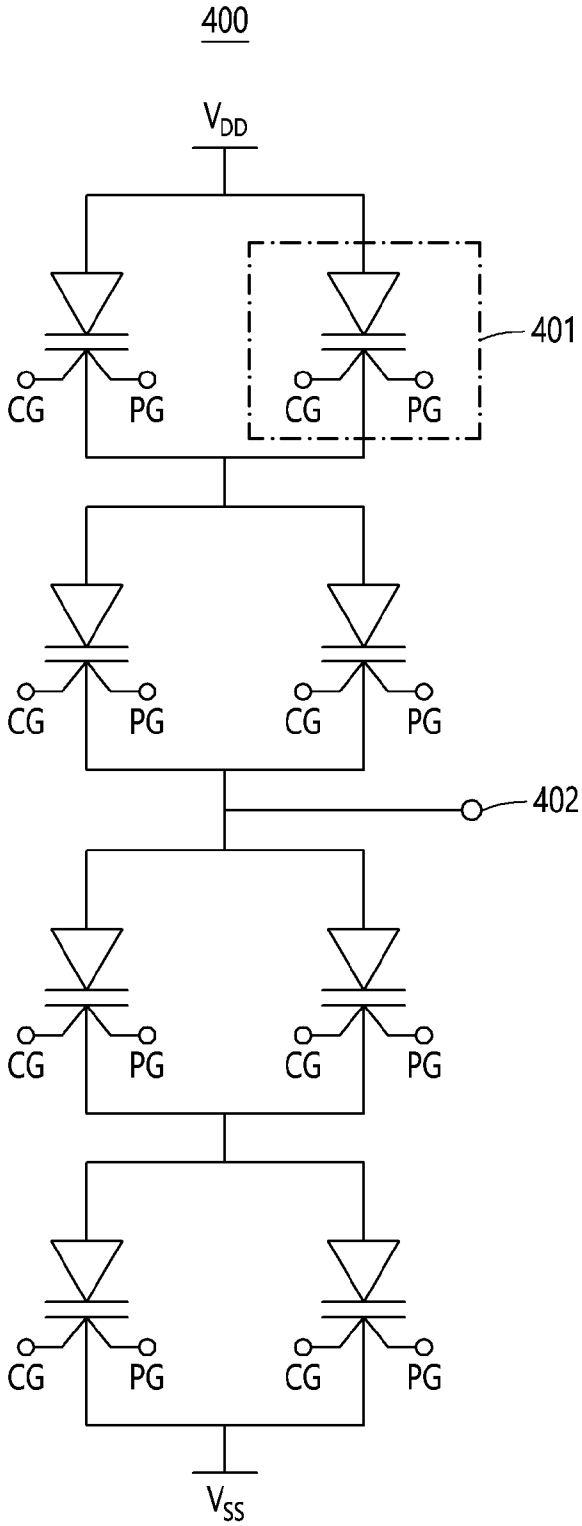
[도3e]


340
I_{DS}
온 상태
오프 상태
0
V_{CG}

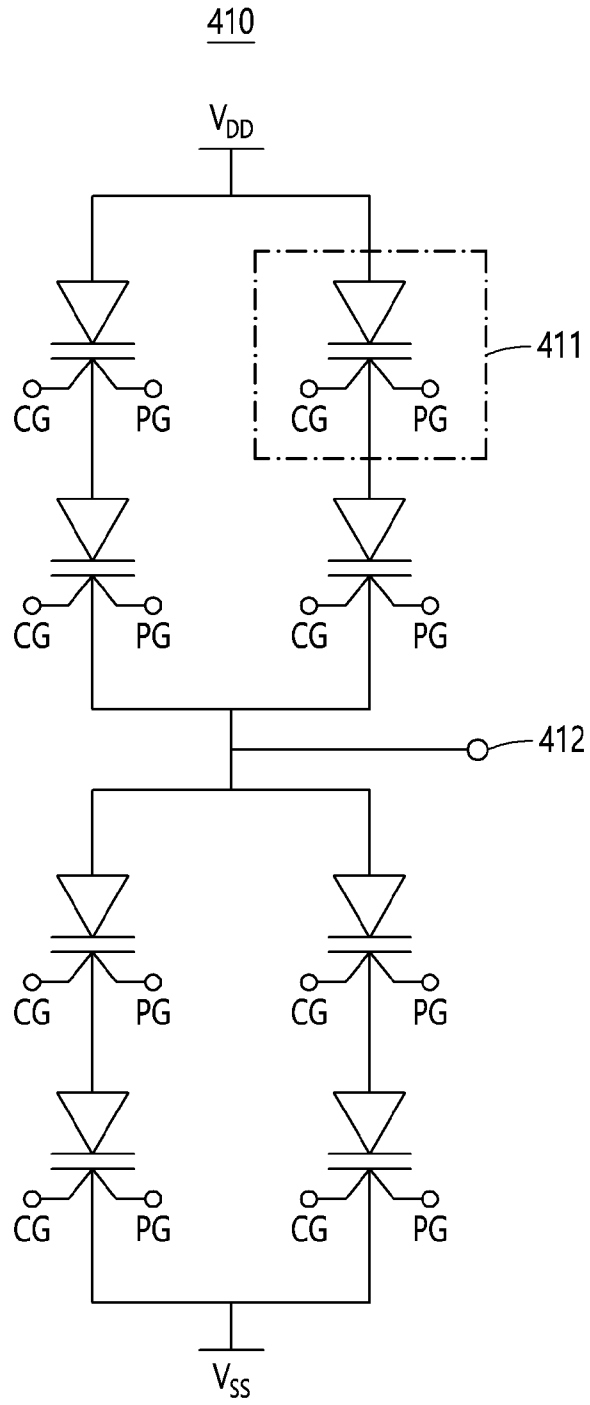
[도3f]


350
E_C
p^+
drain
p*
e
e e
n*
n^+
source
E_V
h h
n*
351
E_C
e
e
e e
p^+
drain
n^+
source
E_V
h h
h

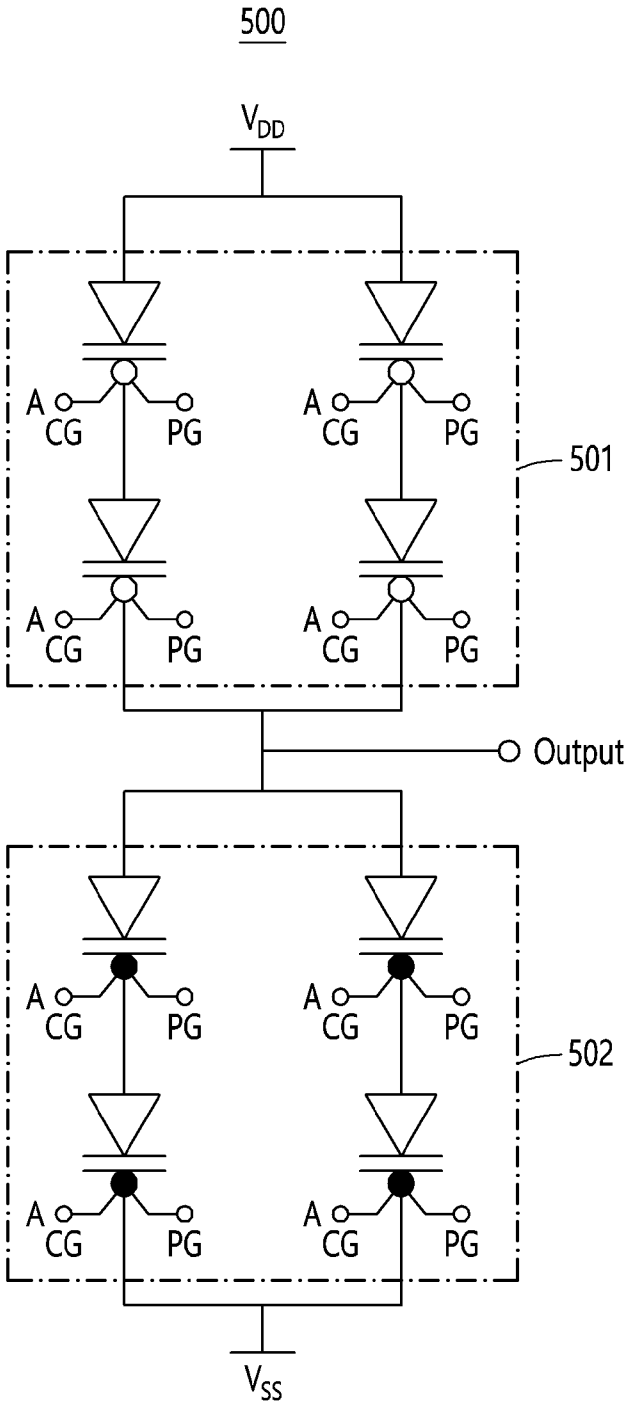
[도4a]



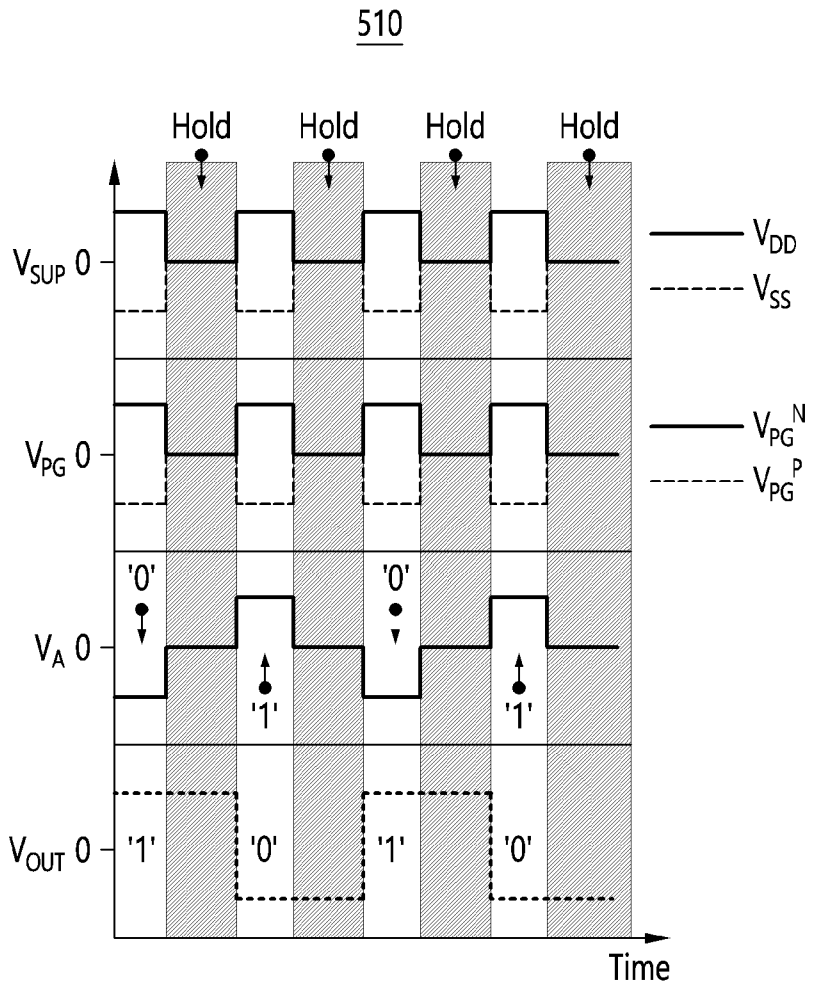
[도4b]



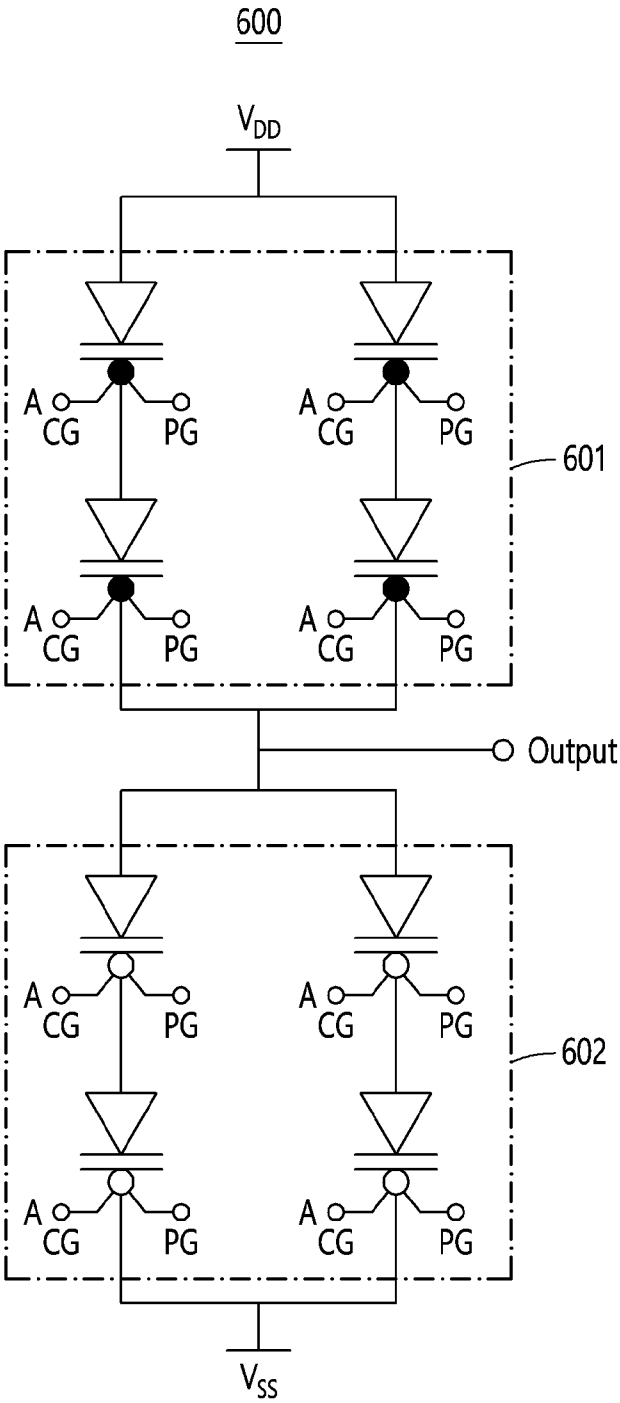
[도5a]



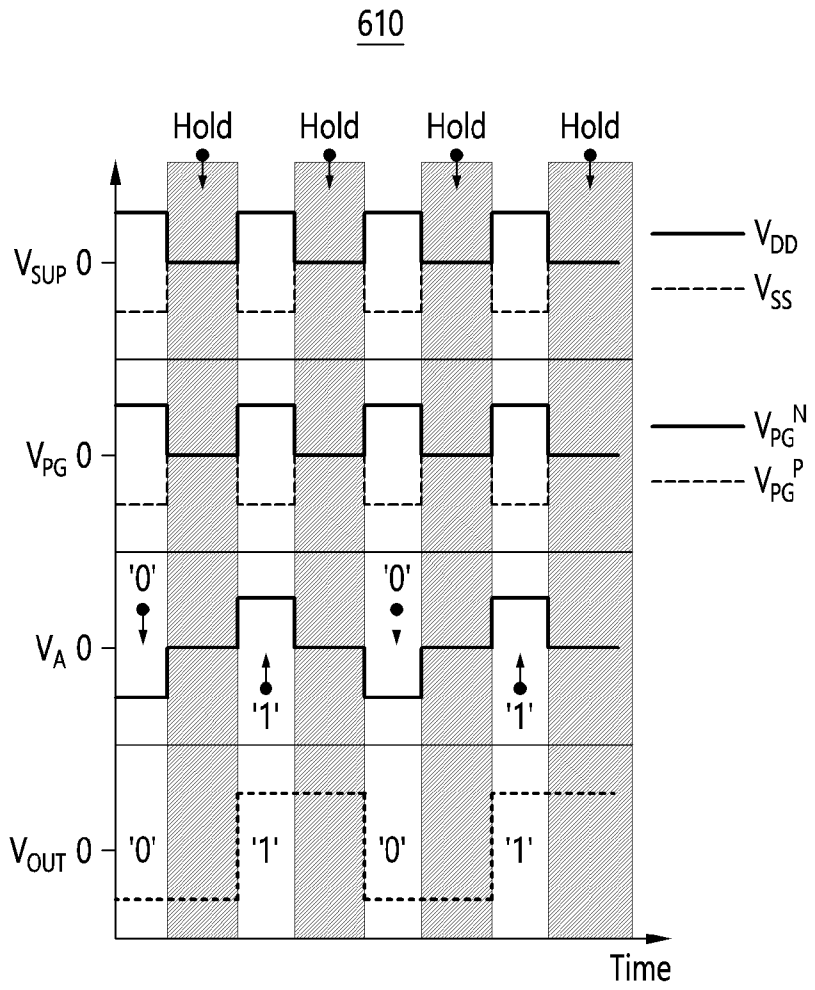
[도5b]


510
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{PG} 0
V_A 0
V_{OUT} 0
'0'
'1'
'0'
'1'
'1'
'0'
'1'
'0'
V_{DD}
V_{SS}
V_{PG}^N
V_{PG}^P
Time

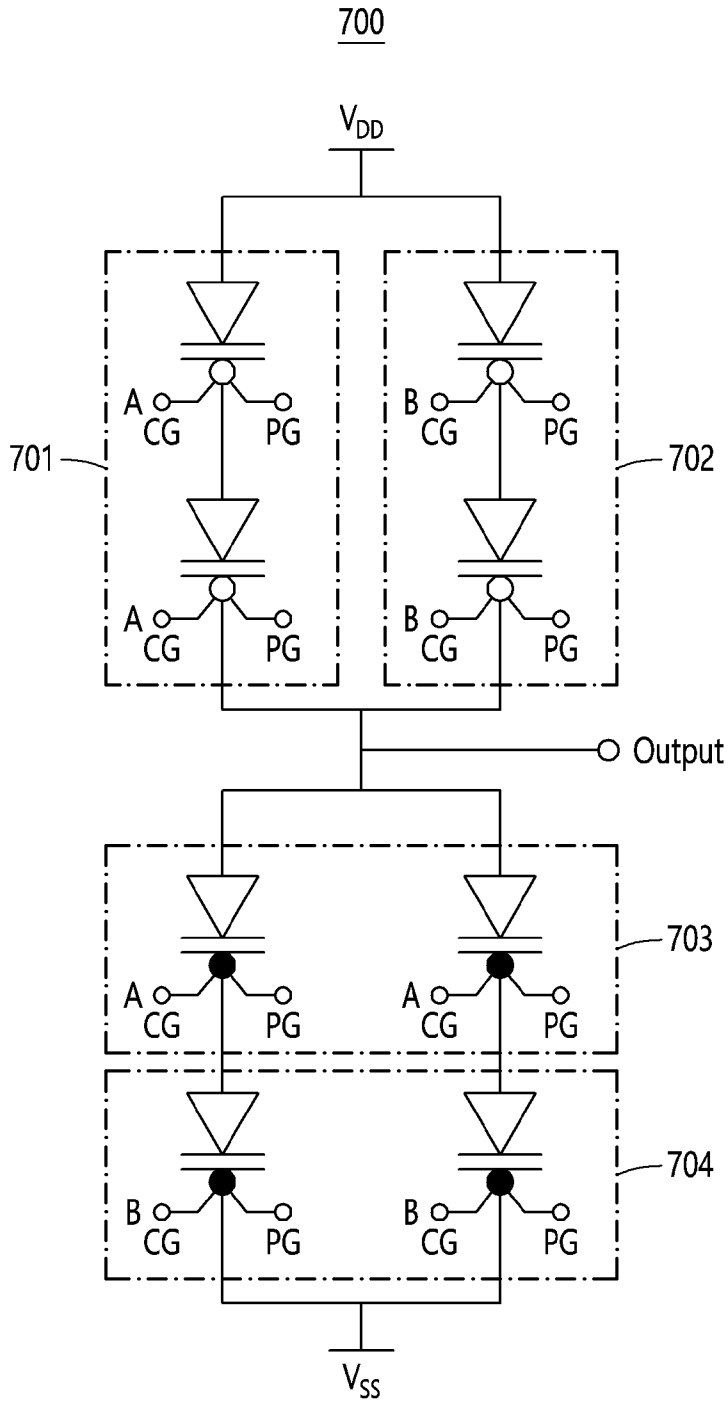
[도6a]



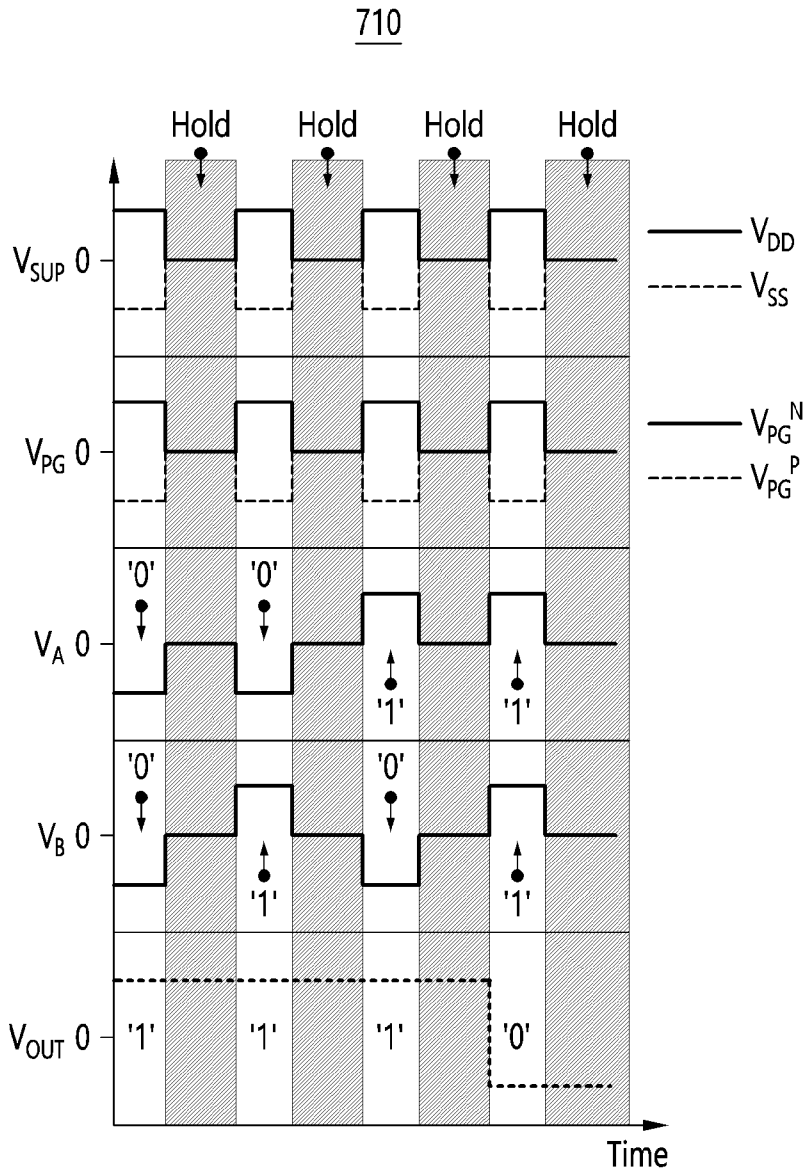
[도6b]


610
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{PG} 0
V_A 0
V_{OUT} 0
'0'
'1'
'0'
'1'
'0'
'1'
'0'
'1'
V_{DD}
V_{SS}
V_{PG}^N
V_{PG}^P
Time

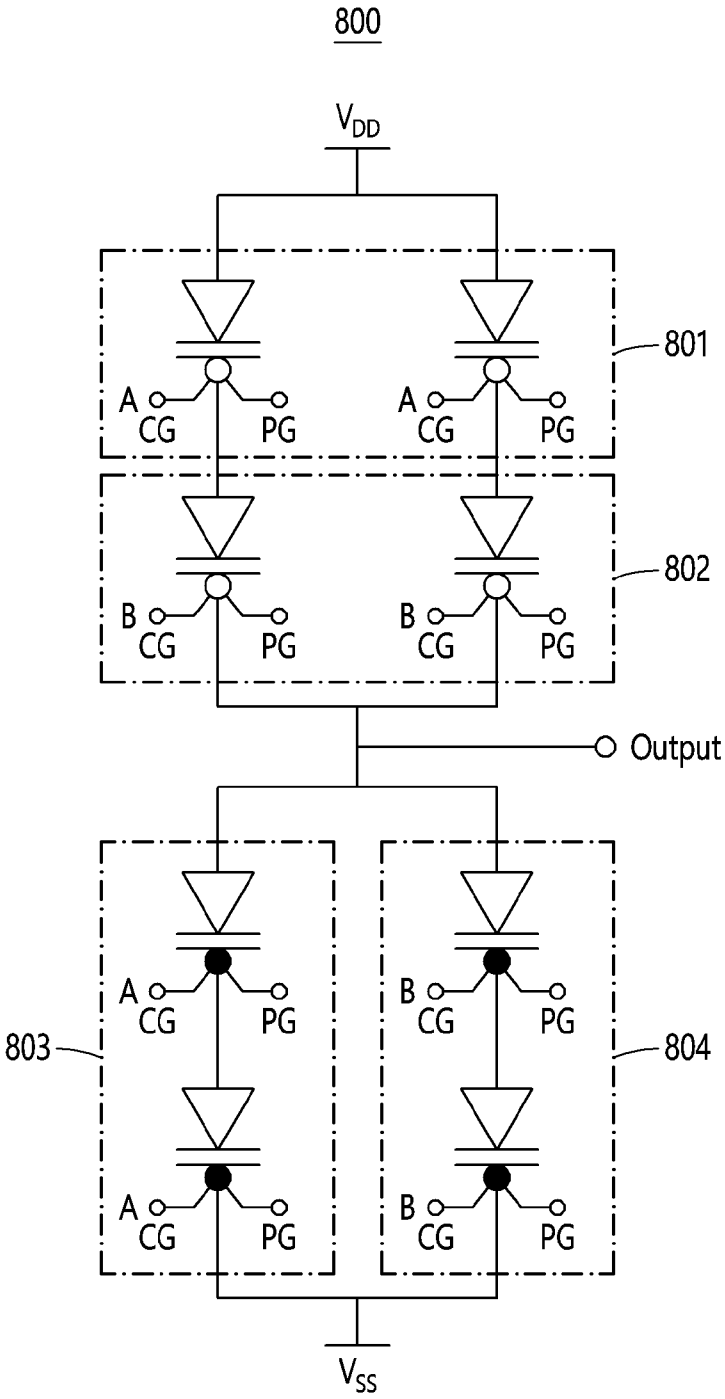
[도7a]



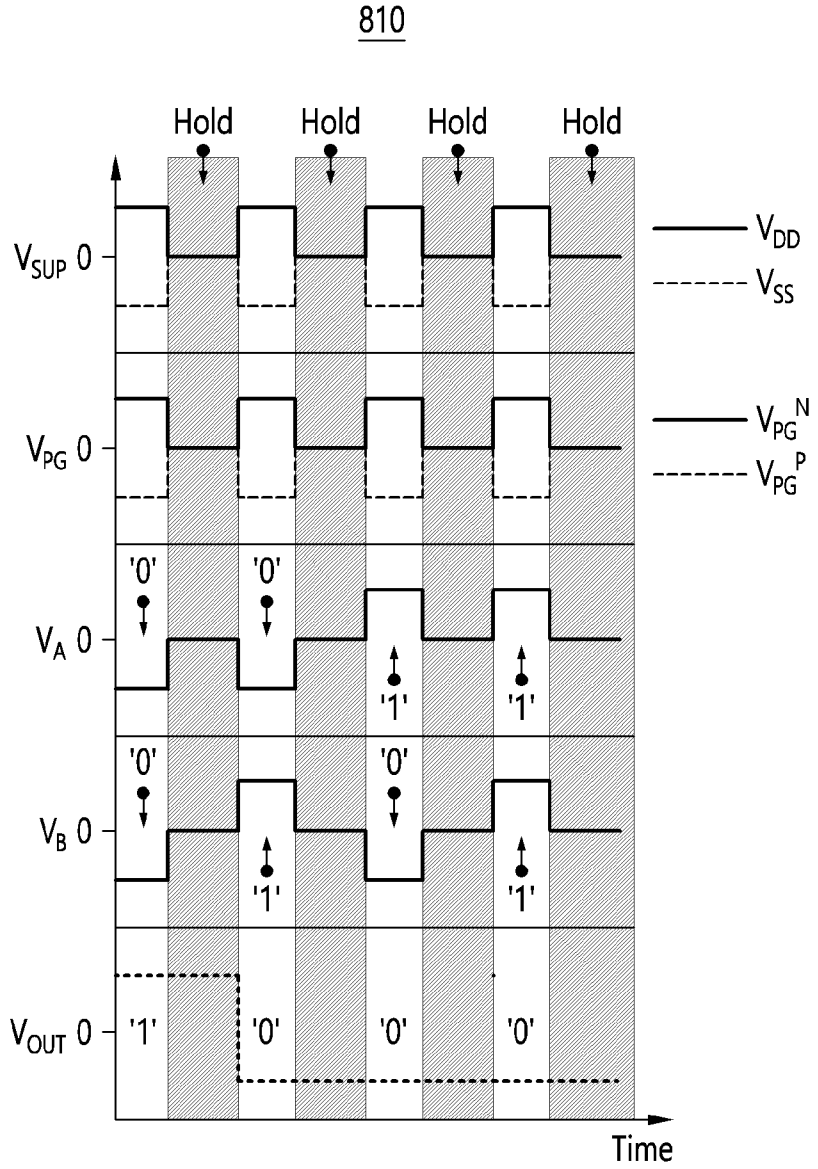
[도7b]


710
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{PG} 0
V_A 0
V_B 0
V_{OUT} 0
V_{DD}
V_{SS}
V_{PG}^N
V_{PG}^P
'0'
'1'
Time

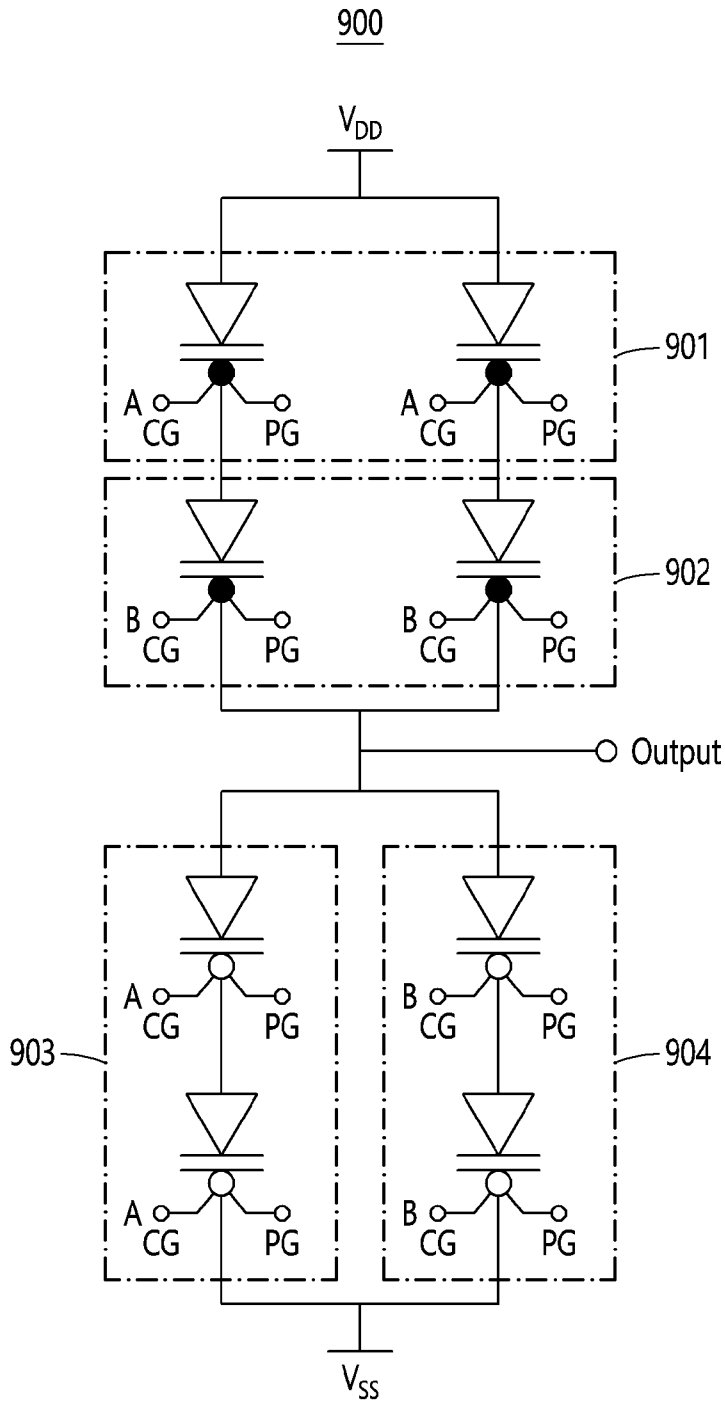
[도8a]



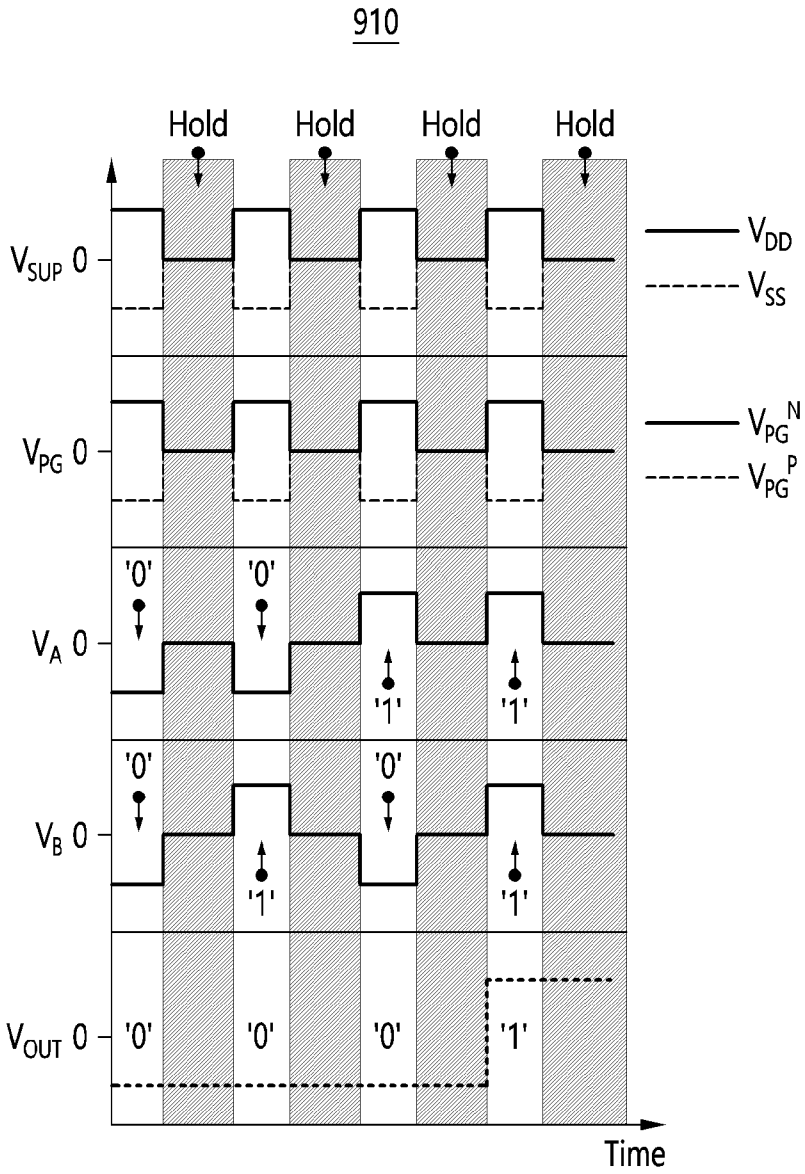
[도8b]


810
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{PG} 0
V_A 0
V_B 0
V_{OUT} 0
V_{DD}
V_{SS}
V_{PG}^N
V_{PG}^P
'0'
'1'
Time

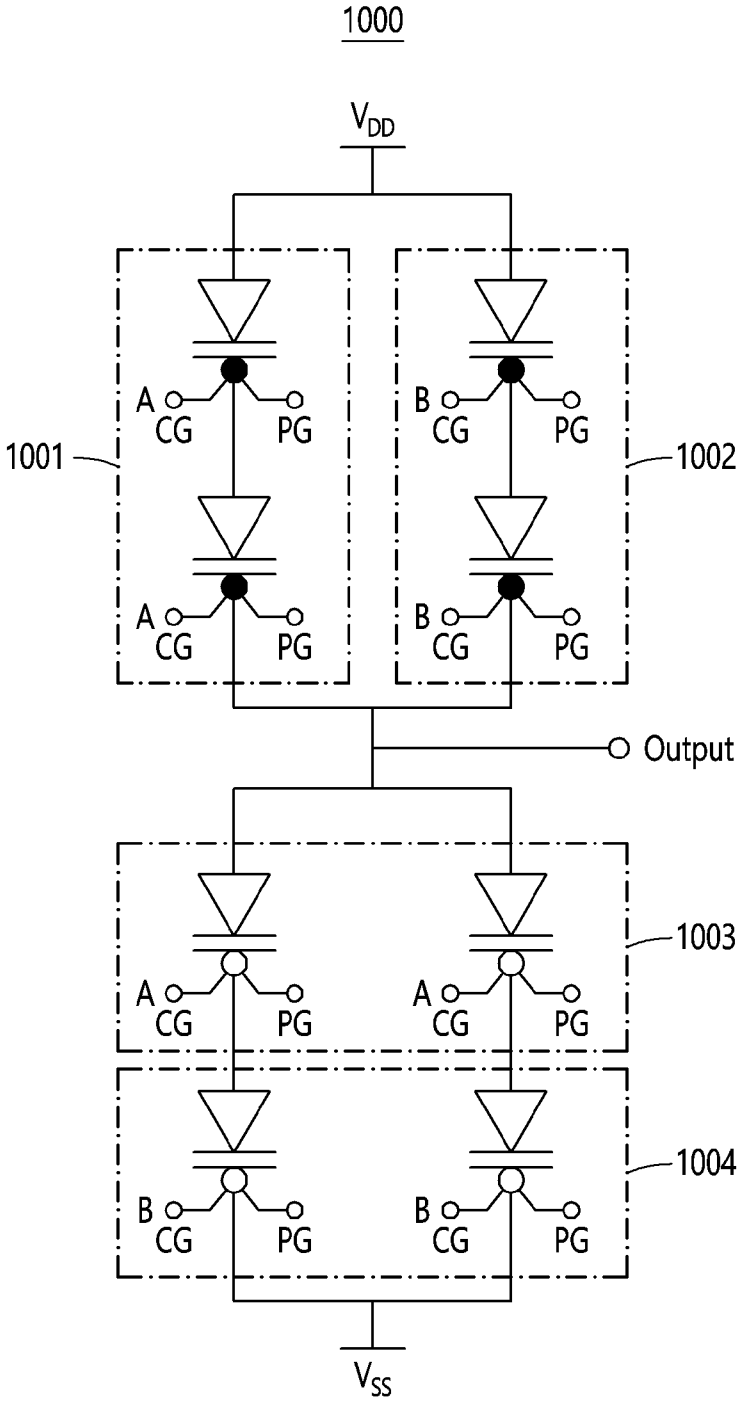
[도9a]



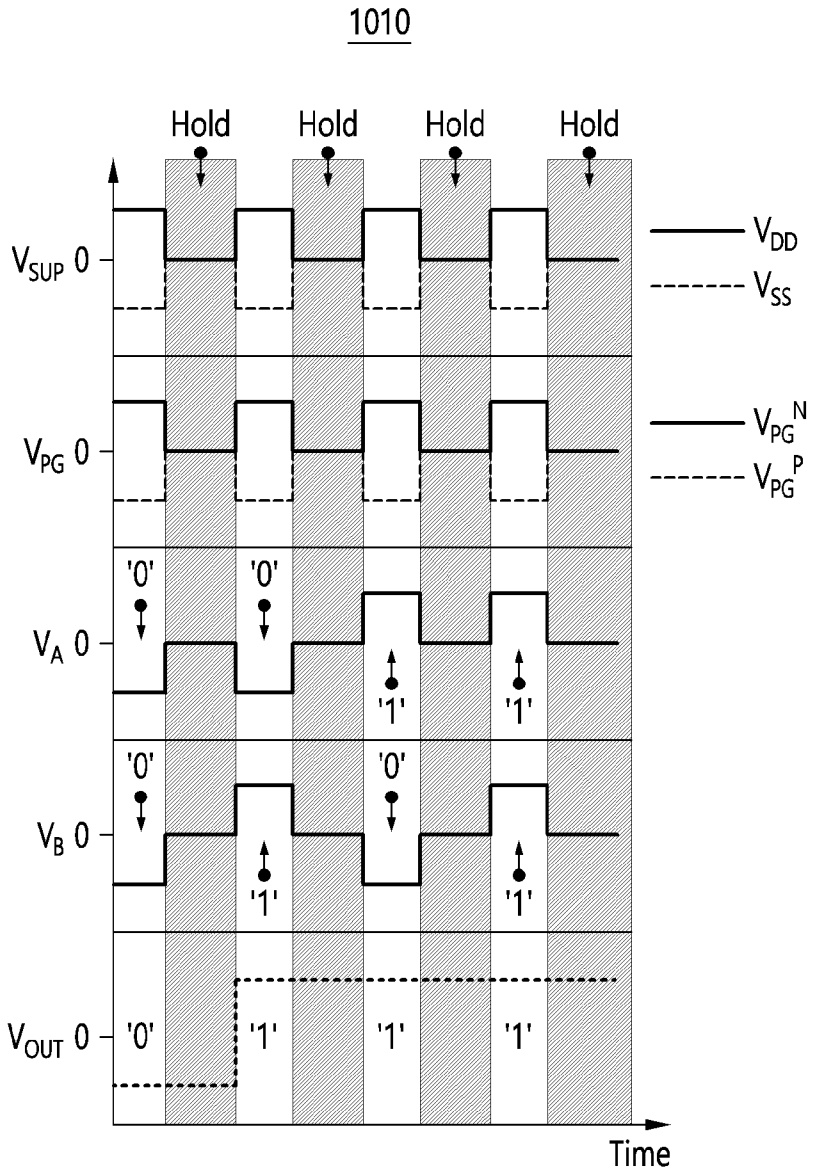
[도9b]


910
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{DD}
V_{SS}
V_{PG} 0
V_{PG}^{N}
V_{PG}^{P}
V_A 0
'0'
'1'
V_B 0
V_{OUT} 0
Time

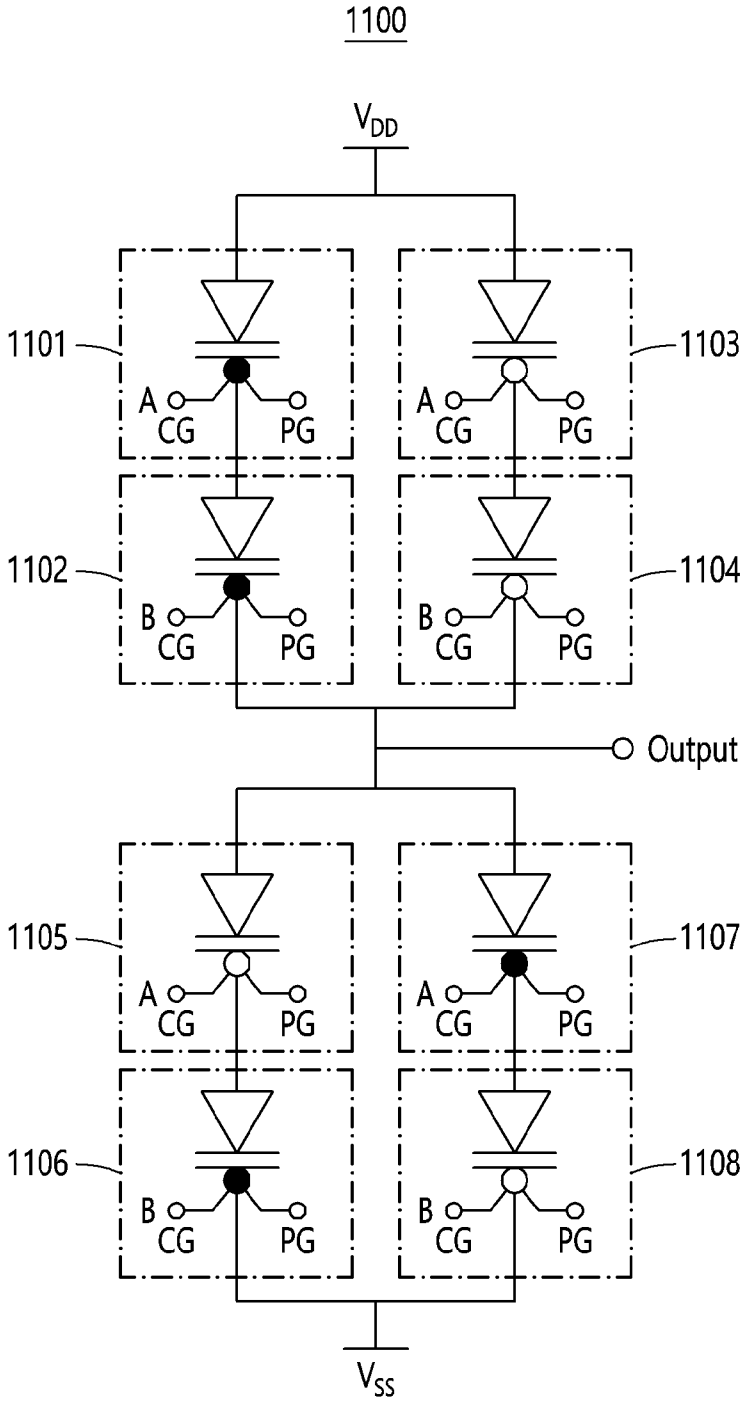
[도10a]



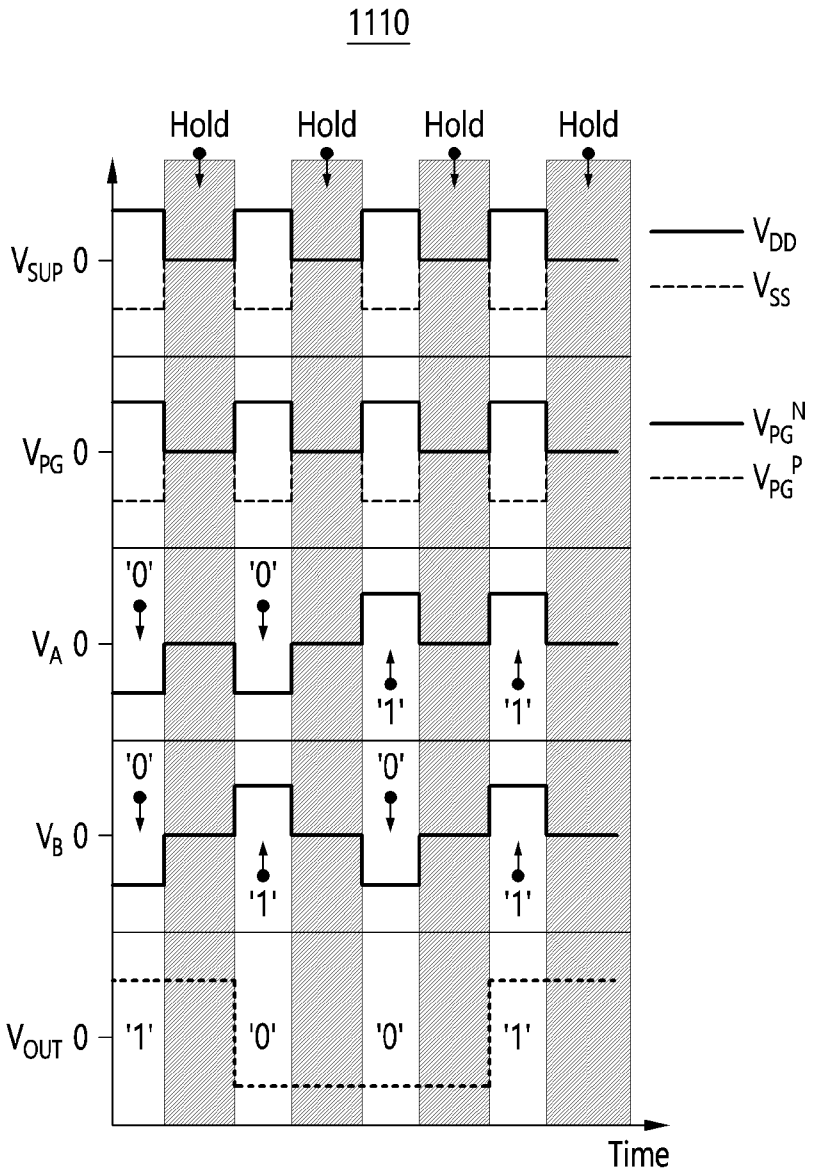
[도10b]


1010
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{PG} 0
V_A 0
V_B 0
V_{OUT} 0
V_{DD}
V_{SS}
V_{PG}^N
V_{PG}^P
'0'
'1'
Time

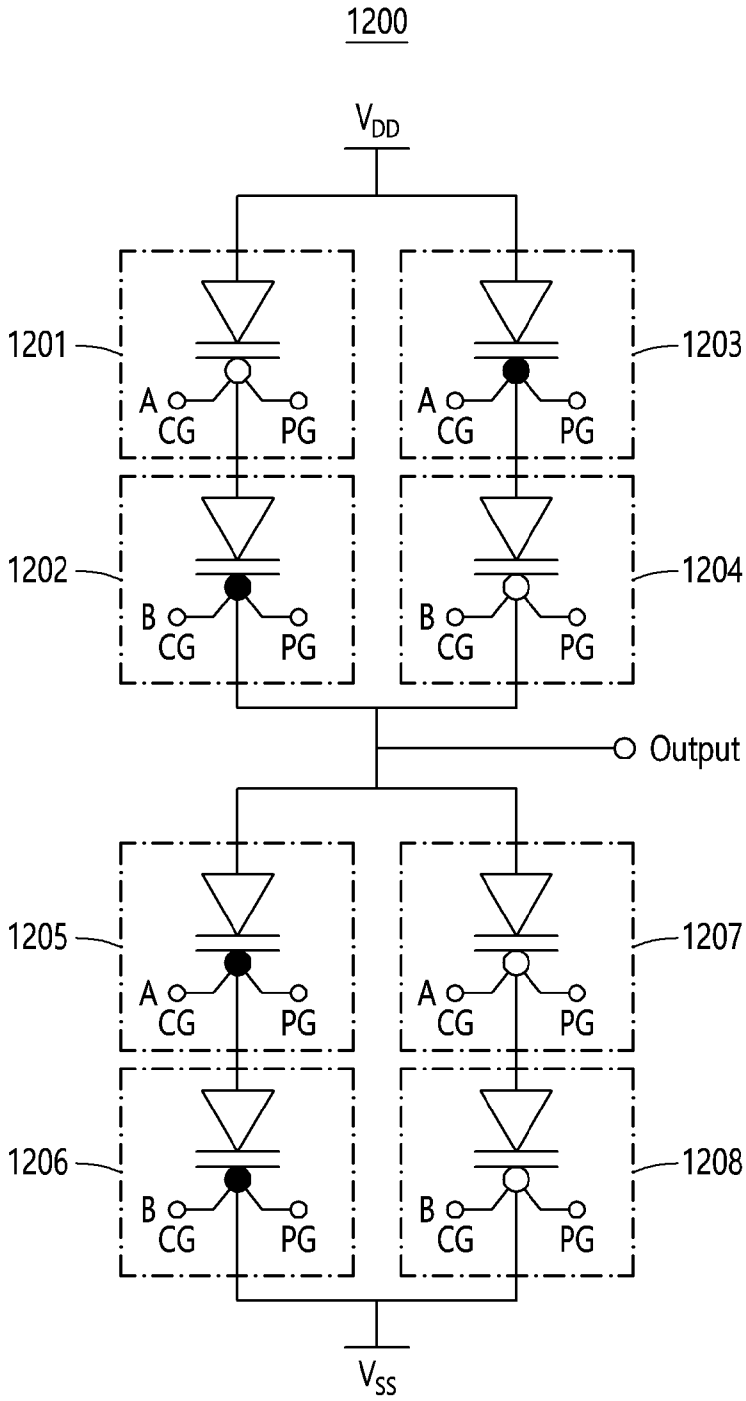
[도11a]


1100
V_{DD}
1101
1102
1103
1104
1105
1106
1107
1108
A
B
CG
PG
Output
V_{SS}

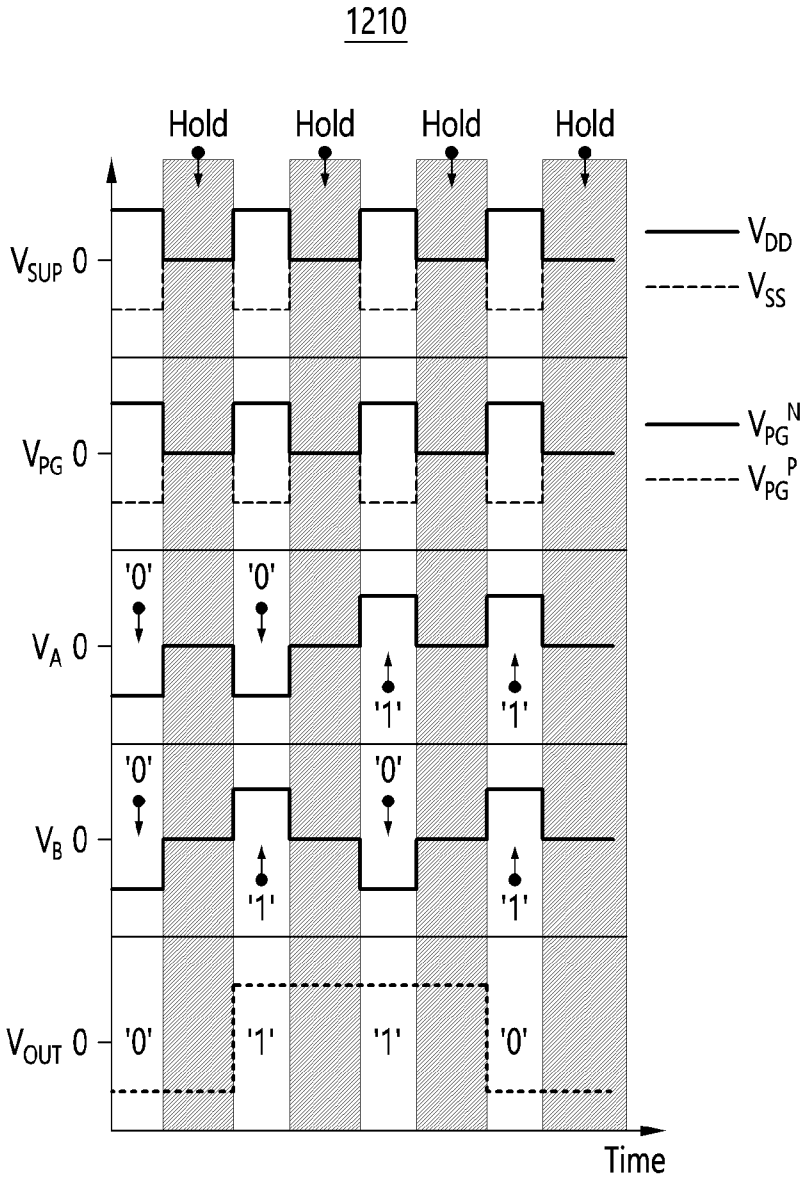
[도11b]


1110
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{PG} 0
V_A 0
V_B 0
V_{OUT} 0
V_{DD}
V_{SS}
V_{PG}^N
V_{PG}^P
'0'
'1'
Time

[도12a]


1200
V_{DD}
1201
1202
1203
1204
1205
1206
1207
1208
A
B
CG
PG
Output
V_{SS}

[도12b]


1210
Hold
Hold
Hold
Hold
V_{SUP} 0
V_{DD}
V_{SS}
V_{PG} 0
V_{PG}^{N}
V_{PG}^{P}
V_A 0
'0'
'1'
V_B 0
V_{OUT} 0
Time

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2022/015457

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/808(2006.01)i; **H01L 29/66**(2006.01)i; **H01L 27/098**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/808(2006.01); H01L 21/027(2006.01); H01L 21/8228(2006.01); H01L 21/8247(2006.01); H01L 27/108(2006.01); H01L 27/115(2006.01); H01L 29/423(2006.01); H01L 29/66(2006.01); H01L 29/772(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 드레인(drain), 채널(channel), 소스(source), 트리플 게이트(triple gate), 피드백(feedback), 메모리(memory)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	김민석 등. 피드백 전계효과 트랜지스터에 대한 리뷰:동작 메커니즘과 적용 분야. 전기전자학회논문지. vol. 22, no. 2, June 2018, pp. 499-505 (KIM, Minsuk et al. A review of feedback field-effect transistors: operation mechanism and their applications. Journal of Institute of Korean Electrical and Electronics Engineers). [Retrieved on 06 January 2023]. Retrieved from <DBpia, URL: https://www.dbpia.co.kr/journal/articleDetail?nodeId=NODE07576432><DOI: 10.7471/ikeee.2018.22.2.499>. See pages 499-504 and figures 1-5.	1-17
A	KR 10-2018-0081262 A (PUSAN NATIONAL UNIVERSITY INDUSTRY-UNIVERSITY COOPERATION FOUNDATION) 16 July 2018 (2018-07-16) See paragraphs [0020]-[0057] and figures 1-7c.	1-17
A	KR 10-2014-0080757 A (KOREA INSTITUTE OF SCIENCE AND TECHNOLOGY) 01 July 2014 (2014-07-01) See claim 1 and figure 1.	1-17
A	KR 10-2018-0033877 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 04 April 2018 (2018-04-04) See paragraphs [0038]-[0190] and figures 1a-21.	1-17

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 January 2023	**26 January 2023**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2017-0127645 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 22 November 2017 (2017-11-22) See paragraphs [0047]-[0075] and figures 1-6.	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2022/015457

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR 10-2018-0081262 A	16 July 2018	None	
KR 10-2014-0080757 A	01 July 2014	US 2014-0167814 A1	19 June 2014
		US 9331266 B2	03 May 2016
KR 10-2018-0033877 A	04 April 2018	US 10483284 B2	19 November 2019
		US 2018-0138200 A1	17 May 2018
		WO 2018-056694 A2	29 March 2018
		WO 2018-056694 A3	09 August 2018
KR 10-2017-0127645 A	22 November 2017	US 2017-0330623 A1	16 November 2017
		US 9837155 B1	05 December 2017

국 제 조 사 보 고 서

국제출원번호
PCT/KR2022/015457

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/808(2006.01)i; **H01L 29/66**(2006.01)i; **H01L 27/098**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/808(2006.01); H01L 21/027(2006.01); H01L 21/8228(2006.01); H01L 21/8247(2006.01); H01L 27/108(2006.01); H01L 27/115(2006.01); H01L 29/423(2006.01); H01L 29/66(2006.01); H01L 29/772(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 드레인(drain), 채널(channel), 소스(source), 트리플 게이트(triple gate), 피드백(feedback), 메모리(memory)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	김민석 등. `피드백 전계효과 트랜지스터에 대한 리뷰:동작 메커니즘과 적용 분야', 전기전자학회논문지 제22권 제2호, 2018.06, 페이지 499-505, [검색일: 2023.01.06], 출처<DBpia, URL: https://www.dbpia.co.kr/journal/articleDetail?nodeId=NODE07576432><DOI: 10.7471/ikeee.2018.22.2.499> 페이지 499-504 및 도면 1-5	1-17
A	KR 10-2018-0081262 A (부산대학교 산학협력단) 2018.07.16 단락 [0020]-[0057] 및 도면 1-7c	1-17
A	KR 10-2014-0080757 A (한국과학기술연구원) 2014.07.01 청구항 1 및 도면 1	1-17
A	KR 10-2018-0033877 A (고려대학교 산학협력단) 2018.04.04 단락 [0038]-[0190] 및 도면 1a-21	1-17
A	KR 10-2017-0127645 A (고려대학교 산학협력단) 2017.11.22 단락 [0047]-[0075] 및 도면 1-6	1-17

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2023년01월26일(26.01.2023)	**2023년01월26일(26.01.2023)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

정종한

전화번호 **+82-42-481-5642**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2022/015457

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2018-0081262 A	2018/07/16	없음	
KR 10-2014-0080757 A	2014/07/01	US 2014-0167814 A1	2014/06/19
		US 9331266 B2	2016/05/03
KR 10-2018-0033877 A	2018/04/04	US 10483284 B2	2019/11/19
		US 2018-0138200 A1	2018/05/17
		WO 2018-056694 A2	2018/03/29
		WO 2018-056694 A3	2018/08/09
KR 10-2017-0127645 A	2017/11/22	US 2017-0330623 A1	2017/11/16
		US 9837155 B1	2017/12/05